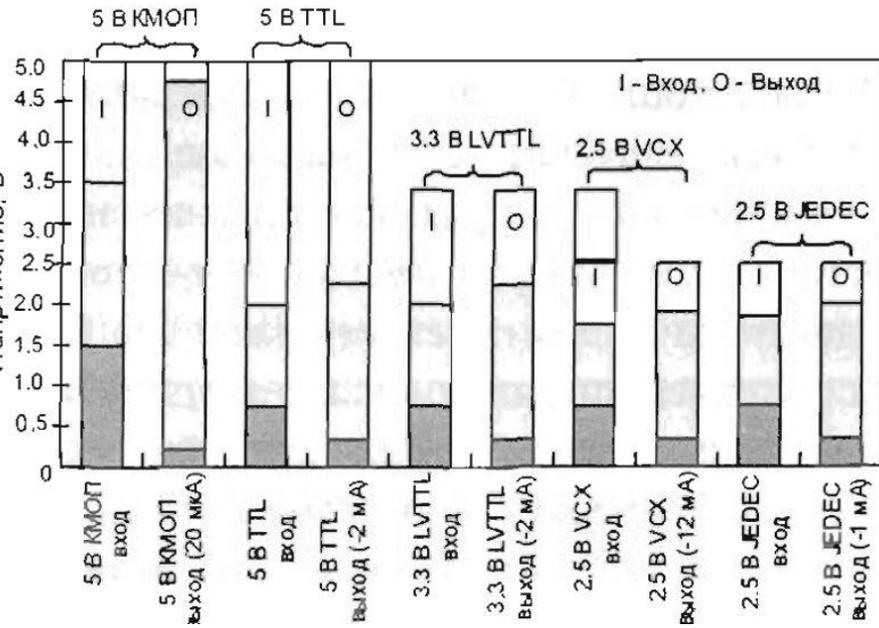


Цифровые сигналы

Входной сигнал по природе может быть чисто дискретным, например, импульсы в детекторе частиц или «биты» информации, поступающие от ключа, клавиатуры или ЭВМ. В подобных случаях естественно и удобно использовать цифровую электронику, т. е. схемы, которые имеют дело с информацией, представленной в виде «единиц» или «нулей». Кроме того, для того чтобы непрерывную (аналоговую) информацию можно было обрабатывать на ЭВМ или хранить в виде чисел, ее необходимо преобразовать в цифровую форму и наоборот при помощи цифро-аналоговых (ЦАП) и аналого-цифровых (АЦП) преобразователей.

Под цифровой электроникой понимаются такие схемы, для каждой точки которых можно определить, как правило, только два состояния. Например, транзистор может быть либо заперт, либо насыщен. Обычно в качестве параметра выбирают не ток, а напряжение, уровень которого может быть ВЫСОКИМ или НИЗКИМ. Эти два состояния могут представлять различные "биты" (binary digits - двоичные разряды) информации.

Состояния ВЫСОКОГО и НИЗКОГО уровней некоторым заданным образом определяют «истинные» и «ложные» значения в булевой алгебре. Если в какой-либо точке схемы истинное значение определяет ВЫСОКИЙ уровень, то говорят, что эта сигнальная линия использует "положительную логику" и наоборот. Сводка существующих логических стандартов с использованием диаграмм-столбиков.



Здесь приведены минимальные и максимальные требуемые уровни входного и выходного напряжения, достоверно обеспечивающие высокий или низкий логические уровни.

На диаграмме три части. Нижняя часть показывает диапазон входного сигнала, который воспринимается как низкий логический уровень. В случае с TTL с напряжением питания 5 В, этот диапазон будет соответствовать значению напряжения от 0 В до 0.8 В. Средняя часть показывает диапазон входного напряжения, в котором уровень сигнала не воспринимается гарантированно как низкий или высокий.

Верхняя часть соответствует входному сигналу, который воспринимается как высокий логический уровень. В случае 5-вольтовой TTL, этот сигнал будет иметь напряжение от 2 до 5 В

Цифровые сигналы

Входные пороги обычной КМОП-логики определяются как 0.3 Упит и 0.7 Упит. Однако большинство изготовленных по технологии КМОП логических микросхем, которые используются сегодня, совместимы по логическим порогам с микросхемами ТТЛ и LVТТЛ; эти пороги также доминируют среди стандартов для цифровых схем, работающих при напряжении питания 3.3 В и 5 В. Для 5 В ТТЛ-логики и 3.3 В LVТТЛ-логики пороги входного и выходного напряжения одинаковы. Разница только в верхней границе допустимого диапазона для сигнала высокого уровня.

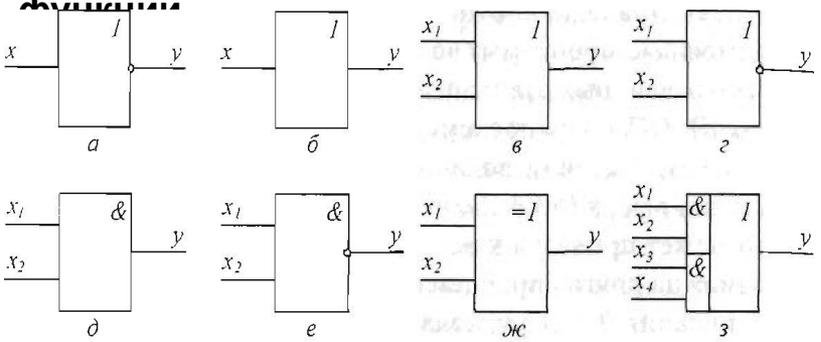
Характеристики и параметры логических элементов

Наибольшее распространение получили следующие типы логических элементов:

- транзисторно-транзисторная логика (ТТЛ);
- транзисторно-транзисторная логика с диодами Шоттки (ТТЛШ);
- эмиттерно-связанная логика (ЭСЛ);
- интегрально-инжекторная логика (И²Л);
- логика на комплементарных полевых транзисторах (КМОП).

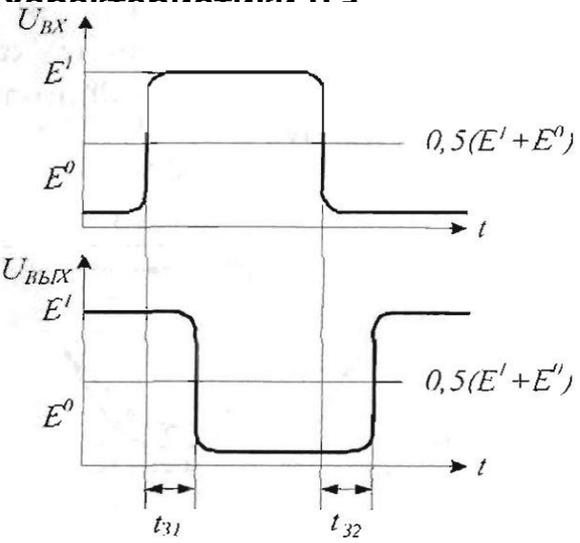
Самыми распространёнными на сегодняшний день являются ИС, реализующие ТТЛ и её разновидности. Интегральные схемы данного типа обладают средним быстродействием и средней потребляемой мощностью.

Условно-графические обозначения (УГО) элементов и выполняемые ими функции



а — инвертор; б- повторитель; в - логическое сложение (ИЛИ); г - инверсия суммы (ИЛИ-НЕ); д - логическое умножение (И); е — инверсия произведения (И-НЕ); ж-сложение по модулю 2 (исключающее ИЛИ); з

Динамические характеристики ЛЭ



Время задержки ЛЭ зависит от времени задержки переднего t_{31} и заднего t_{32} фронтов и определяется из выражения $t_3 = (t_{31} + t_{32})$.

Характеристики и параметры логических элементов

элементов

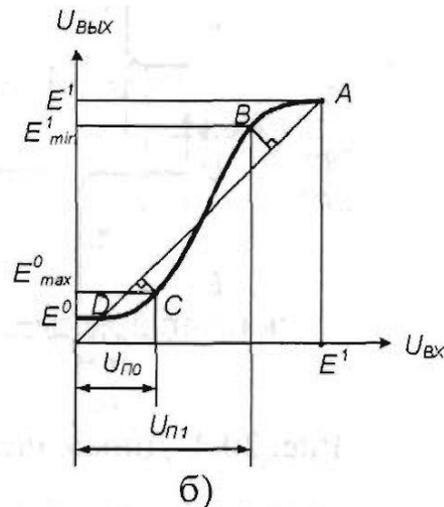
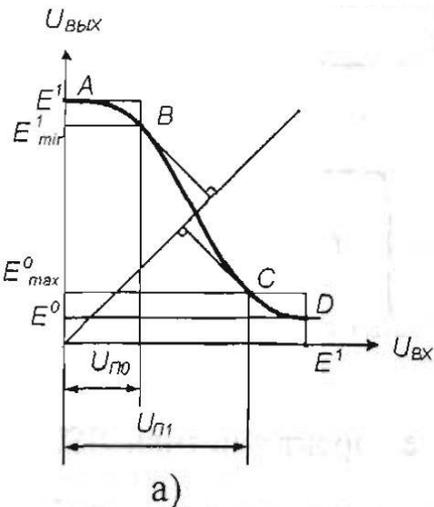
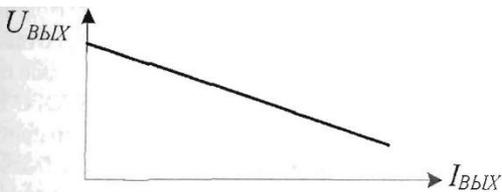
Нагрузочная способность ЛЭ характеризует его способность получать сигнал от нескольких источников информации и одновременно быть источником информации для ряда других элементов. Для численной характеристики нагрузочной способности ЛЭ используются два коэффициента:

n - коэффициент разветвления - характеризует количество выходов для элементов данной серии, которые могут быть подключены к одному выходу. Для ТТЛ $n = 10$. Нагрузочная способность элемента характеризуется его выходным сопротивлением $R_{\text{вых}}$.

t - коэффициент объединения - характеризуется количеством входов данного логического элемента (от двух и более).

Статические характеристики ЛЭ:

1. $I_{\text{вх}} = f(U_{\text{вх}})$ - входная характеристика элемента, характеризующаяся входным сопротивлением логического элемента. Сопротивление $R_{\text{вх}}$ различно при подаче низкого и высокого уровней сигнала. Обычно, при высоком уровне сигнала $R_{\text{вх}}$ больше.
2. $U_{\text{вых}} = f(I_{\text{вых}})$ - нагрузочная (выходная) характеристика (рис.). Её угол наклона определяется выходным сопротивлением ЛЭ.
3. $U_{\text{вых}} = f(U_{\text{вх}})$ - переходная характеристика, или амплитудная передаточная характеристика ЛЭ. Амплитудная передаточная характеристика инвертирующего ЛЭ ТТЛ-типа с положительной логикой приведена на рис. а неинвертирующего ЛЭ - на рис. б.



Логическая «1» соответствует уровням от E^1_{min} до E^1 . Логический «0» соответствует уровням от E^0 до E^0_{max} . Участок АВ соответствует зоне отсечки ключа, CD - насыщению, ВС - переходная область (активный режим, $K_u \gg 1$). Чем круче участок ВС, тем выше качество ЛЭ.

Пороговый уровень нуля на входе U_{n0} характеризует максимально возможный входной сигнал ($U_{\text{вх}} > U_{n0}$), а пороговый уровень «1» - U_{n1} характеризует минимальный входной сигнал ($U_{\text{вх}} > U_{n1}$).

Характеристики и параметры логических элементов

Элементы

Термин *помехоустойчивость* используется для обозначения максимального уровня помехи, которая, будучи добавлена к логическому сигналу при самых неблагоприятных условиях, не будет еще приводить к ошибочной работе схемы. Так, например, для элементов ТТЛ помехоустойчивость составляет 0,4 В, так как любой сигнал ниже 0,8 В интерпретируется ими как НИЗКИЙ уровень, а любой сигнал выше +2 В - как ВЫСОКИЙ, в то время как уровни выходных сигналов составляют в самом неблагоприятном случае +0,4 и +2,4 В соответственно. В действительности помехоустойчивость этих схем значительно выше приведенной величины, поскольку типичные значения ВЫСОКОГО и НИЗКОГО напряжения составляют +0,2 и 3,4 В, а входной порог принятия решения равен приблизительно 1,3 В.

Элементы типа КМОП имеют более высокую по сравнению с ТТЛ помехоустойчивость, а быстродействующие элементы ЭСЛ - более низкую.

Быстродействие ЛЭ серий ИС ТТЛ в основном определяется инерционными свойствами применяемых биполярных транзисторов и нагрузки.

Инерционность, обусловленная параметрами нагрузки, зависит от конкретной схемы и конструктивного выполнения логического устройства.

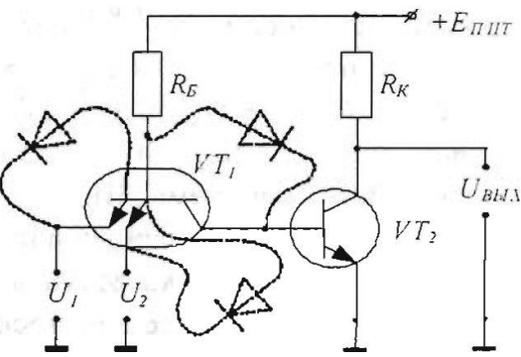
Инерционность, связанная с собственно частотными свойствами ЛЭ, может быть уменьшена изменением схемотехники и режимов работы самого элемента.

Основными причинами инерционности транзисторных ключей на биполярных транзисторах являются перезаряд его коллекторной ёмкости и время рассасывания. Эти параметры определяются как технологией изготовления транзисторов, так и режимами их работы в ключевой схеме. Уменьшение длительностей переключения, обусловленных перезарядом коллекторной ёмкости при её неизменном значении, делают уменьшением сопротивления коллекторной нагрузки.

В таблице приведено сравнение семибалльной шкале (от 7 до 1).

Тип элемента	Быстродействие	Рассеиваемая мощность	Разветвление по входу	Помехоустойчивость
ТТЛ	3	4	4	4
ТТЛШ	2	5	4	4
p-МОП	7	2	2	2
n-МОП	5	2	2	3
КМОП	6	1	1	1
ЭСЛ	1	6	3	4
И ² Л	4	3	4	4

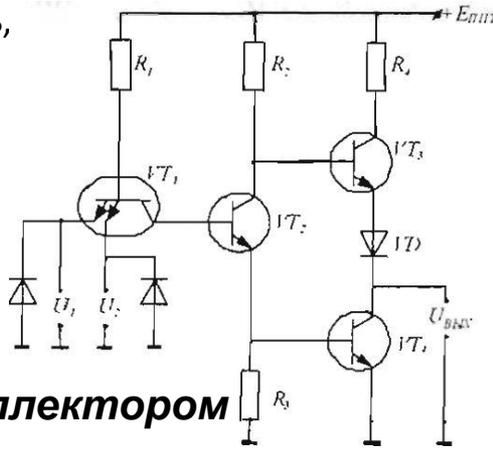
Транзисторно-транзисторная логика (ТТЛ)



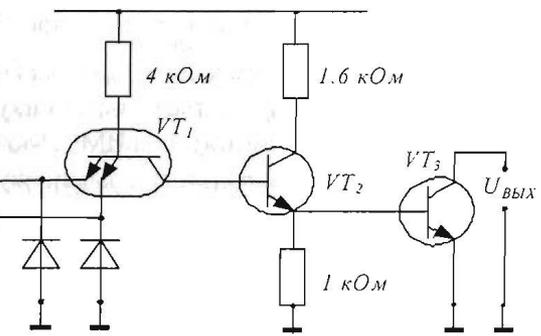
Характерной особенностью ТТЛ являются многоэмиттерные транзисторы. Эти транзисторы сконструированы таким образом, что не оказывают влияния друг на друга. Каждому эмиттеру соответствует свой $p-n$ переход. В первом приближении многоэмиттерный транзистор может моделироваться схемой на диодах (пунктир на рис.), в этом случае он работает как схема диодно-транзисторной логики И-НЕ. К достоинствам ТТЛ-логики можно отнести: высокое быстродействие (10 нс), надежность, радиационную стойкость. Недостатками являются: наличие резисторов, большая площадь на кристалле, большая потребляемая мощность, транзисторов.

Если на один из входов или на оба входа подать низкий уровень напряжения, то ток базы транзистора VT_2 будет равен нулю, и на коллекторе транзистора VT_2 будет высокий уровень напряжения. Если на оба входа подать высокий уровень напряжения, то через базу транзистора VT_1 будет протекать большой базовый ток и на коллекторе транзистора VT_2 будет низкий уровень напряжения, т. е. данный элемент реализует функцию И-НЕ.

Базовый элемент ТТЛ содержит многоэмиттерный транзистор, выполняющий логическую операцию И-НЕ, и сложный инвертор (рис.).



Элементы с тремя состояниями и с открытым коллектором

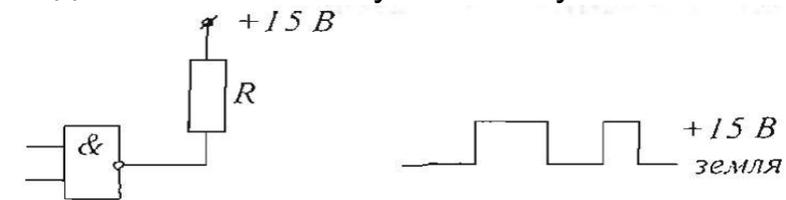


Вентили ТТЛ и КМОП имеют двухтактные выходные схемы: ВЫСОКИЙ или НИЗКИЙ уровень подается на выход через открытый биполярный или МОП-транзистор. Схема носит название *активной нагрузки*. Эта схема обеспечивает низкое выходное сопротивление в обоих состояниях, имеет малое время переключения и обладает более высокой помехоустойчивостью по сравнению с одиночным транзистором, который использует в качестве коллекторной нагрузки пассивный резистор.

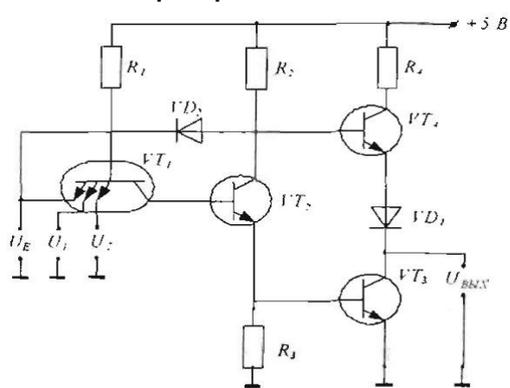
В случае КМОП применение активного выхода позволяет понизить рассеиваемую мощность.

Транзисторно-транзисторная логика (ТТЛ)

Реализация функции «монтажное ИЛИ» при использовании таких элементов, внешний нагрузочный резистор можно подключить к любому источнику.

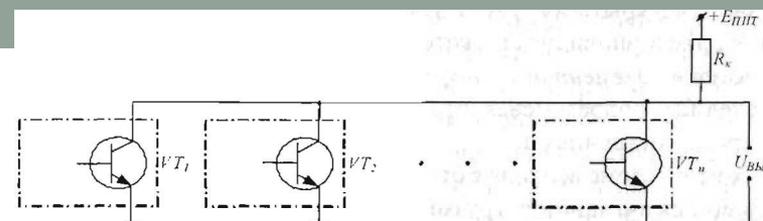


Однако такая схема имеет существенный недостаток: переход в высокоомное (единичное) состояние из-за паразитных емкостей происходит всегда медленнее, чем в низкоомное (нулевое). Поэтому вместо элементов с открытым коллектором лучше использовать элементы с *трехстабильным выходом*. Они содержат обычный двухтактный выходной каскад, который может быть переведен в высокоомное состояние (*высокоимпедансное состояние* или *обрыв*). Для управления выходным каскадом служит специальный вывод - разрешение выдачи данных. Трехстабильный ТТЛ вентиль на рис.



Диод Шоттки включается параллельно переходу коллектор-база транзистора (рис.). В случае открытого транзистора он из-за действия ООС по напряжению препятствует снижению напряжения между коллектором и эмиттером ниже уровня 0,3 В.

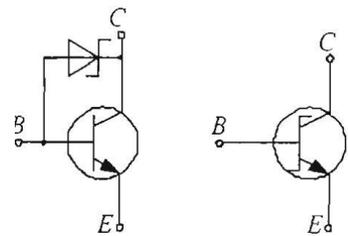
ИМС ТТЛШ совместимы по логическим уровням и напряжению питания с микросхемами ТТЛ. Время задержки распространения в ТТЛШ в среднем в два-три раза меньше по сравнению с ТТЛ. Они значительно меньших размеров, что уменьшает емкости их p-n переходов. Мощность, потребляемая ими, в 4 - 10 раз меньше.



Другим применением схем с открытым коллектором является управление внешней нагрузкой, которая подключается к источнику положительного напряжения с помощью резистора, установленного между выходом вентиля и источником +15 В (рис.)

Если уровень управляющего напряжения U_E низкий, запираются оба транзистора VT_3 и VT_4 . При высоком уровне U_E получим обычную логическую связь И-НЕ между входными сигналами U_1 и U_2 . Аналогичным образом можно перевести в высокоомное состояние и трехстабильный элемент КМОП.

Для увеличения быстродействия элементов ТТЛ используются транзисторы с диодами Шоттки (транзисторы Шоттки). Скорость переключения транзистора определяется в основном временем рассасывания накопленных зарядов. Для повышения максимальной частоты переключений необходимо предотвратить насыщение транзистора. Благодаря этому накопление заряда



Логика на основе комплементарных ключей на МОП-транзисторах (КМОП)

В основе МДП-логики(МОП-логики) лежат ключевые схемы на МОП-транзисторах. За уровень логического нуля принимается напряжение на открытом транзисторе, которое у полевых транзисторов столь же мало, как у насыщенного биполярного транзистора, т.е. 0,05 - 0,15 В. За уровень логической единицы принимают напряжение сток-исток закрытого транзистора, которое близко к напряжению питания схемы. Таким образом, логический перепад напряжения близок к напряжению питания.

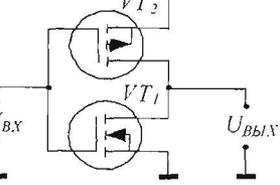
Большая разница между уровнями нуля и единицы значительно повышают помехоустойчивость схемы по сравнению с логикой на биполярных элементах, такой как ТТЛ и особенно ЭСЛ и И²Л.

Еще одно преимущество МОП-логики в том, что ее входные (затворные) цепи не потребляют тока. Влияние входной цепи последующего (нагрузочного) элемента сводится лишь к увеличению входной емкости данной ячейки.

Это преимущество - высокое сопротивление входных цепей - приводит к затягиванию заряда и разряда паразитных емкостей, что является главной причиной невысокого быстродействия МОП-логики по сравнению с ЭСЛ, ТТЛ. МОП-логика на комплементарных транзисторах (КМОП) имеет основное достоинство в том, что изменение выходного напряжения не связано с изменением тока: он остается близким к нулю.

Достоинствами КМОП микросхем являются: малая потребляемая мощность в статическом режиме; очень высокое входное сопротивление; большая нагрузочная способность (коэффициент разветвления 50 - 100); большой диапазон напряжения питания (3-15 В); малая зависимость характеристик от температуры.

К недостаткам КМОП микросхем можно отнести: повышенное выходное сопротивление; большое время задержки (200 нс); большой разброс параметров.

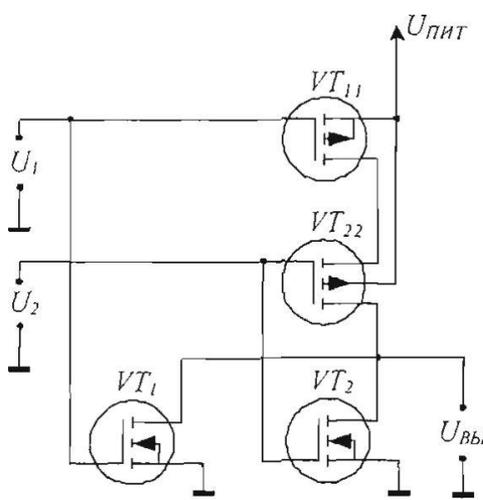


Пороговое напряжение обоих транзисторов составляет, как правило, 1.5 В. Если $U_{ВХ} = 0$, то открыт p -канальный МОП-транзистор VT_2 , а n -канальный МОП- транзистор VT_1 заперт. При этом выходное напряжение равно $U_{пум}$. Если $U_{ВХ} = U_{пум}$ то транзистор VT_2 заперт, а VT_1 открыт и выходное напряжение равно нулю.

Напряжение питания можно произвольно выбирать в диапазоне от 3 до 15 В. В статическом режиме потребление тока данной схемой будет равно 0. Лишь в момент переключения существует небольшой ток утечки.

Потребление тока определяется процессами перезаряда паразитных емкостей. Если к одному выходу подключается несколько КМОП-элементов, то при каждом изменении состояния все входные емкости должны перезарядиться через выход одного элемента. Когда выходное напряжение переходит в состояние логической 1, емкостная нагрузка через транзистор VT_2 заряжается до величины $U_{пум}$. При этом от источника питания

Логика на основе комплементарных ключей на МОП-транзисторах (КМОП)



Если выходное напряжение достигает низкого уровня, емкостная нагрузка разряжается через транзистор VT_1 . Следовательно, в течение каждого периода входного сигнала, имеющего форму прямоугольного импульса, из шины питания на общую шину стекает заряд. Среднее значение этого тока определяется как $I = CU_{пит} / T = fCU_{пит}$.

Здесь f - частота входного напряжения. Таким образом, мощность, потребляемая этой схемой, пропорциональна частоте.

Напряжение логической единицы зависит от выбранного напряжения питания. При переключении этой схемы ее выходное напряжение изменяется симметрично относительно уровня половины напряжения питания. С увеличением напряжения питания увеличивается также и запас помехоустойчивости. Если $U_{пит} = 5В$, достигается совместимость с уровнями ТТЛ. При этом один элемент КМОП может управлять, как правило, одним стандартным элементом ТТЛ.

На рис. логический элемент КМОП ИЛИ-НЕ.

Логические элементы

Логические элементы и другие цифровые электронные устройства выпускаются в составе серий микросхем. Серия микросхем - это совокупность микросхем, характеризующихся общими технологическими и схемотехническими решениями, а также уровнями электрических сигналов и напряжения питания.

Примеры серии микросхем:

ТТЛ - К155, КМ155, К133, КМ133; ТТЛШ - 530, КР531, КМ531, К1531, 533, К555, КМ555, 1533, КР1533;

ЭСЛ- 100, К500, К1500; КМОП - 564, К561, 1564, КР1554.

Каждая серия микросхем характеризуется некоторым набором параметров, дающих подробное представление об этой серии. При определении этих параметров ориентируются именно на логические элементы - простейшие устройства серии микросхем. В соответствии с этим говорят о параметрах не серии микросхем, а о параметрах логических элементов данной серии.

Микросхемы ТТЛ первыми появились из цифровых элементов. Позднее - типа КМОП, которые в свое время проигрывали биполярным схемам по быстродействию, но отличались высокой компактностью, энергетической экономичностью, высокой помехоустойчивостью, способностью работать при изменении питающего напряжения в широких пределах. Элементы КМОП по мере повышения их быстродействия вытеснили микросхемы ТТЛ, оставляя за ними схемотехнику буферных, согласующих и других элементов, которые должны сохранять высокое быстродействие при больших нагрузках.

Цифровые логические устройства

Цифровые логические устройства подразделяются на два класса: комбинационные и последовательностные.

Комбинационные цифровые устройства реализуют различные преобразования двоичных цифровых сигналов на основе комбинационных логических функций. Выходные сигналы комбинационных устройств в любой момент времени однозначно определяются входными сигналами, имеющими место в этот момент времени.

К основным типам таких устройств относятся сумматоры, дешифраторы и шифраторы, преобразователи кодов, мультиплексоры и демультимплексоры, схемы сравнения двоичных чисел и др.

Второй класс логических устройств содержит последовательностные схемы или конечные автоматы. Последовательностные устройства обязательно содержат элементы памяти. Выходные сигналы последовательностных устройств определяются не только сигналами, имеющимися на входах в данный момент времени, но и состоянием элементов памяти. Таким образом, реакция последовательностного устройства на определенные входные сигналы зависит от предыстории его работы. К основным типам последовательностных устройств относятся триггеры, счетчики и регистры.

Комбинационные устройства: Дешифраторы

Дешифратором называют преобразователь двоичного n -разрядного кода в унитарный позиционный 2^n -разрядный код, все разряды которого, за исключением одного, равны нулю.

Дешифраторы бывают полные и неполные.

Для полного дешифратора выполняется условие:

$$N = 2^n, \text{ где } n - \text{ число входов, } N - \text{ число выходов.}$$

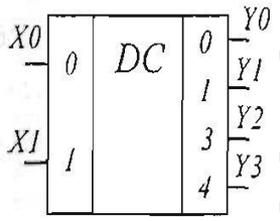
Если в работе дешифратора используется неполное число выходов, то такой дешифратор называется неполным.

Дешифратор, имеющий 4 входа и 16 выходов, будет полным, а имеющий только 10 выходов является неполным.

В условном обозначении дешифраторов используются буквы DC (от англ. Decoder).

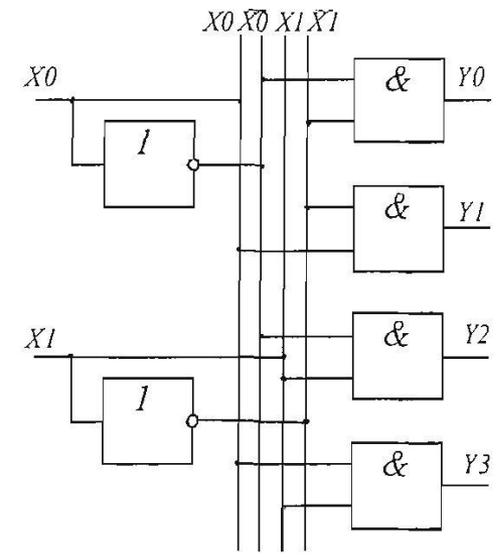
Входы дешифраторов принято обозначать их двоичными весами. Кроме информационных входов дешифратор имеет один или более входов разрешения работы, обозначаемых как E (Enable). При наличии разрешения по этому входу дешифратор работает описанным образом, при его отсутствии все выходы дешифратора пассивны.

Функциональная схема дешифратора



На рис. приведено условное обозначение дешифратора, имеющего два двоичных входа и четыре выхода.

Дешифратор преобразовывает каждое двоичное двухразрядное число в одну логическую единицу на соответствующем выходе. Дешифраторы широко используются в устройствах вывода цифровой информации, для индикации двоичного числа в десятичном виде, для определения адресной шины в микросхемах памяти и т.п.



Комбинационные устройства: Шифраторы

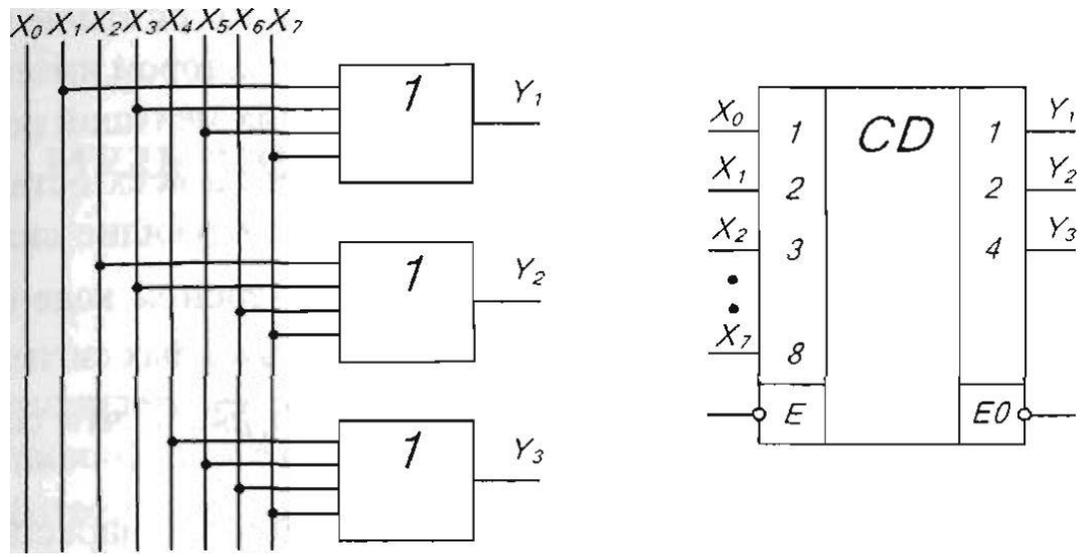
На выходе шифратора (кодера) устанавливается двоичный код, соответствующий десятичному номеру возбужденного информационного входа. В условном обозначении шифраторов используются буквы CD (от англ. *Coder*).

Шифратор может быть использован как для представления (кодирования) десятичного числа двоичным кодом, так и для выдачи определенного кода (его значение заранее выбирается) при нажатии клавиши с соответствующим символом. При появлении этого кода система оповещается о том, что нажата определенная клавиша клавиатуры.

Аналогично дешифраторам, шифраторы бывают полные и неполные.

Для полного шифратора выполняется условие:

$$n = 2^N, \text{ где } n - \text{число входов, } N - \text{число выходов.}$$

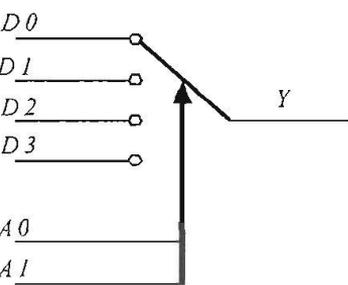


Комбинационные устройства: Мультиплексоры

Мультиплексор - это функциональный узел, осуществляющий подключение (коммутацию) одного из нескольких входов данных к выходу. Номер выбранного входа соответствует коду, поданному на адресные входы мультиплексора. Мультиплексоры бывают полными и неполными.

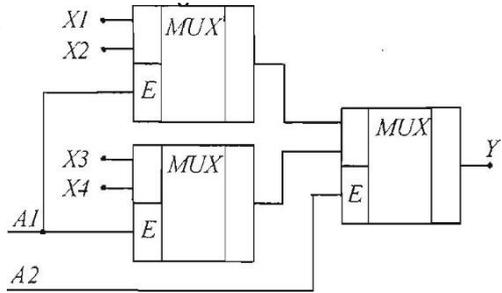
В мультиплексоре имеются информационные, адресные входы и, как правило, разрешающие (стробирующие). Разрешающие входы используют для расширения функциональных возможностей мультиплексора. Они используются для наращивания разрядности мультиплексора, синхронизации его работы с работой других узлов. Сигналы на разрешающих входах могут разрешать, а могут и запрещать подключение определенного входа к выходу, т. е. могут блокировать действие всего устройства.

Мультиплексоры обозначают как MUX (от англ. multiplexor) или MS (от англ. multiplexor selector). Схематически мультиплексор можно изобразить в виде коммутатора, обеспечивающего подключение одного из нескольких входов (их называют информационными) к одному выходу устройства. На рис. упрощенное представление мультиплексора в виде коммутатора (а) и таблица



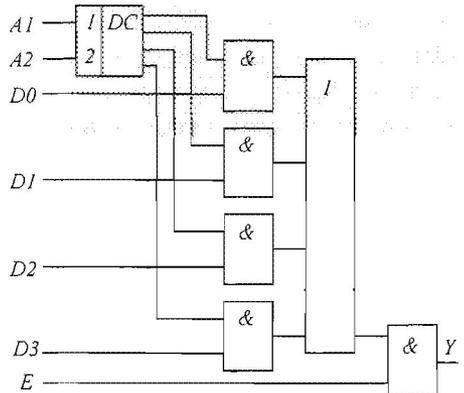
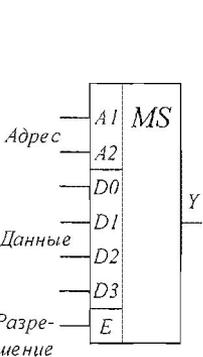
$A1$	$A0$	Y
0	0	$D0$
0	1	$D1$
1	0	$D2$
1	1	$D3$

Если необходимо расширить число входов, то используют каскадное включение мультиплексоров. Принцип наращивания числа каналов основывается на использовании входов



а)

б)



стробирования. Мультиплексоры - универсальные логические устройства, на основе которых создают различные комбинационные и последовательностные схемы. Мультиплексоры могут использоваться в делителях частоты, триггерных устройствах, сдвигающих устройствах и др. Мультиплексоры часто используют для преобразования параллельного двоичного кода в последовательный. Для этого достаточно подать на информационные входы мультиплексора параллельный двоичный код, а сигналы на адресные входы подавать в такой последовательности, чтобы к выходу поочередно подключались входы, начиная с первого и кончая последним.

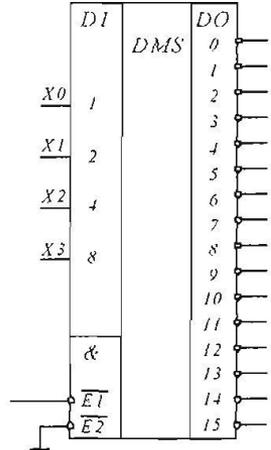
Комбинационные устройства: Демультимплексоры

Демультимплексором (DMX или DMS) называют функциональный узел, который обеспечивает передачу цифровой информации, поступающей по одной линии, на несколько выходных линий. Выбор выходной линии осуществляется при помощи сигналов, поступающих на адресные входы. Таким образом, демультимплексор выполняет преобразование, обратное действию мультиплектора. Демультимплексоры бывают полными и неполными.

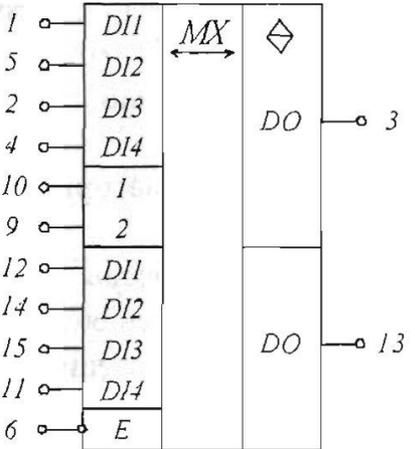
Таблица истинности демультимплексора, имеющего четыре выхода, состояние его входов и выходов в таблице. Функции демультимплексоров сходны с функциями дешифраторов. Дешифратор можно рассматривать как демультимплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора.

A2	A1	Y0	Y1	Y2	Y3
0	0	D	0	0	0
0	1	0	D	0	0
1	0	0	0	D	0
1	1	0	0	0	D

Поэтому в обозначении как дешифраторов, так и дешифраторов. Дешифратор можно рассматривать как демультимплексор, у которого информационный вход поддерживает напряжение выходов в активном состоянии, а адресные входы выполняют роль входов дешифратора.



При этом используются КМОП-транзисторы с односторонними и двунаправленными ключами, которые обладают возможностью пропускать ток в обоих направлениях и передавать не только цифровые, но и аналоговые сигналы. Благодаря этому можно строить мультиплексоры-демультимплексоры, которые могут использоваться либо как мультиплексоры, либо как демультимплексоры. Мультиплексоры-демультимплексоры обозначаются через MX.



Так мультиплексор-демультимплексор К561КП1 содержит два четырехвыходовых мультиплексора 4-1, которые могут использоваться и как демультимплексоры 1-4. Микросхема содержит один общий инверсный вход разрешения (стробирования) и два общих адресных входа. При логической 1 на входе разрешения выходы отключаются от информационных входов и переходят в высокоимпедансное состояние.

При активизации входа разрешения, т. е. при подаче на него логического 0, происходит соединение одного из информационных входов (в соответствии с кодом на адресных входах) с выходом микросхемы. Поскольку это состояние происходит при помощи двунаправленных ключей на КМОП-транзисторах, то сигнал может передаваться как со входов на выход (режим мультиплексора), так и с выхода на входы (режим демультимплексора). Кроме того, передаваемый сигнал

Комбинационные устройства: Сумматоры

Суммирование двоичных чисел

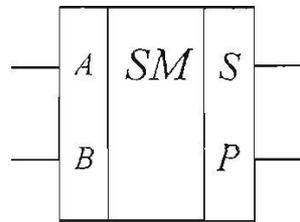
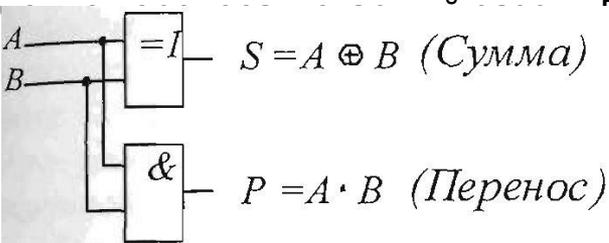
Сумматором называется комбинационное цифровое устройство, предназначенное для выполнения операции арифметического сложения чисел, представленных в виде двоичных кодов. Сумматоры используются в операциях суммирования и вычитания чисел, а также составляют основу умножения и деления чисел.

По принципу обработки разрядов чисел различают последовательные и параллельные сумматоры. В последовательных сумматорах сложение чисел осуществляется поразрядно, последовательно, в параллельных - все разряды обрабатываются одновременно.

По числу выводов различают полусумматоры, одноразрядные сумматоры и многоразрядные сумматоры. **Полусумматоры и одноразрядные сумматоры.** Сложение двух одноразрядных двоичных чисел характеризуется таблицей сложения (таблицей истинности), в которой отражаются значения входных чисел

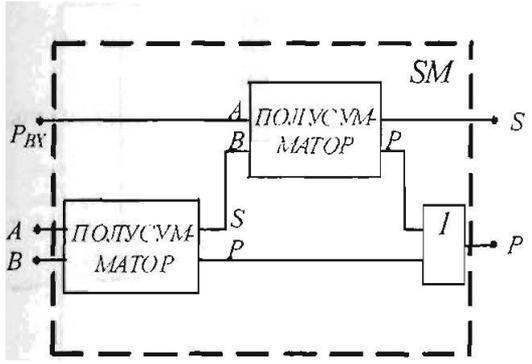
A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

результата суммирования S и знака переноса P. По отношению к столбцу S реализуется логическая функция "исключающее ИЛИ". Устройство называют полусумматором.



A	B	P _{ВХ}	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

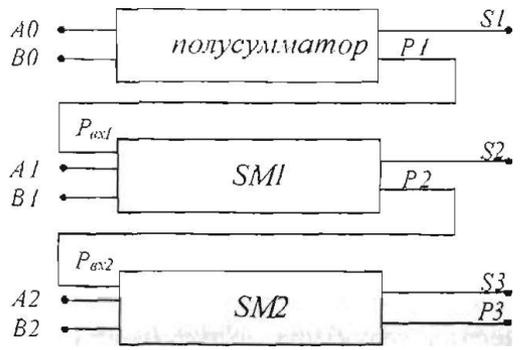
Поскольку полусумматор имеет только два входа, он может использоваться для суммирования лишь в младшем разряде. При суммировании двух многоразрядных чисел для каждого разряда (кроме младшего) необходимо использовать устройство, имеющее дополнительный вход переноса. Такое устройство называют полным сумматором и его можно представить как объединение двух полусумматоров (P_{ВХ} - дополнительный вход переноса). Сумматор обозначают через SM.



Комбинационные устройства: Сумматоры

Многоразрядные сумматоры.

Соединяя определенным образом полусумматоры и полные сумматоры друг с другом, получают устройство для выполнения сложения нескольких разрядов двоичных чисел.



В качестве примера рассмотрим устройство для сложения двух трехразрядных двоичных чисел $A_2A_1A_0$ и $B_2B_1B_0$, где A_0 и B_0 - младшие разряды двоичных чисел.

На выходах $S_1 - S_3$ формируется код суммы чисел $A_2A_1A_0$ и $B_2B_1B_0$, а на выходе P_3 - сигнал переноса в следующую микросхему, так как при сложении двух трехразрядных двоичных чисел может получиться четырехразрядное число.

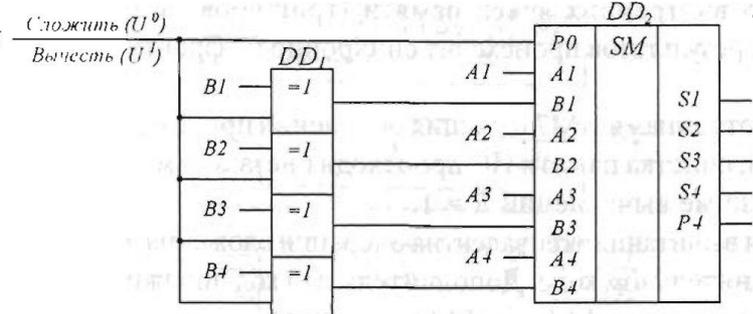
Рассмотрим вычитание двоичных чисел параллельным сумматором.

С помощью сумматоров можно не только складывать, но и вычитать двоичные числа.

Режим работы - суммирование или вычитание задается установкой на входах V соответствующего логического уровня. При $V = 0$ реализуется режим суммирования, при $V = 1$ - режим вычитания.

Операция вычитания эквивалентна операции сложения, если числа представлены в дополнительном коде. Дополнительный код положительного числа совпадает с прямым кодом. Дополнительный код отрицательного числа формируется путем инвертирования всех цифр числа, потом к полученному результату прибавляется единица.

При реализации операции вычитания для инверсии цифр числа B применяются дополнительно ИС типа ЛН (инверторы). Операции сложения и вычитания можно выполнять на основе одного суммирующего устройства. В этом случае цифры числа B подаются на входы сумматора через логический элемент "исключающее ИЛИ". На второй вход подается управляющий сигнал Z . Если $Z = 0$, то цифры числа B подаются на вход сумматора без изменения. Если $Z = 1$, то производится инверсия цифр числа B . Одновременно Z воздействует на вход переноса P_0 к переводу числа B в дополнительный код. Сумматор выполняет

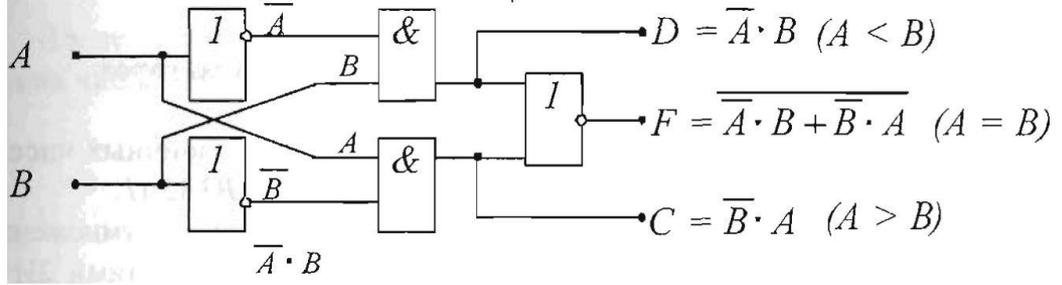
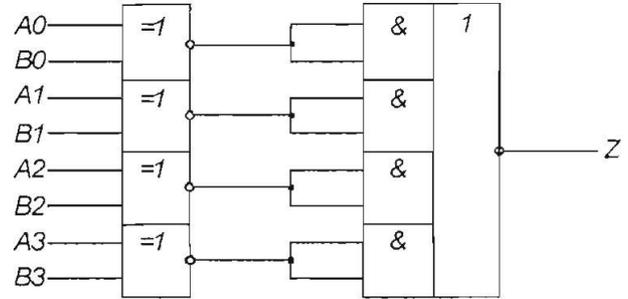


Комбинационные устройства: Сумматоры

Сравнение двоичных чисел

Сравнение многоразрядных чисел основывается на проверке равенства цифр чисел. Пусть даны два числа $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$. Сравниваются B_3 и A_3 , B_2 и A_2 , B_1 и A_1 , B_0 и A_0 , по результатам сравнения делается вывод: если совпали и третьи цифры, и вторые, и первые, и нулевые, то числа одинаковы. Переключательную функцию F позволяют реализовать логические двухвходовые элементы "Исключающее ИЛИ".

A_i	B_i	F_i
0	0	1
0	1	0
1	0	0
1	1	1

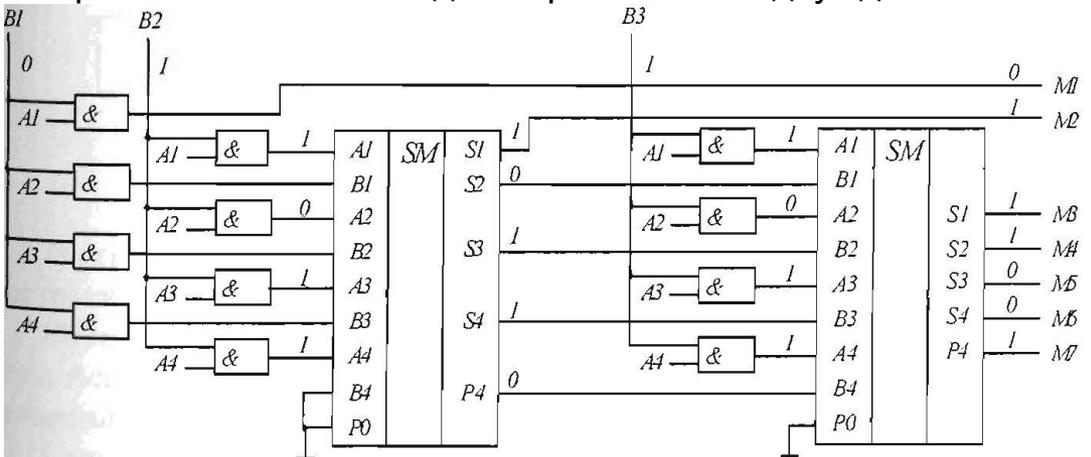


Возможно построение более сложной схемы сравнения, которая определяет равенство чисел, а также, какое из чисел больше. Она может определять равенство двух двоичных чисел A и B с одинаковым количеством разрядов либо вид неравенства $A > B$ или $A < B$. Цифровые компараторы имеют три выхода. Схема одноразрядного компаратора представляет собой структуру логического элемента «Исключающее ИЛИ-НЕ».

Перемножающие устройства на основе сумматоров

На рис. показана схема для перемножения двух двоичных чисел A и B .

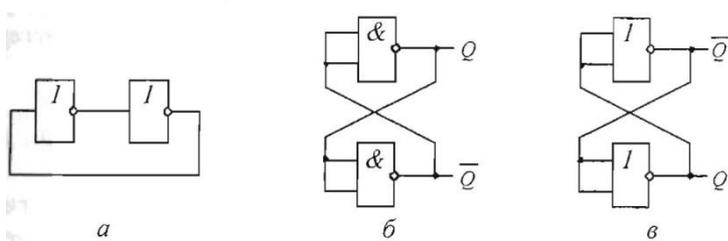
Семь разрядов двоичного произведения M формируется за счет параллельного умножения множителя на каждый разряд множителя логическими элементами 2И и сложения промежуточных произведений со сдвигом на один разряд - сумматором.



При этом выполняются следующие условия: $M_2 = A_2B_1 + A_1B_2$, аналогично образуются результаты M_i .

Триггеры

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния - единичное и нулевое, которые обозначаются соответственно 1 и 0. В основе любого триггера находится кольцо из двух инверторов. Триггер является элементом памяти последовательных логических устройств, на схемах он обозначается буквой Т.



При подаче питания в результате переходных процессов произвольно один из инверторов устанавливается в единичное состояние, а другой - в нулевое. В дальнейшем состояние логических элементов (ЛЭ) сохраняется, так как сигнал с выхода одного ЛЭ поддерживает состояние другого ЛЭ. Общепринято такую схему называть элементом памяти или защелкой.

Входы триггера разделяют на информационные и управляющие (вспомогательные).

Информационные входы используются для управления состоянием триггера. Управляющие входы обычно используются для предварительной установки триггера в некоторое состояние и для синхронизации. Как правило, триггеры имеют 2 выхода: прямой и инверсный.

Триггеры классифицируют по способу приема информации, принципу построения и функциональным возможностям.

По способу приема информации различают асинхронные и синхронные триггеры. Асинхронный триггер изменяет свое состояние непосредственно в момент появления соответствующего информационного сигнала.

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (clock). Этот вход также обозначают терминами "строб", "такт".

Синхронные триггеры в свою очередь подразделяют на триггеры со статическим (статические) и динамическим (динамические) управлением по входу синхронизации С.

Статические триггеры воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход).

Динамические триггеры воспринимают информационные сигналы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С- вход) или от 1 к 0 (инверсный динамический С-вход).

По способу построения различают одно- и двухступенчатые триггеры. В одноступенчатом триггере имеется одна ступень запоминания информации, а в двухступенчатом - две такие ступени. Вначале

Триггеры

По функциональным возможностям триггеры разделяют на следующие классы:

- с отдельной установкой состояния 0 и 1 (RS-триггеры);
- универсальные (JK-триггеры);
- с приемом информации по одному входу D (D-триггеры, или триггеры задержки);
- со счетным входом T (T-триггеры).

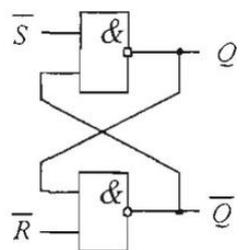
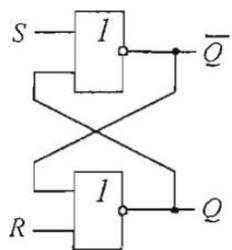
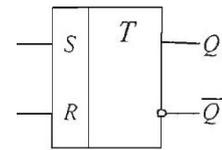
Входы триггеров обычно обозначают следующим образом:

- S - вход для установки в состояние "1";
- R - вход для установки в состояние "0";
- J - вход для установки в состояние "1" в универсальном триггере;
- K - вход для установки в состояние "0" в универсальном триггере;
- T - счетный (общий) вход;
- D - вход для установки в состояние "1" или в состояние "0";
- V - дополнительный управляющий вход для разрешения приема информации (иногда используют букву E вместо V).

RS-триггер

Режим	S _t	R _t	Q _{t+1}
Хранение	0	0	Q _t
Установка 1	1	0	1
Установка 0	0	1	0
Неопределенность	1	1	-

Триггер имеет два информационных входа: S (set) и R (reset). Закон функционирования триггеров удобно описывать таблицей переходов, которую иногда также называют таблицей истинности. Через S_t, R_t, Q_t обозначены соответствующие логические сигналы, имеющие место в некоторый момент времени t, а через Q_{t+1} выходной сигнал в следующий момент времени t+1.



Комбинацию входных сигналов S_t=1, R_t=1 часто называют запрещенной, так как после нее триггер оказывается в состоянии (1 или 0), предсказать которое заранее невозможно. Подобных ситуаций нужно избегать.

Рассматриваемый триггер может быть реализован на двух элементах ИЛИ-НЕ или И-НЕ.

Триггеры: RS-триггер

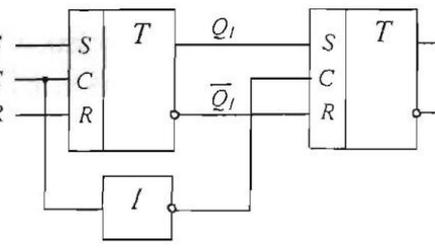
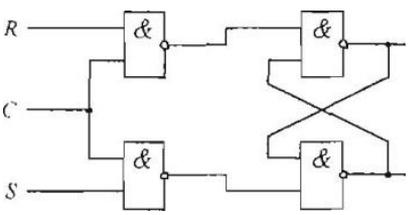
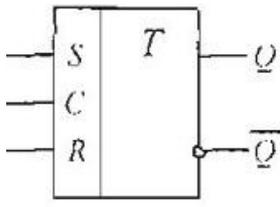
Полная таблица истинности (таблица переходов) RS-триггера на элементах ИЛИ-НЕ

Режим	S_t	R_t	Q_t	Q_{t+1}
Хранение	0	0	0	0
	0	0	1	1
Установка 1	1	0	0	1
	1	0	1	1
Установка 0	0	1	0	0
	0	1	1	0
Неопределенность	1	1	0	-

РЕЖИМ	S_t	R_t	Q_{t+1}	C
Хранение	1	0	Q_t	1
УСТАНОВКА 1	0	1	1	1
УСТАНОВКА 0	0	0	0	1
Неопределенность	1	1	-	1

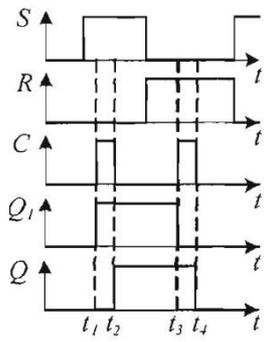
В **асинхронном RS-триггере** на элементах И-НЕ переключение производится логическим 0, подаваемым на вход R или S , т. е. реализуется обратная рассмотренной ранее таблице переходов. Запрещенная комбинация соответствует логическим 0 на обоих входах.

Синхронный RS триггер. Если на входе C - логический 0, то и на выходе верхнего входного элемента И-НЕ, и на выходе нижнего будет логическая 1. А это, как отмечалось выше, обеспечивает хранение информации. Таким образом, если на входе C - логический 0, то воздействие на входы R, S не приводит к изменению состояния триггера. Если же на вход синхронизации C подана логическая единица, то схема реагирует на входные сигналы так же, как триггер без обратных связей.



В рассмотренных как триггерах, так и в обратных связях возможны неопределенности, обусловленные одновременным изменением информации на прямом и инверсном выходах, связанных с R и S входами. Для устранения этого применяются попытки использования двухступенчатого RS-триггера

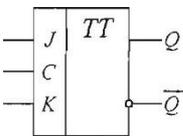
допускается соединение его входов и выходов. Двухступенчатый триггер состоит из двух синхронных RS-триггеров и дополнительного элемента НЕ. При подаче входных управляющих сигналов и синхросигнала производится запись информации в первый триггер (t_1). При этом второй триггер не изменяет своего состояния, так как на его синхровход с инвертора подается логический 0. Только по окончании записи в первый триггер при изменении синхросигнала с 1 на 0 производится запись во второй триггер.



Т.о. двухступенчатый триггер производится с целью задания фронт триггера движущимся импульсом. Такая синхронизация называется динамической. Наличие динамической синхронизации отмечено наклонной чертой. Использование в триггере двух ступеней обозначается двумя буквами ТТ.

Триггеры: JK-триггер

JK-триггер (от англ. jump и keep) отличается от рассмотренного RS-триггера тем, что появление на обоих информационных входах (*J* и *K*) логических единиц (для прямых входов) приводит к изменению состояния триггера. Такая комбинация сигналов для JK-триггера не является запрещенной.



В остальном JK-триггер подобен RS-триггеру, причем роль входа *S* играет вход *J*, а роль входа *R* - вход *K*. JK-триггеры реализуются в виде двухтактных триггеров (т. е. JK-триггеры являются синхронными).

Полная таблица истинности JK-триггера аналогична таблице истинности RS-триггера, но не имеет

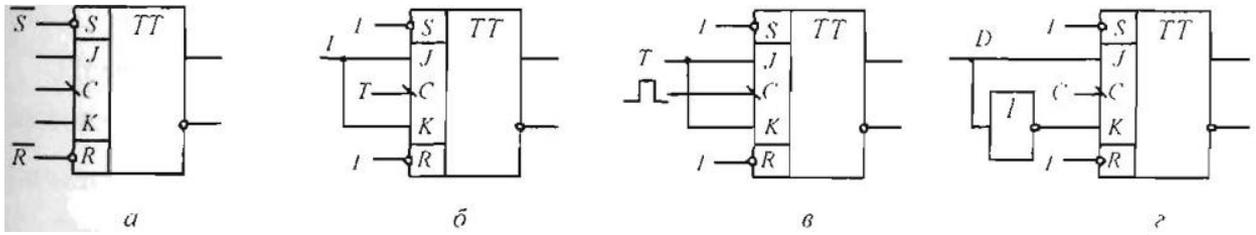
Режим	S	R	Q _n	Q _{n+1}
Хранение	0	0	0	0
	0	0	1	1
Установка 1	1	0	0	1
	1	0	1	1
Установка 0	0	1	0	0
	0	1	1	0
Неопределенность	1	1	0	1
	1	1	1	0

Справедливы динамические характеристики триггера: блокирование информационных входов в тот момент, когда полученная информация передается на выход.

В отношении реакции на входные сигналы динамический триггер, срабатывающий при изменении сигнала на входе *C* от 1 к 0, подобен рассмотренному двухступенчатому триггеру, хотя они отличаются внутренним устройством.

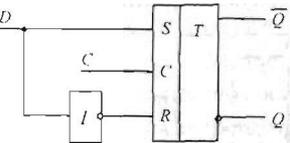
JK-триггер является универсальным триггером. Универсальность JK-триггера заключается в возможности реализации на его основе RS, T и D-триггеров.

Преобразование JK-триггера в RS, T, D-триггеры показано на рис.. Подача уровня логической единицы "1" осуществляется либо подключением резистора (порядка 1кОм), соединенного с +5 В, либо к выходу свободного элемента И-НЕ, один вход которого подключается к корпусу.

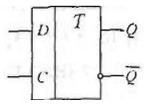


Реализация на основе JK других типов триггеров: а) асинхронный RS-триггер, б) асинхронный T-триггер, в) синхронный T-триггер, г) D-триггер

Триггеры: D-триггер



C	D	Q _{n+1}
1	0	0
1	1	1



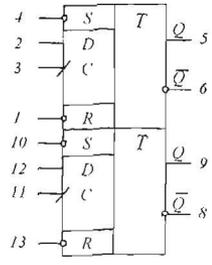
D-триггер (от delay) запоминает входную информацию при поступлении синхроимпульса. Рассуждая чисто теоретически, D-триггер можно образовать из любых RS- или JK-триггеров, если на их входы одновременно подавать взаимно инверсные сигналы.

Хранение информации в D-триггерах обеспечивается за счет синхронизации, поэтому все реальные D-триггеры имеют два входа: информационный D и синхронизации C. В этом триггере сигнал на входе по сигналу синхронизации записывается и передается на выход.

Так как информация на выходе остается неизменной до прихода очередного импульса синхронизации, D-триггер называют также триггером с запоминанием информации или триггером-защелкой.

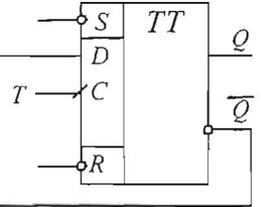
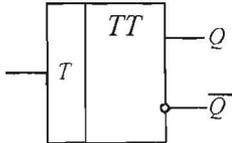
D-триггер также может быть снабжен дополнительными входами асинхронной установки. Так, микросхема K561TM2 представляет собой два триггера с динамическим управлением по входам синхронизации, имеющие входы асинхронной установки R и S.

При подаче на вход S логической 0 и на вход R - логической 1 триггер устанавливается в единичное состояние ($Q = 1$). При подаче на вход S логической 1 и на вход R - логического 0 триггер устанавливается в нулевое состояние. При $S = R = 1$ триггер работает как D-триггер, повторяя на выходе Q сигнал на входе D при воздействии положительного фронта на входе синхронизации.



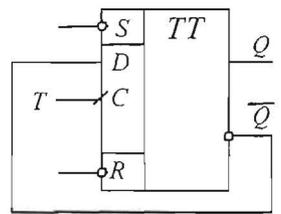
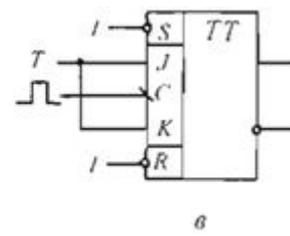
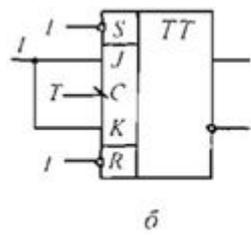
Триггеры: Т-триггер

T-триггер изменяет свое логическое состояние на противоположное по каждому активному сигналу на информационном входе T. T-триггер часто называют счетным триггером. Условное графическое обозначение двухступенчатого T-триггера приведено на рис.



T-триггер может строиться как на JK, так и на D-триггерах. Согласно таблице истинности JK-триггера. JK-триггер переходит в инверсное состояние каждый раз при одновременной подаче на входы J и K логической 1. Это свойство позволяет создать на базе JK-триггера T-триггер, объединяя входы J и K. Реализация T-триггера с помощью JK-триггера показана на рис. б, в.

Режим	S _n	R _n	Q _n	Q _{n+1}
Хранение	0	0	0	0
	0	0	1	1
Установка 1	1	0	0	1
	1	0	1	1
Установка 0	0	1	0	0
	0	1	1	0
Неопределенность	1	1	0	1
	1	1	1	0



Наличие в D-триггере динамического C входа позволяет получить на его основе T-триггер. При этом вход D соединяется с инверсным выходом, а на вход C подаются счетные импульсы. В результате триггер при каждом счетном импульсе запоминает значение Q, то есть будет переключаться в противоположное состояние.

Работа триггера осуществляется следующим образом (D-триггер ТМ2): хранение информации осуществляется при подаче на вход С как логического 0, так и логической 1. На выход передается и запоминается на период повторения синхроимпульсов информация, имеющаяся на входе D перед фронтом импульса на входе С. Изменение информации на выходе может происходить только во время действия фронта импульса на входе С.