

# **Проектирование цифровых устройств на ПЛИС**

# Область применения высокопроизводительных вычислительных систем

- Прикладная физика, математика
- Ядерная физика
- Астрофизика
- Метеорология
- Создание искусственного интеллекта
- Генетика
- Медицина
- Военно-прикладные задачи

- Военная промышленность
- Авиация
- Космос
- Робототехника
- Системы управления различными технологическими процессами
- Мобильная связь
- Бытовая техника

Наиболее востребованы суперкомпьютеры, вычислительные кластеры

Встроенные и специализированные вычислительные системы

- Высочайшая производительность
- Простота программирования

- Высокая производительность
- Небольшие размеры
- Низкое энергопотребление
- Невысокая стоимость
- Скорость и простота разработки

Требования, которые выдвигают задачи к ВС

Общая проблема – повышение производительности

2008 год производительность уровня Pflops ( $10^{15}$ )

Современные стремления HPC (High Performance Computing) – Exaflops  $10^{18}$

(*FLOPS* (for *F*loating-point *O*perations *P*er *S*econd))

# Классические способы повышения производительности вычислительных систем

- Аппаратные
  - Реализация параллелизма на всех уровнях ВС
  - Усовершенствование архитектуры
  - Использование быстродействующей элементной базы
- Программно-аппаратные – реализуются на уровне программного обеспечения

ПЛИС

# Использование ПЛИС в области высокопроизводительных вычислений

Высокопроизводительные вычислительные системы (ВС)

Суперкомпьютеры  
Высокопроизводительные  
вычислительные  
кластеры

Встроенные ВС  
Специализированные  
ВС  
Система-на-кристалле  
(SoC NoC)

Реконфигурируемые  
вычислительные  
системы

Универсальные  
системы

Объектно-  
ориентированные  
системы

Универсальные  
системы адаптивные  
под классы задач

Многоядерные  
процессоры

Арифметические  
расширители и  
ускорители

Вычислительные узлы  
с нестандартной  
архитектурой

Реализация  
на ПЛИС всей  
системы

Специализированные средства на ПЛИС

# Мировые лидеры высокопроизводительных вычислений

## Top500 List - November 2012

Rank	Site	System	Cores	Rmax (TFlop/s)	Rpeak (TFlop/s)	Power (kW)
1	DOE/SC/Oak Ridge National Laboratory United States	<b>Titan</b> - Cray XK7 , Opteron 6274 16C 2.200GHz, Cray Gemini interconnect, NVIDIA K20x Cray Inc.	560640	17590.0	27112.5	8209
2	DOE/NNSA/LLNL United States	<b>Sequoia</b> - BlueGene/Q, Power BQC 16C 1.60 GHz, Custom IBM	1572864	16324.8	20132.7	7890

### *IBM Sequoia архитектура Blue Gene/Q*

- комплектуется вычислительными узлами изготовленными по технологии система-на-кристалле, содержащими 18 процессорных ядер *Power PC A2*,
- микросхема изготавливаются по технологическому процессу 45 нм,
- один чип *Blue Gene/Q* включают в себя 1 470 000 000 транзисторов и выступает с пиковой производительностью 204,8 Gflops.
- в общем пиковая производительность суперкомпьютера достигает 20.133 Pflops при 16.325 Pflops реальной.

# Транзисторы

1947 г

(Bell Laboratories, США)

Первый транзистор

Точечное устройство на основе

1950 г

(Bell Laboratories, США)

Биполярный транзистор

1954 г

Начат промышленный выпуск транзисторов - было произведено немногим более 1 млн. транзисторов.

1960 г

Впервые созданы интегральные схемы – несколько биполярных транзисторов на микрокристалле.

Соединения транзисторов – логические вентили  
Набор логических вентилей на кристалле - ИС

Вытеснены кремниевыми биполярными транзисторами

Широко применяются в производстве интегральных схем

1962 г

(Лаборатория RCA, Прингстон)

Металл-оксид-полупроводниковый полевой транзистор

(МОП-транзистор, полевой

транзистор)

Несколько медленнее, но дешевле, меньше размером, потребляют существенно меньше энергии

Базовые логические элементы, лежащие в основе интегральных ИС

1960 г Texas Instruments семейство 54 и 74 серии ИС средней степени интеграции – набор простой логики (ТТЛ)

Соединения биполярных транзисторов

1968 г компания RCA - аналогичный набор микросхем семейства 4000 (КМОП)

Соединения полевых транзисторов

Логический вентиль транзисторно-транзисторной логики

Логический вентиль Эмиторно-связанной логики

Комплементарный металл-оксид полупроводниковый элемент

ТТЛ

ЭСЛ

КМОП

Современные КМОП вентили догнали ТТЛ по быстродействию и имеют значительно меньшую мощность потребления энергии

# Статическое ОЗУ

## Микропроцессоры

Статическое ОЗУ используется в ПЛИС для хранения конфигурации устройства  
Некоторые типы ПЛИС содержат встраиваемые микропроцессорные ядра

1970 г

(Firechild, США)

256 бит – микросхема статического ОЗУ

1971 г

(Intel, США)

Первый микропроцессор – Intel 4004

- Микросхемы малой и средней степени интеграции (ИС) — до 100 / до 1000 элементов в кристалле.
- Большая интегральная схема (БИС) — от 1000 до 10000 элементов в кристалле (1970).
- Сверхбольшая интегральная схема (СБИС) — свыше 10000 элементов в кристалле.

## Программируемые логические устройства (ПЛУ)

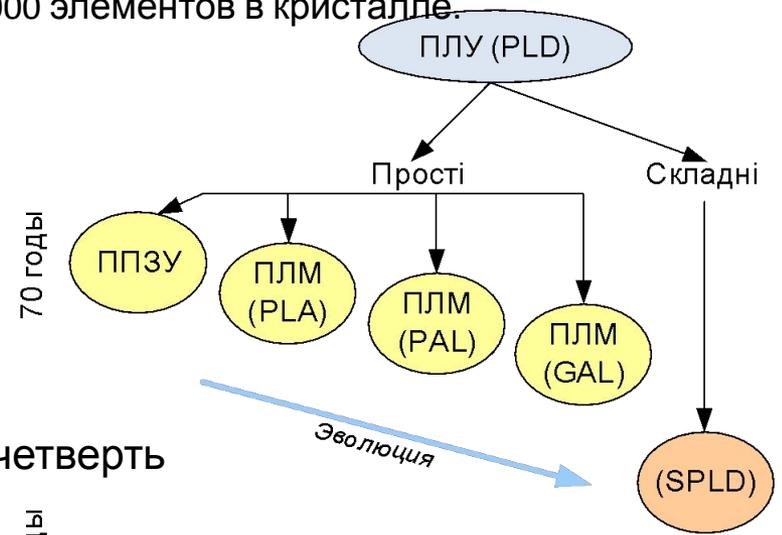
1970 г

Первые ПЛУ

**ППЗУ** - функции памяти компьютера (ПЗУ)

- Хранение программ и констант
- Низкая степень интеграции
- Очень простые

1976 степень интеграции - четверть миллиона.



70 годы

80 годы

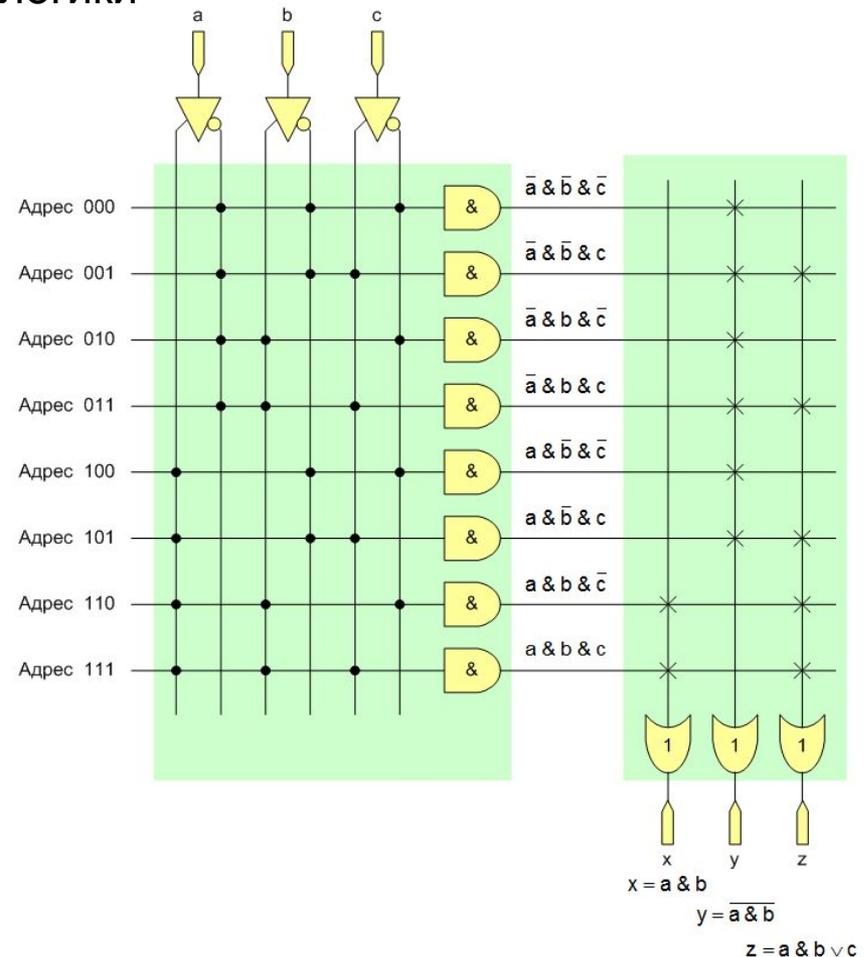
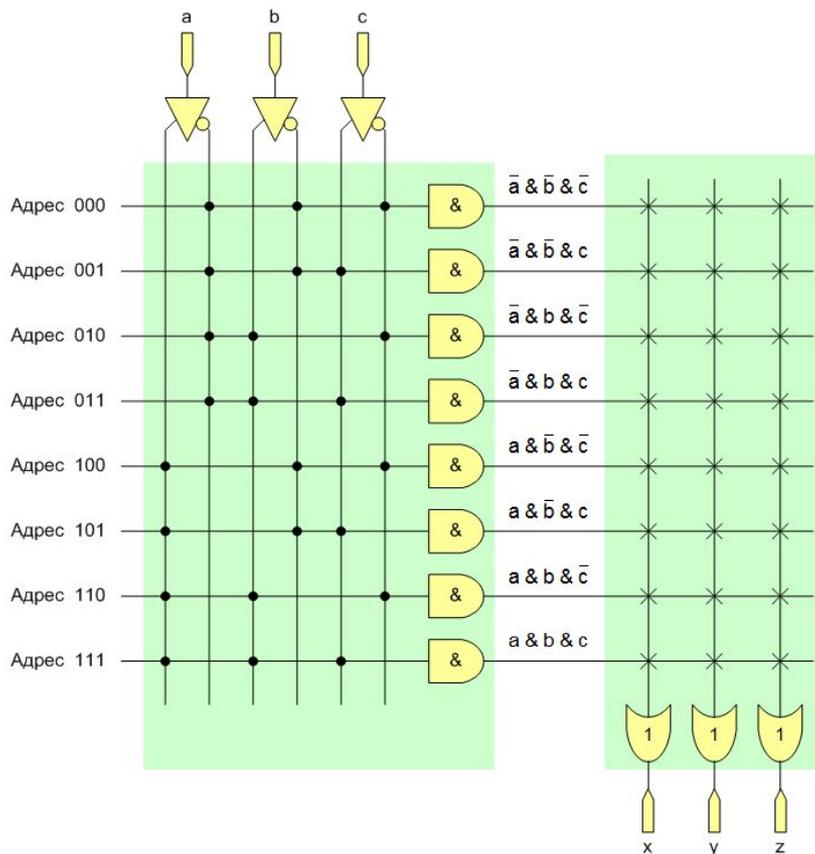
1980 степень интеграции – миллион (появление ПЛИС)

2000 степень интеграции приблизилась к 10 млн

# Архитектура ПЛУ на ППЗУ

## Программируемые постоянные запоминающие устройства

- Изначально созданы для реализации постоянной памяти компьютера - хранения программных инструкций и констант.
- Предложено эффективное применение - использование ППЗУ для реализации любой комбинационной логики



# Преимущества и недостатки решения

## Преимущества:

- Замена множества микросхем одной - удешевление устройства
  - уменьшение размеров устройства на печатной плате
- Микросхема конфигурируется в зависимости от требований решаемой задачи
  - гибкость производства
- Уменьшение количества паяных соединений – повышение надежности
- Внутренние каналы связи более быстродействующие – повышение быстродействия
- Возможность перепрограммирования устройства СПЗУ, ЭСПЗУ (исправление ошибок на печатной плате весьма трудоемкий процесс)

**Недостатки:** - ограничение гибкости проектирования  
- predetermined configuration does not allow to perform more complex devices on one crystal

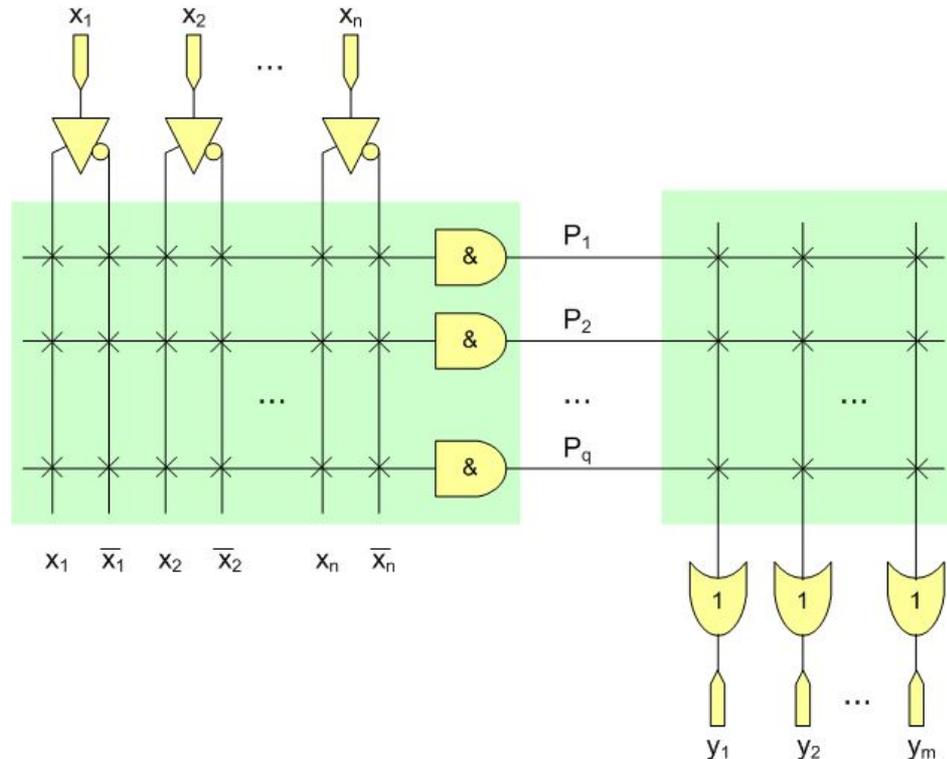
- Ограничение на количество выводов , причем количество выводов predetermined on production
- Эффективны для функций с большим количеством входных произведений (входной массив predetermined)
- Эффективны для реализации функций с малым количеством выходных наборов

# Архитектура ПЛМ

Программируемые логические матрицы (1975 г)

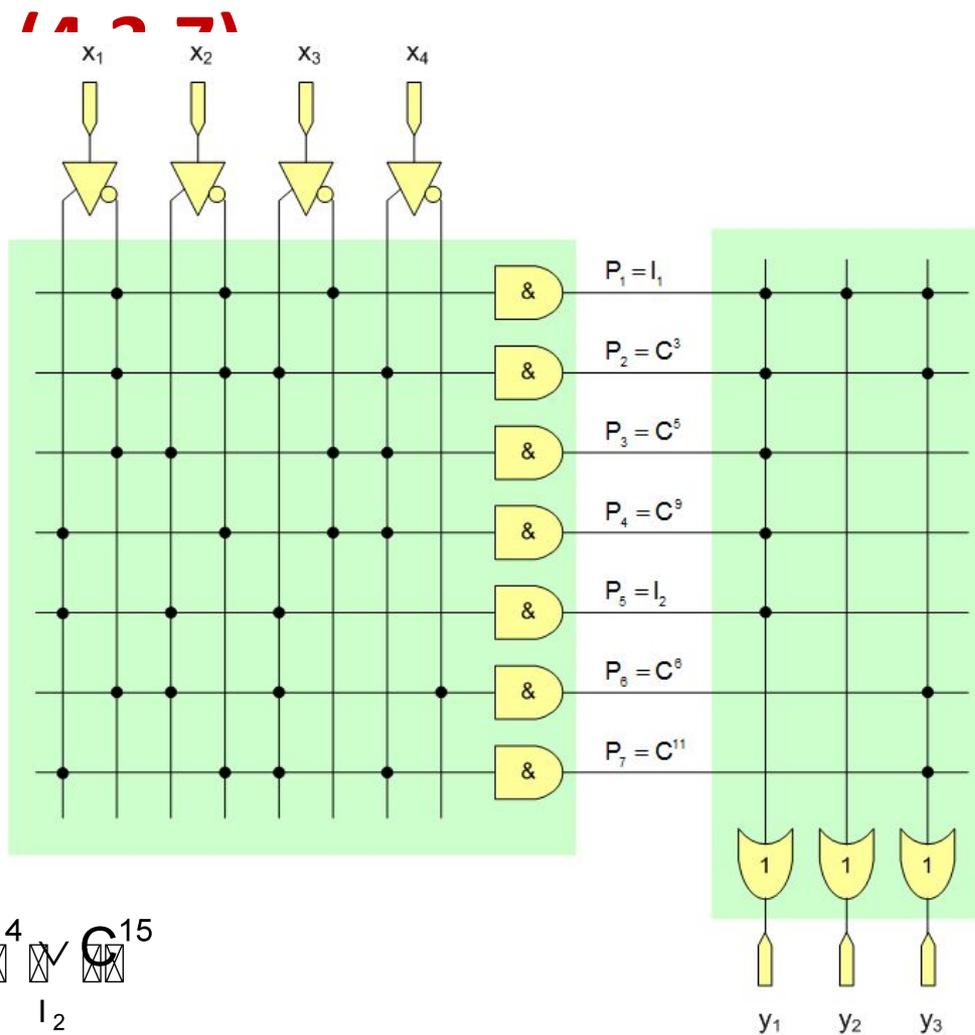
*Programmable Logic Array – PLA*

- Решение проблем, связанных с ограничениями ППЗУ
- Программируемый массив функций И и программируемый массив функций ИЛИ
- Задаются параметрами ( $m, n, q$ ):
  - $m$  – число входов;  $n$  – число выходов;  $q$  – число промежуточных шин
- Наиболее распространенные типы ПЛМ: ПЛМ (12, 8, 96); ПЛМ (16, 8, 48); ПЛМ (20, 16, 72);



# Пример реализации системы переключательных функций на ПЛМ

$x_4$	$x_3$	$x_2$	$x_1$	$y_3$	$y_2$	$y_1$
0	0	0	0	1	-	1
0	0	0	1	1	-	-
0	0	1	0	0	0	0
0	0	1	1	1	0	1
0	1	0	0	0	0	0
0	1	0	1	1	0	0
0	1	1	0	0	0	1
0	1	1	1	-	-	-
1	0	0	0	-	-	-
1	0	0	1	1	0	-
1	0	1	0	0	0	-
1	0	1	1	0	0	1
1	1	0	0	0	0	-
1	1	0	1	-	-	-
1	1	1	0	1	1	-
1	1	1	1	1	1	-



$$y_1 = \underbrace{C^0 \vee C^1 \vee C^3 \vee C^5 \vee C^9}_{I_1} \vee \underbrace{C^{14} \vee C^{15}}_{I_2}$$

$$y_2 = C^{14} \vee C^{15} = I_2$$

$$y_3 = C^0 \vee C^1 \vee C^3 \vee C^6 \vee C^{11} = I_1 \vee C^3 \vee C^6 \vee C^{11}$$

# Программируемые массивы

## ЛОГИКИ

### *PAL – Programmable Array Logic*

#### Программируемый массив логики (1975 год)

- Программируемая матрица "И" , фиксированная матрица "ИЛИ"
- Программируемая матрица "И" , фиксированная матрица "ИЛИ\_НЕ"
- Единственная программируемая матрица "И-НЕ" или "ИЛИ\_НЕ"

### *GAL – Generic Array Logic*

#### Изменяемый массив логики

- Электрически стираемые разновидности PAL (1983 год)

#### *Основная проблема – ограничение на количество наборов произведений*

- Увеличивалось количество входов и выходов,
- Реализация возможности инвертировать выходы,
- Реализация выходов с тремя состояниями (можно отключать вообще),
- Организация регистровых выходов (использование регистров-защелок)
- Реализация обратных связей (использование выходов в качестве дополнительных входов)  
что позволяет строить многокаскадные комбинационные схемы.

## Сложные ПЛУ

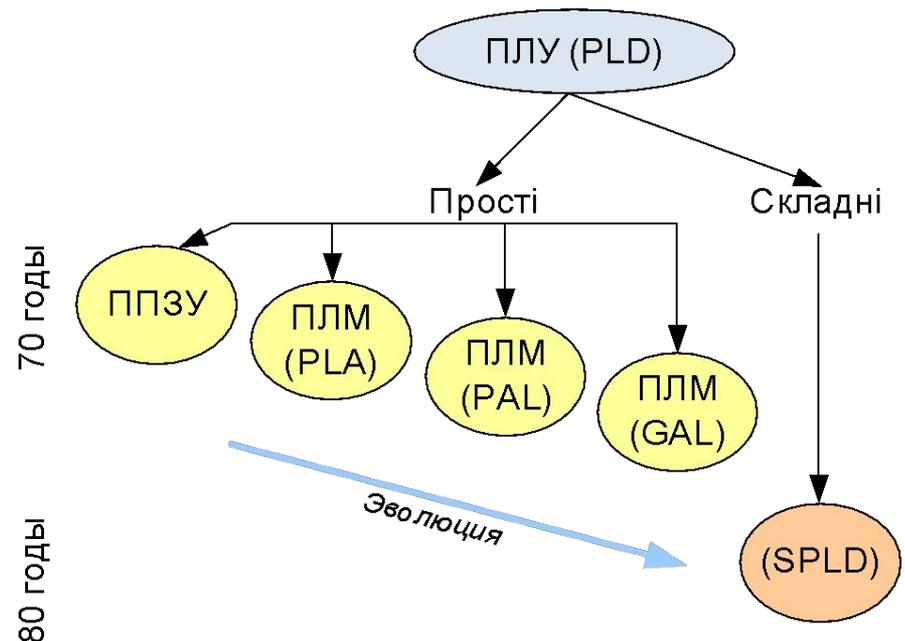
*SPLD - Simple PLD* → *CPLD – Complex PLD* (современные устройства)

### Сложные (простые) программируемые логические устройства (конец 1970-х Altera)

- Блоки простых ПЛУ + программируемая коммутационная матрица

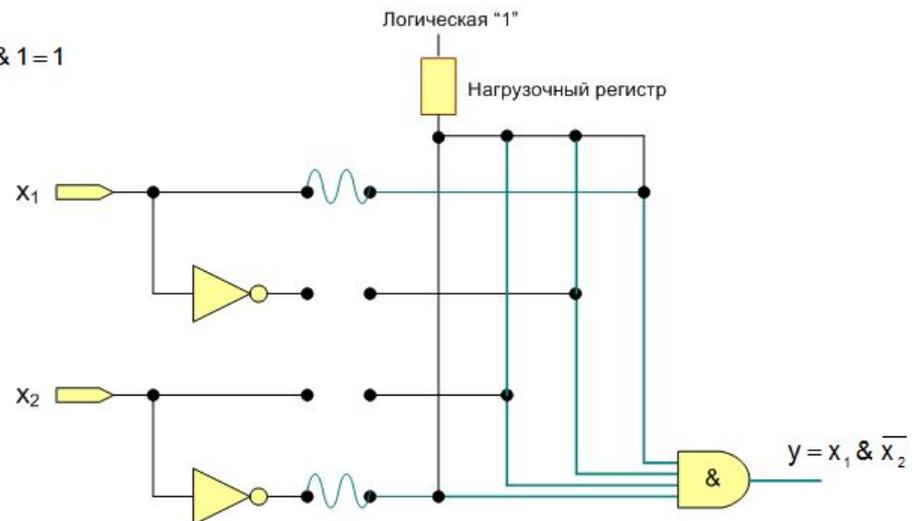
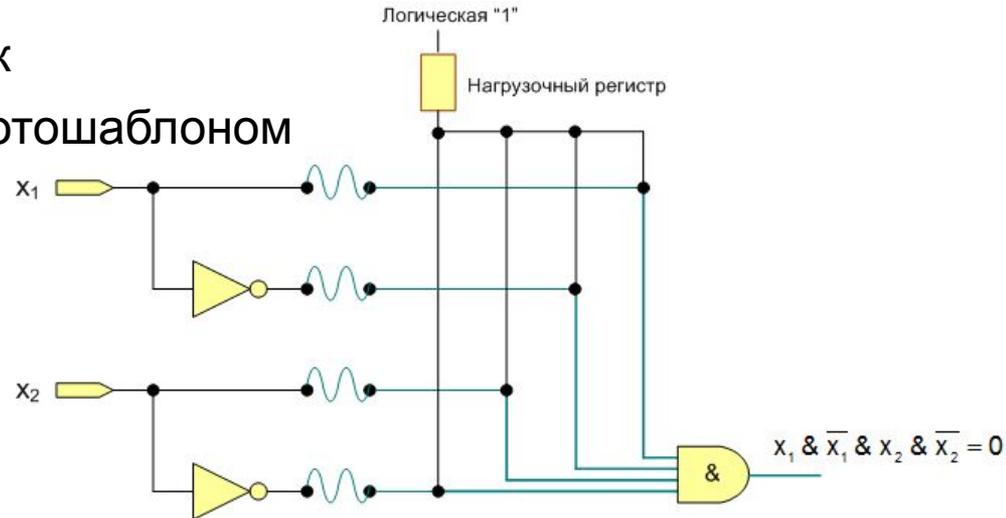
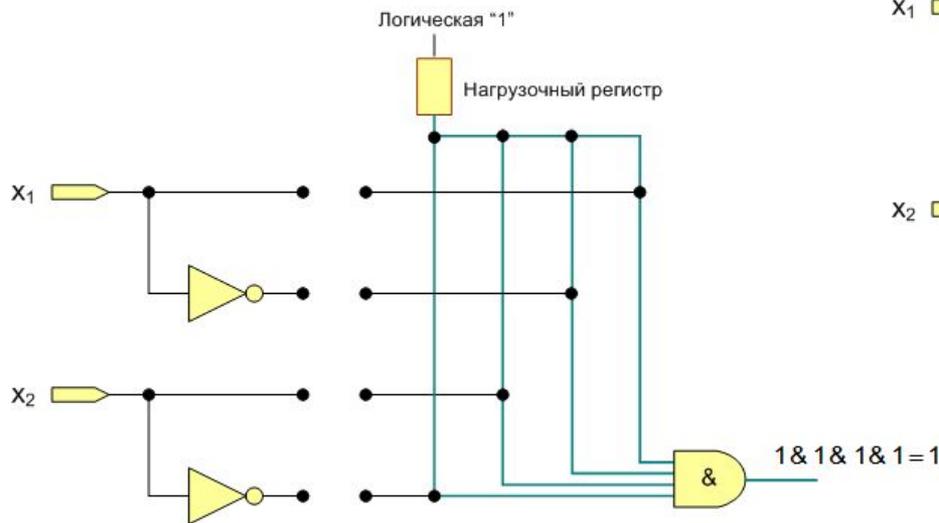
# ПЛУ – конца 80 годов

- Наиболее известные разработки и модификации ПЛУ принадлежат фирмам INTEL, ALTERA, AMD, LATTICE SEMICONDUCTER;
- Использовались для реализации устройств для которых не существовало готовых ИС средней степени интеграции;
- Использовались для реализации относительно простых устройств;
- Относятся к микросхемам средней степени интеграции, с небольшим количество вентиляей;
- Имеют невысокое быстродействие;
- Не нашли широкого практического применения не смотря на активное развитие;
- На сегодняшний считаются морально устаревшими.



# Технология программирования ПЛУ

- Метод плавких перемычек
- Метод наращиваемых перемычек
- Устройства программируемые фотошаблоном

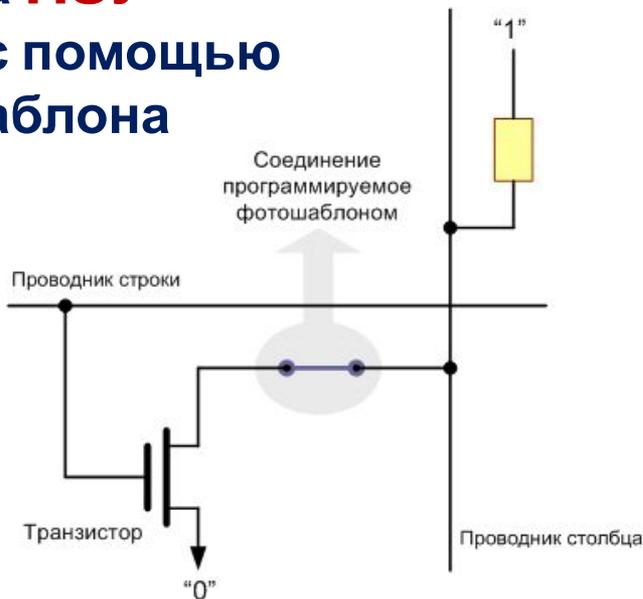


## Программатор

- Специальное устройство для прожигания ПЛУ в лабораторных условиях

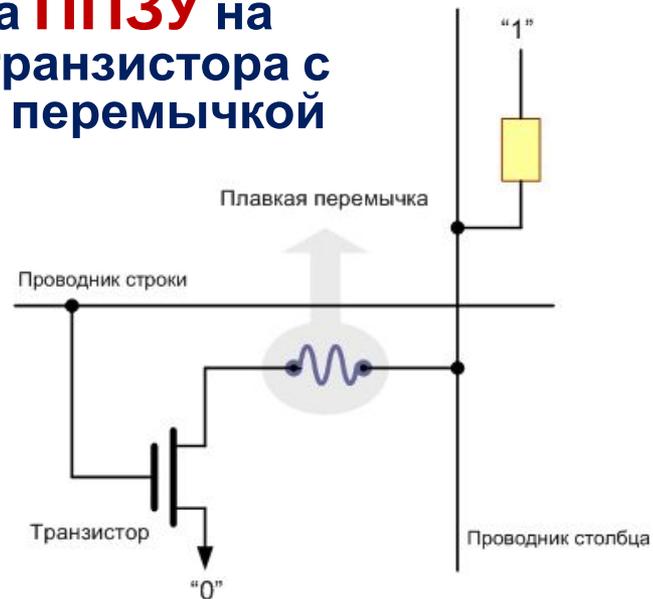
# Ячейка ПЗУ

созданная с помощью фотошаблона



# Ячейка ППЗУ на основе транзистора с плавкой перемычкой

основе транзистора с плавкой перемычкой



## Технологии с возможностью перепрограммирования

### СПЗУ (Стираемое ПЗУ) ПЛУ

Транзистор с плавающим затвором

- Дорогостоящий корпус
- Наличие источника УФ излучения
- Стираемое полностью

### ЭСПЗУ (Электрически стираемое ПЗУ) память

Транзистор + транзистор с плавающим затвором

- Стирание электрическим способом
- Пословно

### Статическое ОЗУ

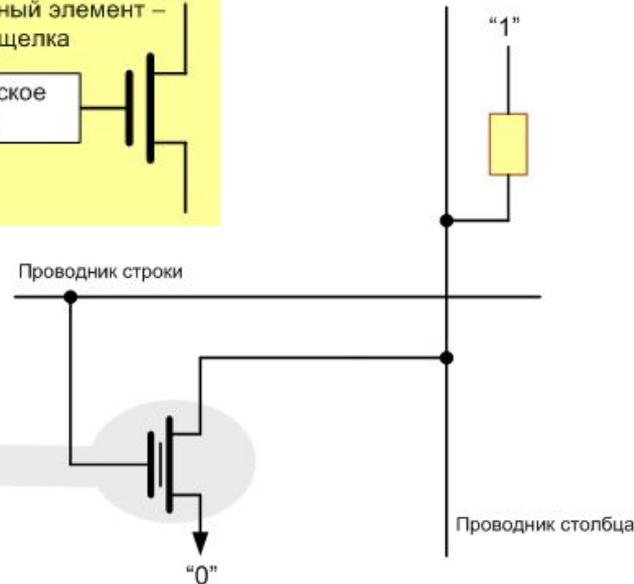
Элемент статического СОЗУ + управляющий транзистор

- Многократно стираемые

Стираемые

FLASH

ПЛИС



# Технологии изготовления ПЛУ

Технология	Преимущественная область применения	Особенности устройств
Плавкие перемычки	Простые ПЛУ ППЗУ	Не перепрограммируются Программируются в лабораторных условиях Энергонезависимые
Наращиваемые перемычки	ПЛИС ППЗУ	Не перепрограммируются Программируются в лабораторных условиях Энергонезависимые
Программирование фотошаблоном	ППЗУ Сложные ПЛУ Заказные ИС Полузаказные ИС	Не перепрограммируются Изготавливаются только на производстве Производство дорого и трудоемко Энергонезависимые
СППЗУ	Простые и сложные ПЛУ	Стираемые Энергонезависимые
ЭСППЗУ	Простые и сложные ПЛУ Некоторые ПЛИС	Перепрограммируются Энергонезависимые
FLASH	Простые и сложные ПЛУ Некоторые ПЛИС	Перепрограммируются Энергонезависимые
Статическое ОЗУ	ПЛИС Некоторые сложные ПЛУ	Энергозависимые Перепрограммируются быстро и многократно Программируются в лабораторных условиях

# Обобщенная классификация интегральных микросхем



## Стандартные ИС

ПЗУ  
Статическое ОЗУ  
Динамическое ОЗУ  
Микросхемы памяти  
Разнообразные логические элементы и узлы  
Микропроцессоры

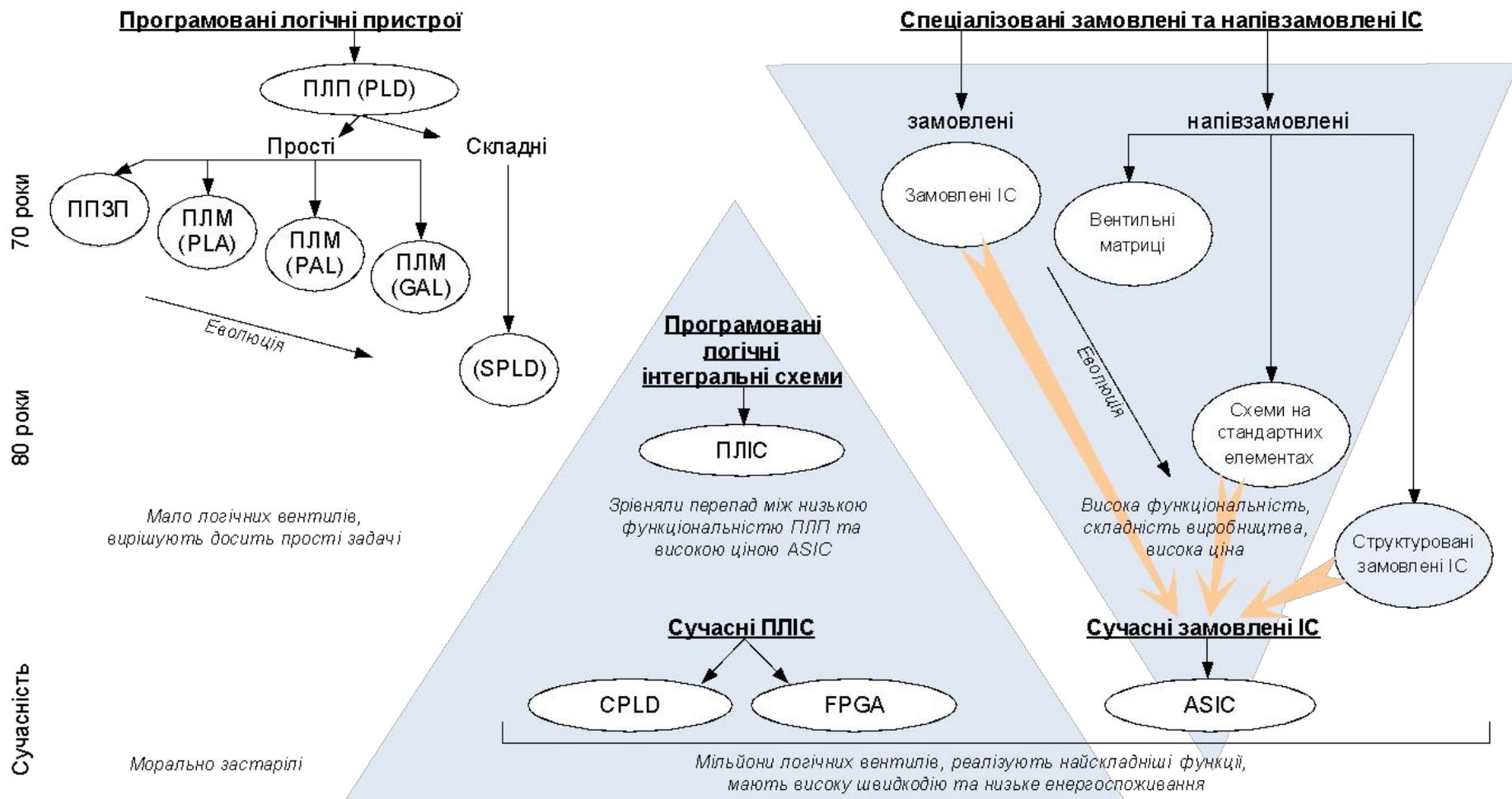
...



## Специализированные ИС

ПЛУ (морально устарели)  
ПЛИС  
CPLD  
ASIC

# Класифікація спеціалізованих ІС



# Технические характеристики микросхем компании INTEL

Характеристика	8086	80286	80386DX	80386SX	80486DX	80486SX
Год выпуска	8.6.78	1.2.82	17.10.85	16.6.88	10.4.89	22.4.91
Тактовая частота	5MHz, 8MHz, 10MHz	6MHz, 10MHz, 12MHz	20MHz, 25MHz, 33MHz	16MHz, 20MHz, 25MHz, 33MHz	25MHz, 33MHz, 50MHz	16MHz, 20MHz, 25MHz, 33MHz
Количество транзисторов	29 тыс.	130 тыс.	270 тыс.	270 тыс.	1.2 млн	1.1 млн
Быстродействие (оп. в сек.)	0.3-0.7 млн	0.99-2.66 млн	5-11 млн	2-2.9 млн	27-41 млн	13-27 млн
Технологический процесс	3 мкм	1.5 мкм	1 мкм	1 мкм	1 мкм, 0.8 мкм	0.8 мкм

Характеристика	Pentium	Pentium Pro	Pentium MMX	Pentium II	Celeron	Pentium III
Год выпуска	22.3.93	1.11.95	8.1.97	7.5.97	15.4.98	26.2.99
Тактовая частота	60MHz, 66MHz, 75MHz, 100MHz, 120MHz, 133MHz, 150MHz, 166MHz, 200MHz	150MHz, 166MHz, 180MHz, 200MHz	166MHz, 200MHz, 233MHz	233MHz, 266MHz, 300MHz, 333MHz, 350MHz, 400MHz, 450MHz	266MHz, 300MHz, 333MHz, 366MHz, 400MHz, 433MHz, 466MHz, 500MHz, 533MHz	450MHz, 500MHz, 550MHz, 600MHz, 650MHz, 700MHz, 733MHz
Количество транзисторов	3.1-3.3 млн	5.5 млн	4.5 млн	7.5 млн	7.5-19 млн	9.5-28 млн
Технологический процесс	0.8 мкм, 0.6 мкм, 0.35 мкм	0.6 мкм, 0.35 мкм	0.35 мкм	0.35 мкм, 0.25 мкм	0.25 мкм	0.25 мкм, 0.18 мкм

# Заказные и полужаказные ИС

*(ASIC, Application Specific Integrated Circuit, Structured ASIC)*

## Достоинства:

- При массовом производстве имеют невысокую цену.
- До появления современных ПЛИС не имели аналогов с точки зрения реализации сложного нестандартного оборудования.
- Жаказные и полужаказные ИС являются энергонезависимыми.
- **Для полностью жаказных ИС** спроектированное устройство содержит необходимое количество вентиля, на кристалле нет ничего лишнего и нет свободного места
- За счет наиболее оптимальной трассировки достигнуто максимально-возможное быстродействие, достигнуто минимальное энергопотребление
- За счет сверхвысокой степени интеграции возможна реализация сколько угодно сложных цифровых устройств.
- **Для полужаказных ИС:** имеют более разумную цену и приемлемую скорость разработки за счет использования частично готовой конфигурации.

## Недостатки:

- Окончательный вариант конфигурации зашивается в кристалл и для модификации требуется создание новой версии устройства.
- **Жаказные ИС:** Разработка и производство сложный, длительный, трудоемкий, дорогостоящий процесс.
- **Для полужаказных ИС:** В качестве недостатка следует сказать, что все внутренние ресурсы микросхем не используются, кроме того расположение вентиля строго определено и трассировка внутренних соединений не всегда оптимальна, что сказывается на быстродействии микросхемы, производительности и потребляемой мощности.

# Программируемые логические интегральные схемы, ПЛИС

*(FPGA, Field Programmable Gate Array)*

## Достоинства:

- Высокая степень интеграции. Миллионы вентиляей;
- Реализация таких же сложных функций, которые раньше могли быть решены только с использованием заказных ИС.
- С точки зрения реализуемых функций имеют более гибкую структуру чем CPLD
- ПЛИС программируются в лабораторных условиях (в отличие от устройств внутренняя структура которых жестко зашита на производстве).
- Функциональность устройства может быть задана на месте в соответствии с специализированными требованиями заказчика, устройство может быть отлажено и модифицировано на месте.
- можно отлаживать, как весь проект целиком, так и отдельные цепи устройства.
- Стоимость изготовления ниже стоимости изготовления заказных ИС, однако при массовом производстве заказные ИС дешевле.
- Очень дешево можно создавать и отлаживать опытные образцы, а затем налаживать массовый выпуск на ИС.
- простое внесение изменений устройства, сокращение сроков выхода устройства на рынок.
- Привлекательны не только для промышленного производства, но и для небольших компаний разработчиков.
- могут программироваться однократно или многократно.
- может программироваться внутрисистемно, т.е. функции устройства ПЛИС уже встроенного в электронную систему могут быть запрограммированы или модифицированы.

## Недостатки:

- Энергозависимые. При выключенном питании конфигурация стирается.

# Сложные программируемые логические устройства

## *CPLD (Complex Programmable Logic Device)*

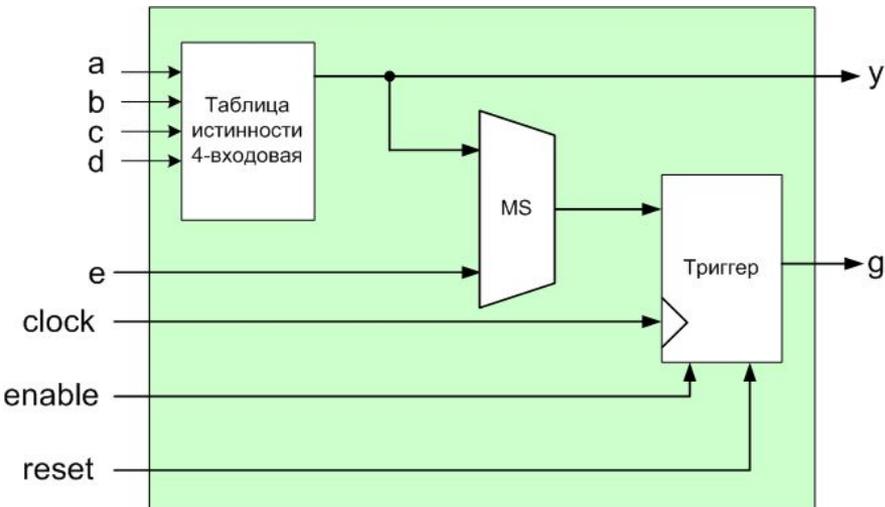
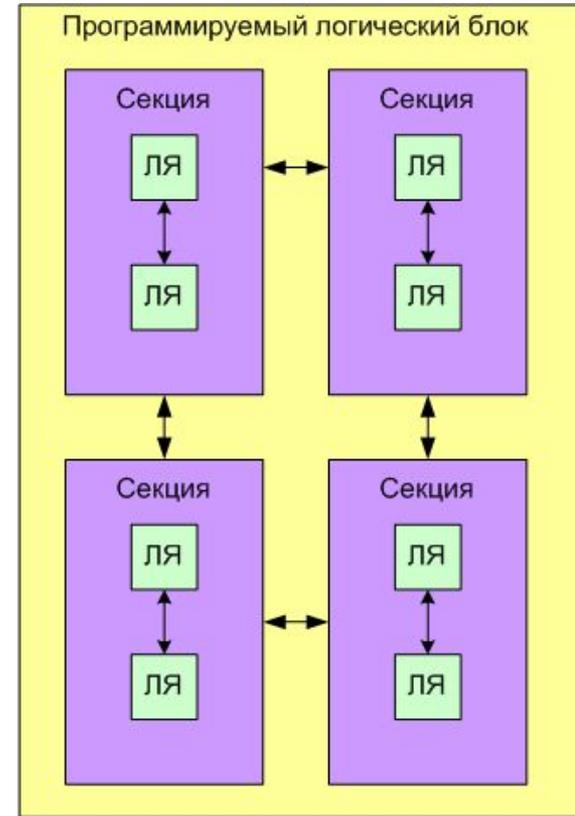
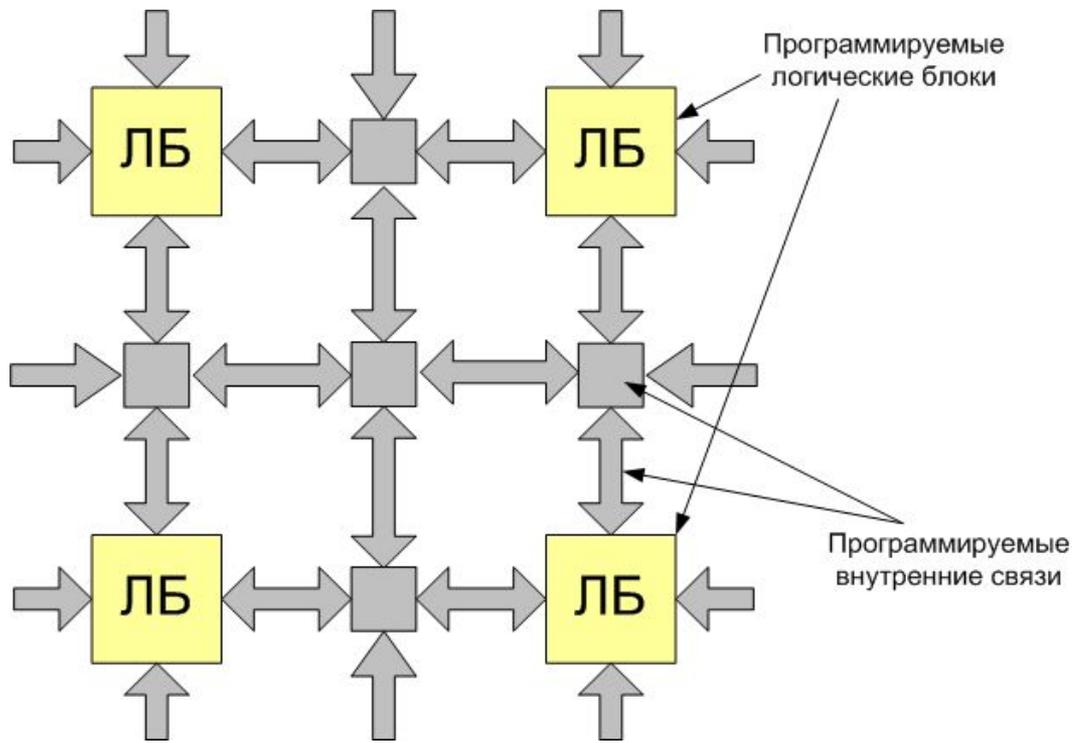
### Преимущества

- Энергонезависимые структуры
- Обладают всеми преимуществами ПЛИС
- В основе лежат программируемые логические блоки, реализующие СДНФ функции.
- Программируемые логические блоки объединяются в крупные— *макроячейки*, соединённые с внешними выводами и внутренними шинами.
- Функциональность CPLD кодируется в энергонезависимой памяти (FLASH), поэтому нет необходимости их перепрограммировать при включении.

### Недостатки

- Не высокая гибкость проектирования, ограниченные возможности с точки зрения реализации сложных устройства

# Структура ПЛИС фирмы Xilinx



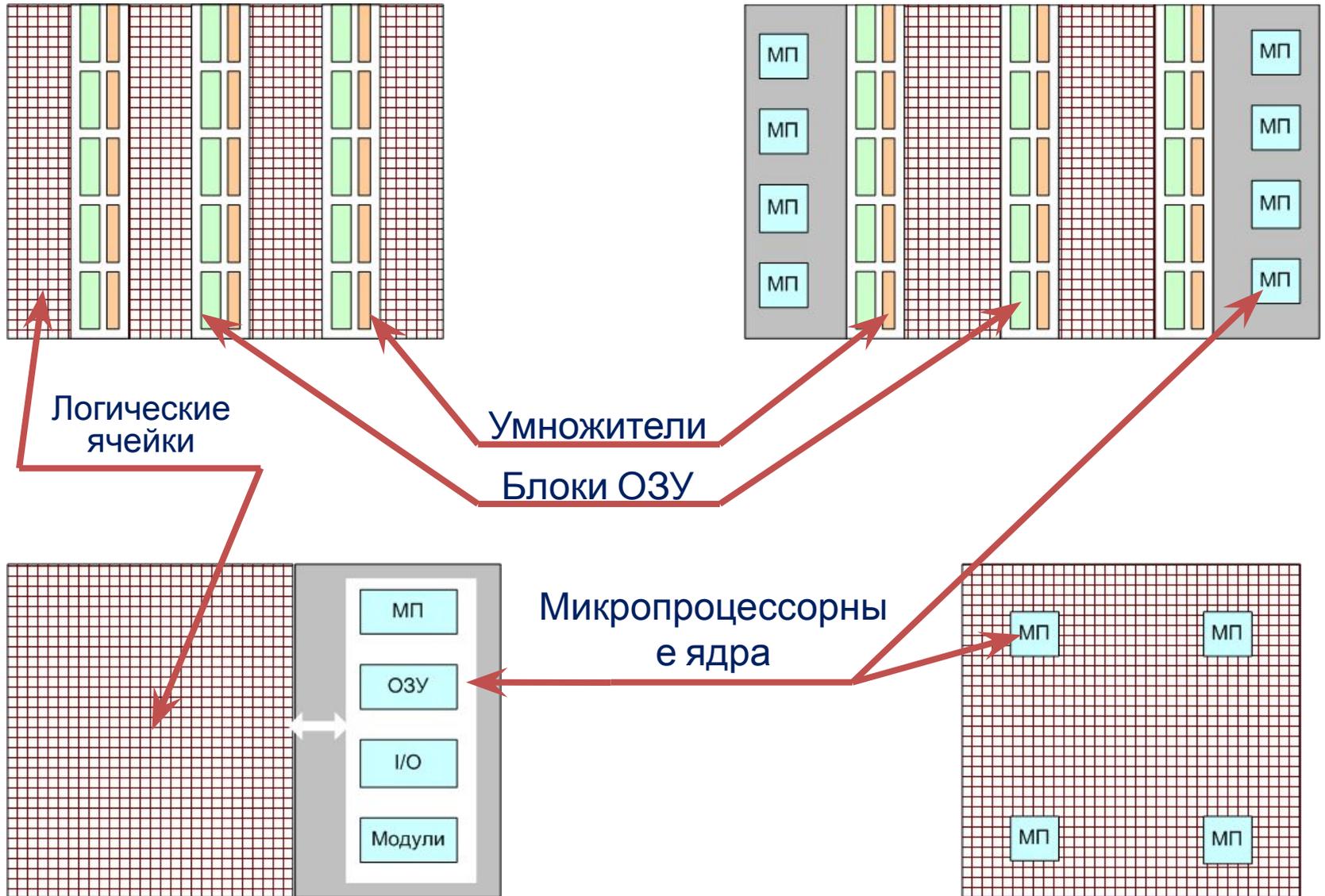
На одной ячейке (ТИ)

- ОЗУ 16x1;
- 16-разрядный сдвиговый регистр

На восьми ячейках (ЛБ)

- ОЗУ 16x8; ОЗУ 32x4; ОЗУ 64x1
- 128-разрядный сдвиговый регистр

# Встроенные функциональные блоки



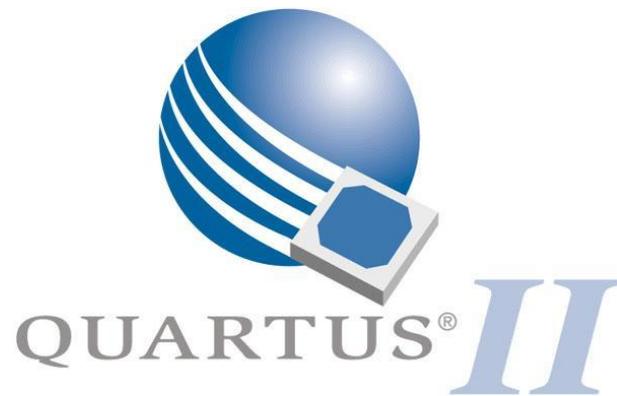
# Ведущие производители

- Atmel
- Altera
- Lattice Semiconductor
- Xilinx
- Actel

Распределённая память ПЛИС, выполняется

- на основе энергозависимых ячеек статического ОЗУ (Xilinx и Altera) - энергозависимые
- на основе энергонезависимых ячеек Flash-памяти (Actel и Lattice Semiconductor) – энергонезависимые
- CPLD, FPGA на энергозависимых ячейках ОЗУ – встроенная FLASH + МК (Altera) - энергонезависимые

Система автоматизации  
проектирования **Quartus II**  
ALTERA



# СБИС программируемой логики фирмы Altera

- Структурированные полузаказные микросхемы ASIC, архитектура микросхем **Stratix**
- Микросхемы высокой и средней степени интеграции  
**STRATIX, APEX 20K, FLEX 10K**
- Микросхемы невысокой цены  
**CYCLON, ACEX 1K**
- Микросхемы с реализацией высокоскоростных протоколов обмена данными  
**STRATIX GX**  
**MERCURY**
- **CPLD** микросхемы  
**MAX 7000 MAX 3000** (не развиваются и не поддерживаются)
- **Микросхема MAX II** (реализована по классической FPGA схеме)
- Встроенные процессорные ядра  
**NIOS, EXCALIBUS**
- Конфигурационные ПЗУ (память + встроенный контроллер)

# Системы автоматизации проектирования фирмы Altera



**Quartus II** *поддерживает все семейства микросхем*

- Stratix, Stratix GX, Cyclone, APEX II, APEX 20K/E/C, Excalibur, & Mercury Devices
- FLEX 10KE, ACEX 1K, FLEX 6000, MAX 3000A, MAX 7000AE, & MAX 7000B Devices

**Quartus II Web Edition** *(30 ДНЕЙ)*

- Бесплатная версия
- Система с ограниченными возможностями

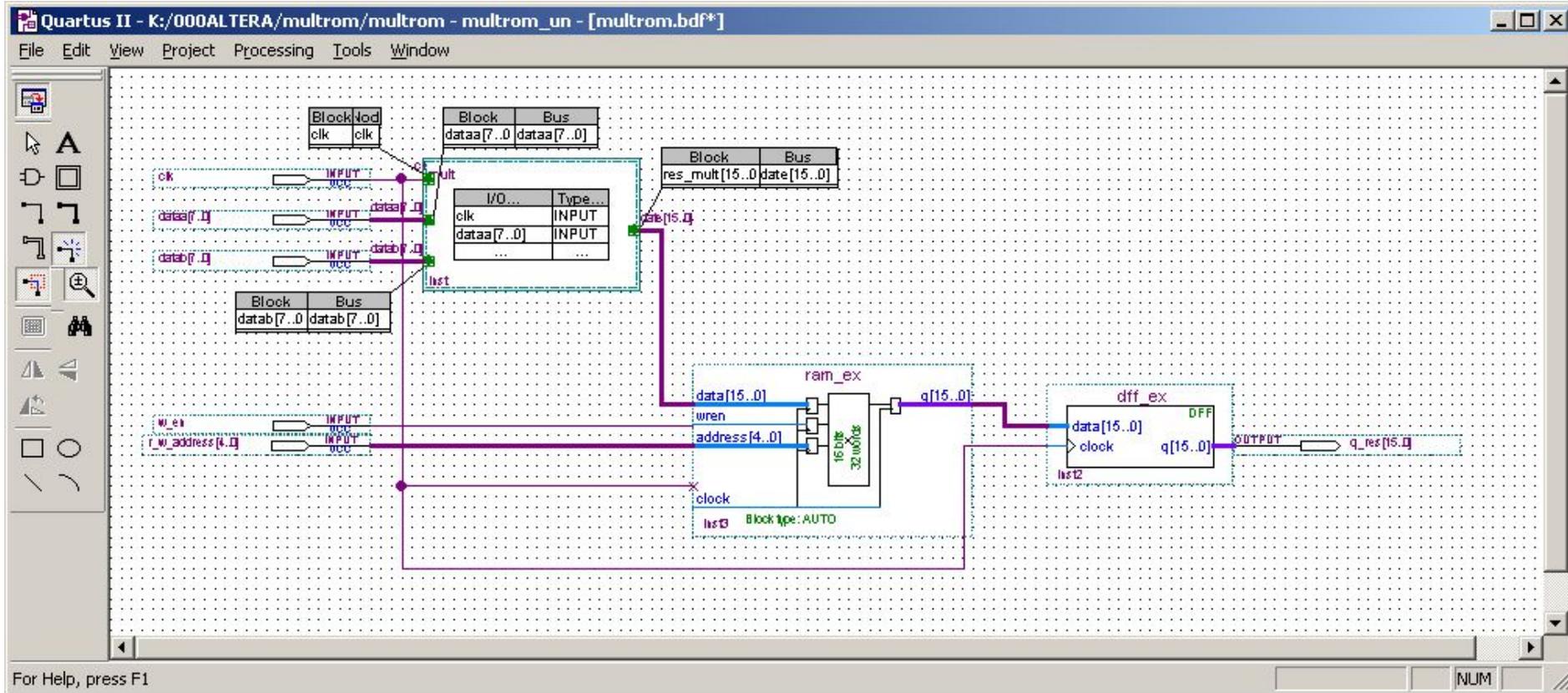
**MAX PLUS II**

- FLEX, ACEX, & MAX

**MODEL SIM** — *мощная среда моделирования, много возможностей*

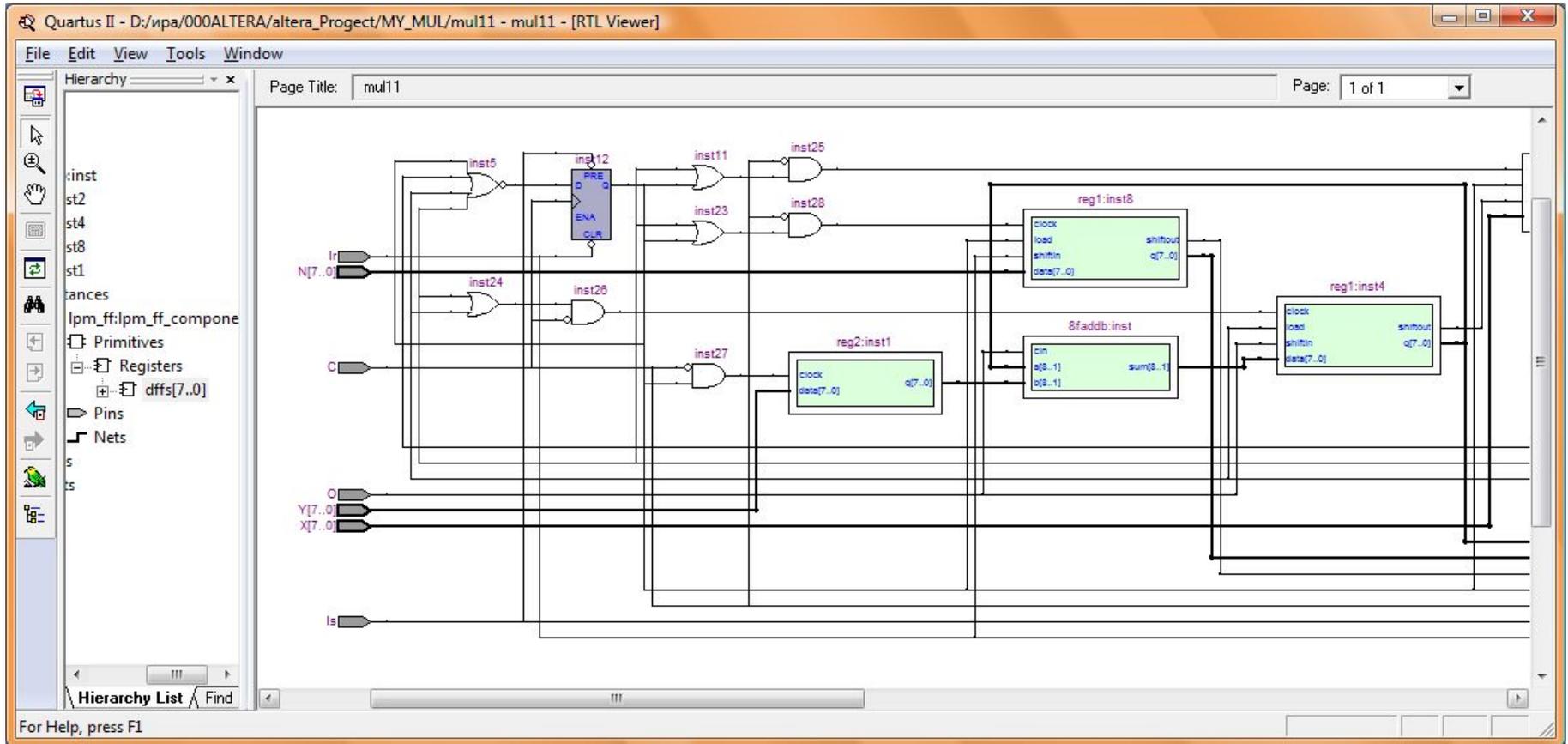


# Проект перед компиляцией



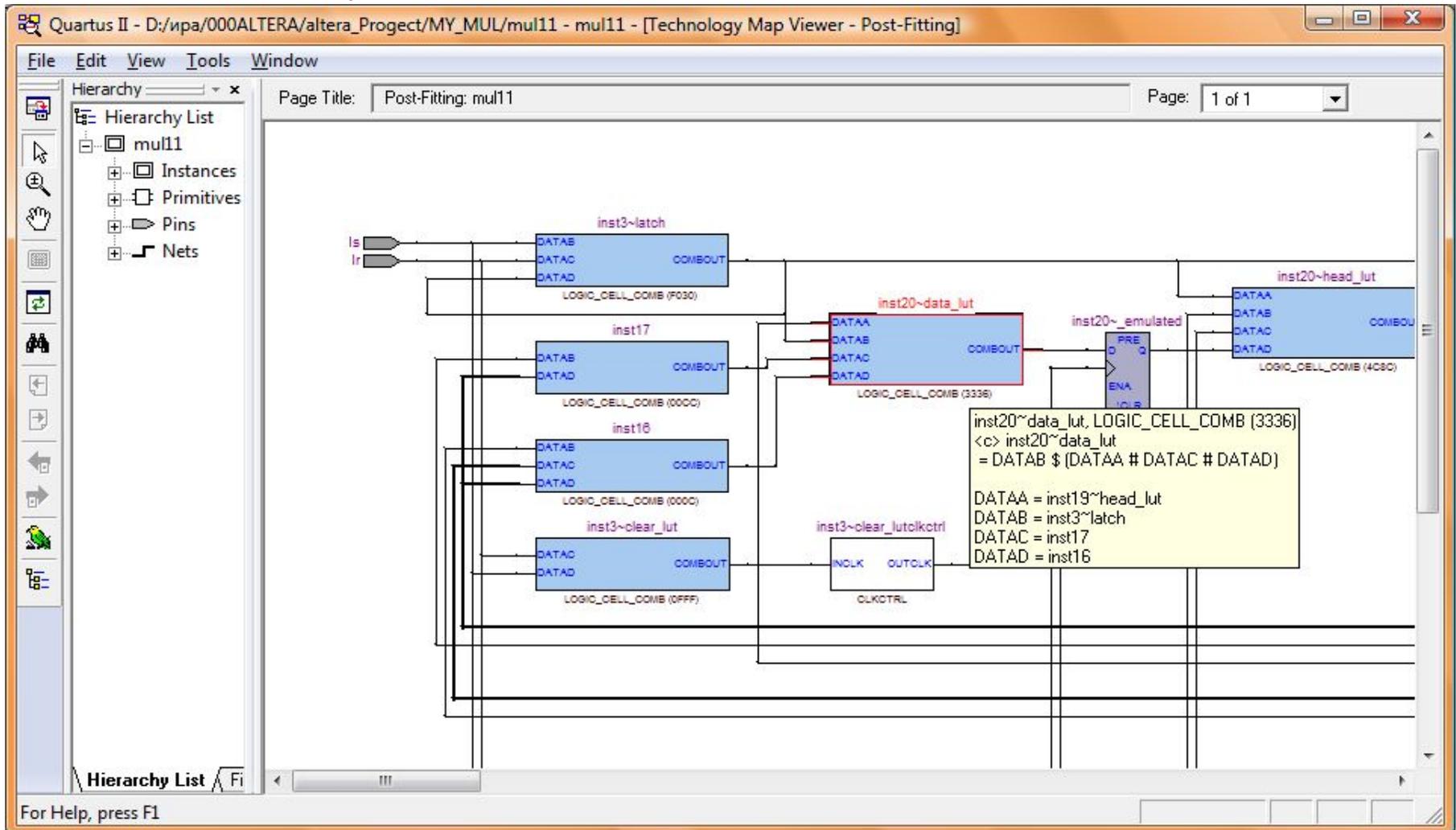
# Редактор Netlist Viewer

( Преобразование описания проекта (всех блоков и узлов в примитивы понятные Quartus II. Quartus II преобразует проект в схему, реализуемую на заданной элементной базе.)



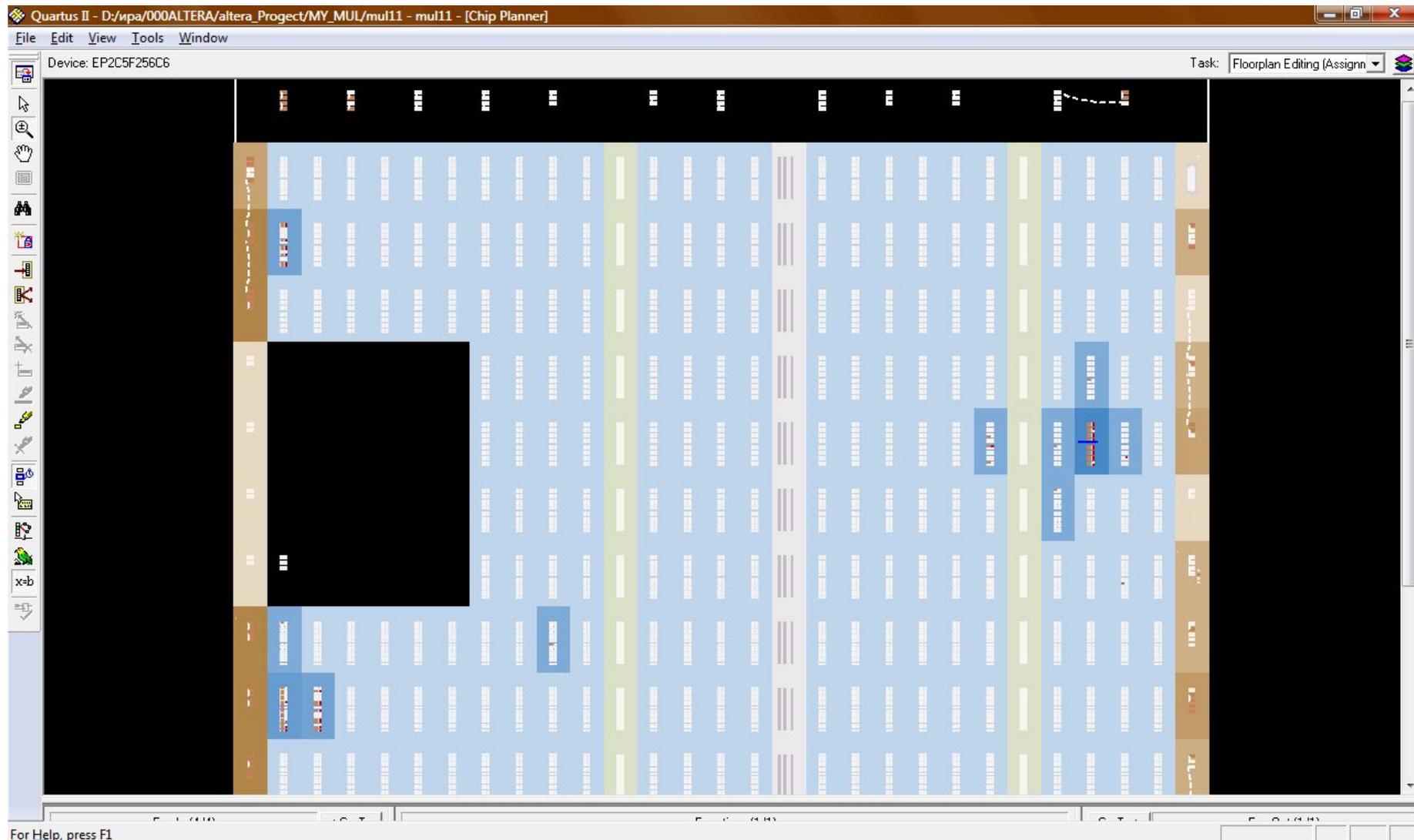
# Редактор Technology Map Viewer

(результаты размещения проекта в топологии МС. Все в виде ячеек- с указанием номера ячейки и даже логической функции, которая выполняется)



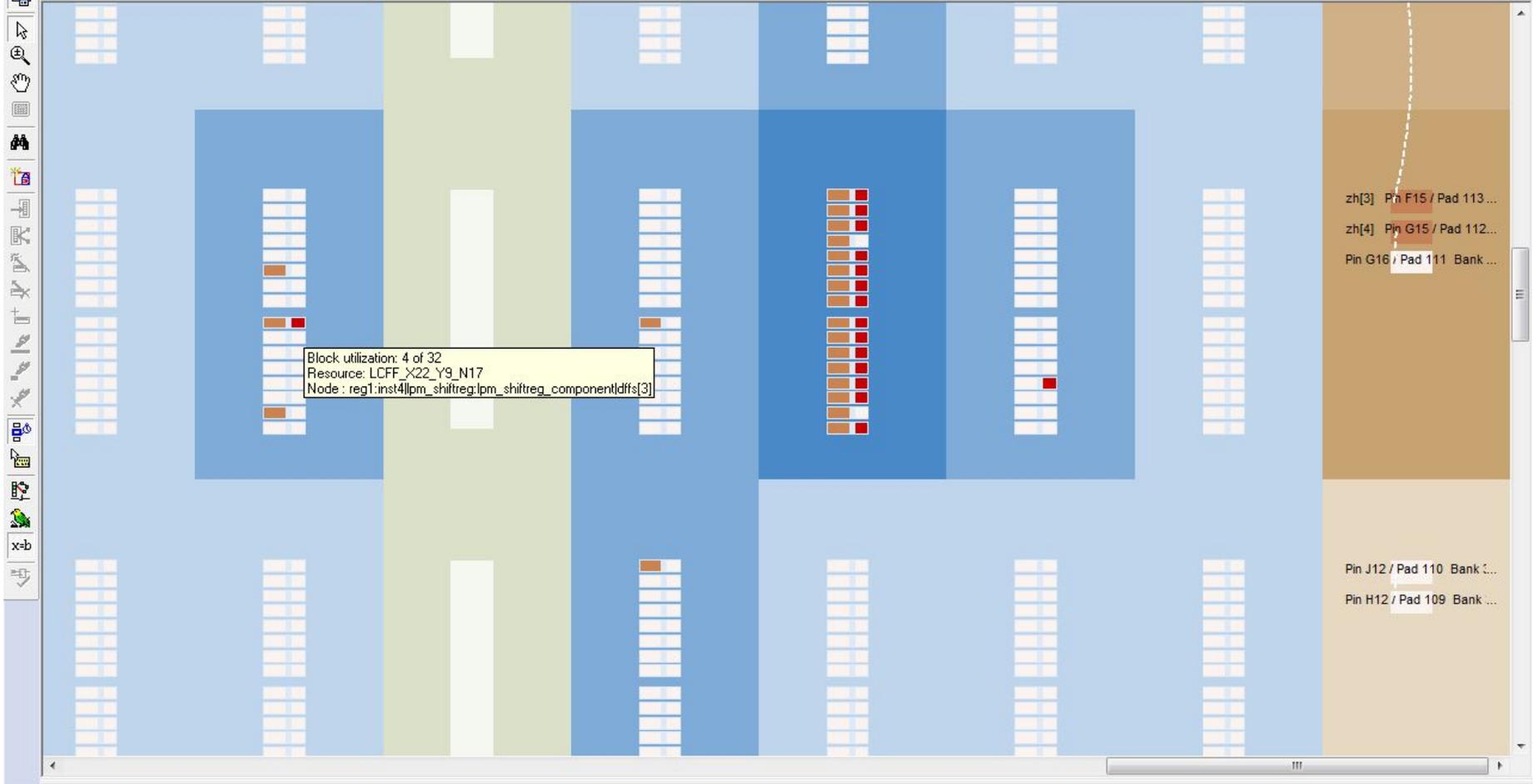
# Топологический редактор Chip Planner

*(просмотр и редактирование топологии МС)*

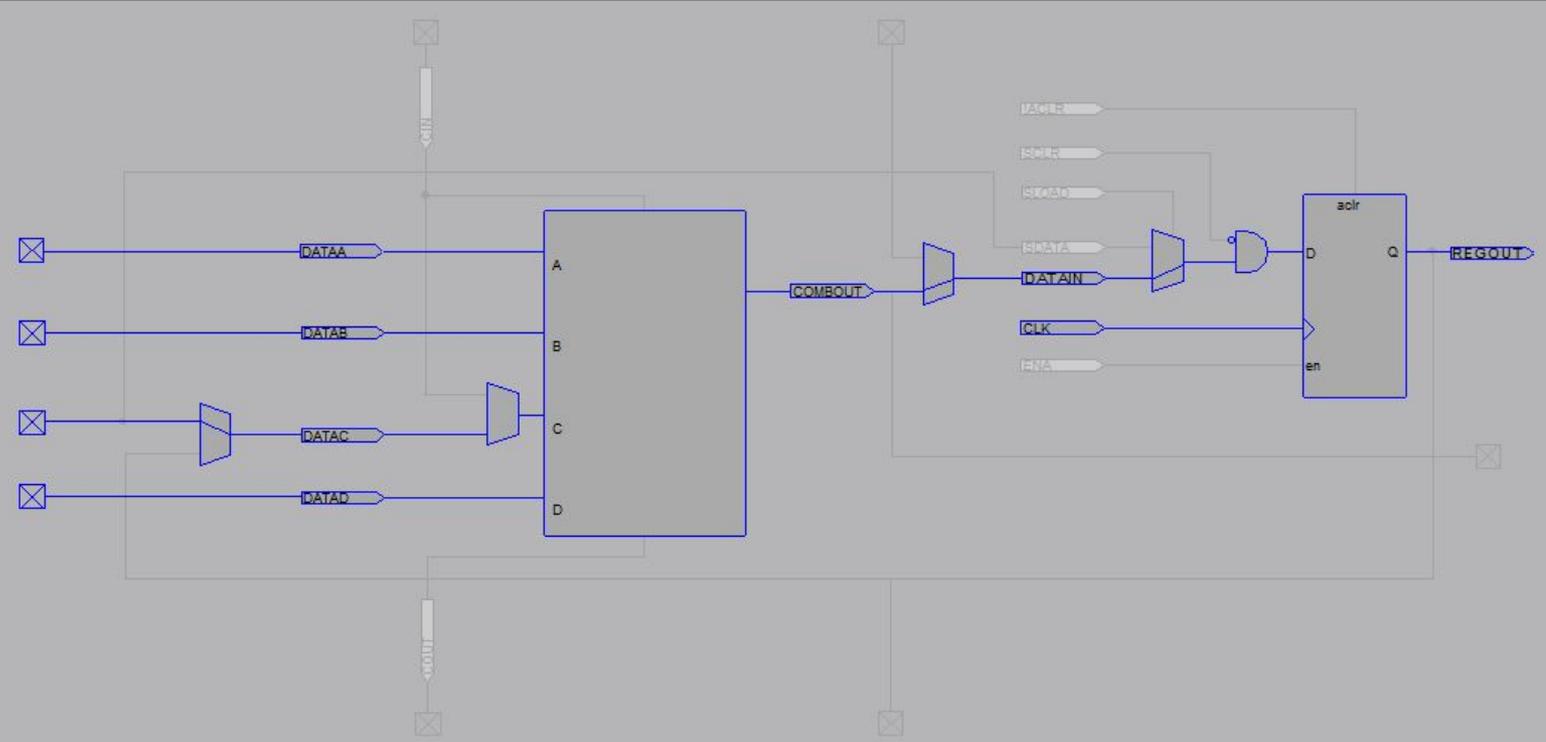


Device: EP2C5F256C6

Task: Floorplan Editing (Assignm...)



Node name: LCCOMB\_X25\_Y9\_N14 -- [mul11]reg1:inst4|pm\_shiftreg:pm\_shiftreg\_component|\_~38



Input Port name	Signal name	Latch info	Inverted
Register Node			
SLOAD	<Disconnected>	N/A	False
DATAIN	[mul11]reg1:inst4 pm_shiftreg:pm_shiftreg_component _~38	N/A	False
SDATA	<Disconnected>	N/A	False

Output Port name	Signal name	Latch info
Register Node		
REGOUT	[mul11]reg1:inst4 pm_shiftreg:pm_shiftreg_component dffs[4]	N/A
Combinational Node		
COMBOUT	[mul11]reg1:inst4 pm_shiftreg:pm_shiftreg_component _~38	N/A

Properties/Modes	Values
Sum LUT Mask	74B8
Carry LUT Mask	N/A
Operation Mode	normal

Properties	Values
Sum Equation	B & (A \$ D) # B & C
Carry Equation	N/A

Node: [mul11]reg1:inst4|pm\_shiftreg:pm\_shiftreg\_component|\_~38

Go To

COMBOUT

# Редактор назначений контактов Pin Planner

Quartus II - D:\пра\000ALTERA\altera\_Project\MY\_MUL\mul11 - mul11 - [Pin Planner]

File Edit View Processing Tools Window

Groups  
Named: [ ]

Node Name	Direction
CT[7..0]	Output
N[7..0]	Input
X[7..0]	Input
Y[7..0]	Input
zh[7..0]	Output
zl[7..0]	Output
<<new node>>	

Cyclone II - EP2C5F256C6

Assignments => Pin Planner

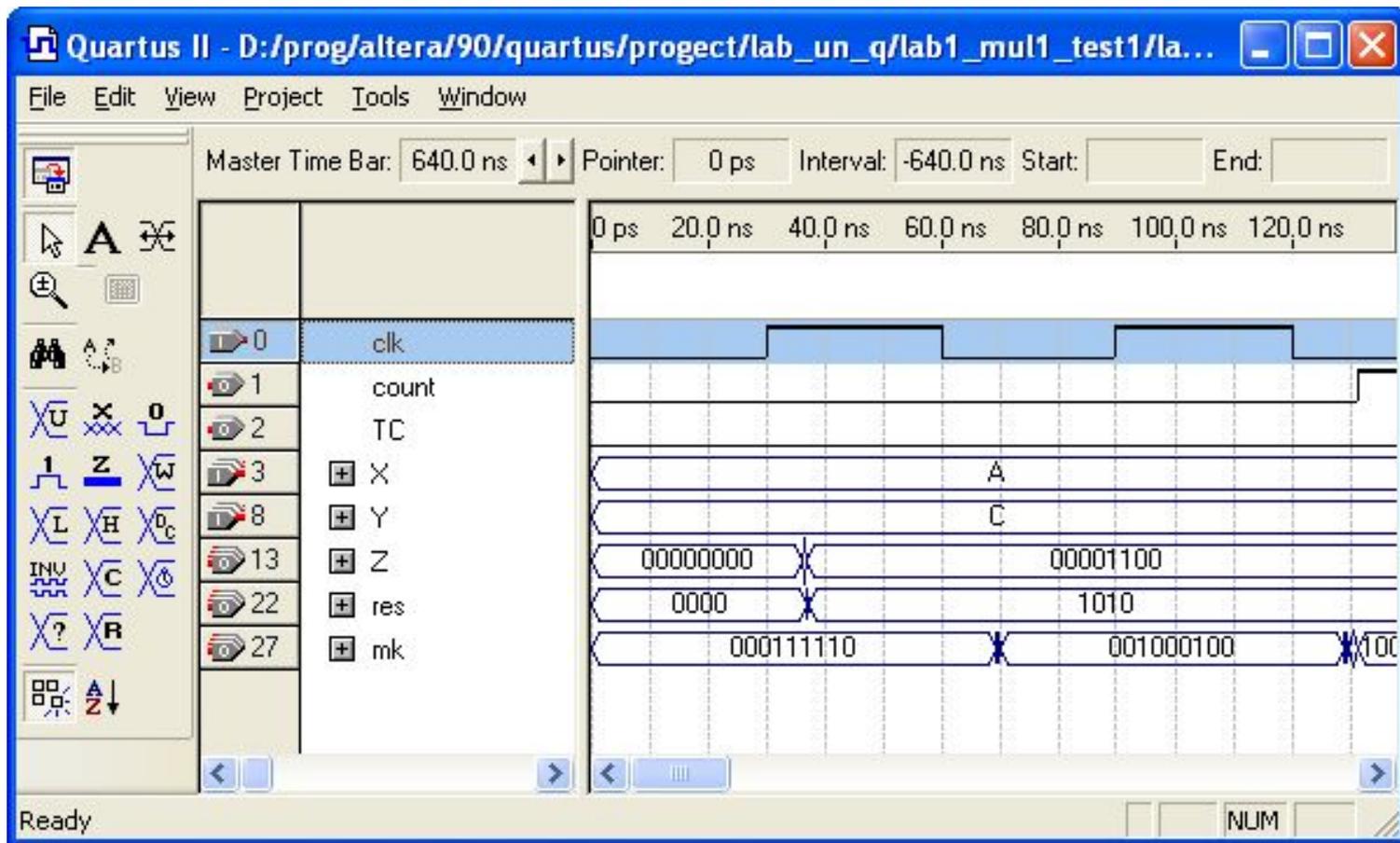
Node Name	Direction	Location	I/O Bank	VREF Group	I/O Standard	Reserved
1	C	Input			3.3-V LVTTTL (default)	
2	CT[7]	Output			3.3-V LVTTTL (default)	
3	CT[6]	Output			3.3-V LVTTTL (default)	
4	CT[5]	Output			3.3-V LVTTTL (default)	

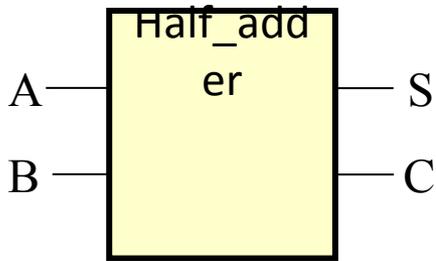
Filter: Pins: all

All Pins

For Help, press F1

# Отчет о результатах моделирования (отображение временной диаграммы)





## Поведенческое описание объектов

Объект представлен в виде “черного ящика” с входами и выходами  
 Программа описывает зависимость выходных сигналов от входных на уровне одного процесса.

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

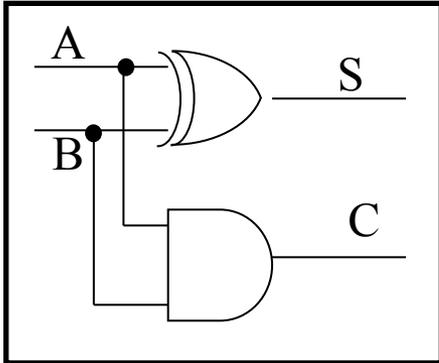
```

module half_adder_beh1 (S, C, A, B);
  output S, C;
  input  A, B;
  wire  S, C;
  always @ (A or B)
  begin
    if ((A==0) or (B==1)) and ((A==0) or (B==1))
      begin S<=1'b1; C<=1'b0; end
    else
      begin
        S<=1'b0;
        if (A==0) and (B==0)
          C<=1'b0;
        else C<=1'b1;
        end
      end
  end
endmodule
  
```

```

module half_adder_beh2 (S, C, A, B);
  output S, C;
  input  A, B;
  wire  S, C;
  always @ (A or B);
  begin
    S<=A^B;   / S = A xor B
    C<=A&B;   / S = A and B
  end
endmodule
  
```

# Структурная модель полусумматора



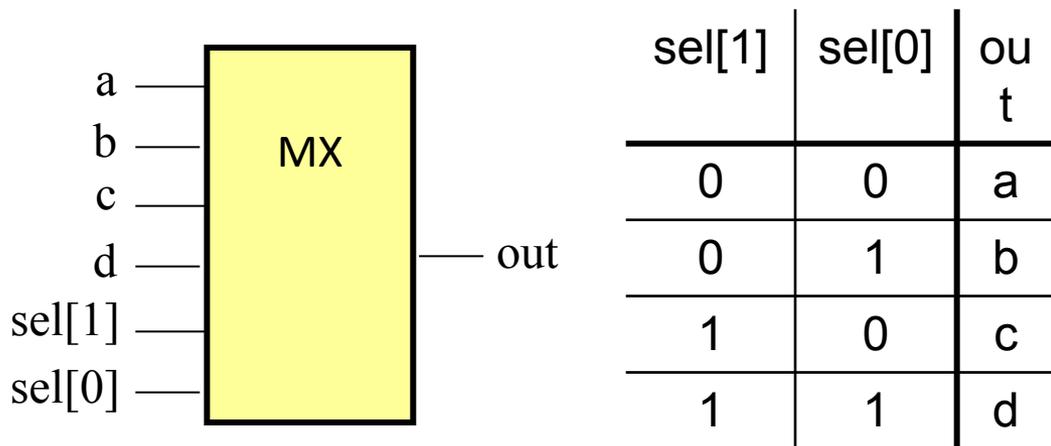
использование  
библиотечных  
модулей and и  
xor

```
module half_adder_gate (S, C, A, B);  
    output S, C;  
    input  A, B;  
    and UAND (C, A, B);  
    xor UXOR (S, A, B);  
endmodule
```

**Структурное описание** – структура объекта, как композиция компонентов, соединенных между собой и обменивающихся сигналами.

**Структурная модель** - использование библиотечных модулей, или создание собственных

# Модуль мультиплексора (Behavior model)



```

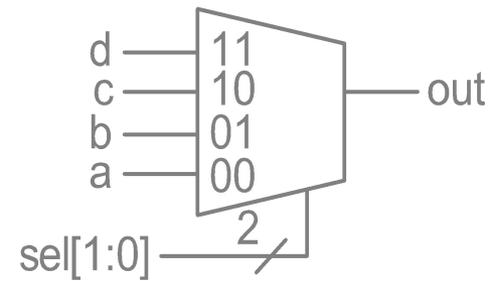
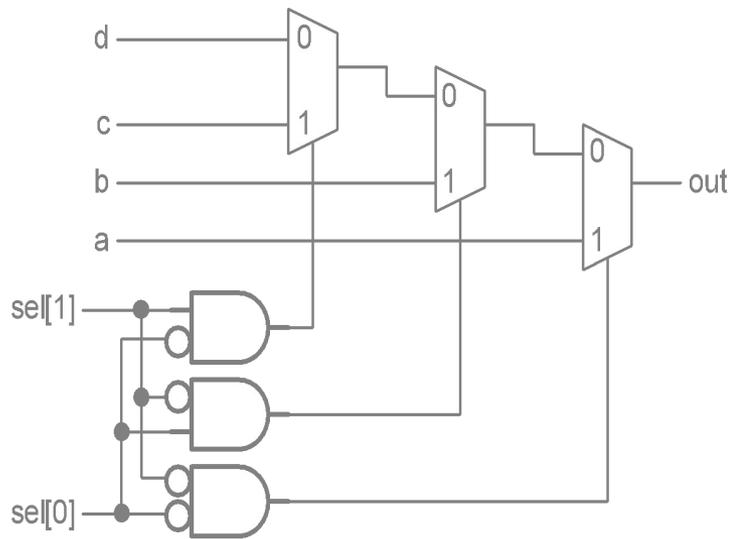
module mx_beh (sel, a, b, c, d,
out);
    output out;
    input sel, a, b, c, d;
    wire a, b, c, d;
    wire [1:0]sel;
    / description
endmodule
    
```

```

always @ (sel or a or b or c or d)
if (sel == 2'b00) out = a;
else if (sel == 2'b01) out = b;
else if (sel == 2'b10) out = d;
else out = d;
    
```

```

always @ (sel or a or b or c or d)
case (sel)
2'b00: out = a;
2'b01: out = b;
2'b10: out = c;
default: out = d;
endcase
    
```



# Лабораторная работа №6

- Проектирование процессорного ядра на ПЛИС

