

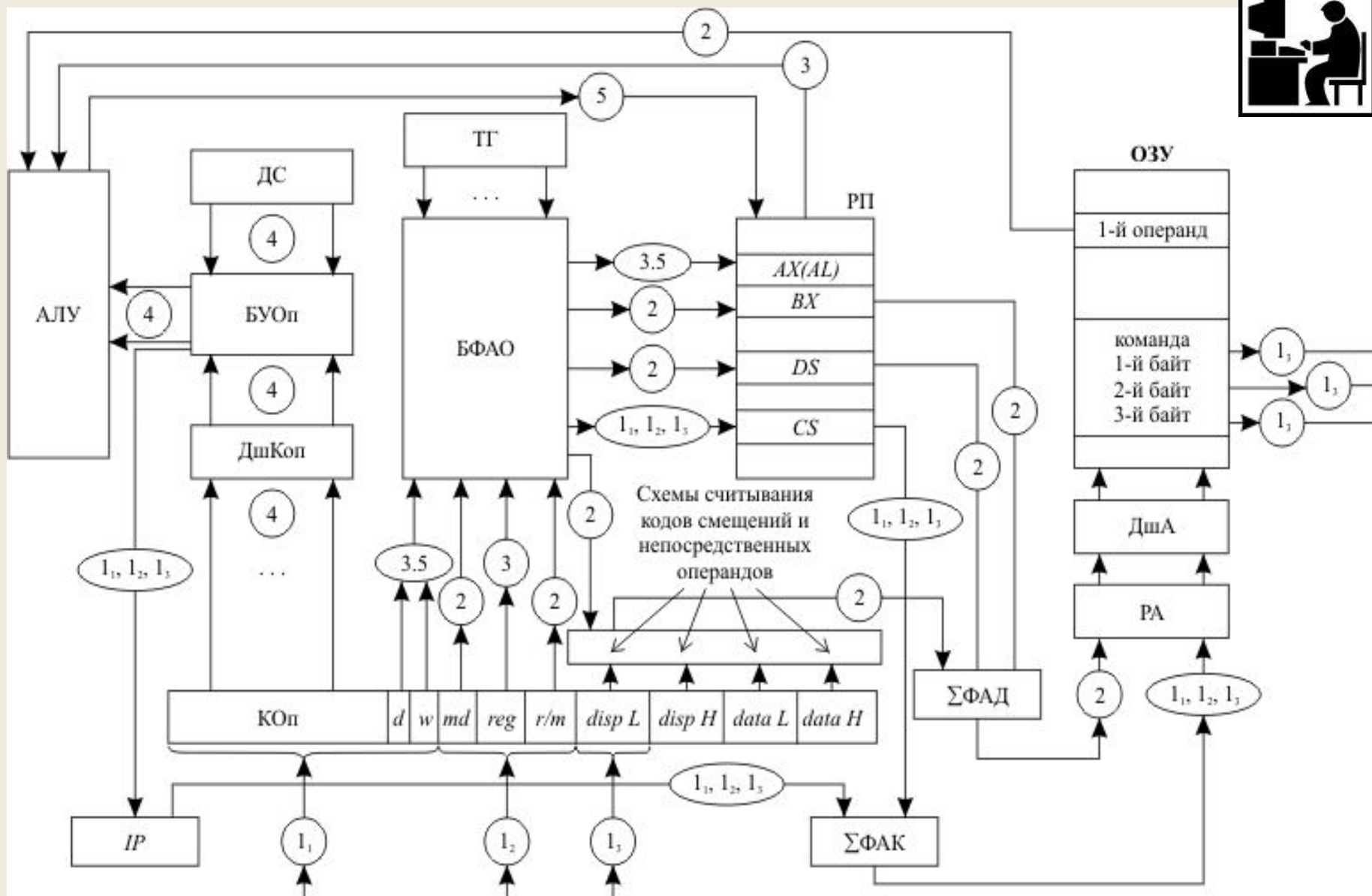


Взаимодействие основных узлов и устройств персонального компьютера при автоматическом выполнении команды

- **В этой лекции рассмотрим** особенности процесса взаимодействия узлов на примере функционирования персонального компьютера, использующего 16 разрядный микропроцессор типа Intel 8086.
- **После занятия вы должны знать** основные блоки процессора, порядок взаимодействия его узлов при выполнении команд, назначение отдельных полей команды и их взаимодействие с блоками

- Структура такого компьютера (процессора и оперативной памяти) приведена на следующем слайде.
- В составе ЭВМ кроме традиционных устройств компьютера с классической архитектурой по принципу Неймана (оперативное запоминающее устройство, арифметико-логическое устройство и основные схемы устройства управления) выделим следующие блоки:

Структура взаимодействия процессора I8086 и ОЗУ



- **Блок-схема имеет следующие узлы:**

- 1. **АЛУ** (Арифметико-логическое устройство)
- 2. **IP** (Код команд из регистра команд)
- 3. **ДС** (Датчик сигналов)
- 4. **БУОп** (Блок управления операциями)
- 5. **ДшКОп** (Дешифратор кода операций)
- 6. **БФАО** (Блок формирования адресов операнда)
- 7. **ТГ** (Тактовый генератор)
- 8. **РП** (Регистровая память)
- 9 **АХ (AL)** (Регистр общего назначения)
- 10 **ВХ** (Регистр общего назначения)

- 11. **DS** (Сегментный регистр данных)
- 12. **CS** (Сегментный регистр команд)
- 13. **ОЗУ** (Оперативное запоминающее устройство)
- 14. **ДША** (Дешифратор адреса)
- 15. **РА** (Регистр адреса)
- 16. **ΣФАД** (Сумматор физических адресов данных)
- 17. **ΣФАК** (Сумматор физических адресов команд)

Поля команды

- 1. **КОП** (Код операции)
- 2. **d** (Поле определяющее операнд)
- 3. **w** (Поле определяющее разрядность операндов)
- 4. **md** } (Режимы адресации первого операнда)
- 5. **r/m** } |
- 6. **reg** (Режимы адресации второго операнда)
- 7. **disp L** (Поле смещения первого операнда)
- 8. **disp H** (Поле смещения второго операнда)
- 9. **data L** (Поле первого операнда)
- 10. **data H** (Поле второго операнда)



- **регистровая память;**
- **блок формирования адреса операнда (БФАО);**
- **двадцатиразрядные сумматоры для получения физических адресов данных (Σ ФАД) и физических адресов команд (Σ ФАК).**
- **На входы регистровой памяти из БФАО поступают номера регистров, к которым проводится обращение. На входы выбираемых регистров поступают из АЛУ результаты выполнения операции и значения сегментных регистров, устанавливаемых операционной системой ЭВМ. В регистрах хранятся составляющие эффективных адресов данных, исходные и промежуточные данные, участвующие в выполнении операции, старшие 16 разрядов базовых адресов сегментов.**



- На блок формирования адреса операнда поступают:
- сигналы от тактового генератора микропроцессора;
- коды полей второго байта выполняемой команды, находящейся в РК; эти коды определяют режимы адресации первого (поля rd и r/m) и второго (поле reg) операндов;
- коды двух младших разрядов первого байта команды (d и w), которые определяют, соответственно, операнд, на место которого записывается результат операции, и разрядность операндов.



- **БФАО вырабатывает следующие выходные сигналы:**
- **коды номера выбираемых регистров;**
- **сигналы считывания кодов с выбранных регистров;**
- **сигналы считывания смещений (disp L и disp H);**
- **сигналы считывания непосредственных операндов (data L и data H).**



- **Сумматоры физических адресов используются для получения адреса обращения к оперативной памяти с учетом ее сегментной организации. Одним из слагаемых выступает начальный адрес сегмента, который формируется путем умножения на 16 значения соответствующего сегментного регистра. Второе слагаемое - это смещение относительно начала сегмента. Для сегмента кода таким смещением является значение указателя команд IP, а для сегмента данных - сформированный блоком формирования адреса операнда эффективный адрес.**



- **Суть этапов выполнения команды остается без изменения по сравнению с классической ЭВМ:**
- **первый - выбор кода команды;**
- **второй и третий - выбор операндов;**
- **четвертый - выполнение операции в АЛУ;**
- **пятый - запись результата в оперативную или регистровую память;**
- **шестой - формирование адреса следующей выполняемой команды.**



- Рассмотрим выполнение вышеуказанных этапов на примере следующей команды:
- `ADD AL,[BX+disp8]`
- Допустим, что ее первый байт находится в ячейке ОЗУ с адресом $i + 2^4 * [CS]$, то есть $[IP] = i$.



- **Первый этап. Код IP , то есть $[IP] = i$, передаётся на сумматор $\Sigma\text{ФАК}$. На этот же сумматор поступает код сегментного регистра команд $[CS]$ из РП, умноженный на 16. На выходе $\Sigma\text{ФАК}$ сформируется код физического адреса ОЗУ, по которому находится первый байт команды. Код с выхода $\Sigma\text{ФАК}$ поступает на регистр адреса ОЗУ. Из ОЗУ выбирается первый байт команды и посылается в регистр команд (для некоторого упрощения предполагаем, что обмен информацией между микропроцессором и ОЗУ происходит байтами). И в завершении этого этапа к IP добавляется 1.**
- Все указанные взаимодействия отметим на схеме знаком 1_1 . Эта последовательность действий будет повторена еще два раза для выбора второго и третьего байтов выполняемой команды. Это отмечено на схеме знаками 1_2 и 1_3 .



- **Второй этап. В начале второго этапа с помощью ДшКОп расшифровывается код операции выполняемой команды. Если выполняемая команда не нарушает естественного порядка выполняемой программы, то осуществляется формирование адреса первого операнда и выборка этого операнда из РП или ОЗУ ЭВМ.**
- **В данной команде для первого операнда используется регистровый относительный режим адресации. Соответственно, эффективный адрес определяется так: $EA = [BX] + disp8$. В этом случае коды полей md и r/m второго байта из регистра команд поступают в БФАО и таким образом коммутируют оборудование БФАО, что на его выходе появляются сигналы, обеспечивающие считывание:**



- **кода регистра BX;**
 - **кода disp L;**
 - **кода сегментного регистра DS.**
- **Все указанные коды поступают на сумматор физического адреса данных Σ ФАД. При этом обеспечивается передача значения DS со сдвигом на 4 разряда влево (умножение на 16). Сформированный на Σ ФАД код поступает на РА ОЗУ. Происходит выборка байта данных, который направляется в АЛУ. Выполнение второго этапа завершено. Все указанные взаимодействия устройств отметим на схеме цифрой 2.**



- **Третий этап. Выбор второго операнда.** В данном случае БФАО под воздействием сигнала с разряда w и поля reg регистра команд выдает сигнал обращения к регистру AL, код которого подается в АЛУ. Все взаимодействия на этом этапе отметим цифрой 3.
- **Четвертый этап. Выполнение операции сложения в АЛУ.** Здесь блок управления операциями выдает те сигналы в АЛУ, которые необходимы для выполнения операции. Линии взаимодействия отметим цифрой 4.
- **Пятый этап. Код выполненной операции из АЛУ направляется в регистр AL ($d = 1$) регистровой памяти.** Взаимодействие отмечается цифрой 5.



- Команда выполнена. В IP находится основная составляющая адреса следующей команды программы: $(IP) = i + 3$. Здесь шестой этап как отдельный (автономный) этап исключен. Формирование основной составляющей адреса следующей выполняемой команды (указателя команд) было реализовано на первом этапе. Значение сегментного регистра команд в арифметических командах не меняется.
- ЭВМ готова к выполнению следующих команд программы.