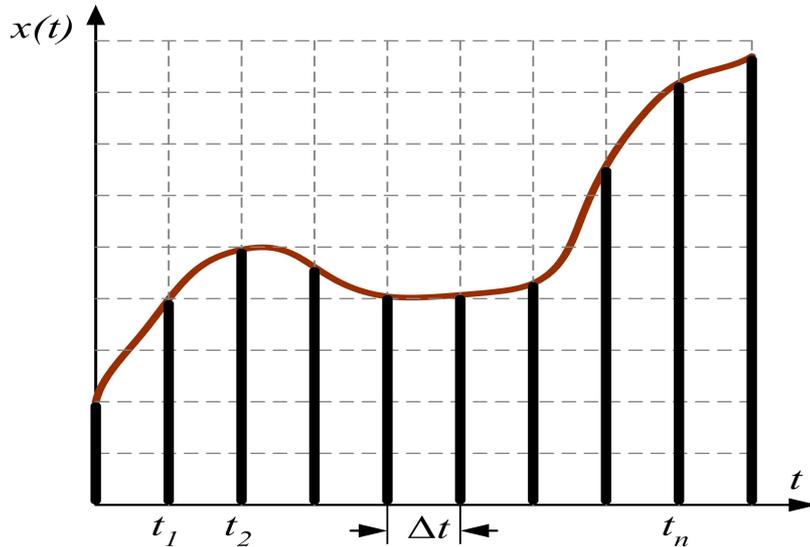


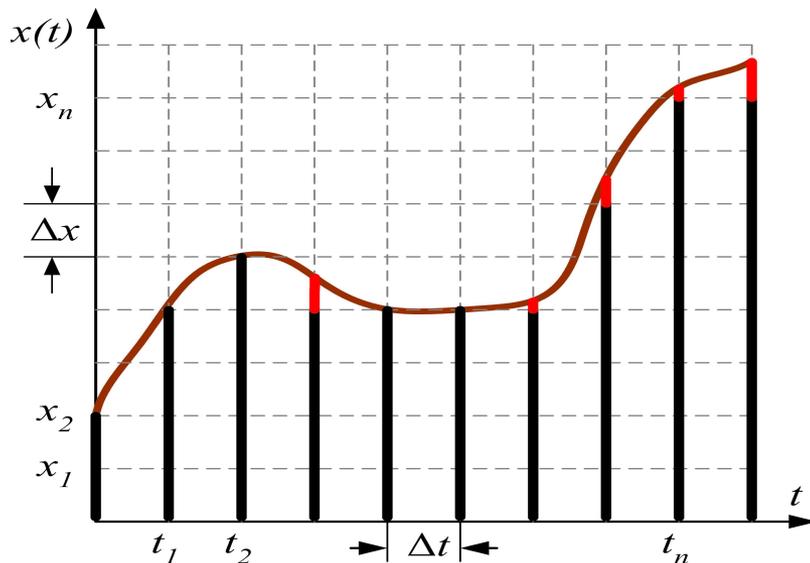
# Элементы и узлы ЭВМ

## Тема № 2

# Дискретный и цифровой сигнал.

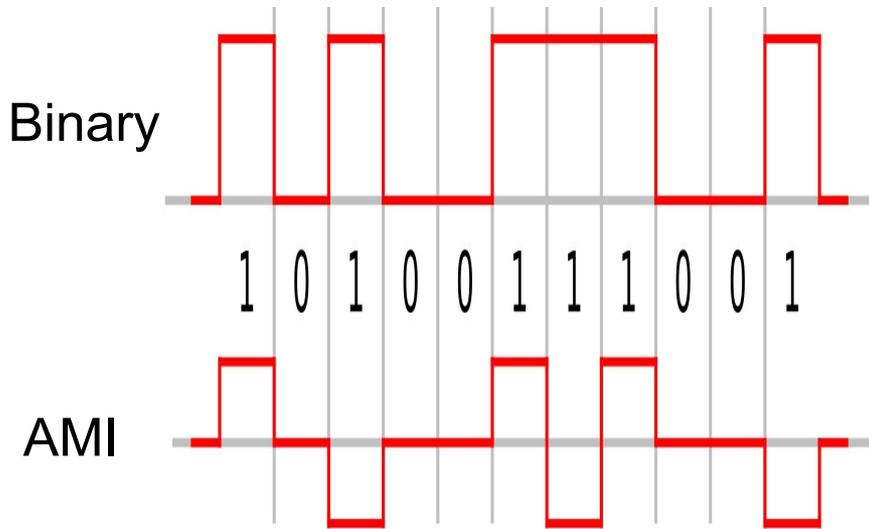


- Сигнал называется **дискретным**, если он может принимать только конечное число значений.

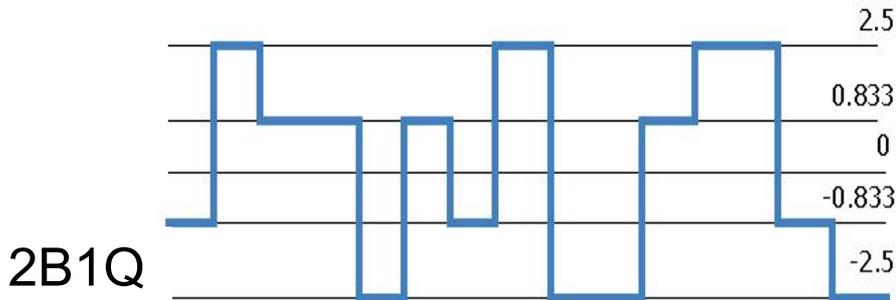


- **Цифровой сигнал** - сигнал, дискретный по оси времени, представленный конечным множеством возможных значений.

# Двоичный цифровой сигнал.



01	10	11	11	00	11	01	01	00	00	11	10	10	01	00
-1	+3	+1	+1	-3	+1	-1	+3	-3	-3	+1	+3	+3	-1	-3



- **Двоичный цифровой сигнал** - сигнал, дискретный по оси времени, представленный двумя возможными значениями – уровнем **нуля** и уровнем **единицы**.
- Цифровой сигнал не обязательно двоичный.

## Системы счисления (обзор)

- Способ записи чисел знаками называется **системой счисления**. Системы счисления делятся на **непозиционные**, например, римская система счисления, и **позиционные**.
- В **непозиционных** системах значение конкретной цифры постоянно и не зависит от ее расположения в записи числа. Примером такой системы счисления является Римская система записи числа. Например, в числе XXXVII значение цифры X не зависит от ее местоположения в записи числа. Оно везде равно 10.
- Система называется **позиционной**, если значение каждой цифры, входящей в запись числа, определяется ее местоположением в числе.
- В цифровой технике нашла применение только позиционная система счисления.

## Системы счисления (обзор)

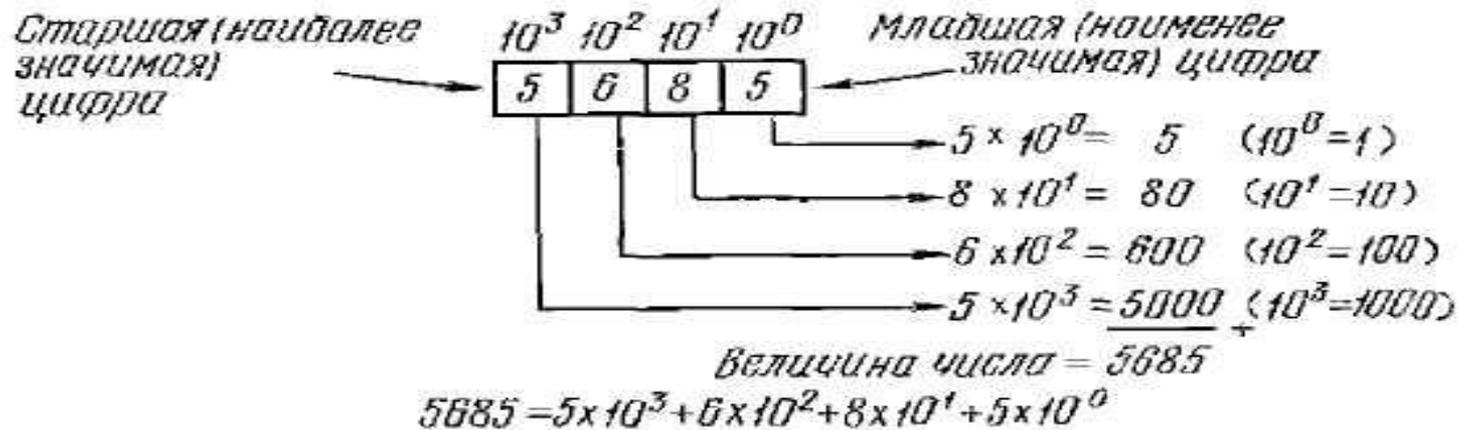
- Любое число в позиционной системе счисления можно представить в виде суммы:

$$N_q = K_n q^n + K_{n-1} q^{n-1} + \dots + K_1 q^1 + K_0 q^0 + \dots$$

где

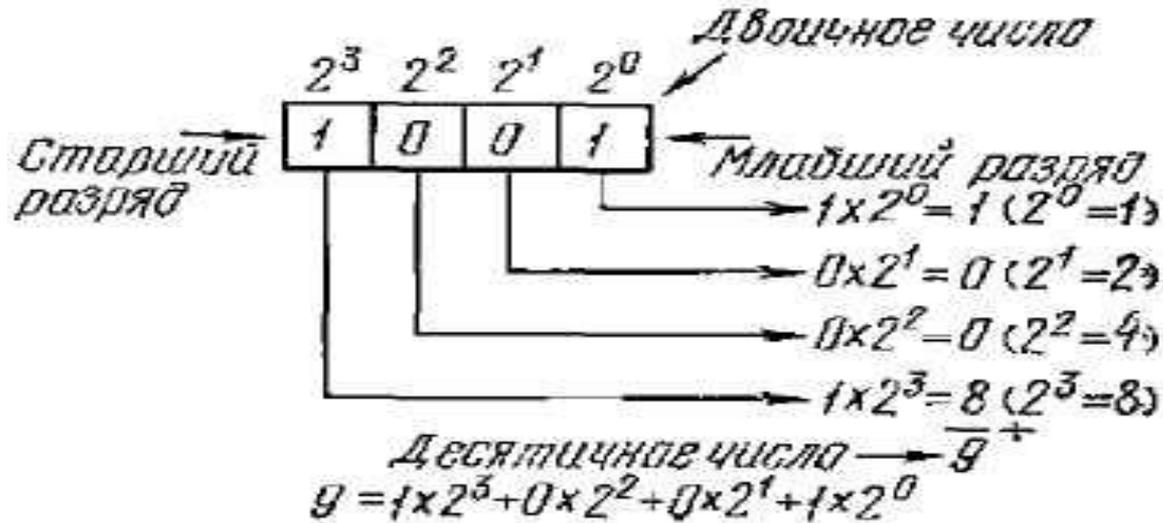
- $N_q$  – число, записанное в системе счисления  $q$ ;
- $K_n$  – разрядные коэффициенты;
- $q^n$  – весовые коэффициенты.
- $n$  – разрядность;
- $q$  – основание системы счисления.
- Разрядные коэффициенты представляют собой целую степень основания системы счисления.
- Для десятичной:  $10^0, 10^1, 10^2, 10^3, \dots$

# Системы счисления (обзор)



- **Основанием системы счисления**  $q$  называется общее количество символов (цифр), используемых в данной позиционной системе для записи чисел.
- Если принять  $q = 10, 2, 8, 16$  и т.д., то будем иметь соответственно десятичную, двоичную, восьмеричную, шестнадцатеричную системы счисления.
- Количество различных чисел, которое может быть записано в позиционной системе счисления с основанием  $q$  при заданном числе разрядов:  $N = q^n$

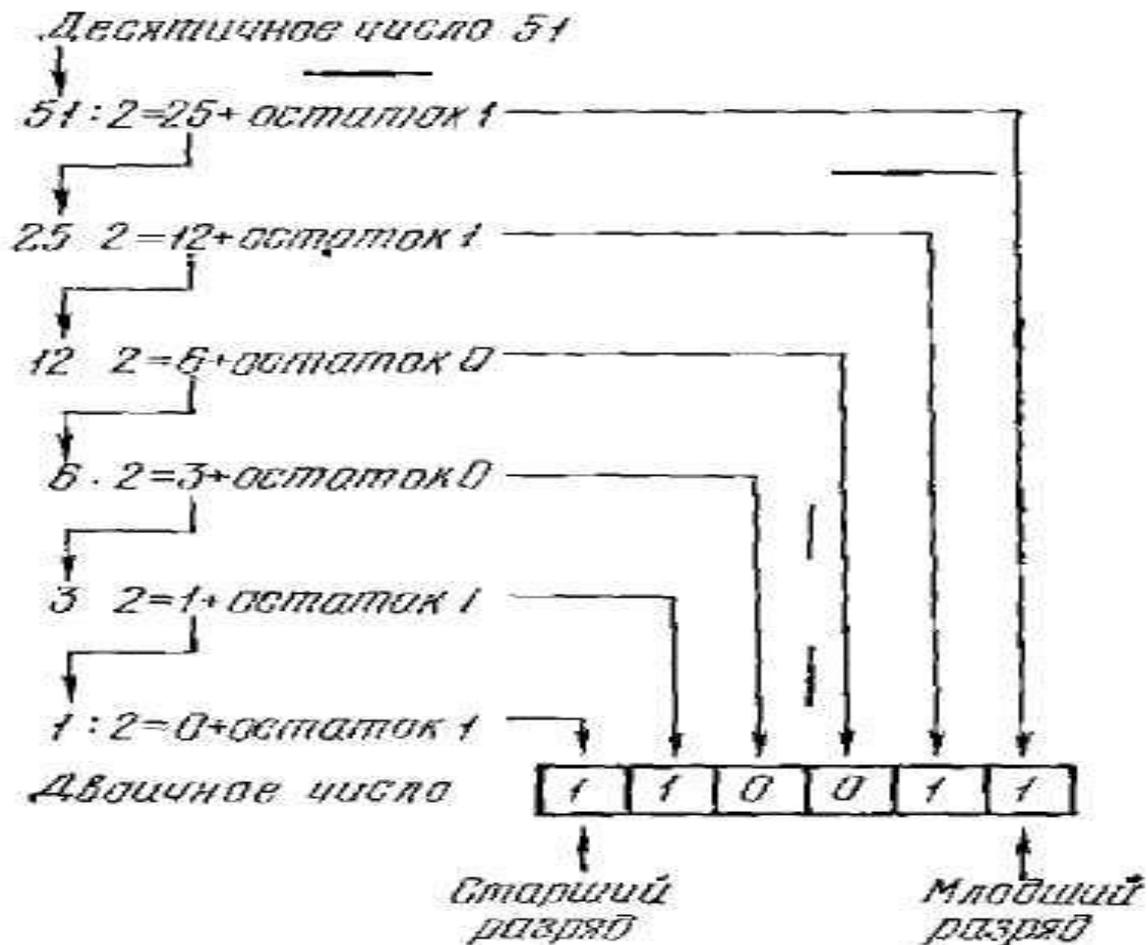
# Системы счисления (обзор)



- Широкое распространение в цифровой технике получила позиционная система счисления с основанием  $q=2$  — **двоичная** система счисления.
- По определению в такой системе есть только два цифровых знака 0 и 1.
- Разрядные коэффициенты представляют собой целую степень основания системы счисления:

$$2^0=1; \quad 2^1=2; \quad 2^2=4; \quad 2^3=8, \dots$$

# Системы счисления (обзор)



Пример перевода из десятичной системы в двоичную.

# Системы счисления (обзор)

Десятичные	Шестнадцатеричные	Двоичные			
		8	4	2	1
0	0	0	0	0	0
1	1	0	0	0	1
2	2	0	0	1	0
3	3	0	0	1	1
4	4	0	1	0	0
5	5	0	1	0	1
6	6	0	1	1	0
7	7	0	1	1	1
8	8	1	0	0	0
9	9	1	0	0	1
10	A	1	0	1	0
11	B	1	0	1	1
12	C	1	1	0	0
13	D	1	1	0	1
14	E	1	1	1	0
15	F	1	1	1	1

- **Шестнадцатеричная система счисления (hexadecimal)**, или система с основанием 16, использует 16 символов от 0 до 9 и A, B, C, D, E, F.
- В таблице приведены эквиваленты десятичных, двоичных и шестнадцатеричных чисел.

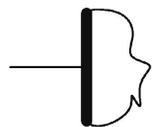
## Системы счисления (обзор)

- Над числами в двоичной системе счисления могут выполняться **арифметические** и **логические** операции.
- К **арифметическим** относятся четыре операции: сложение, вычитание, умножение и деление. Алгоритм выполнения арифметических операций такой же, как и в десятичной системе счисления.
- **Логические** операции относятся к поразрядным (операции выполняются внутри каждого разряда без **переносов и заемов**).

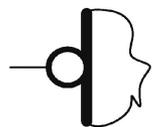
# Логические устройства

- **Последовательным** называется устройство, в котором входные переменные подаются на вход и выходные переменные снимаются с выхода не одновременно, а последовательно.
- **Параллельным** называется устройство, в котором все разряды входных переменных подаются на вход и все разряды выходных переменных снимаются с выхода одновременно.
- В **последовательно - параллельных** устройствах входные и выходные переменные представлены в различных формах. Либо на вход переменные подаются последовательно, а с выхода они снимаются одновременно, либо наоборот.
- По принципу действия все логические устройства делятся на два класса **комбинационные устройства и цифровые автоматы**.
- **Комбинационными** устройствами или автоматами без памяти называют логические устройства выходные сигналы которых однозначно определяются только действующей в настоящий момент на входе комбинацией переменных и не зависят от значений переменных действовавших на входе ранее.
- **Цифровыми автоматами** или **автоматами с памятью** называют логические устройства выходные сигналы которых определяются не только действующей в настоящий момент на входе комбинацией переменных, но и всей последовательностью входных переменных действовавших в предыдущие моменты времени.

## Условные обозначения. Входы.



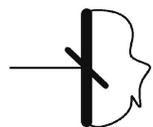
- Прямой статический вход



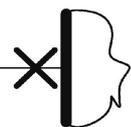
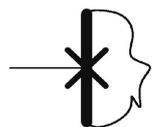
- Инверсный статический вход



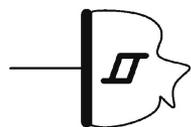
- Прямой динамический вход



- Инверсный динамический вход



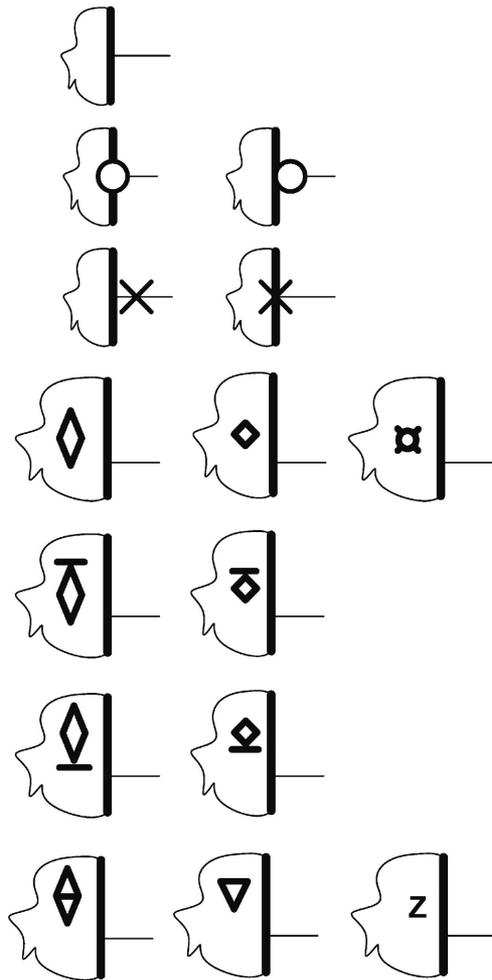
- Вывод, не несущий логической информации



- Гистерезисный вход

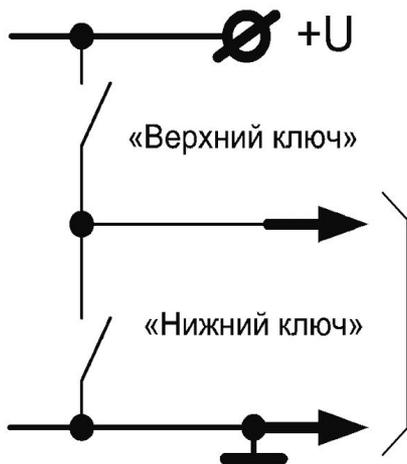
Входы информационные и управляющие

## Условные обозначения. Выходы.

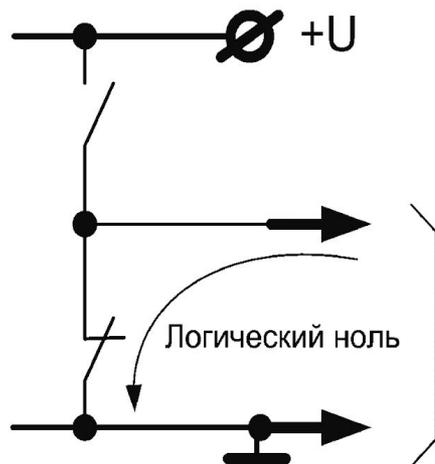


- Прямой статический выход
- Инверсный статический выход
- Вывод, не несущий логической информации
- Открытый вывод (Э, К или И, С)
- Открытый выход типа High (присутствует «верхний» ключ)
- Открытый выход типа Low (присутствует «нижний» ключ)
- Выход с третьим (высокоимпедансным “Z”) состоянием

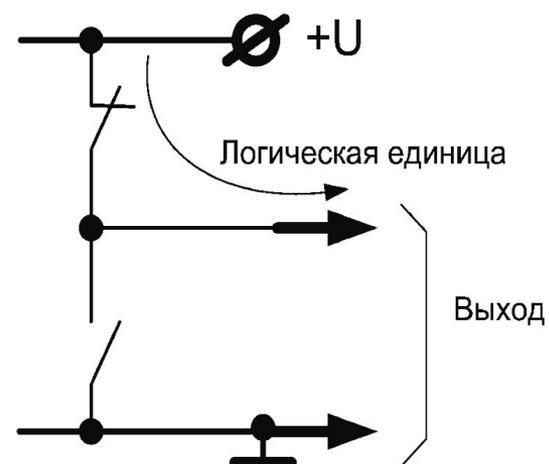
# ВЫХОДЫ



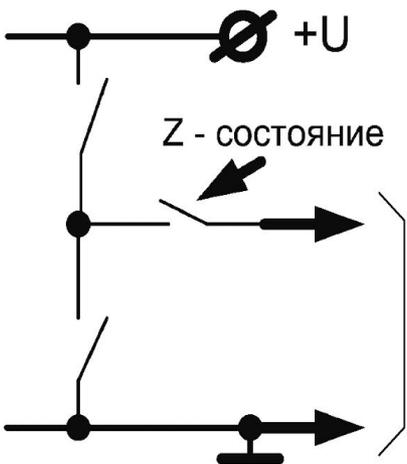
Выход



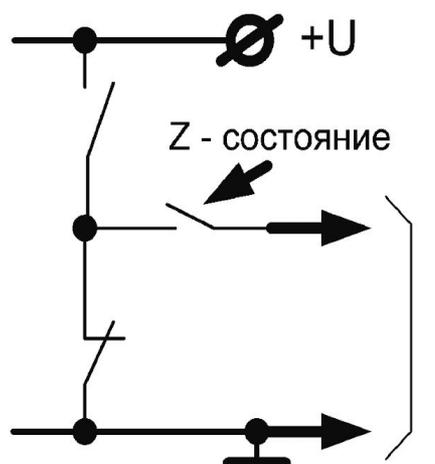
Выход



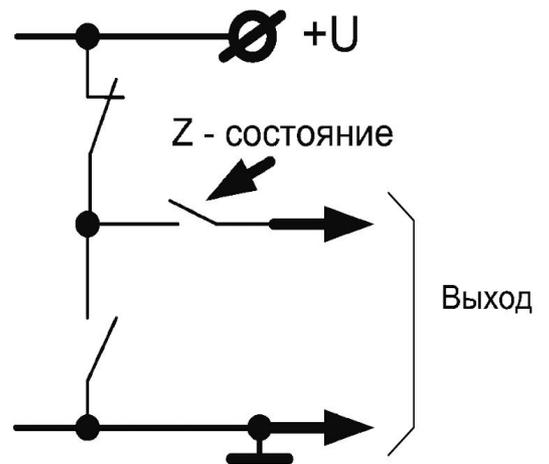
Выход



Выход



Выход



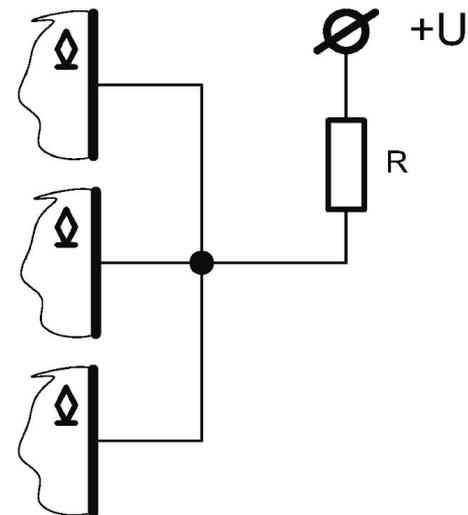
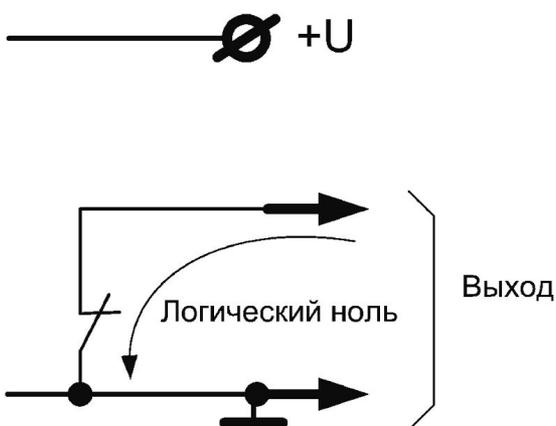
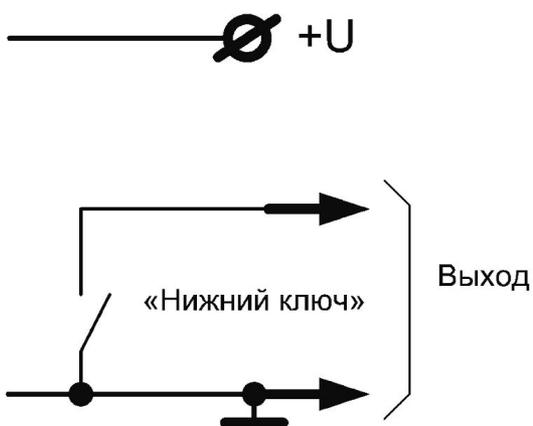
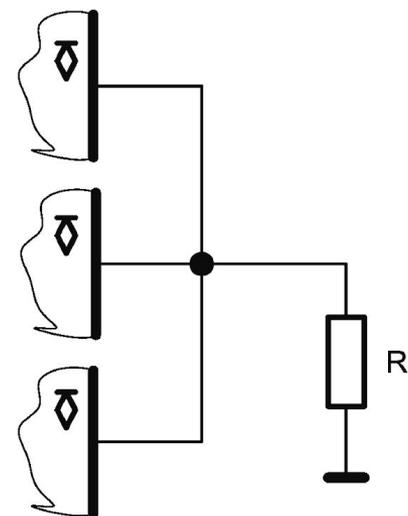
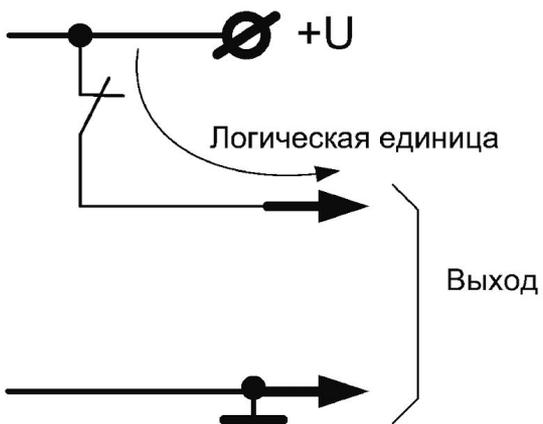
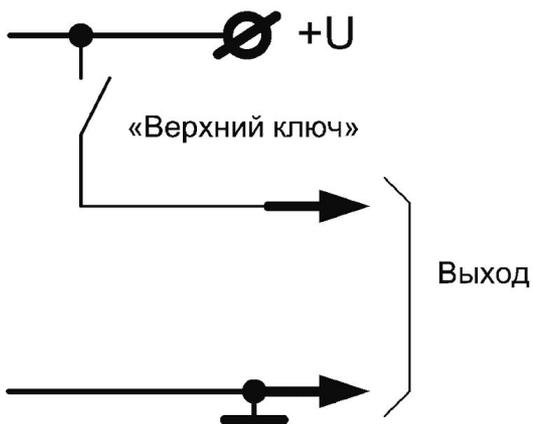
Выход

Филиппенко О.И.

ТКС

14

# ВЫХОДЫ

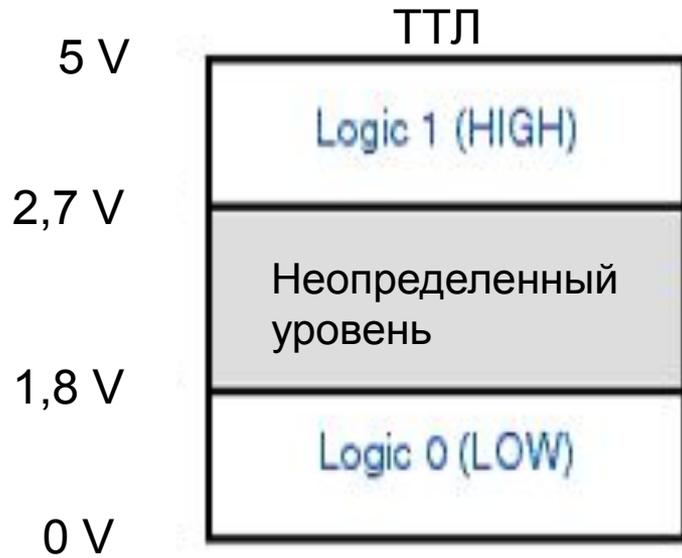


Филиппенко О.И.

ТКС

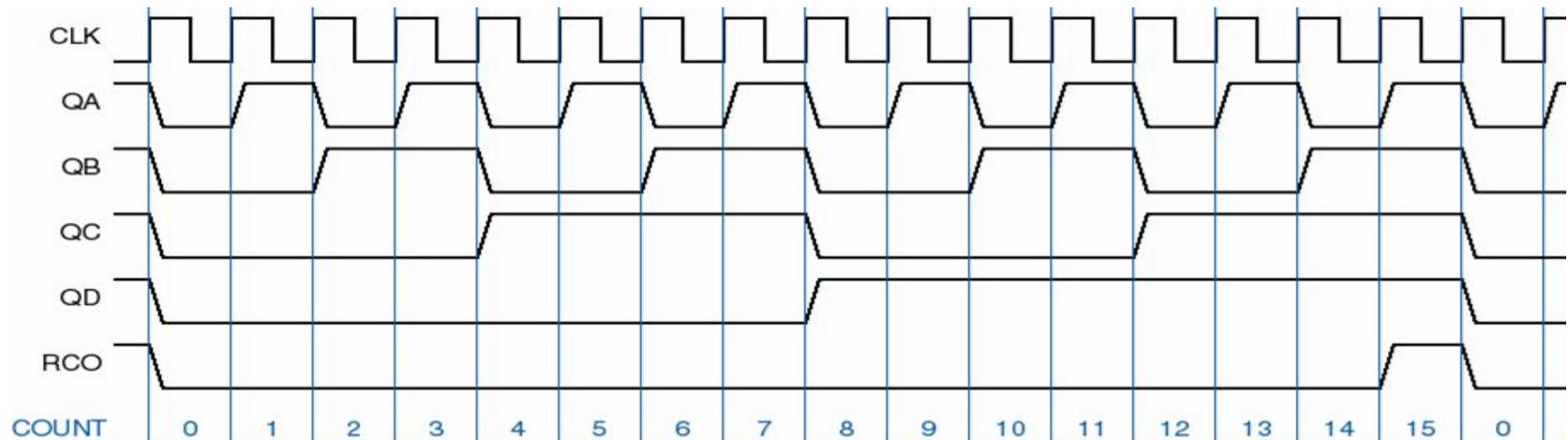
15

# Логические уровни, активные уровни, временная диаграмма



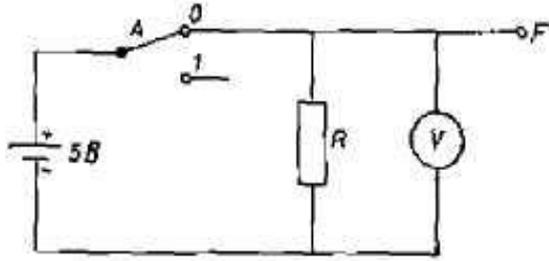
Положительная и отрицательная логика

Напряжение	Уровень	Логические состояния	
		положительная логика	отрицательная логика
$\approx 5\text{В}$	H	1	0
$\approx 0\text{В}$	L	0	1



Пример временной диаграммы

# Элемент НЕ (инвертор)

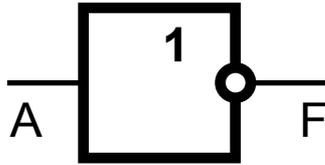


A	F
0	1
1	0

*F=1, если A=0*  
*F=0, если A=1*

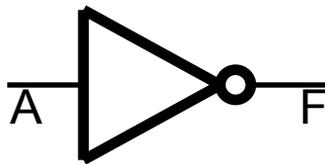
Физический эквивалент элемента **НЕ**

## Инвертор



$$F = \bar{A}$$

A	F
1	0
0	1



Условные обозначения

Таблица истинности

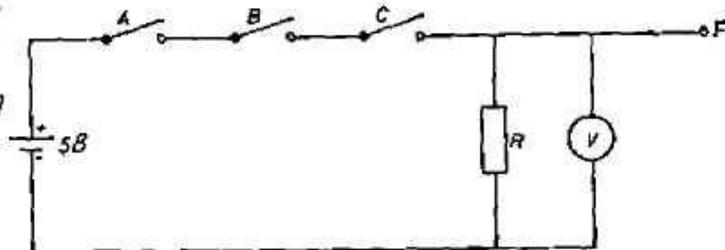
# Логические элементы. Элемент И

Физический эквивалент элемента **3И**.

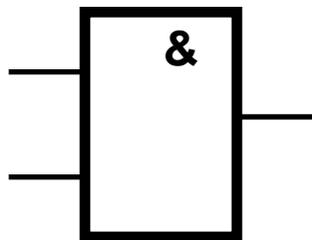
С	В	А	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

*F=0, если А или В или С или несколько переменных равны 0*

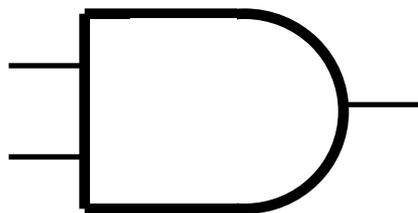
*F=1, если А и В и С равны 1*



## Элемент 2И



$$F = AB$$

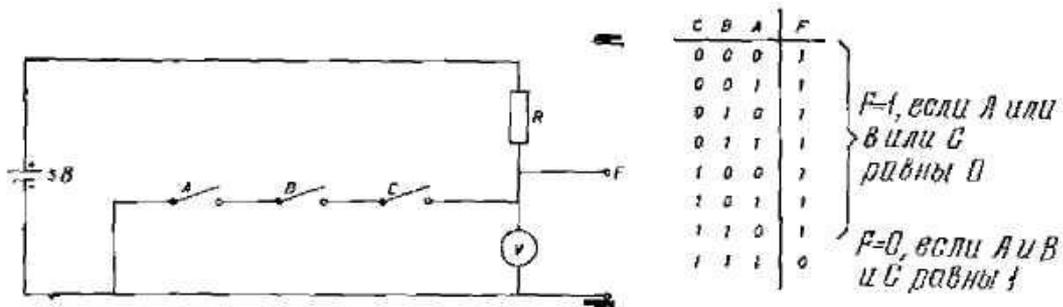


A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

Условные обозначения

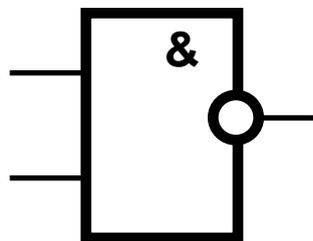
Таблица истинности

# Логические элементы. Элемент И-НЕ

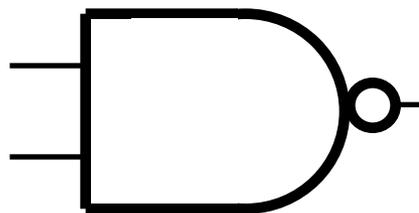


Физический эквивалент элемента **ЗИ-НЕ**.

## Элемент 2И-НЕ



$$F = \overline{AB}$$

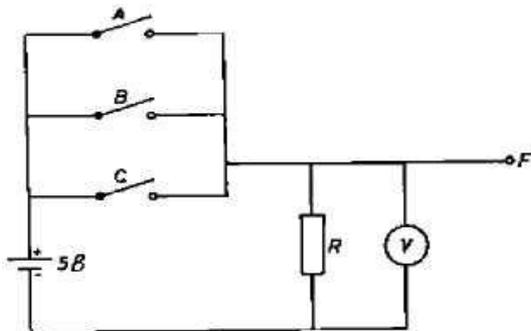


A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

Условные обозначения

Таблица истинности

# Логические элементы. Элемент ИЛИ



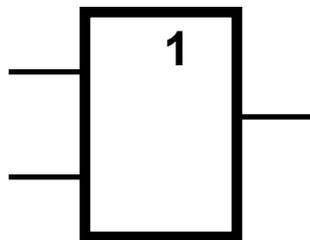
C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

*F=0, если A и B и C равны 0*

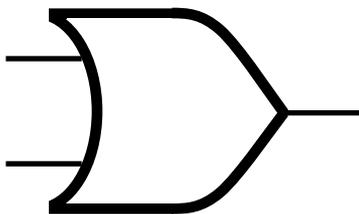
*F=1, если A или B или C равны 1*

Физический эквивалент элемента ЗИЛИ.

## Элемент 2ИЛИ



$$F = A + B$$

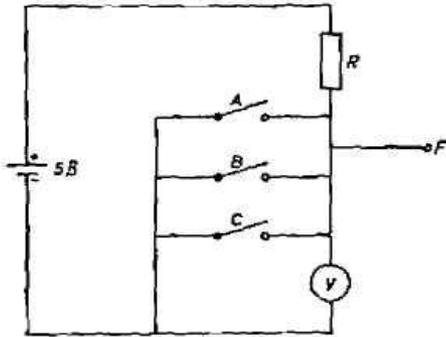


A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

Условные обозначения

Таблица истинности

# Логические элементы. Элемент ИЛИ-НЕ

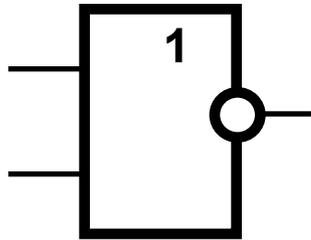


C	B	A	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

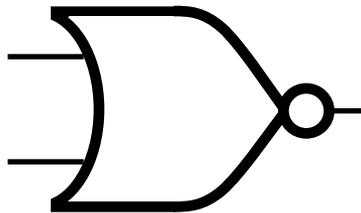
*F=1, если A и B и C равны 0*  
*F=0, если A или B или C или несколько переменных одновременно равны 1*

Физический эквивалент элемента ЗИЛИ-НЕ.

## Элемент 2ИЛИ-НЕ



$$F = \overline{A+B}$$



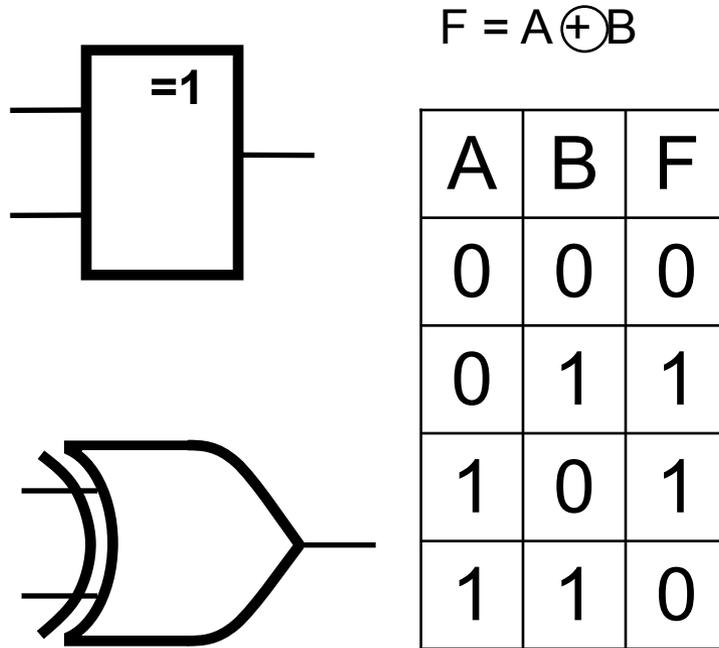
Условные обозначения

A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

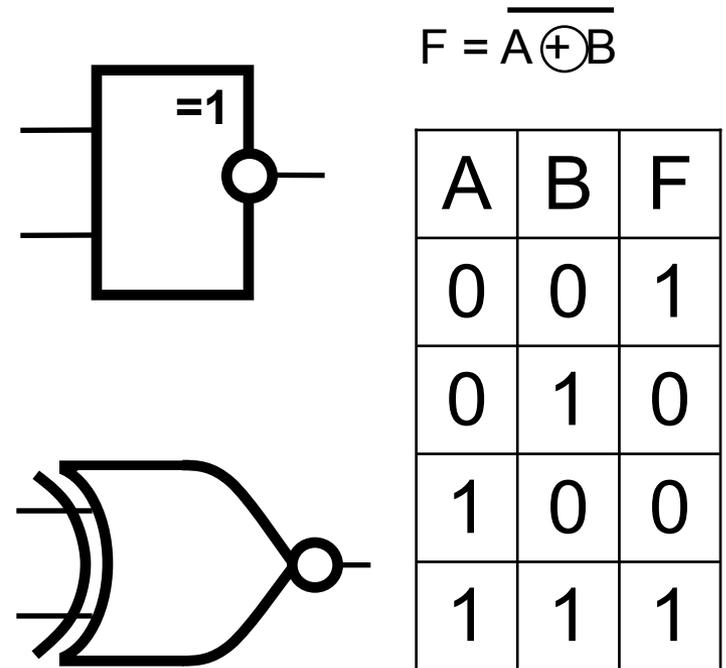
Таблица истинности

# Логические элементы. Элемент **Исключающее-ИЛИ**

## Элемент Исключающее ИЛИ (XOR)



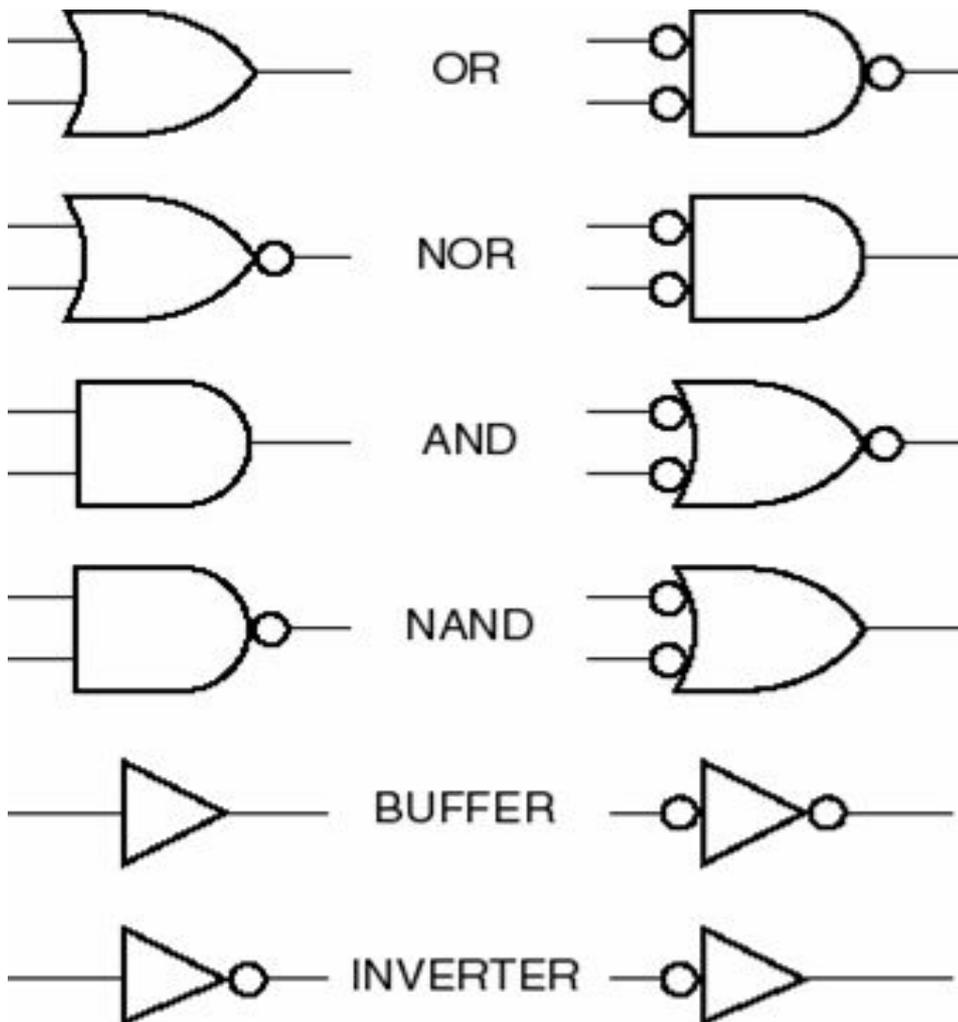
## Элемент Исключающее ИЛИ-НЕ (XNOR-OR)



Условные обозначения

Таблица истинности

# Альтернатива (правило Де-Моргана в действии)



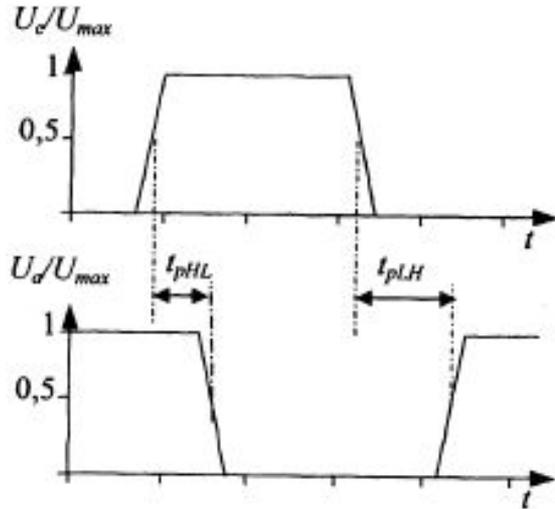
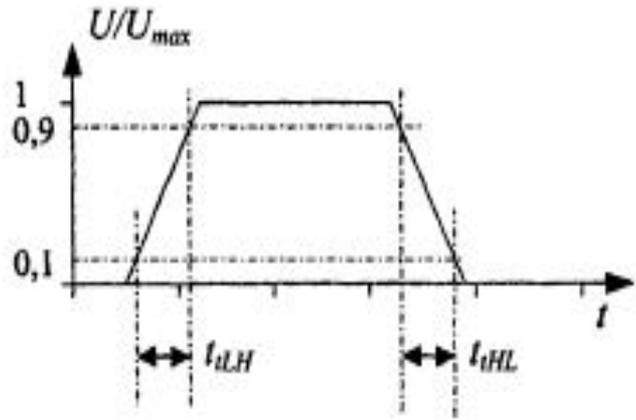
$$\overline{(a + b)} = \bar{a} * \bar{b}$$

$$\overline{(a * b)} = \bar{a} + \bar{b}$$

$$a + b = \overline{(\bar{a} * \bar{b})}$$

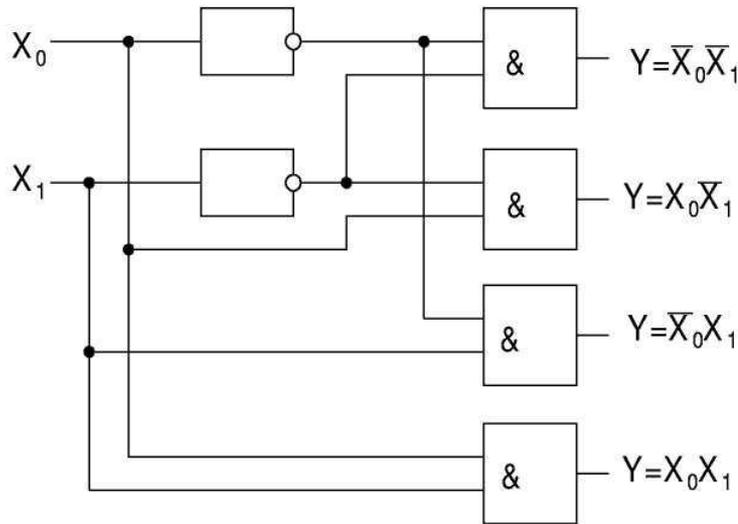
$$(a * b) = \overline{(\bar{a} + \bar{b})}$$

# Задержки

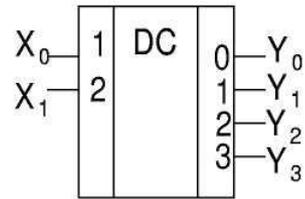


$$t_p = (t_{pHL} + t_{pLH})/2$$

# Дешифратор.



а)



б)

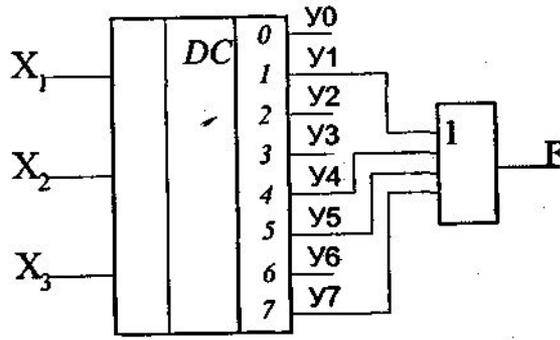
Входные сигналы		Выходные сигналы			
$X_1$	$X_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

в)

- Схема (а)
- условное обозначение (б)
- таблица истинности (в)

- **Дешифратором** называется комбинационная цифровая схема с несколькими входами и выходами, преобразующая код, подаваемый на входы, в сигнал на одном из выходов.
- Если дешифратор, имеющий  $n$  входов, имеет  $2^n$  выходов, то такой дешифратор называется полным.
- Если количество выходов меньше, то дешифратор называется неполным.

# Дешифратор



$$y_0 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3};$$

$$y_1 = X_1 \cdot \overline{X_2} \cdot \overline{X_3};$$

$$y_2 = \overline{X_1} \cdot X_2 \cdot \overline{X_3};$$

$$y_3 = X_1 \cdot X_2 \cdot \overline{X_3};$$

$$y_4 = \overline{X_1} \cdot \overline{X_2} \cdot X_3;$$

$$y_5 = X_1 \cdot \overline{X_2} \cdot X_3;$$

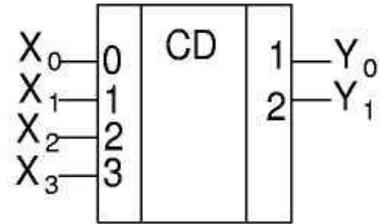
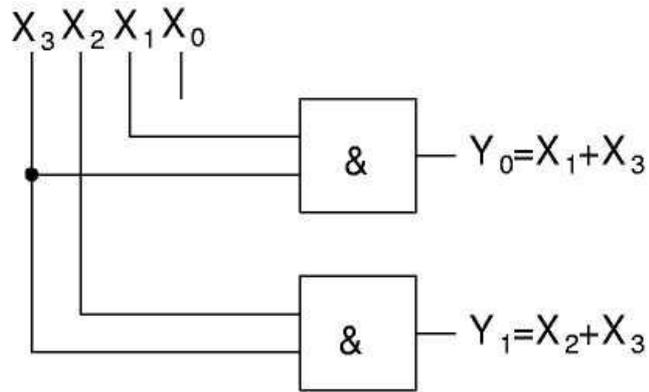
$$y_6 = \overline{X_1} \cdot X_2 \cdot X_3;$$

$$y_7 = X_1 \cdot X_2 \cdot X_3.$$

$$F = y_1 + y_4 + y_5 + y_7 = \overline{X_1} \overline{X_2} X_3 + \overline{X_1} X_2 X_3 + X_1 \overline{X_2} X_3 + X_1 X_2 X_3.$$

- На выходе дешифратора вырабатываются все возможные логические произведения всех входных переменных (конъюнктивные минтермы).
- Подключая к определенным выводам дешифратора логический элемент “ИЛИ” или используя дешифратор с открытым выходом и реализуя на нем «монтажное ИЛИ», можно реализовать любую логическую функцию.

# Шифратор.



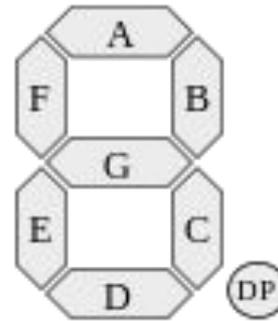
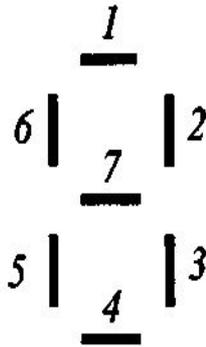
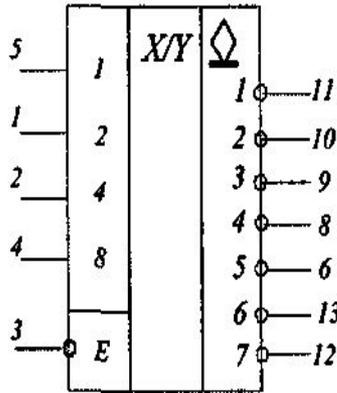
Входные сигналы				Выходные сигналы	
$X_3$	$X_2$	$X_1$	$X_0$	$Y_1$	$Y_0$
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

в)

Схема (а), условное обозначение (б), таблица истинности (в)

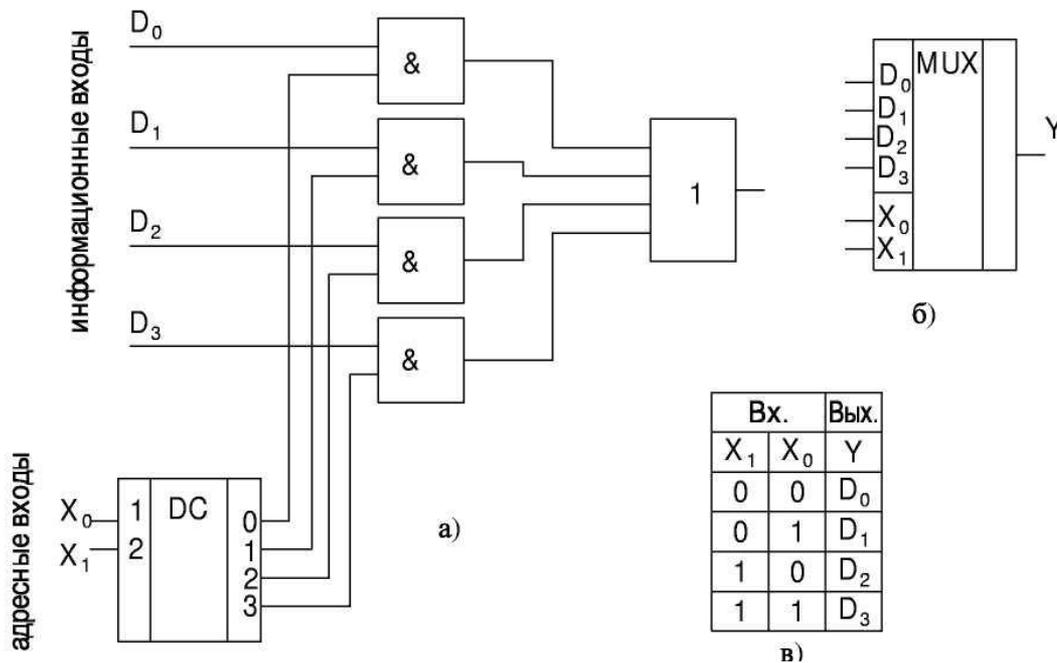
**Шифратором** называется устройство, предназначенное для преобразования чисел из одной системы в другую, например, десятичной системы в двоичную.

# Преобразователь кодов



- Преобразователи кодов предназначены для преобразования кода одного вида в код другого вида, например, преобразования двоично-десятичного кода в двоичный или обратного преобразования, для преобразования двоичного кода в код Грея,
- для преобразования двоичного кода в код управления шкальными или матричными индикаторами, для преобразования двоичного кода в код управления сегментными индикаторами.
- Пример преобразователя двоично-десятичного кода в код семисегментного индикатора.

# Мультиплексор.



**Мультиплексором** называется комбинационное цифровое устройство, предназначенное для управляемой передачи информации от нескольких источников в один выходной канал.

Мультиплексор 4 в 1:

- Мультиплексор имеет один выход, информационные входы и адресные или управляющие входы.
- В зависимости от кода, подаваемого в адресные шины X<sub>0</sub>, X<sub>1</sub> один из информационных входов подключается к выходному каналу.
- Функция алгебры логики, описывающая работу мультиплексора, имеет вид:

$$Y = D_0 \cdot \overline{X_1} \cdot \overline{X_0} + D_1 \cdot \overline{X_1} \cdot X_0 + D_2 \cdot X_1 \cdot \overline{X_0} + D_3 \cdot X_1 \cdot X_0$$

# Демультимплексор.

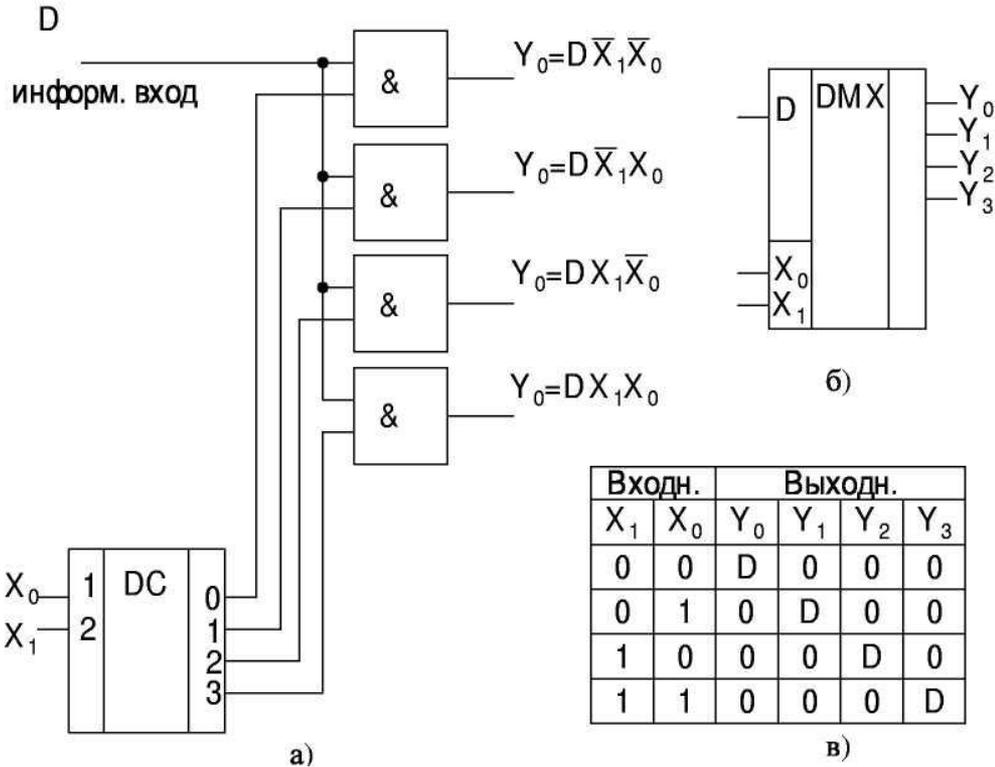
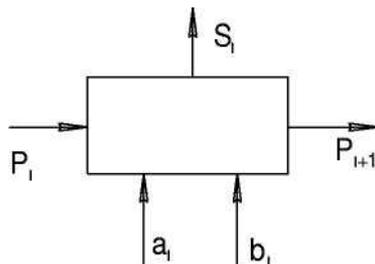


Схема демультимплексора (а),  
условное обозначение (б),  
таблица истинности (в)

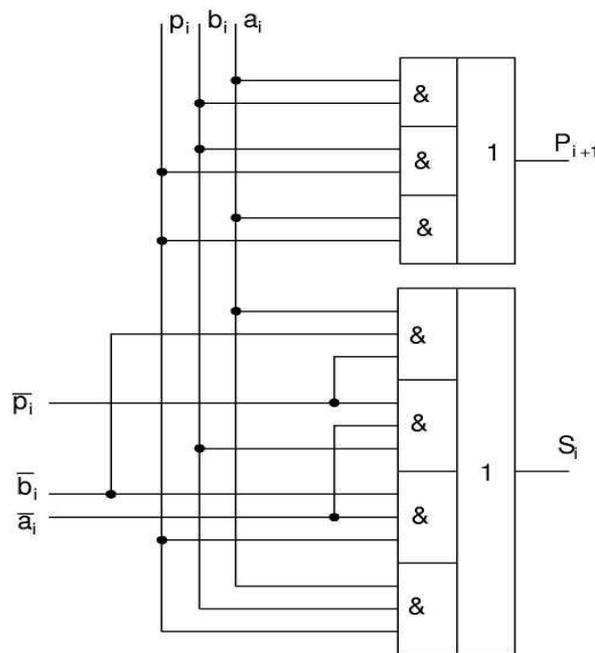
Демультимплексор 1 в 4:

- **Демультимплексором** называется комбинационное логическое устройство, предназначенное для управляемой передачи данных от одного источника информации в несколько выходных каналов.
- Демультимплексор имеет один информационный вход, n адресных шин и 2<sup>n</sup> - выходов.

# Комбинационный сумматор



Структурная схема  
одноразрядного сумматора

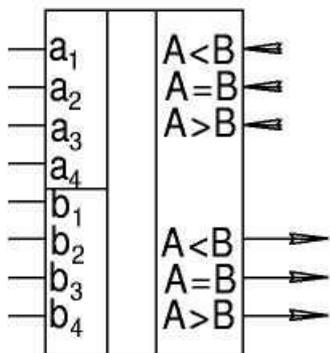


Входные			Выходные	
$a_i$	$b_i$	$p_i$	$S_i$	$P_{i+1}$
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

б)

- **Комбинационный сумматор** - это цифровое устройство, предназначенное для арифметического сложения чисел, представленных в виде двоичных кодов.
- Обычно сумматор представляет собой комбинацию одноразрядных сумматоров. При сложении двух чисел в каждом разряде производится сложение трех цифр: цифры первого слагаемого  $a_i$ , цифры второго слагаемого  $b_i$  и цифры переноса из младшего разряда  $P_i$ . В результате суммирования на выходных шинах получается сумма  $S_i$  и перенос в старший разряд  $P_{i+1}$ .

# Цифровой компаратор



а)

Входные	Выходные		
	A < B	A = B	A > B
A и B	A < B	A = B	A > B
A < B	1	0	0
A = B	0	1	0
A > B	0	0	1

б)

Обозначение (а),  
таблица истинности(б)

Компаратор на 4 разряда

- **Цифровые компараторы** предназначены для сравнения цифровых кодов.
- Количество входов определяется разрядностью чисел. На выходе обычно формируются сигналы A=B, A>B и A<B.
- На рисунке изображен компаратор на четыре разряда.
- Разрядность можно наращивать, например, для восьмиразрядного кода, берутся две схемы, для двенадцати - три и т.д.
- Можно без наращивания разработать схему любой разрядности.

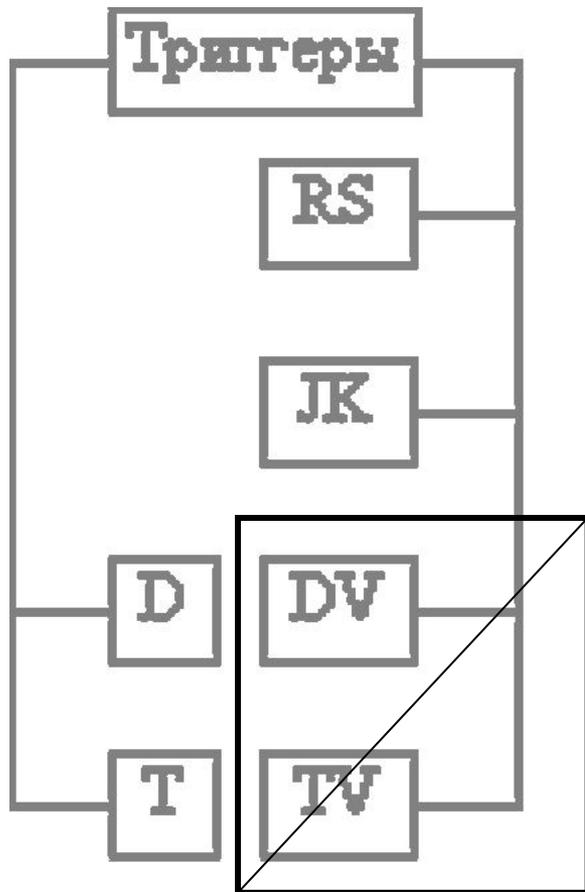
# Триггеры

- **Триггером** называется цифровое устройство, которое может находиться в одном из двух устойчивых состояний и переходит из одного состояния в другое под действием входных сигналов.
- Триггеры можно классифицировать по *способу управления (приема информации), принципу построения, функциональным возможностям.*
- По способу приема информации триггеры подразделяются на *асинхронные и синхронные.*
- Асинхронный триггер изменяет свое состояние в момент прихода сигнала на его информационные входы.
- Синхронные триггеры изменяют свое состояние по закону входных сигналов только в момент прихода активного сигнала на его синхронизирующий вход.
- Если хотя бы с одного входа информация в триггер заносится под воздействием синхронизирующего сигнала, триггер называется синхронным.

# Триггеры

- По виду активного сигнала, действующего на информационных входах триггеры подразделяются на *статические* и *динамические*.
- *Статические* переключаются потенциалом (уровнем напряжения)
- *Динамические* - перепадом (передним или задним фронтом импульса).
- Входные информационные сигналы могут быть прямыми и инверсными.
- По принципу построения триггеры можно подразделить на *одноступенчатые* и *двухступенчатые* (mastr-slave).
- В одноступенчатых триггерах имеется одна ступень запоминания.
- В двухступенчатых триггерах имеются две ступени запоминания. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе. В обозначении таких триггеров дублируется символ ТТ
- По функциональным возможностям триггеры делятся на: RS-триггер, D-триггер, Т-триггер, JK-триггер, (DV и TV-триггеры).

# Триггеры (классификация)

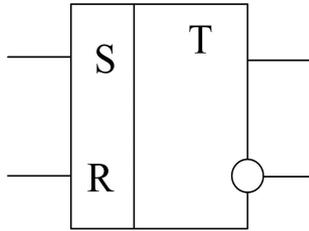


по функциональному назначению



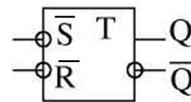
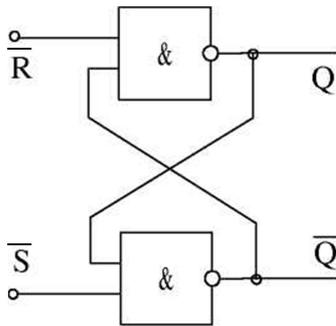
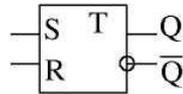
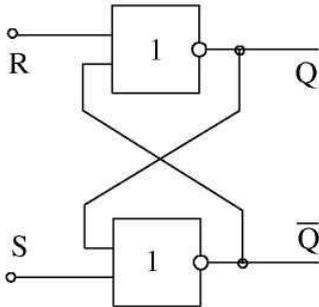
по способу управления (ввода информации)

# RS-триггер

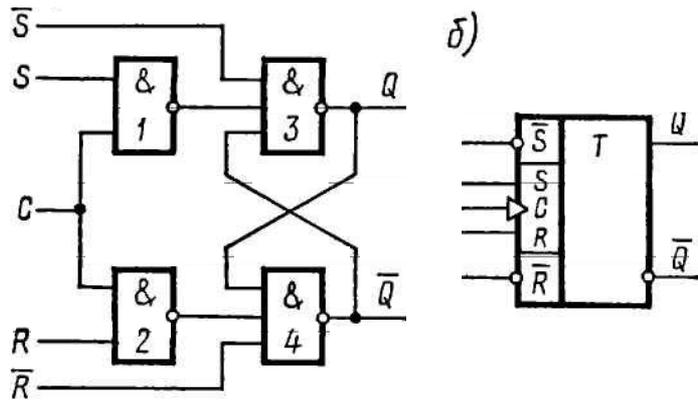


Входные		Вых.	
$S_n$	$R_n$	$Q_{n+1}$	Операц.
0	0	$Q_n$	Хранение
0	1	0	Запись 0
1	0	1	Запись 1
1	1	X	Запрет

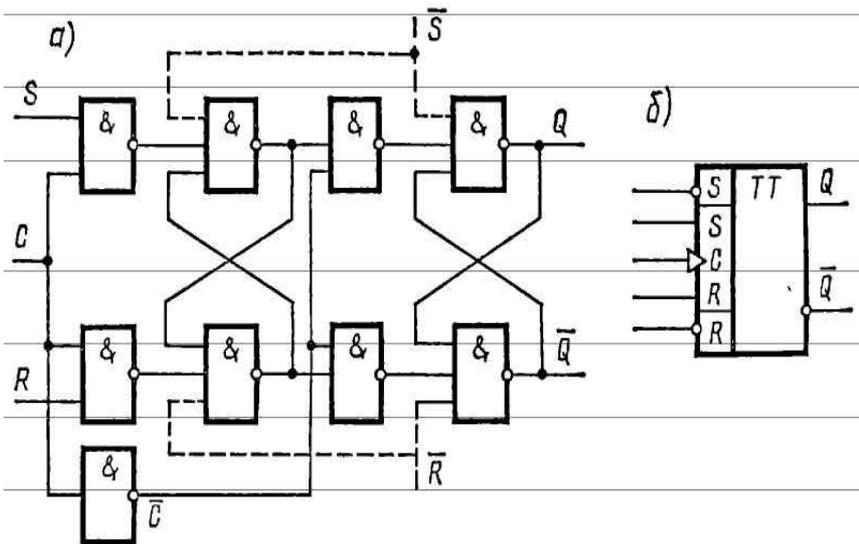
- **Асинхронный RS-триггер** имеет два информационных входа R и S и два выхода Q-прямой и - инверсный.
- Под действием входного сигнала S-set - установка триггер устанавливается в состояние "1"
- Под действием сигнала R- reset – сброс- переходит в состояние "0" .
- *При поступлении запрещенной комбинации на входы нарушается логика работы триггера. На прямом и инверсном выходах появляется одинаковый логический уровень, что противоречит логике. При переходе к хранению после этого состояния на выходе может, как остаться единица, так и появиться ноль. То есть, при переходе к хранению, состояние выхода будет не определено.*



# RS-триггер синхронный

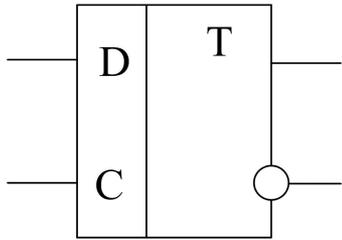


- **Синхронизируемый одноктактный RS-триггер**
- Входы RS синхронизируются сигналом  $C$  через элементы 2-И №1,2. Инверсные входы - асинхронные.



- **Синхронизируемый двухтактный RS-триггер.**

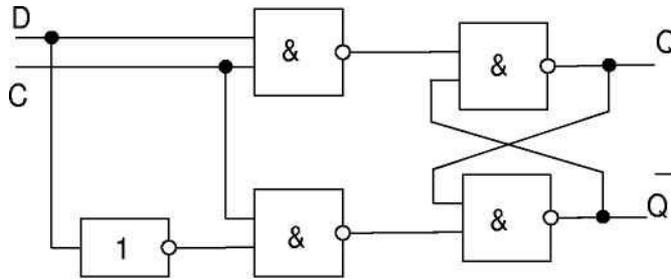
# D-триггер синхронный



а)

Входные		Выходные
$D_n$	$C$	$Q_{n+1}$
0	0	$Q_n$
1	0	$Q_n$
0	1	0
1	1	1

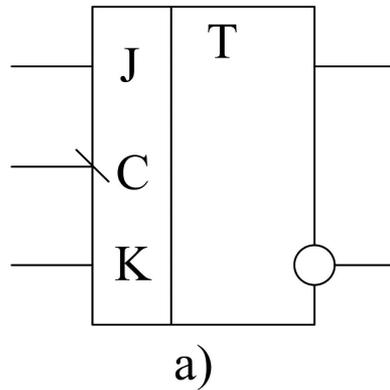
б)



Вход C может быть статический или динамический

- **D - триггер** от «Delay» – задержка.
- Простейший элемент памяти емкостью один бит.
- D - триггер имеет информационный вход D и вход стробирования - C и два выхода Q - прямой и инверсный.
- Состояние прямого выхода Q повторяет состояние входа D при активном сигнале на синхронизирующем входе (записи) C.
- Состояние выхода Q не меняется при любом состоянии входа D при не активном сигнале на синхронизирующем входе (записи) C.

# JK- триггер

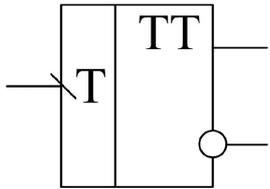


Входные			Выход.
$J_n$	$K_n$	$C$	$Q_{n+1}$
0	0	↓	$Q_n$
0	1	↓	0
1	0	↓	1
1	1	↓	$\overline{Q_n}$
X	X	0	$Q_n$
X	X	1	$\overline{Q_n}$

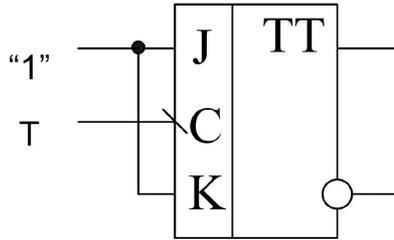
б)

- **JK- триггер** в отличие от RS-триггера не имеет запрещенных комбинаций входных сигналов.
- При поступлении сигналов на оба входа J и K триггер изменяет свое состояние на противоположное.
- JK-триггер является универсальным триггером. На его основе можно построить RS, D, T-триггеры.

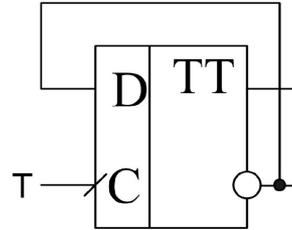
# T- триггер



а)



б)



в)

T	$Q(t+1)$
0	$Q(t)$
1	$\overline{Q(t)}$

- **T-триггер** имеет один информационный вход T
- **T-триггер** изменяет свое состояние на противоположное при поступлении на этот вход фронта или спада сигнала.
- **T-триггер** – счетный триггер

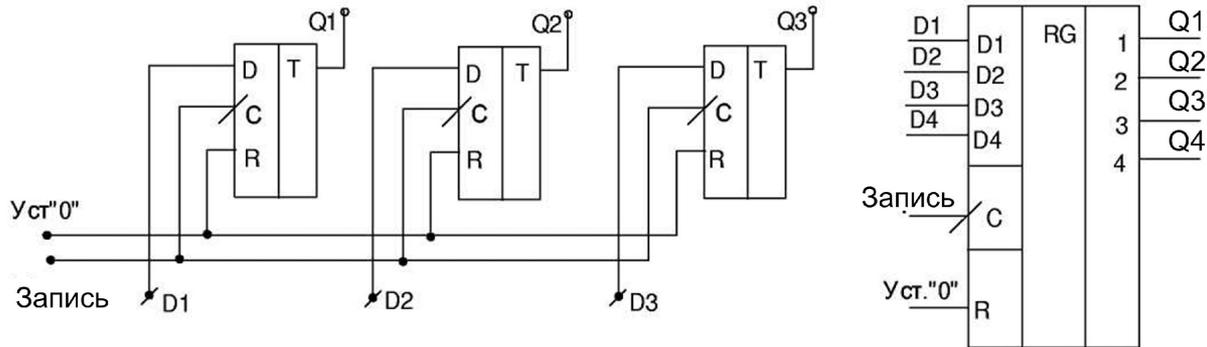
# Регистр

- **Регистр** — функциональное устройство, предназначенное для приема (записи) и запоминания  $n$ -разрядного слова (кода), а также для выполнения определенных микроопераций, например – сдвиг, над этим словом.
- Регистр представляет собой упорядоченную совокупность триггеров со схемой управления входными и выходными сигналами.
- С помощью регистров можно осуществлять операции преобразования информации из одного вида в другой (последовательного кода в параллельный и т. п.).
- При помощи объединения схемы управления (комбинационной схемы) и регистра можно осуществить различные операции, например:
  - ввод и вывод из регистра хранимой информации;
  - преобразование кода числа, хранящегося в регистре;
  - сдвиг числа влево или вправо на определенное число разрядов;
  - преобразование последовательного кода числа в параллельный и наоборот
  - и т.д.

# Регистры

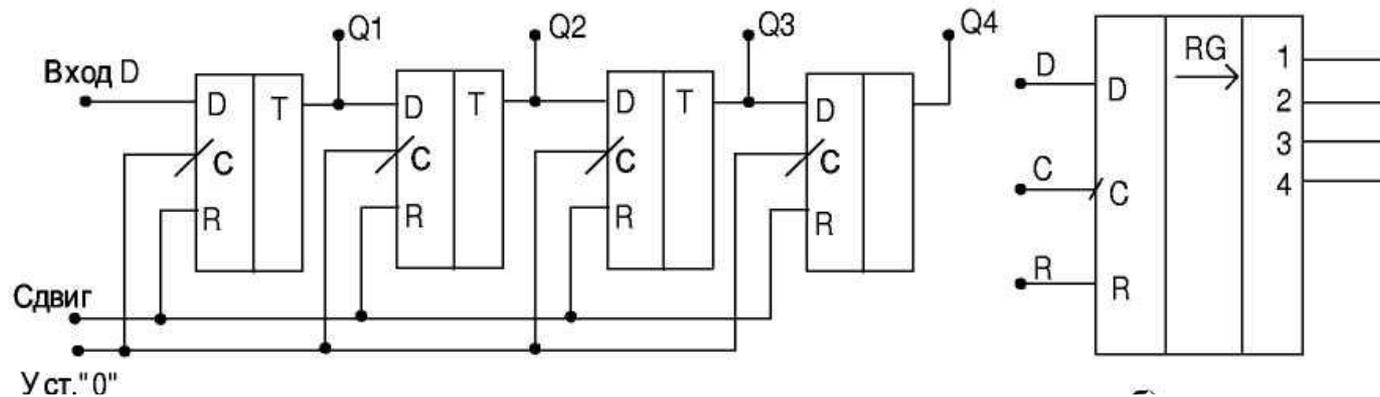
- Регистры классифицируют по *различным признакам, основными* из которых являются:
- способ ввода информации (записи) в регистр и ее вывод,
- способ представления вводимой и выводимой информации.
- По способу ввода и вывода информации регистры подразделяются на:
  - параллельные (регистры памяти);
  - последовательные (регистры сдвига);
  - параллельно-последовательные.

# Параллельный регистр



- **В параллельных регистрах** запись информации производится в параллельном коде одновременно по всем разрядам.
- Параллельные регистры применяются, например, для хранения информации и поэтому называются еще регистрами памяти.
- Параллельный регистр может быть выполнен, например, на D-триггерах.
- Если вход записи динамический, запись информации производится по фронту тактового сигнала.
- Если вход записи статический, то при активном уровне на нем, происходит прямая передача информации с входов на выходы, а при смене сигнала на не активный уровень – фиксация данных, которые присутствовали на входе в момент смены уровня сигнала записи.
- На входах и выходах триггеров регистра могут стоять логические схемы для преобразования кодов в прямые или инверсные.

# Регистр сдвига



- В сдвиговых регистрах выполняется сдвиг информации влево или вправо.
- Информация в регистр может записываться в последовательном или параллельном коде
- Информация может выводиться в последовательном или параллельном коде.
- В сдвиговых регистрах можно преобразовывать коды из последовательного в параллельный и обратно.
- Сдвиг информации в регистре в зависимости от управляющего сигнала может осуществляться влево и вправо. Такие регистры называются *реверсивными*.
- Регистры могут иметь вход, который переводит выходы в высокоимпедансное Z-состояние, производя отключение выходов регистра от шины.

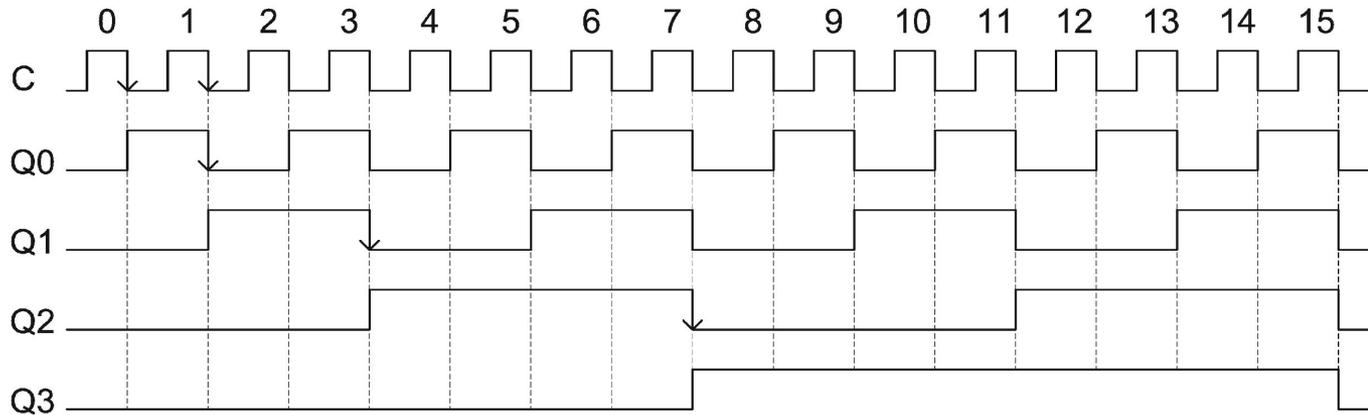
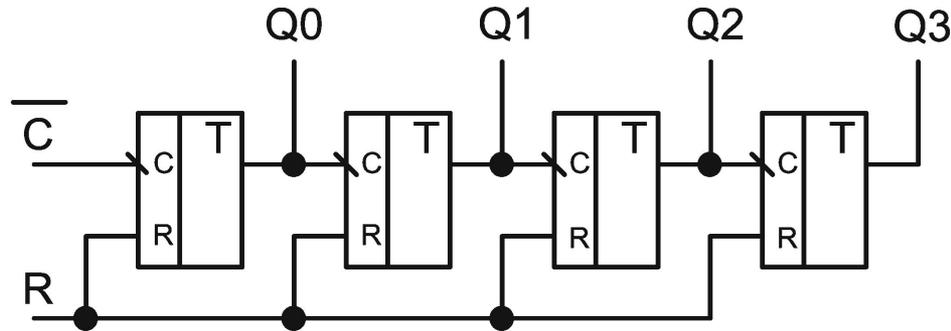
# Счетчики

- **Счетчик** представляет собой устройство, предназначенное для подсчета числа сигналов, поступающих на его вход, и фиксации этого числа в виде кода, хранящегося в триггерах.
- Количество разрядов счетчика определяется наибольшим числом, которое должно быть получено в результате счета.
- Для счета и выдачи результатов в счетчиках имеется один вход и  $n$  выходов в зависимости от количества разрядов.
- В общем случае счетчик имеет  $M=2^n$  устойчивых состояний, включая нулевое.
- Счетчик, установленный в определенное состояние, сохраняет его до тех пор, пока на вход не поступит следующий сигнал.
- Каждому состоянию счетчика соответствует порядковый номер  $0, 1, 2, \dots, M-1$ .
- При подаче на вход счетчика  $M$ -го входного сигнала на выходе его возникает сигнал переполнения и счетчик возвращается в начальное состояние, т. е. счет единичных сигналов осуществляется в нем по модулю  $M$ .
- Модуль  $M$  называется коэффициентом пересчета.

# Счетчики

- Счетчики бывают суммирующие, вычитающие и реверсивные.
- **Суммирующий счетчик** предназначен для выполнения счета в прямом направлении, т. е. для суммирования входных импульсов.
- **Вычитающий счетчик** предназначен для выполнения счета в сторону уменьшения, т.е. в режиме вычитания.
- **Реверсивный счетчик** имеет вход управления, позволяющий изменять направление счета.
- По способу организации межразрядных связей счетчики выполняются с:
  - **последовательным переносом,**
  - **параллельным переносом и**
  - **параллельно-последовательным переносом.**
- Самые простые и вместе с тем самые медленные - это счетчики с последовательным переносом.
- Наибольшим быстродействием обладают счетчики с параллельным переносом.

# Счетчик двоичный 4-х разрядный с последовательным переносом, суммирующий. M=16.

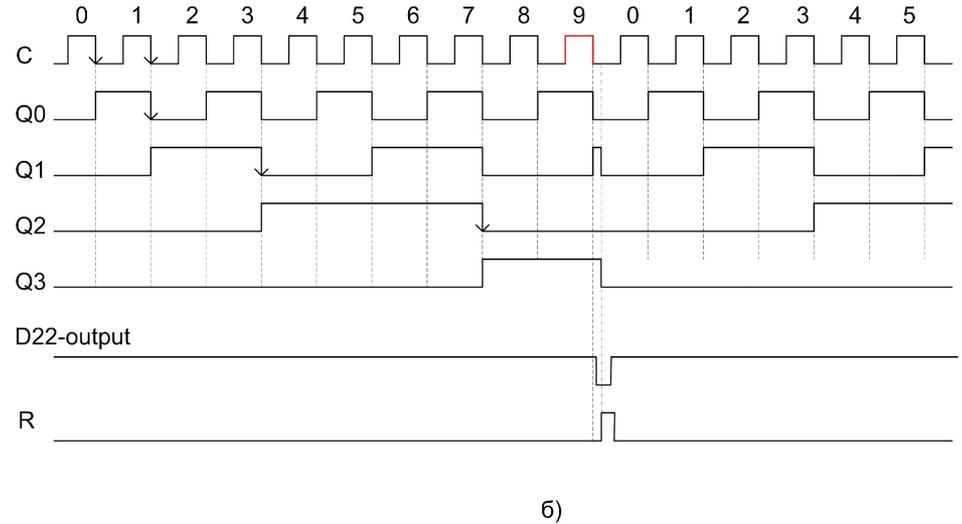
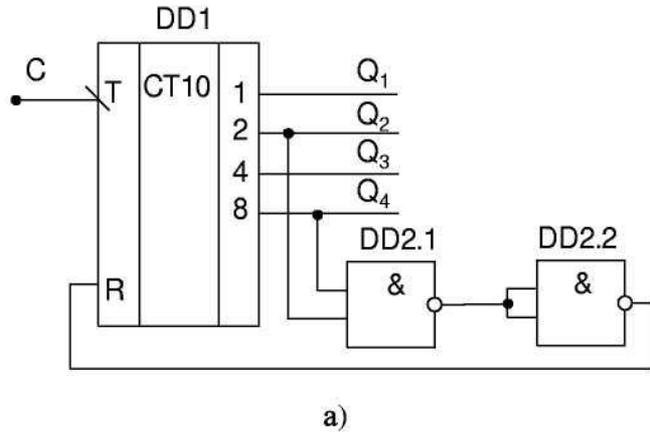


временные диаграммы работы

Счет	Выходы			
	Q0	Q1	Q2	Q3
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

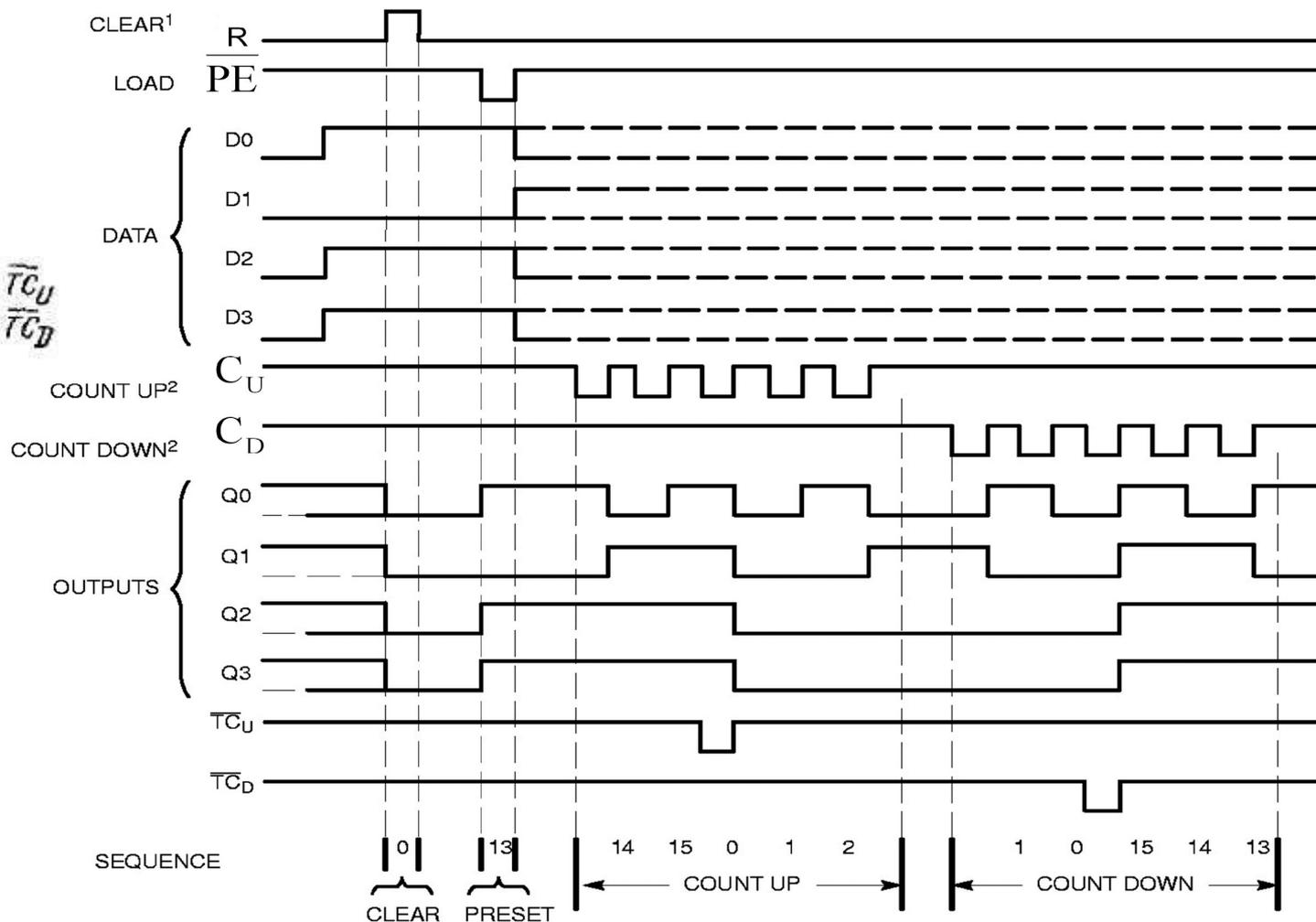
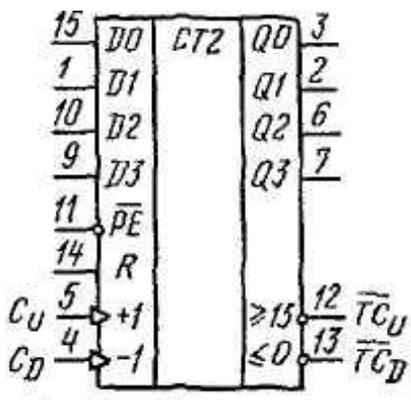
Состояние выходов

# Счетчики с произвольным коэффициентом пересчета

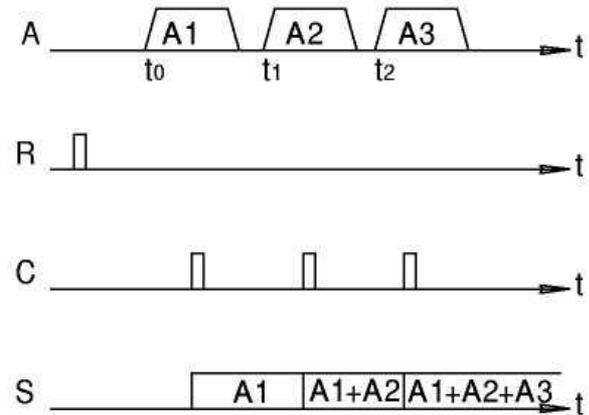
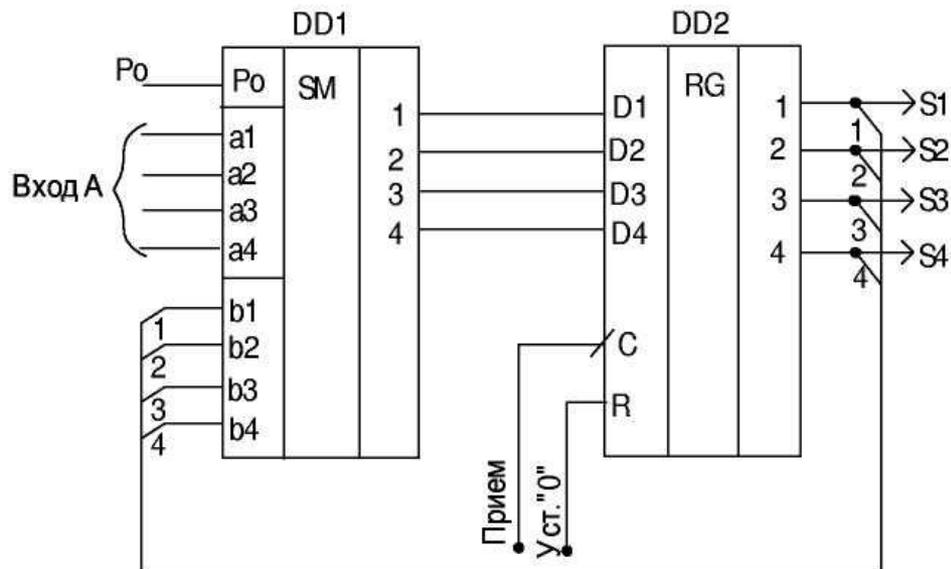


- *Счетчики с произвольным коэффициентом пересчета можно построить на основе двоичных счетчиков с организацией обратной связи с выходов соответствующих разрядов через схему И (дешифратор) на вход R- обнуления счетчика.*
- *Счетчики с произвольным коэффициентом пересчета можно построить на вычитающих счетчиках в режиме автоматической перезагрузки по сигналу заема.*

# Счетчик двоичный 4-х разрядный с параллельным переносом, реверсивный. M=16. SN74LS193



# Накапливающие сумматоры



б)

- **Накапливающие сумматоры** предназначены для последовательного суммирования нескольких чисел.
- В каждом такте к предыдущей сумме добавляется очередное число.
- Накапливающие сумматоры строятся на базе комбинационных сумматоров и параллельных регистров.

# Запоминающие устройства

Устройства для хранения информации



Классификация запоминающих устройств в интегральном исполнении.

## Постоянное запоминающее устройство (ПЗУ)

- **Постоянное запоминающее устройство (ПЗУ)** - *энергонезависимое ЗУ*, которое служит для хранения стандартных (неизменяемых) программ и констант, необходимых для выполнения программы.
- В ПЗУ обычно записываются программы начальной инициализации (загрузки) систем, тестовые и диагностические программы и другое служебное программное обеспечение, которое не меняется в процессе эксплуатации систем.
- В микропроцессорных системах, управляющих определенными объектами с использованием фиксированных или редко изменяемых программ, для их хранения также обычно используется ПЗУ (память ROM - Read-Only Memory) или репрограммируемое ПЗУ (память EEPROM - Electrically Erased Programmable Read-Only Memory или флэш-память).
- Масочные ПЗУ программируются исключительно в условиях полупроводникового производства.
- Механизмов занесения информации в программируемые ПЗУ существует несколько.

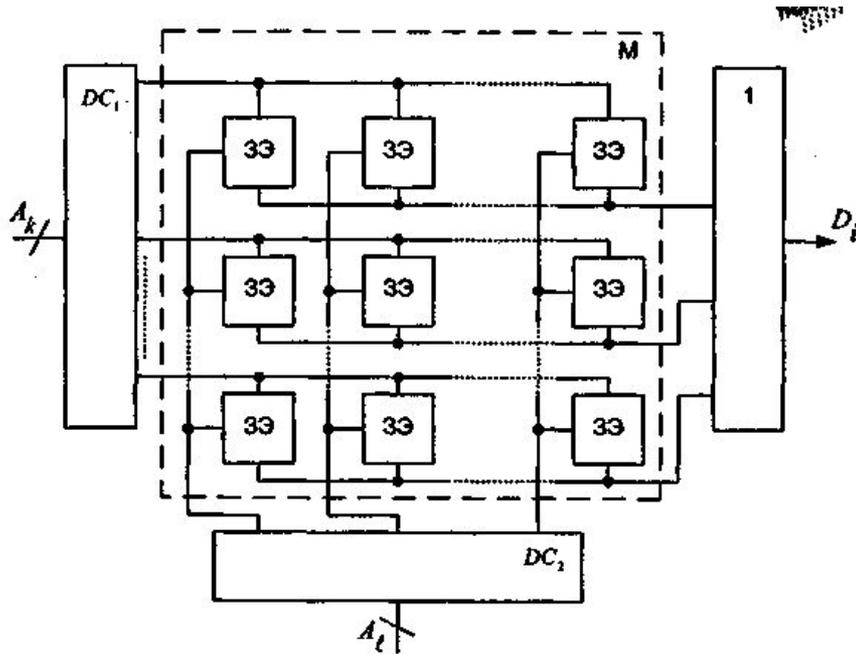
# Основные принципы хранения информации

- Физически **пережигаемые перемычки** матрицы на основе нихрома или поликристаллического кремния (ограниченное применение)
- Элементы памяти **на полевых транзисторах с плавающими** (не имеющими выводов, находящиеся в толще диэлектрика между управляющим затвором и каналом) **затворами** с лавинно-инжекционным накоплением зарядов.
- Различают приборы, в которых элементарная ячейка хранит один бит информации и несколько бит.
- В **однобитовых ячейках** различают только два уровня заряда на плавающем затворе. Такие ячейки называют одноуровневыми (*single-level cell, SLC*).
- В **многобитовых ячейках** различают больше уровней заряда; их называют многоуровневыми (*multi-level cell, MLC*). MLC-приборы дешевле и более ёмкие, чем SLC-приборы, однако с большим временем доступа и меньшим максимальным количеством перезаписей.
- MLC память может быть с 4 уровнями заряда (2 бита) на каждую ячейку, память с 8 уровнями (3 бита) иногда называют TLC (*Triple Level Cell*) или *3bit MLC* и более.

## Оперативное запоминающее устройство (ОЗУ)

- **Оперативное запоминающее устройство (ОЗУ)** - *энергозависимое ЗУ*, которое служит для хранения данных, получаемых в результате выполнения программы. В оперативное запоминающее устройство (*для принстонской архитектуры*) также возможна загрузка программы или части программы и передача управления этому фрагменту программы, т.е. в ОЗУ может храниться выполняемая программа (или ее фрагменты), а также данные, подлежащих обработке. Информация, находящаяся в ОЗУ теряется при снятии питающего напряжения.
- Элементами памяти в **статических ЗУ**, как правило, являются триггеры. Один триггер может запомнить один бит информации. После записи информации в ячейку для обеспечения хранения не требуется никаких дополнительных действий до следующей записи. Чтение не влияет на состояние ячеек памяти. Память такого типа имеет высокую стоимость в силу большого количества транзисторов необходимых для построения одной ячейки памяти. При снятии питания информация разрушается.

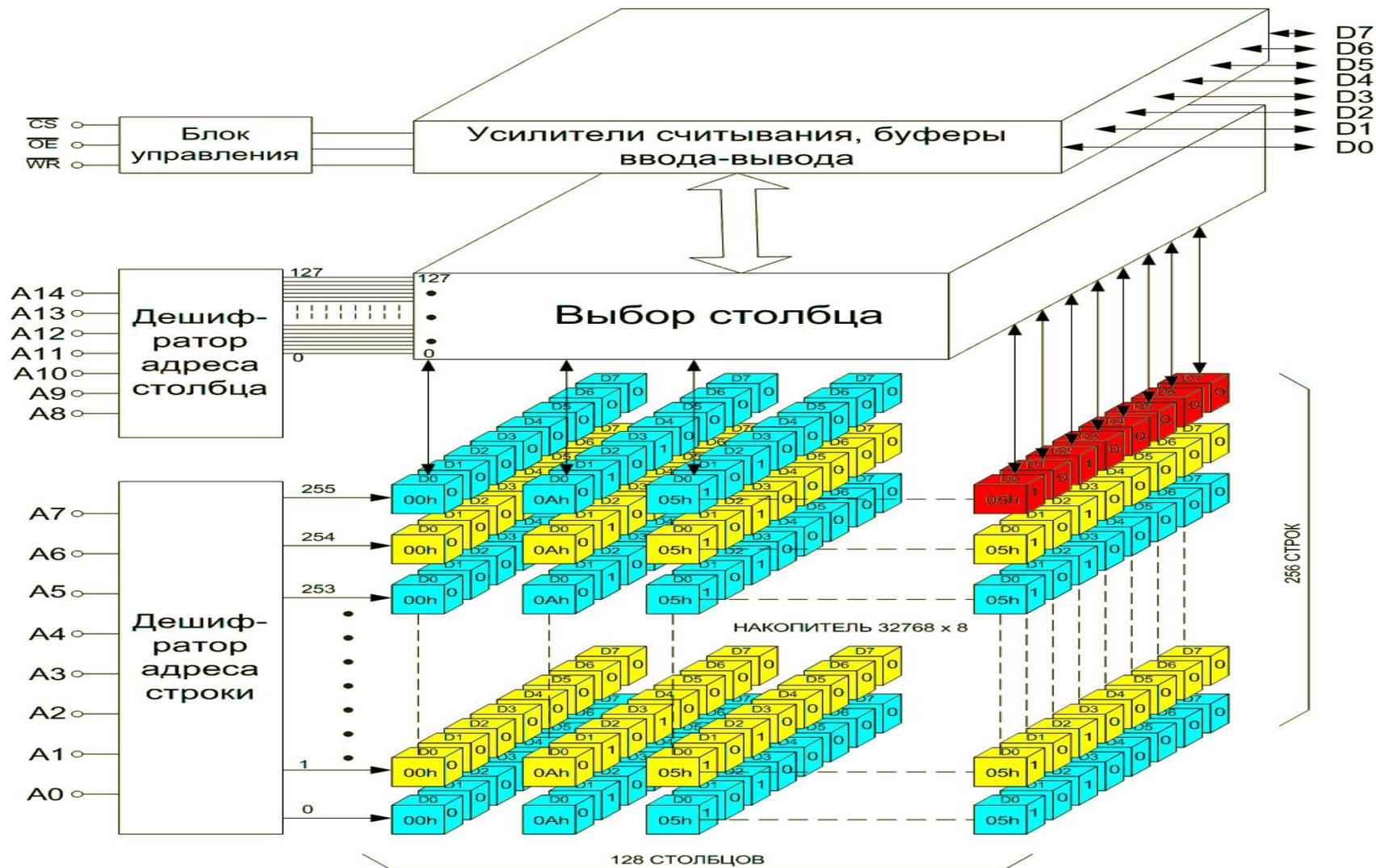
# Структура ЗУ



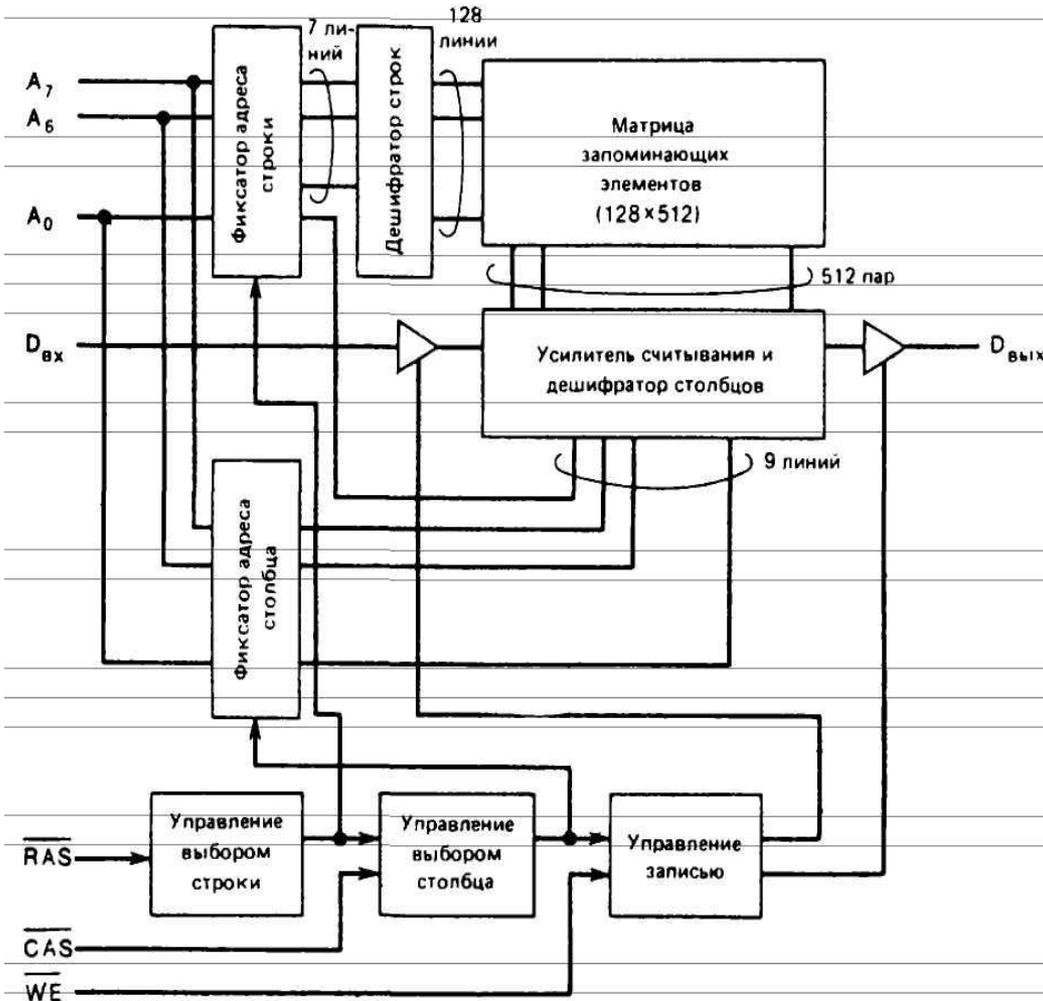
- ЗУ с **двумерной адресацией** позволяет осуществлять побитовую запись или считывание информации.
- ЗУ с такой структурой осуществляют двухкоординатную выборку запоминающих элементов матрицы, что позволяет упростить дешифраторы адреса, т. е. уменьшить число выходов дешифратора.

Адресный код разрядностью  $K + L$  делится на две части: одна ( $K$  разрядов) служит для определения строки, вторая ( $L$  разрядов) — для определения столбца. Таким образом, выбирается один бит нужного слова, находящийся в ЗЭ на пересечении активных выходов обоих дешифраторов. При построении ЗУ для многоразрядных слов к дешифраторам DC1 и DC2 подключаются параллельно несколько матриц  $M$ , число которых равно разрядности хранимых слов

# Структура статического запоминающего устройства объемом 32кбайт, организацией 32к \* 8бит

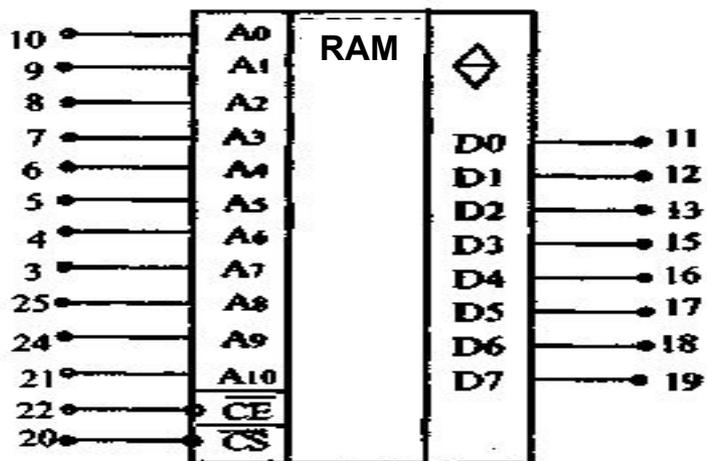


# Оперативное запоминающее устройство (ОЗУ)

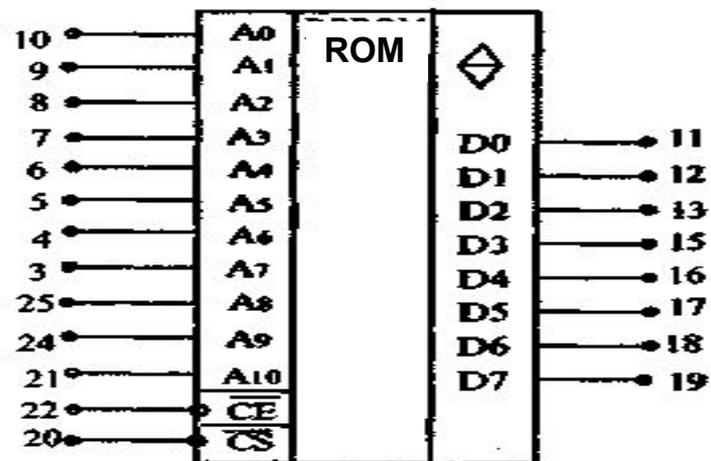


- С целью упрощения реализации ячейки памяти, соответственно, удешевления хранения единицы информации, увеличения объемов ЗУ широко применяется ОЗУ **динамического** типа.
- Элементом памяти в этом типе ЗУ является конденсатор.
- Поскольку конденсатору свойственно явление саморазряда, т.е. потери заряда вследствие наличия токов утечки, такой тип ячейки памяти требует регулярное обновление информации – так называемой **регенерации**.

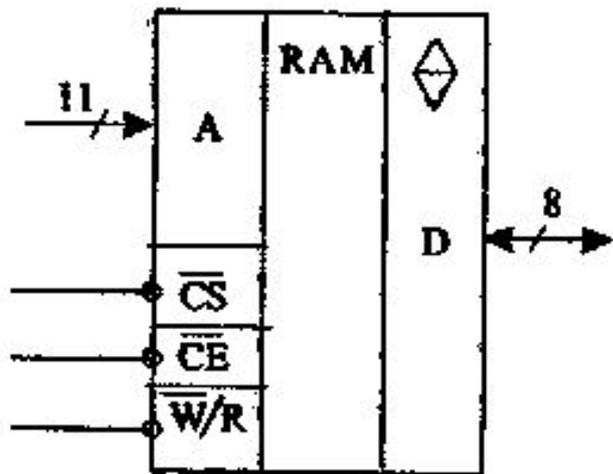
# Условные графические обозначения



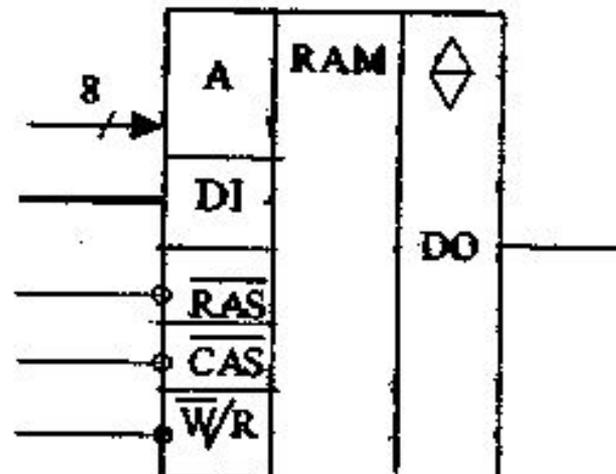
ОЗУ



ПЗУ

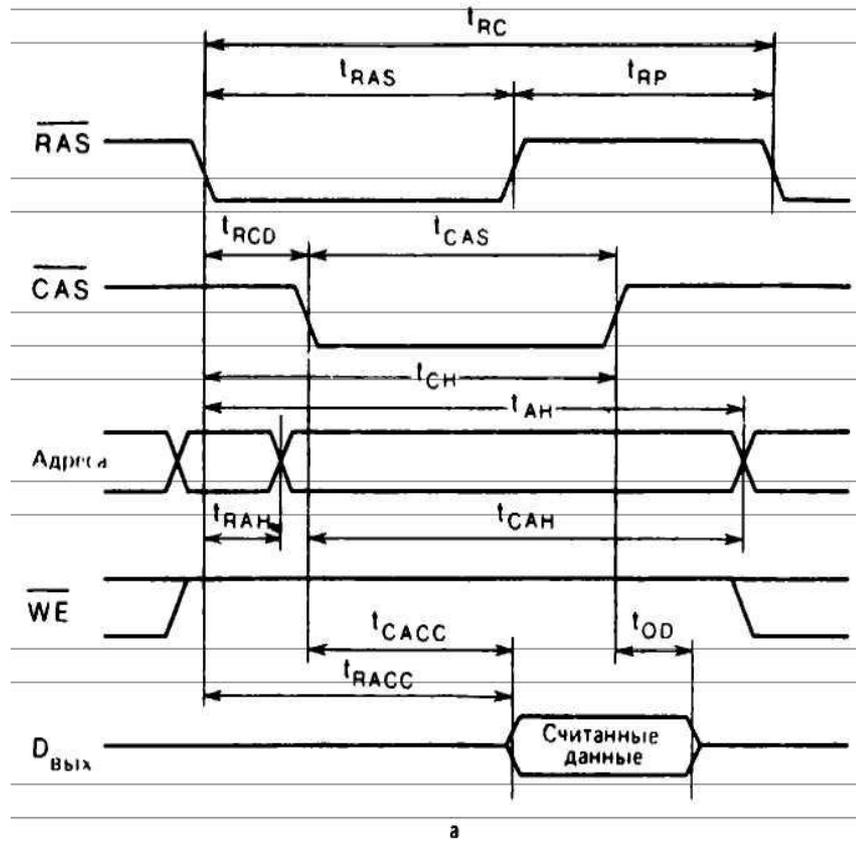


ОЗУ

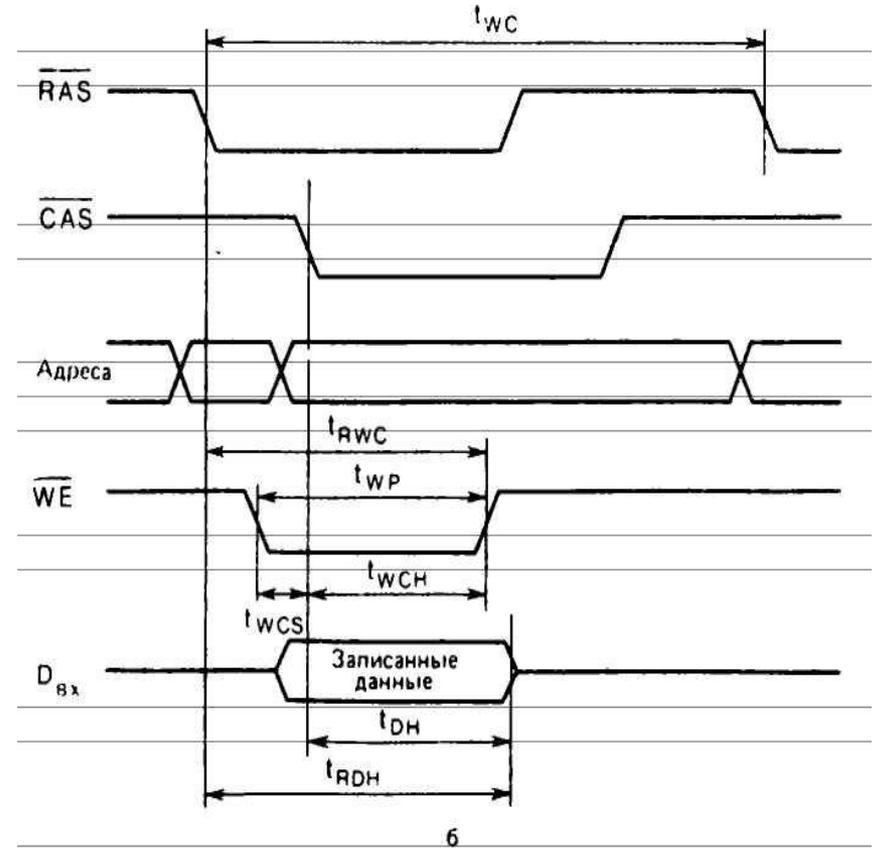


ОЗУ

# Временные диаграммы ОЗУ динамического типа



Чтение



Запись

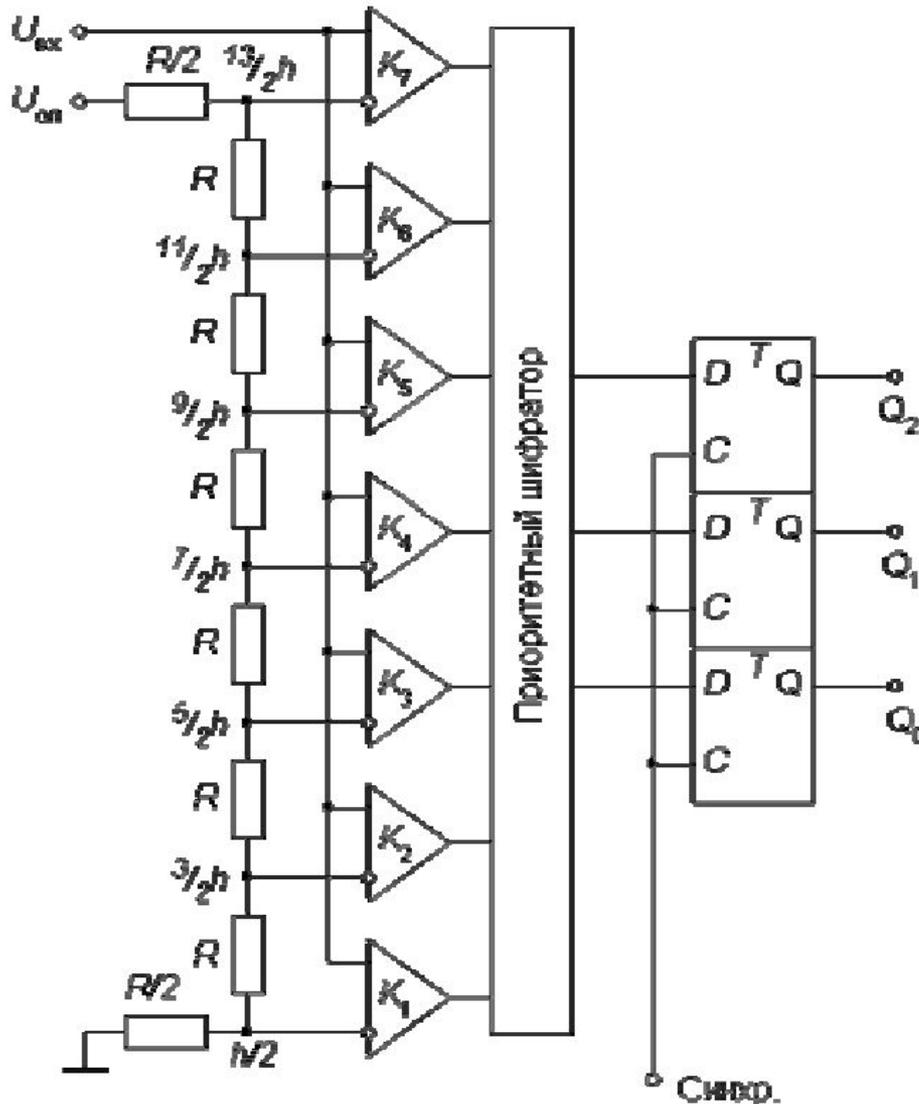
# АЦП

- Аналого-цифровые преобразователи (АЦП) являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки микропроцессорами и другими цифровыми устройствами.
- Процедура аналого-цифрового преобразования непрерывных сигналов, которую реализуют с помощью АЦП, представляет собой преобразование непрерывной функции времени  $U(t)$ , описывающей исходный сигнал, в последовательность чисел  $\{U'(t_j)\}$ ,  $j=0,1,2,\dots$ , отнесенных к некоторым фиксированным моментам времени.
- Эту процедуру можно разделить на две самостоятельные операции.
- Первая из них называется дискретизацией и состоит в преобразовании непрерывной функции времени  $U(t)$  в непрерывную последовательность  $\{U(t_j)\}$ .
- Вторая называется квантованием и состоит в преобразовании непрерывной последовательности в дискретную  $\{U'(t_j)\}$ .

# Классификация АЦП



# Параллельный АЦП



- Если приложенное входное напряжение не выходит за пределы диапазона от  $5/2h$ , до  $7/2h$ , где  $h=U_{\text{оп}}/7$  - квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние 1, а компараторы с 4-го по 7-й - в состояние 0.
- Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором.

# ЦАП

- Цифро-аналоговый преобразователь (ЦАП) предназначен для преобразования числа, определенного, как правило, в виде двоичного кода, в напряжение или ток, пропорциональные значению цифрового кода.
- Цифро-аналоговые преобразователи можно классифицировать по следующим признакам:
  - разрядность
  - по виду выходного сигнала: с токовым выходом и выходом в виде напряжения
  - по типу цифрового интерфейса: с последовательным вводом и с параллельным вводом входного кода
  - по быстродействию