



Арифметико- логические устройства

В современных ЭВМ арифметико-логическое устройство не является самостоятельным схемотехническим блоком. Оно входит в состав микропроцессора, на котором строится компьютер.

Знание структуры и принципов работы АЛУ весьма важно для понимания работы компьютера в целом.



Арифметико-логические устройства АЛУ (ALU, Arithmetic-Logic Unit) выполняют над словами ряд действий.

Основой АЛУ служит сумматор, схема которого дополнена логикой, расширяющей функциональные возможности АЛУ и обеспечивающей его перестройку с одной операции на другую



- » Основными арифметическими операциями являются сложение и вычитание.
- » Разработаны коды **дополнительный и обратный**, которые позволяют выполнять операцию вычитания методом суммирования.

Арифметико-логические устройства



Методика построения одноразрядного арифметического устройства для выполнения операций суммирования и вычитания

X_1	X_2	S	P_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}$$

$$P_{i+1} = X_1 \cdot X_2$$

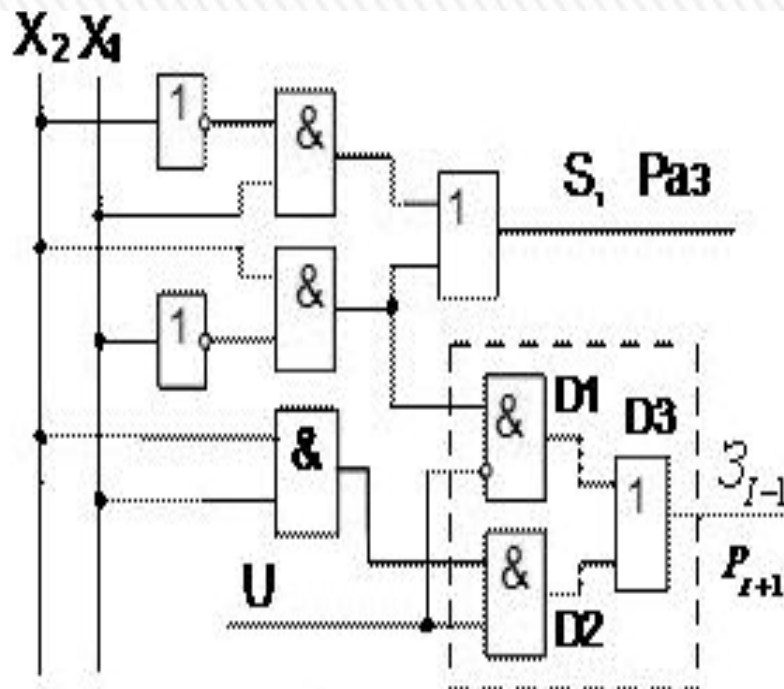
а)

X_1	X_2	Раз	3_{i+1}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$\text{Раз} = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}$$

$$3_{i+1} = \overline{X_1} \cdot X_2$$

б)



в)



- » Для выполнения операции вычитания не требуется получение дополнительных сигналов, поэтому и не требуются дополнительные аппаратные затраты.
- » Необходимо лишь обеспечить коммутацию сигналов переноса и заёма в соответствии с кодом операции.

Операция вычитания



- » **Вычитание** числа B из A выполняется путем суммирования отрицательного числа B в дополнительном коде с числом A . Представление отрицательного двоичного числа можно получить путем инвертирования всех битов числа и добавлением 1.
- » Прибавление этой единицы эффективно реализуется в полном сумматоре путем замены его первого каскада (полусумматора) на полный сумматор, вход переноса которого подключается к напряжению с уровнем логической 1.

Вычитание

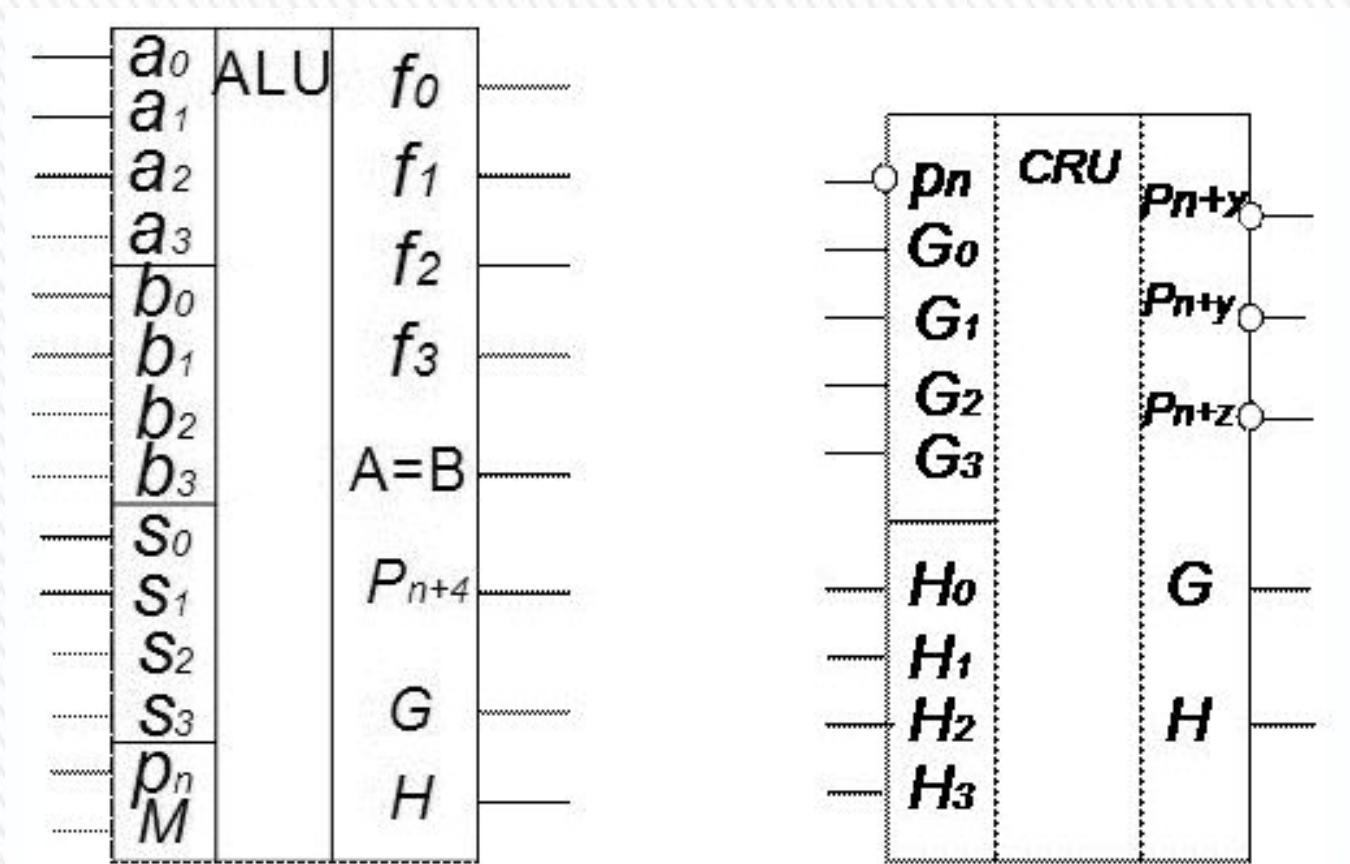


- » Многоразрядные АЛУ выпускаются в виде интегральных микросхем или входят в состав процессоров, являясь их основой.

Многоразрядные АЛУ



МС 564ИПЗ — это 4-разрядное параллельное АЛУ, выполняющая 16 арифметических и 16 логических операций.



- » $A(a_0-a_3)$ — первый операнд,
- » $B(b_0-b_3)$ — второй операнд,
- » $S(s_0-s_3)$ — код операции — 4 разряда.
- » Если $M=0$, то выполняются арифметические операции: $2^4=16$, при $M=1$ выполняются логические операции: $2^4=16$. Итого $16+16=32$ операции.
- » $F(f_0-f_3)$ — результат операции. На выходе $A=B$ появляется «1», если при выполнении операции вычитания результат операции будет равен «0», то есть $A=B$. Поскольку АЛУ параллельного типа, то имеются выходы генерации G и распространения переноса H . P_n и P_{n+4} — входной и выходной переносы.



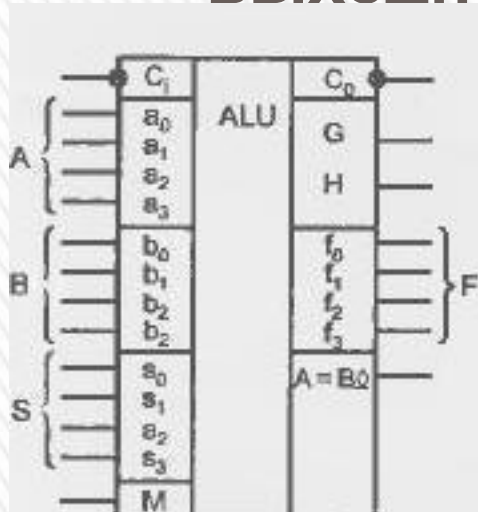
Обычно АЛУ четырехразрядны и для наращивания разрядности объединяются с формированием последовательных или параллельных переносов.

Логические возможности АЛУ разных технологий сходны. В силу самодвойственности выполняемых операций условное обозначение и таблица истинности АЛУ встречаются в двух вариантах, отличающихся взаимно инверсными значениями переменных




АЛУ имеет входы операндов А и В, входы выбора операций S, вход переноса C_i и вход M (Mode), сигнал которого задает тип выполняемых операций: логические ($M = 1$) или арифметико-логические ($M = 0$). Результат операции вырабатывается на выходах F, выходы G и H дают функции генерации и прозрачности, используемые для организаций параллельных переносов при наращивании размерности АЛУ. Сигнал C_o — выходной перенос, а выход $A = B \ominus$ есть выход

ия на равенство с открытым
ором.



Перечень выполняемых АЛУ операций дан в табл. Для краткости двоичные числа $s_3s_2s_1s_0$ представлены их десятичными эквивалентами. Под **утолщенными** обозначениями **1** и **0** следует понимать наборы **1111** и **0000**, входной перенос поступает в младший разряд слова, т. е. равен **000C_i**. Логические операции **поразрядные**, т. е. операция над словами **A * B** означает, что **a_i * b_i**; при отсутствии взаимовлияния разрядов.

При **арифметических** операциях учитываются **межразрядные переносы**. 

S	Логические функции (M = 1)	Арифметико-логические функции (M = 0)
0	\bar{A}	$A + C_i$
1	$A \vee B$	$A \vee B + C_i$
2	AB	$A \vee \bar{B} + C_i$
3	0	$1 + C_i$
4	$A\bar{B}$	$A + AB + C_i$
5	\bar{B}	$A \vee B + A\bar{B} + C_i$
6	$A \oplus B$	$A + B + C_i$
7	AB	$A\bar{B} + 1 + C_i$
8	$A \vee B$	$A + AB + C_i$
9	$\overline{A \oplus B}$	$A + B + C_i$
10	B	$A \vee B + AB + C_i$
11	AB	$AB + 1 + C_i$
12	1	$A + A + C_i$
13	$A \vee B$	$A \vee B + A + C_i$
14	$A \vee B$	$A \vee \bar{B} + A + C_i$
15	A	$A + 1 + C_i$



Шестнадцать логических операций позволяют воспроизводить все функции двух переменных. В логико-арифметических операциях встречаются и логические и арифметические операции одновременно.

Запись типа $A \setminus B + AB$ следует понимать так: вначале поразрядно выполняются операции инвертирования (B), логического сложения ($A \setminus B$) и умножения (AB), а затем полученные указанным образом два четырехразрядных числа складываются арифметически.

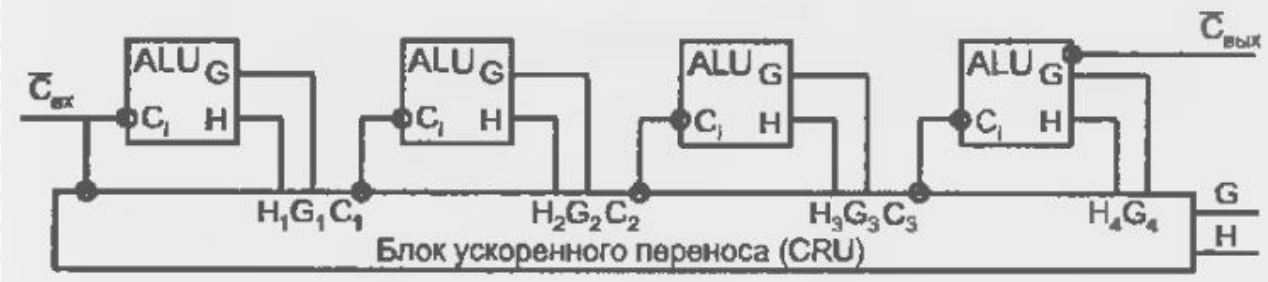
При операциях над словами большой размерности АЛУ соединяются друг с другом с организацией последовательных или параллельных переносов.

В последнем случае совместно с АЛУ применяют микросхемы — блоки ускоренного переноса (CRU, Carry Unit), получающие от отдельных АЛУ функции генерации и прозрачности, а также входной перенос и вырабатывающие сигналы переноса

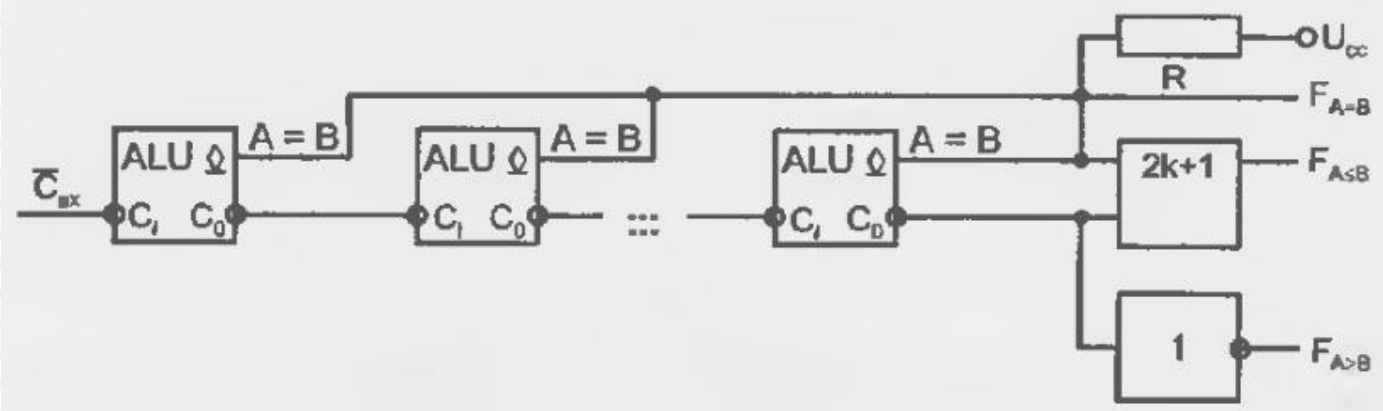




а



б



По способу представления чисел различают АЛУ:

- для чисел с фиксированной запятой;**
- для чисел с плавающей запятой;**
- для десятичных чисел.**

Классификация АЛУ



По способу действия над операндами АЛУ делятся на последовательные и параллельные.

Классификация АЛУ



В параллельных АЛУ операнды представляются параллельным кодом и операции совершаются параллельно во времени над всеми разрядами операндов.

Классификация АЛУ



В последовательных АЛУ операнды представляются в последовательном коде, а операции производятся последовательно во времени над их отдельными разрядами. Такие АЛУ, как правило, используют конвейерный метод обработки, при котором совмещаются во времени фазы выполнения операции для различных разрядов операндов.

Классификация АЛУ



По выполняемым функциям АЛУ делятся на многофункциональные и функциональные (блочные).

Классификация АЛУ



В блочном АЛУ операции над числами с фиксированной и плавающей запятой, десятичными и алфавитно-цифровыми полями, операции типа "умножение" выполняются в отдельных блоках.

Такой подход позволяет увеличить скорость работы АЛУ за счет использования быстродействующих блоков, а также за счет организации параллельной работы этих блоков.

Однако в этом случае значительно возрастают затраты оборудования.

Классификация АЛУ



В многофункциональных АЛУ всевозможные операции для всех форм представления чисел выполняются одними и теми же схемами, которые коммутируются нужным образом в зависимости от требуемого режима работы.

Классификация АЛУ



По структурной организации АЛУ можно разделить на устройства, имеющие:

- регистровую структуру с непосредственными связями и закрепленной логикой;

Арифметико-логические устройства этого типа базируются на принципе закрепления логических схем, используемых для выполнения микро операций, за каждым из регистров

Классификация АЛУ



- магистральную структуру с сосредоточенной памятью и логикой.

Магистральная структура АЛУ отличается тем, что в ней регистры и схемы для преобразования информации выделены в отдельные блоки, связанные между собой по входам и выходам. В этом случае блок регистров (БР) выполняет функции приема, хранения, выдачи операндов и результатов, а операционный блок (ОБ) выполняет весь необходимый набор микроопераций над словами, хранимыми в БР. В данной структуре блок регистров может быть реализован двумя способами: либо как совокупность отдельных регистров с индивидуальными схемами управления, либо как сверхоперативное адресное запоминающее устройство.

Классификация АЛУ



Для лучшего понимания этих вопросов проведем синтез арифметического устройства, предназначенного для выполнения только одной операции – умножения чисел с фиксированной запятой, заданных в прямом коде, со старших разрядов множителя [13] . В ходе этого процесса также обратим внимание на особенности использования рассмотренных выше основных схемотехнических элементов ЭВМ.



Синтез АЛУ проходит в несколько этапов. Сначала необходимо выбрать метод, по которому предполагается выполнение операции, и составить алгоритм соответствующих действий. Исходя из алгоритма и формата исходных данных, следует определить набор составляющих АЛУ элементов. Затем требуется определить связи между элементами, установить порядок функционирования устройства и временную диаграмму управляющих сигналов, которые должны быть поданы на АЛУ от устройства управления.



Пусть операнды имеют вид:

$$[X]_{пк} = x_0x_1x_2\dots x_n$$

$$[Y]_{пк} = y_0y_1y_2\dots y_n$$

где x_0, y_0 – знаковые разряды.



Операция умножения чисел с фиксированной запятой, заданных в прямом коде, со старших разрядов множителя выполняется по следующей формуле:

$$SignZ = SignX \oplus SignY$$

$$|Z| = y_1 \cdot |X| \cdot 2^{-1} + y_2 \cdot |X| \cdot 2^{-2} + \dots + y_n \cdot |X| \cdot 2^{-n}$$

$$[X]_{\text{ПК}} = 0.1101; SignX = 0$$

$$[Y]_{\text{ПК}} = 1.1011; SignY = 1$$

$$SignZ = 0 \oplus 1 = 1$$

$$|X| = 0.1101$$

$$|Y| = 0.1011$$



$$\text{Sign}Z = \text{Sign}X \oplus \text{Sign}Y$$

$$|Z| = y_1 \cdot |X| \cdot 2^{-1} + y_2 \cdot |X| \cdot 2^{-2} + \dots + y_n \cdot |X| \cdot 2^{-n}$$

$$[X]_{\text{ПК}}^{\text{Y}} = 0.1101; \text{Sign}X = 0$$

$$[Y]_{\text{ПК}} = 1.1011; \text{Sign}Y = 1$$

$$\text{Sign}Z = 0 \oplus 1 = 1$$

$$|X| = 0.1101$$

$$|Y| = 0.1011$$

$$y_1 y_2 y_3 y_4$$

$$+ 0.00000000|Z| = 0$$

$$y_1 = 10.011010001 \cdot |X| \cdot 2^{-1}$$

$$+ 0.01101000|Z| = |Z| + |X| \cdot 2^{-1}$$

$$y_2 = 00.000000000 \cdot |X| \cdot 2^{-2}$$

$$+ \overline{0.01101000}|Z| = |Z| + 0$$

$$y_3 = 10.000110101 \cdot |X| \cdot 2^{-3}$$

$$+ \overline{0.10000010}|Z| = |Z| + |X| \cdot 2^{-3}$$

$$y_4 = 10.000011011 \cdot |X| \cdot 2^{-4}$$

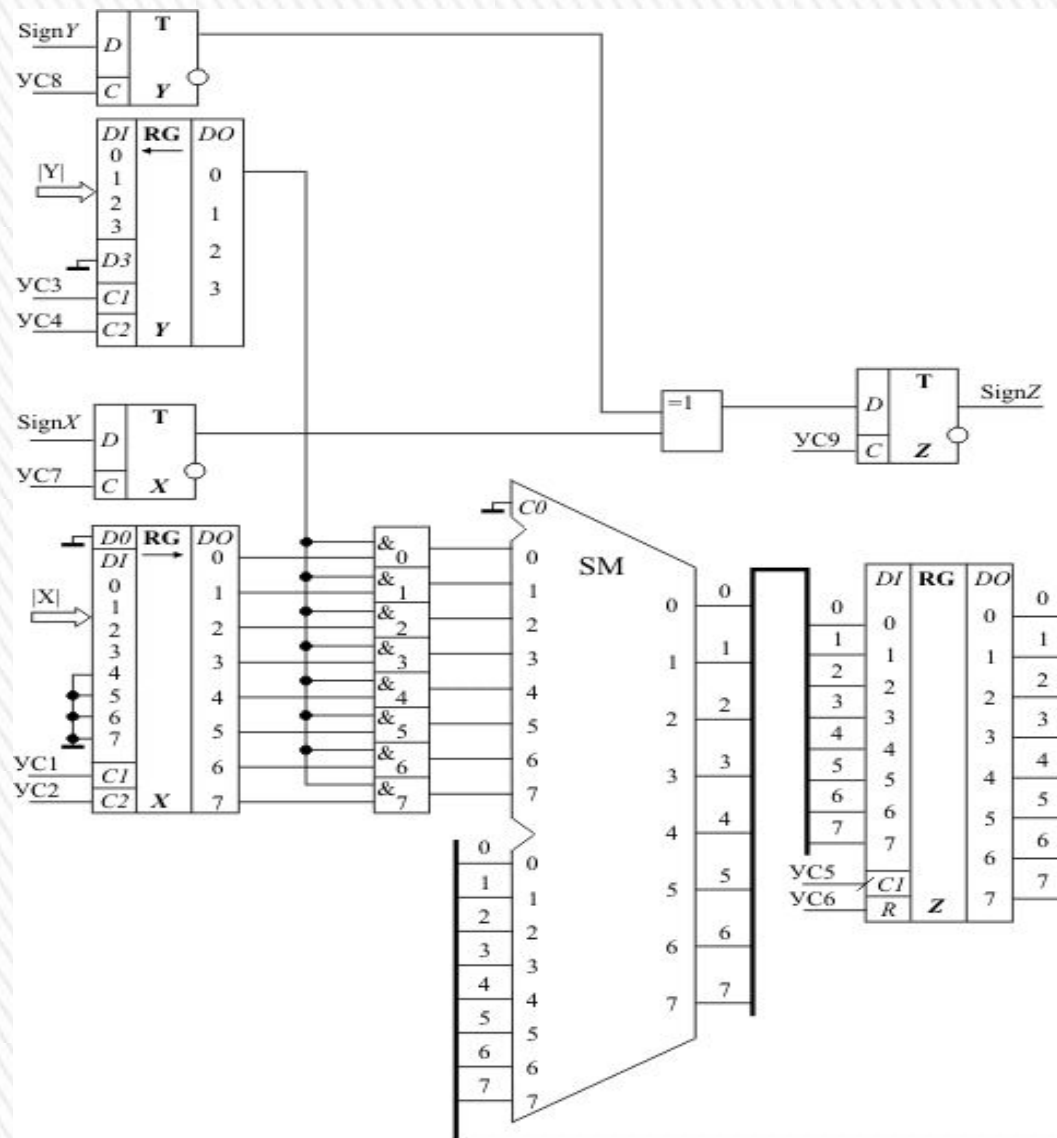
$$\overline{0.10001111}|Z| = |Z| + |X| \cdot 2^{-4}$$



Каждой переменной, представленной в алгоритме, в схеме должен соответствовать элемент хранения. Разрядность модуля произведения равна сумме разрядностей сомножителей. Умножение двоичного числа на 2^i обеспечивается сдвигом этого числа вправо на соответствующее количество разрядов. Переход к анализу очередного разряда множителя ($i = i + 1$) может быть обеспечен сдвигом регистра множителя на один разряд в сторону старших разрядов.

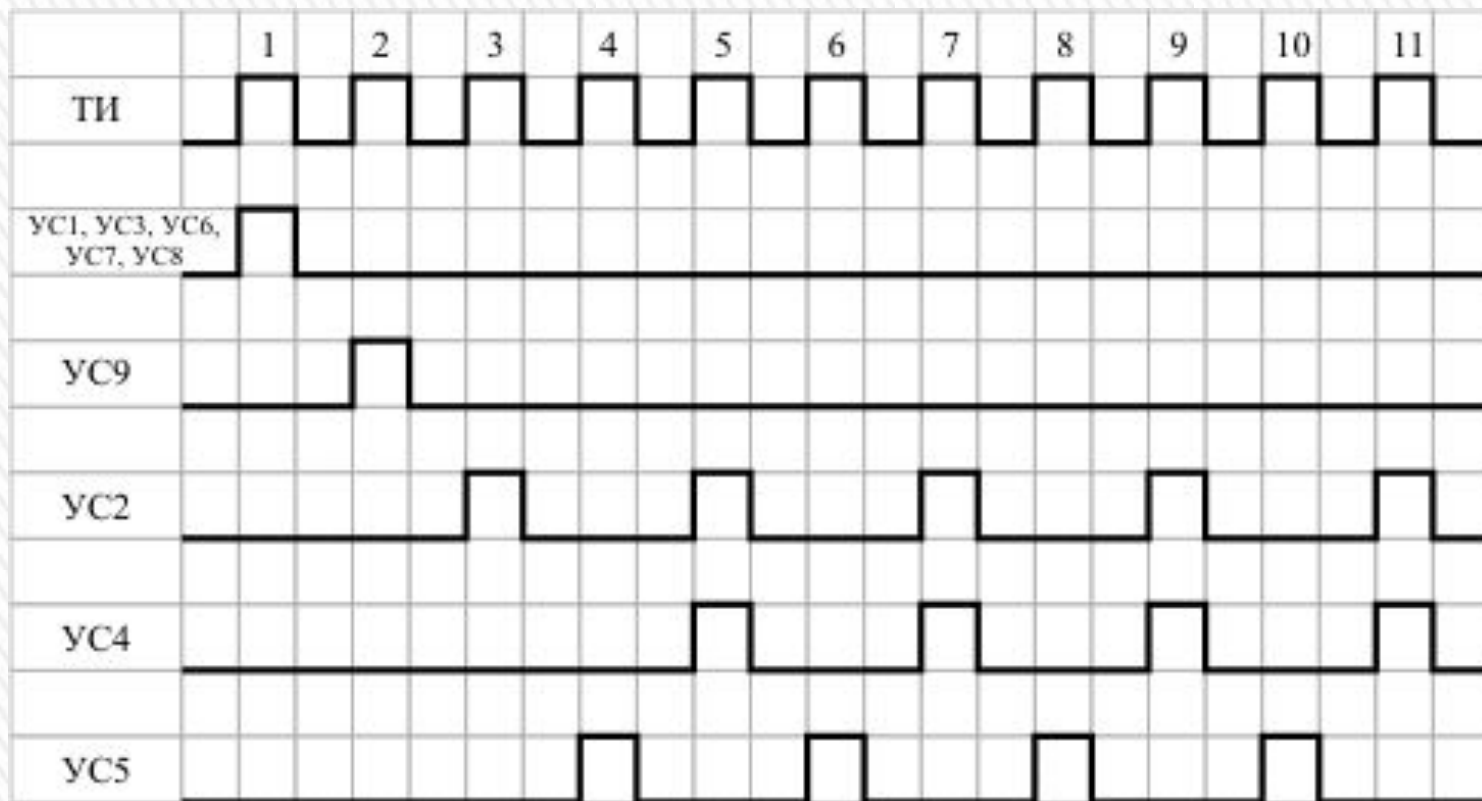


Схема	Разрядность	Функции	Управляющий сигнал
Регистр модуля множимого RGX	8	Загрузка. Сдвиг в сторону младших разрядов.	УС1 УС2
Регистр модуля множителя RGY	4	Загрузка. Сдвиг в сторону старших разрядов.	УС3 УС4
Регистр модуля результата RGZ	8	Загрузка. Установка в "0".	УС5 УС6
Триггер знака множимого TX		Загрузка	УС7
Триггер знака множителя TY		Загрузка	УС8
Триггер знака результата TZ		Загрузка	УС9
АЛУ	8	Комбинационный сумматор	-
Комбинационные схемы		Получение на входе АЛУ сигналов "0" или	-



Структурная схема устройства представлена на рис.





Временная диаграмма управляющих сигналов



