

Лабораторная работа № 8

Двоичные сумматоры

На микрооперации сложения основаны алгоритмы (микропрограммы) выполнения основных арифметических операций в арифметико-логическом устройстве (сложение, вычитание, умножение, деление).

Варианты заданий

1. Все собирают одноразрядный комбинационный сумматор (описан в разделе 1, схема - **). Он затем используется как составная часть указанных ниже схем.
2. Бригады с четными номерами собирают на макете схему трехразрядного последовательного сумматора (описан в разделе 2, окончательная схема - ***).
3. Бригады с нечетными номерами собирают на макете схему параллельного двухразрядного накапливающего сумматора (описан в разделе 3, окончательная схема - *****).
4. В отчете по лабораторной работе приводятся обе вышеперечисленные схемы.
5. При защите лабораторной работы проверяется понимание всего изложенного в данной презентации материала

Сумматор – это операционный элемент, предназначенный для выполнения микрооперации сложения чисел. Если операнды и результат сложения представляются в двоичной системе счисления, то сумматор называется двоичным.

Сумматоры подразделяются на два типа: комбинационные и накапливающие. Комбинационные сумматоры не содержат запоминающих элементов и реализует микрооперацию сложения в виде $C:=A+B$.

Накапливающие сумматоры содержат регистр, на котором перед началом микрооперации хранится слагаемое и на момент окончания сложения – сумма. Накапливающие сумматоры реализуют микрооперацию сложения в виде $C:=C+A$.

Операционное устройство может производить арифметические и логические операции в соответствии с заложенной в его основу микропрограммой параллельно, последовательно и параллельно-последовательно.

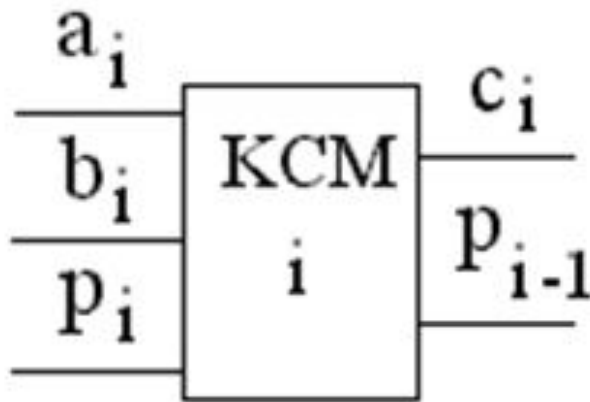
Параллельный способ выполнения операции суммирования двух чисел с фиксированной точкой предполагает, что микрооперация сложения, используемая в микропрограмме суммирования, выполняется над всеми разрядами операндов одновременно (параллельно).

Последовательный способ выполнения операции суммирования означает, что соответствующая микрооперация сложения выполняется последовательно над каждым i -ым разрядом суммируемых чисел, начиная с младшего. Поэтому для осуществления сложения двух n -разрядных чисел на последовательном двоичном сумматоре потребуется n тактов суммирования (потери времени при этом компенсируются существенной экономией аппаратуры). Для запоминания переноса в следующий разряд нужен триггер.

Компромиссным способом является параллельно-последовательный способ выполнения сложения на двоичном сумматоре. Он предполагает, что микрооперация сложения выполняется над m разрядами суммируемых чисел (т.е. m разрядов суммируются параллельно), $m < n$, n кратно m . При этом в микропрограмме сложения должна быть предусмотрена микрооперация сдвига регистра, на который записывается сумма на m разрядов вправо для того, чтобы освободить

1. Одноразрядный комбинационный сумматор (типовой i -ый разряд n -разрядного комбинационного сумматора)

Модель:

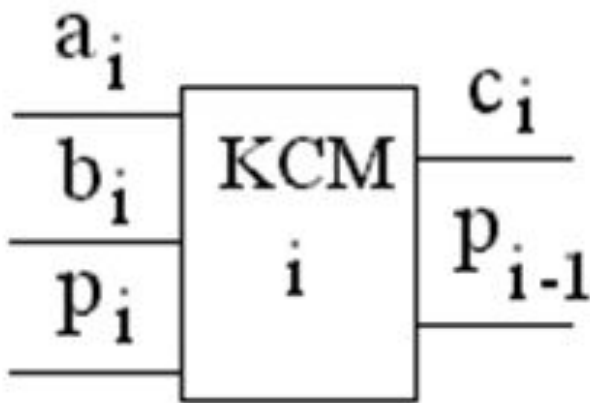


Схема, изображенная на рисунке, суммирует a_i и b_i - значения i -ых разрядов слов $A(1:n)$ и $B(1:n)$ - а также p_i - перенос в i -ый разряд суммы из младшего $(i+1)$ -го разряда.

c_i - значение i -го разряда суммы;

p_{i-1} - значение переноса в старший $(i-1)$ -ый разряд суммы;

Тесты:



Из таблицы состояний получены следующие функции для определения выходных сигналов

ОКС:

$$p_{i-1} = \overline{p_i} a_i b_i \vee \overline{p_i} a_i \overline{b_i} \vee \overline{p_i} a_i b_i \vee \overline{p_i} a_i \overline{b_i}$$

$$p_{i-1} = \overline{a_i} b_i \vee \overline{p_i} b_i \vee \overline{p_i} a_i$$

Склеивание каждой из конъюнкций с последней

$$c_i = \overline{p_i} a_i b_i \vee \overline{p_i} a_i \overline{b_i} \vee \overline{p_i} a_i b_i \vee \overline{p_i} a_i \overline{b_i}$$

Номер входного набора	Входы			Выходы	
	p_i	a_i	b_i	p_{i-1}	c_i
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

По полученным функциям можно построить схемы вычисления булевых функций в базисе И, ИЛИ, НЕ. Двухуровневый двоичный (дизъюнкция конъюнкций) одноразрядный комбинационный сумматор будет иметь цену 25 (входов логических элементов) и время задержки $2t$, где t - задержка на логическом элементе

1. Задание 1. Собрать и наладить схему **одноразрядного комбинационного сумматора** (ОКСм) на макете L-Т. Убедиться в ее работоспособности, подавая с кнопок на входные полюса все возможные комбинации и фиксируя значения сигналов суммы и переноса.

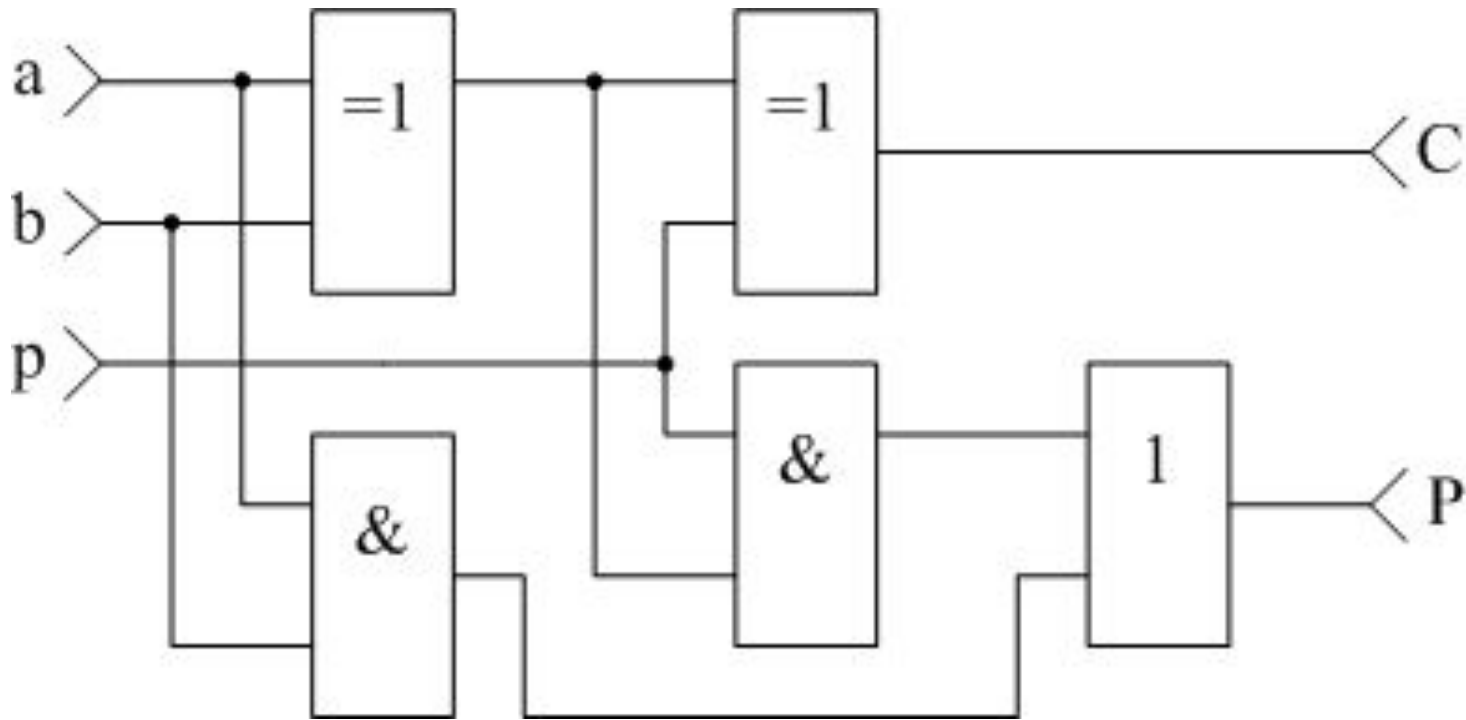
Для обеспечения возможности размещения схемы одноразрядного сумматора на макете Logic, рекомендуется преобразовать функции ОКСм следующим образом:

$$\begin{aligned} C &= \bar{a}\bar{b}p \vee \bar{a}b\bar{p} \vee a\bar{b}\bar{p} \vee abp = (\bar{a}\bar{b} \vee ab)p \vee (\bar{a}b \vee a\bar{b})\bar{p} = \\ &= \overline{(a \oplus b)}p \vee (a \oplus b)\bar{p} = (a \oplus b) \oplus p \end{aligned}$$

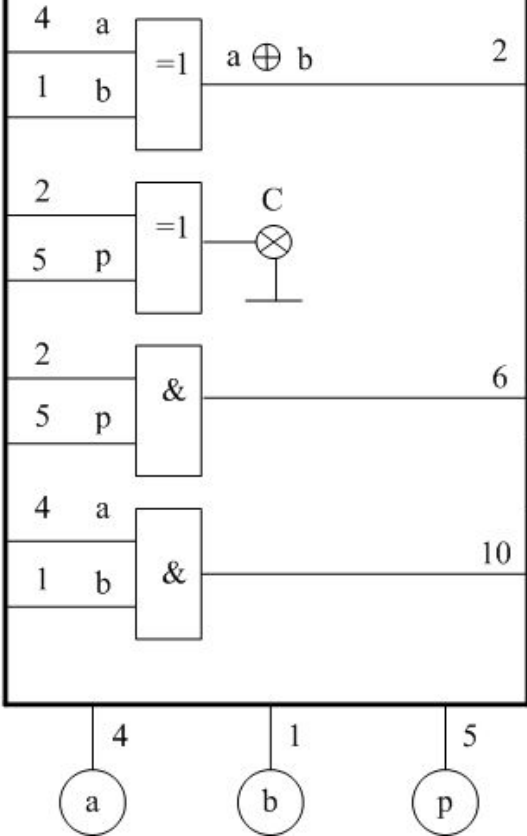
$$\begin{aligned} P &= \bar{a}bp \vee a\bar{b}p \vee ab\bar{p} \vee abp = (\bar{a}b \vee a\bar{b})p \vee ab(\bar{p} \vee p) = \\ &= (a \oplus b)p \vee ab \end{aligned}$$

$$C = (a \oplus b) \oplus p$$

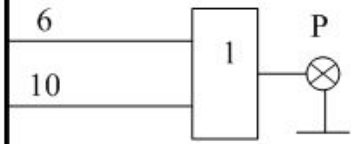
$$P = (a \oplus b)p \vee ab$$



1
2
3
7
8
9



4	a	4
5	p	5
6		6
10		10
11		11
12		12



1
2
3
7
8
9

Макетировани
e

2. Последовательный накапливающий сумматор

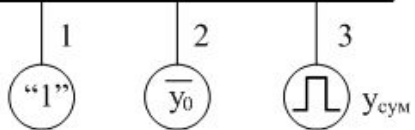
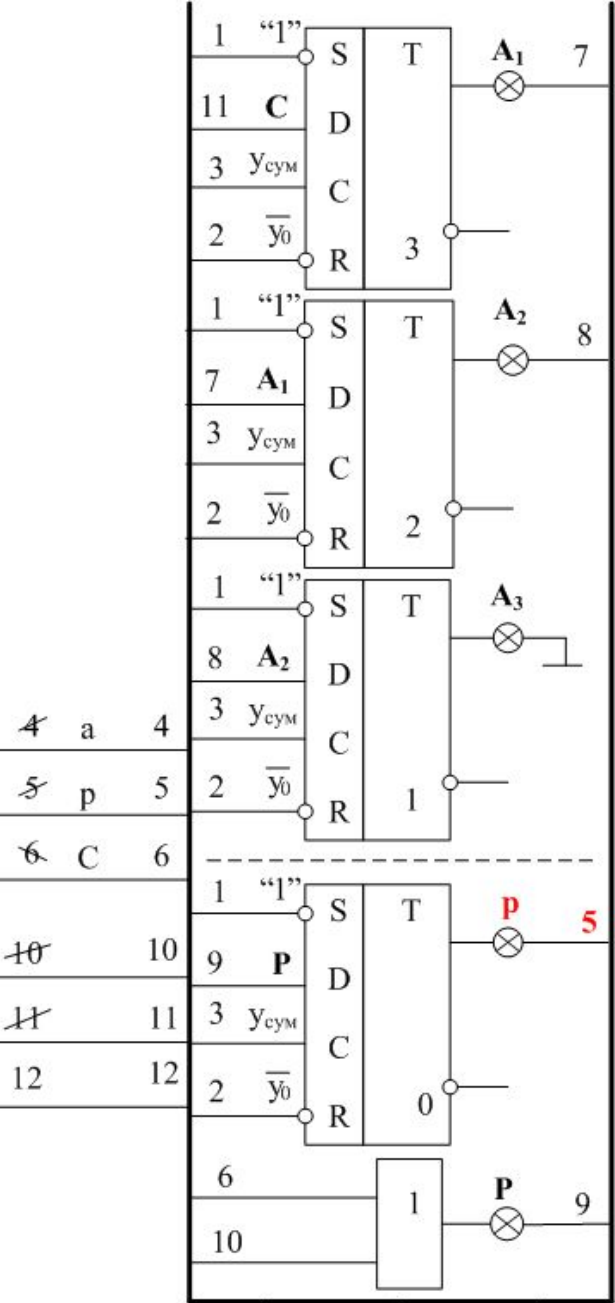
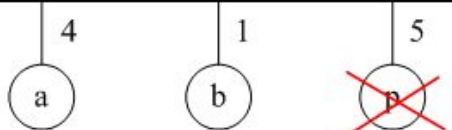
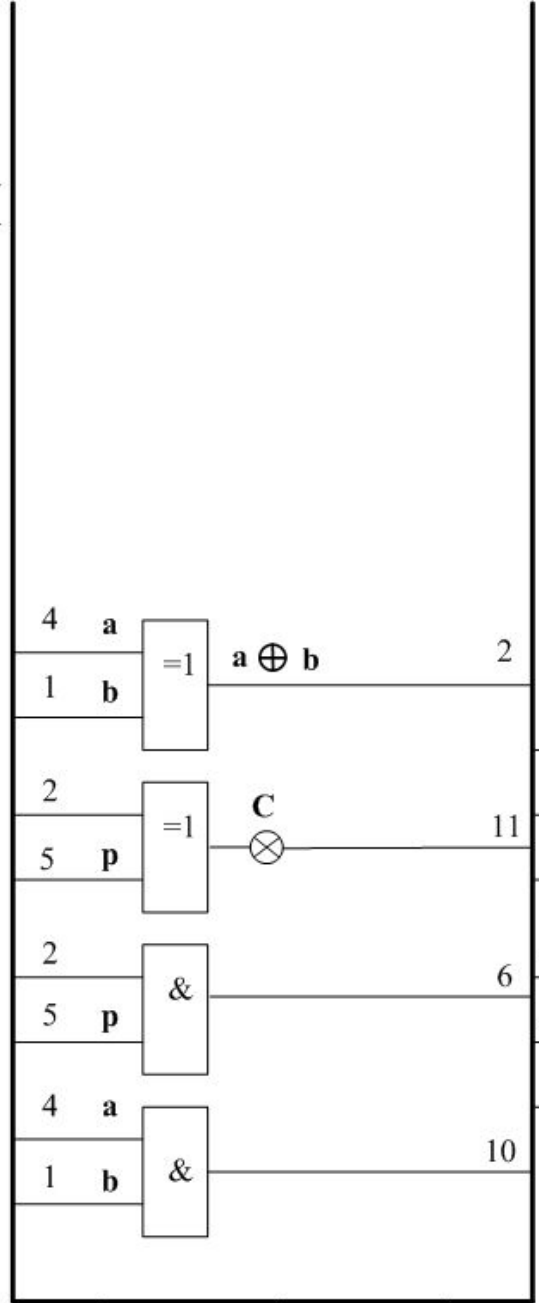


Первое слагаемое загружается в регистр $C(1:n)$, с внешнего регистра $T(1:n)$. Второе слагаемое загружается в регистр $B(1:n)$, с внешнего регистра $Q(1:n)$.

Сложение осуществляется за n тактов. В очередном такте на одноразрядном комбинационном сумматоре (ОКС) складываются очередные цифры слагаемых C_n и B_n и перенос P , полученный в предыдущем такте при сложении предыдущих младших цифр. Перенос P_i , полученный в текущем такте, запоминается на триггере для использования в следующем такте. По истечении n тактов сумма должна оказаться в регистре C . Для записывания в регистр C очередного разряда суммы S_i и подачи следующей цифры первого и второго слагаемых на ОКС используется микрооперация сдвига (при сдвиге в n -ном разряде регистра C оказывается следующая по старшинству цифра первого слагаемого, а освобождающийся старший разряд регистра C доопределяется значением очередной вычисленной цифры суммы). При сложении младших разрядов перенос должен быть равен нулю, поэтому необходимо предусмотреть микрооперацию сброса триггера P . Если в триггере есть установочные входы, то сигнал $y_{\text{сбр}}$ можно подавать на установочный R -вход триггера.

Процесс выполнения триггерных элементов в регистре C

1
2
3
7
8
9



1
2
3
7
8
9

Макетирование.

**Сумма
формируется в
регистре A(1:3) за 3
такта.**

**Тестирование.
1) Сложение без
переносов**

		Такты			
		3	2	1	
+		0	0	0	
		1	1	1	
	<hr/>				
		1	1	1	C
		0	0	0	P

		A ₁	A ₂	A ₃	Такты
		0	0	0	Подг.
		1	0	0	1
		1	1	0	2
		1	1	1	3

2). Сложение с

пер

Такты

3 2 1

+	1	1	1
	1	1	1
<hr/>			
	1	1	0
	1	1	1

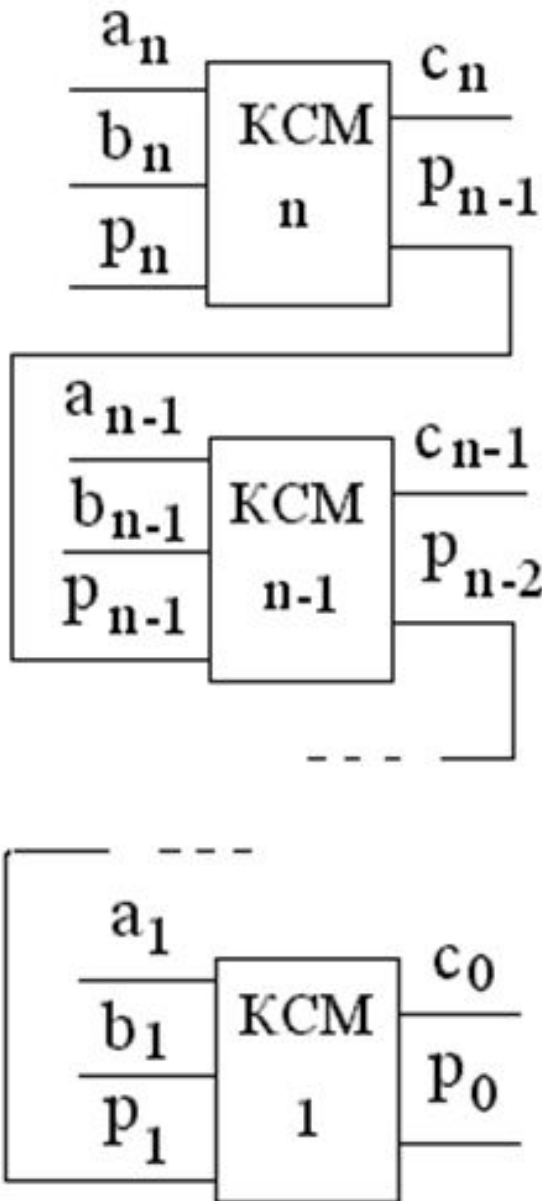
С

Р

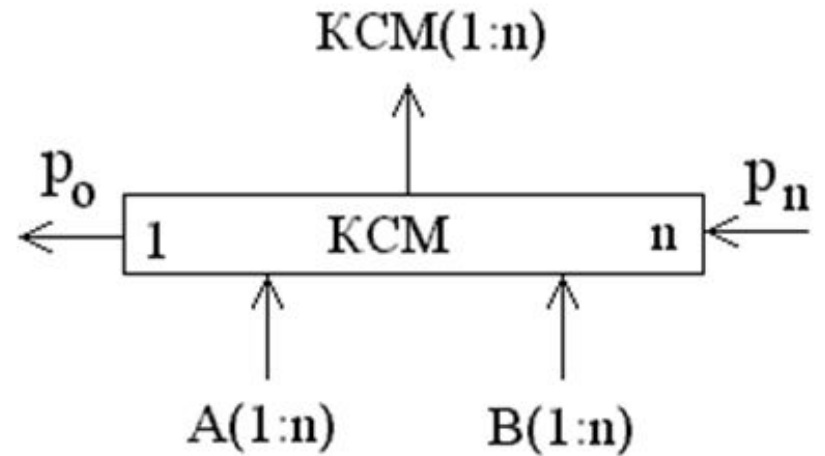
A₁ A₂ A₃ Такты

0	0	0	Подг.
0	0	0	1
1	0	0	2
1	1	0	3

3. N-разрядный параллельный комбинационный сумматор с последовательным переносом



Старший разряд



Условное обозначение
комбинационного сумматора на
структурных схемах

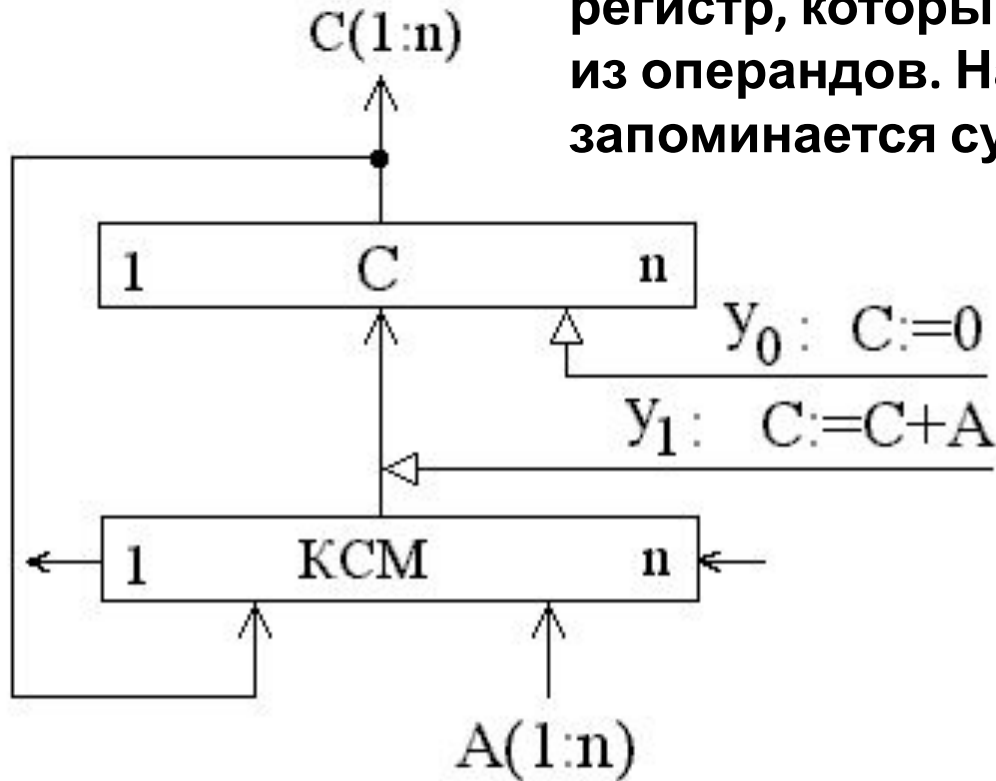
Время вычисления n -разрядной суммы:

$$T_{\text{сум}} = n \cdot \tau, \text{ где } T - \text{задержка сигнала в ОКС.}$$

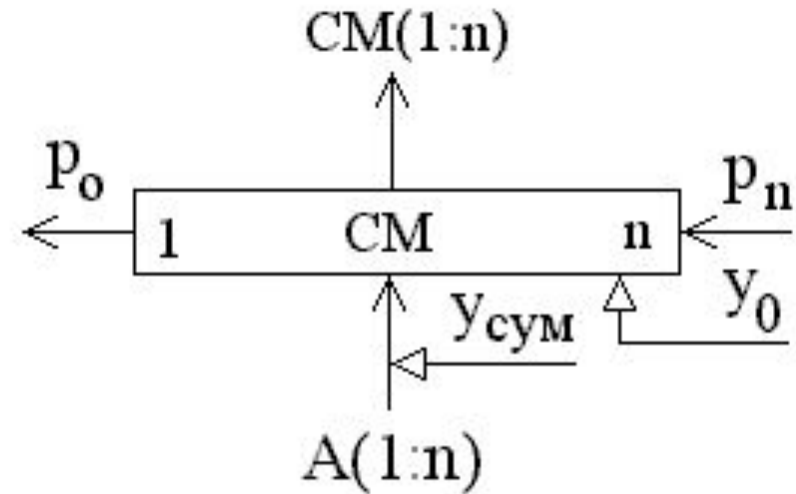
Сравнительно большая задержка вычисления суммы в n -разрядном сумматоре вызвана использованием последовательного переноса.

Для уменьшения этой задержки используют цепи группового переноса [1].

В структуру накапливающего сумматора наряду с комбинационным сумматором входит регистр, который является источником одного из операндов. На этом же регистре запоминается сумма.



а)



б)

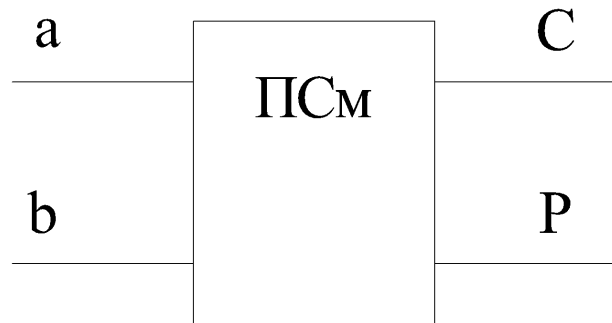
Параллельный накапливающий сумматор:
а) - структура, б) - обозначение на операционных схемах

На макете можно разместить только двухразрядный сумматор (n = 2)!

Двухразрядный накапливающий сумматор, включающий два ОКСм не помещается на макете. Что делать?

Младший разряд двухразрядного комбинационного сумматора реализуем как полусумматор!

Полусумматор – это одноразрядный комбинационный сумматор без входа переноса . Используется в схемах параллельного суммирования для сложения младших разрядов двоичных чисел. Зависимость выходов от входов ПСм описывается та^{блицей}.



<u>a</u>	<u>b</u>	C	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

По таблице состояний получены следующие функции для выходов полусумматора. Они преобразованы с целью обеспечения возможности размещения схемы на макете Logic.

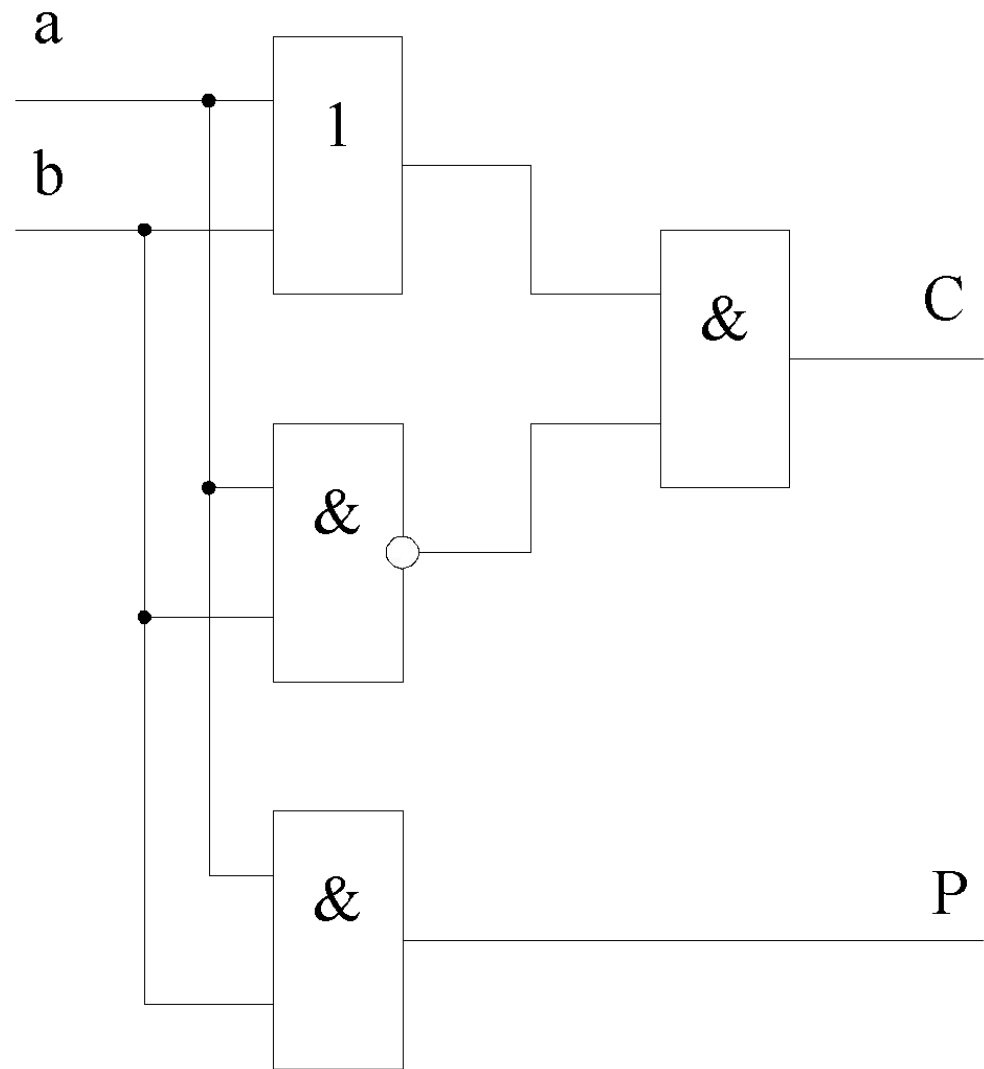
$$C = \bar{a}b \vee a\bar{b} = (a \vee b)(\bar{a} \vee \bar{b}) = (a \vee b)\bar{a}\bar{b};$$

$$P = ab$$

$$C = (a \vee b)\overline{ab};$$

$$P = ab$$

**По полученным
функциям
построена схема
полусумматора**



3. Задание 3. На основе схем ОКСм и ПСм собрать и наладить схему **накапливающего двухразрядного параллельного сумматора**.

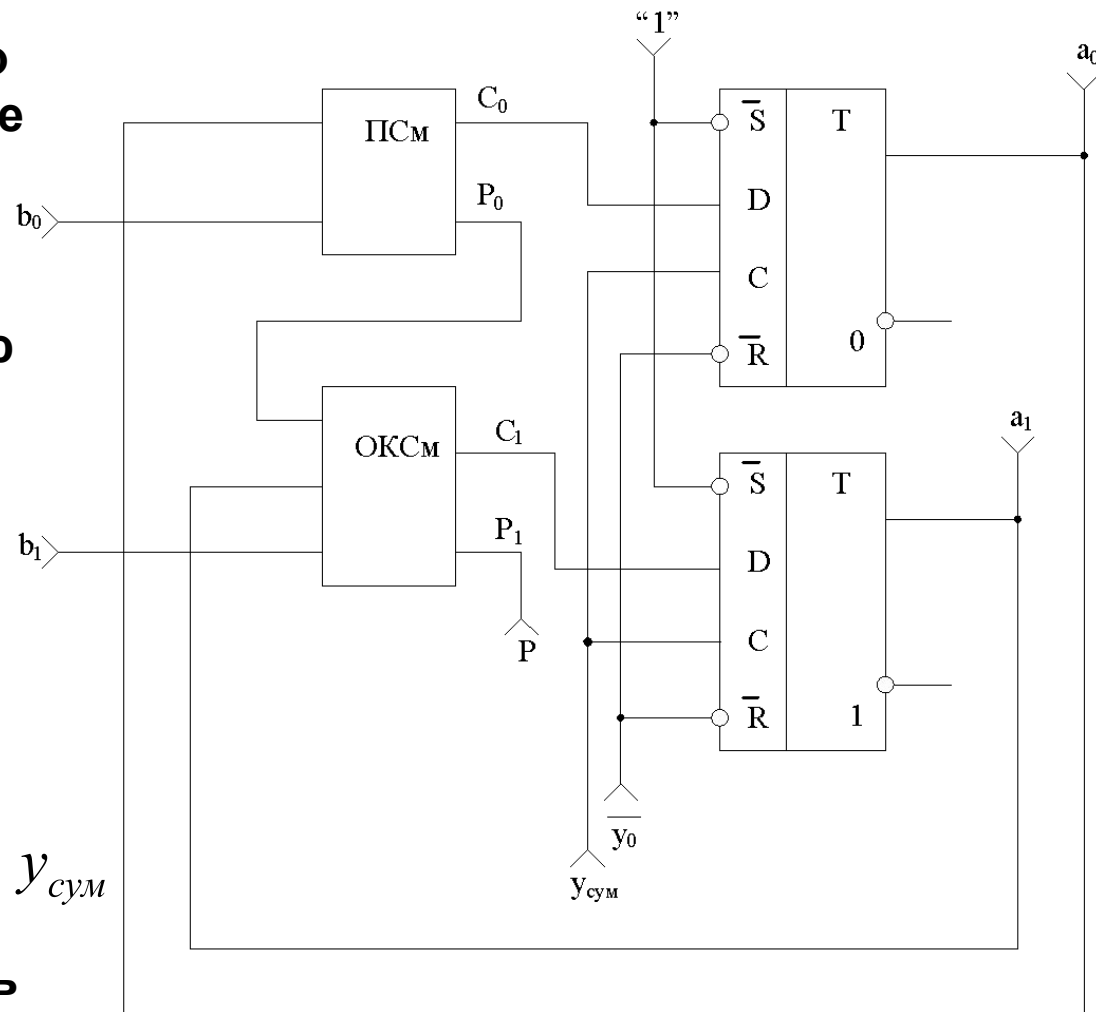
Схема параллельного двухразрядного накапливающего сумматора изображена на рисунке (нулевой разряд – младший – реализован с помощью полусумматора, первый разряд – старший – реализован с помощью ОКСм, который уже собран на макете Logic).

Данный операционный элемент выполняет две микрооперации:

$$y_0 : A(1:0) := 00;$$

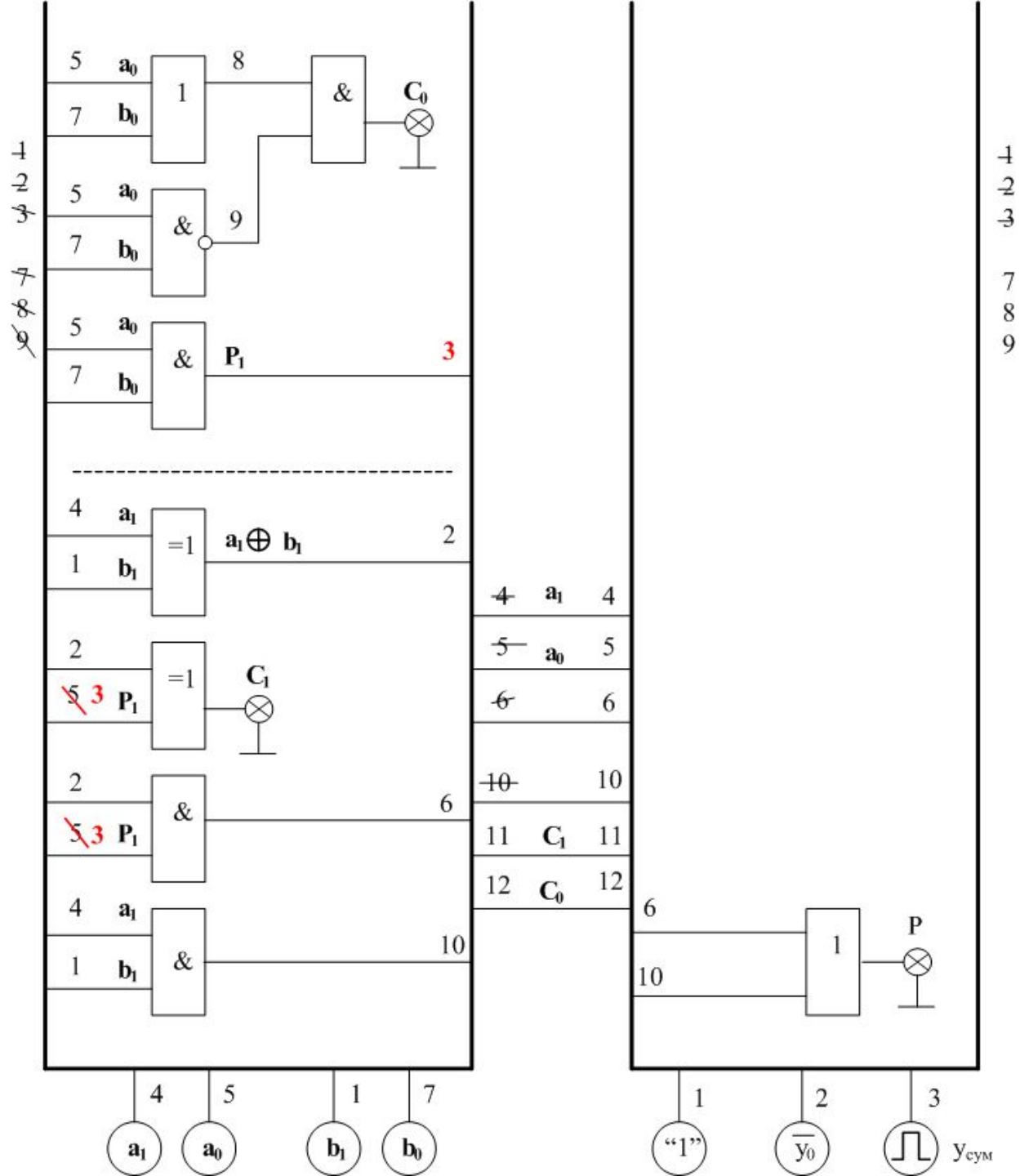
$$y_{сум} : A(1:0) := A(1:0) + B(1:0)$$

Управляющий сигнал y_0 можно подать с кнопки, управляющий сигнал $y_{сум}$ целесообразно подать с генератора одиночных



3.1. Сначала на макете Logic соберем и отладим схему двухразрядного параллельного комбинационного сумматора с последовательным переносом. Первый разряд (старший) у нас уже собран (ОКСм). Добавляем нулевой (младший) разряд (ПСм). Замыкаем перенос P1 с младшего разряда на старший, меняя при этом глобальную линию 5 на локальную линию 3.

Проверяем работу младшего разряда (проверяем 4 комбинации на кнопках a_0, b_0). Затем проверяем работу двухразрядного сумматора, подавая



**Тесты для младшего разряда
(полусумматор, входной
перенос равен нулю)**

<u>a</u> ₀	b ₀	C ₀	P ₁
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

**Тесты для двухразрядного
комбинационного
сумматора.**

a ₁	a ₀	b ₁	b ₀	P	C ₁	C ₀	
0	0	0	0	0	0	0	0+0=0
0	0	0	1	0	0	1	0+1=1
0	0	1	0	0	1	0	0+2=2
0	0	1	1	0	1	1	0+3=3
0	1	0	0	0	0	1	1+0=1
0	1	0	1	0	1	0	1+1=2
0	1	1	0	0	1	1	1+2=3
0	1	1	1	1	0	0	1+3=4
1	0	0	0	0	1	0	2+0=2
1	0	0	1	0	1	1	2+1=3
1	0	1	0	1	0	0	2+2=4
1	0	1	1	1	0	1	2+3=5
1	1	0	0	0	1	1	3+0=3
1	1	0	1	1	0	0	3+1=4
1	1	1	0	1	0	1	3+2=5
1	1	1	1	1	1	0	3+3=6

3.2. После проверки двухразрядного комбинационного сумматора убираем сигналы a_1 и a_0 с кнопок!!!

Реализуем двухразрядный регистр $a(1:0)$ на двух D-триггерах на макете Trigger. Третий D-триггер используем для запоминания выходного переноса предыдущего такта (P^*), чтобы был виден весь результат.

Соединяя двухразрядный комбинационный сумматор с двухразрядным регистром, получаем двухразрядный параллельный накапливающий сумматор.

Контрольные вопросы

- 1) Чем отличается комбинационный сумматор от накапливающего, последовательный от параллельного?
- 2) Какова минимальная задержка сигнала переноса в одноразрядном двоичном сумматоре?
- 3) Что такое полусумматор? Как построить полный одноразрядный сумматор из полусумматоров?
- 4) Чему равно время суммирования в параллельном двухразрядном комбинационном сумматоре с последовательным переносом?
- 5) Как с помощью сумматора выполнить операцию вычитания?