

ТЕМА 2: Организация обмена информацией в ЭВМ

Содержание:

1. Понятие циклов обмена
2. Режимы обмена по системной магистрали
3. Цикл чтения на магистрали Q-bus
4. Цикл записи на магистрали Q-bus
5. Цикл чтения на магистрали ISA
6. Цикл записи на магистрали ISA
7. Асинхронный обмен на магистрали ISA

Понятие циклов обмена

Под **циклом обмена информацией** понимается временной интервал, в течение которого происходит выполнение одной элементарной операции обмена по шине.

Циклы обмена информацией делятся на два основных типа:

◆ **Цикл записи (вывода)**, в котором процессор записывает (выводит) информацию;

◆ **Цикл чтения (ввода)**, в котором процессор читает (вводит) информацию.

Самые главные управляющие сигналы — это **стробы обмена**, то есть сигналы, формируемые процессором и определяющие моменты времени, в которые производится пересылка данных по *шине данных* (обмен данными).

◆ **Строб записи** (вывода) определяет момент времени, когда устройство-исполнитель может принимать данные, выставленные процессором на *шину данных*;

◆ **Строб чтения** (ввода) определяет момент времени, когда устройство-исполнитель должно выдать на *шину данных* код данных, который будет прочитан процессором.

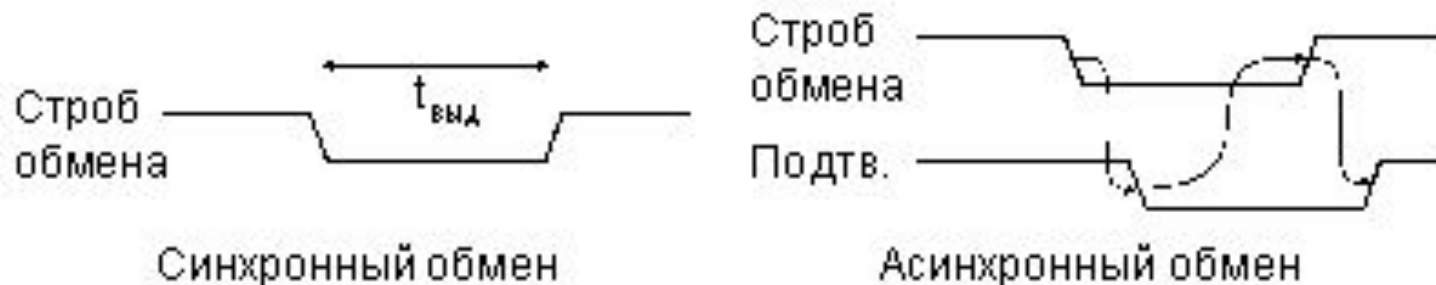
Режимы обмена

Режим обмена определяется тем, как процессор заканчивает обмен в пределах цикла, т.е. в какой момент он снимает свой строб обмена.

Возможны два способа – **синхронный** и **асинхронный**:

◆ При **синхронном обмене** процессор заканчивает обмен данными самостоятельно, через раз и навсегда установленный временной интервал выдержки ($t_{\text{выд}}$), то есть без учета быстродействия устройства-исполнителя;

◆ При **асинхронном обмене** процессор заканчивает обмен только тогда, когда устройство-исполнитель подтверждает выполнение операции специальным сигналом квитирования.



По используемому типу обмена магистрали микропроцессорных систем также делятся на синхронные и асинхронные.

Сравнение режимов обмена

Синхронный обмен

Достоинства:

- ◆ более простой протокол обмена;
- ◆ меньшее количество управляющих сигналов.

Недостатки:

- ◆ отсутствие гарантии, что исполнитель выполнил требуемую операцию;
- ◆ высокие требования к быстродействию исполнителя.

Асинхронный обмен

Достоинства:

- ◆ более надежная пересылка данных по сравнению с синхронным обменом;
- ◆ возможность работы с разными по быстродействию исполнителями.

Недостаток — необходимость формирования сигнала подтверждения всеми исполнителями, то есть дополнительные аппаратурные затраты.

Какой режим обмена быстрее?

Ответ на этот вопрос неоднозначен.

С одной стороны, при *асинхронном обмене* требуется какое-то время на выработку, передачу дополнительного сигнала и на его обработку процессором.

С другой стороны, при *синхронном обмене* приходится искусственно увеличивать длительность строка обмена для соответствия требованиям большего числа исполнителей, чтобы они успевали обмениваться информацией в темпе процессора.

Поэтому иногда в магистрали предусматривают возможность как *синхронного*, так и *асинхронного обмена*, причем *синхронный обмен* является основным и довольно быстрым, а *асинхронный* применяется только для медленных исполнителей.

Цикл чтения на магистрали Q-bus

Магистраль Q-bus имеет мультиплексированную шину адреса\данных, обмен данными происходит в асинхронном режиме.



Цикл чтения на магистрали Q-bus

1. На шине адреса/данных (AD) в начале цикла обмена (в фазе адреса) процессор (здатчик) выставляет код адреса. На этой шине используется отрицательная логика. Средний уровень сигналов на шине AD обозначает, что состояния сигналов на шине в данные временные интервалы не важны.

2. Для стробирования адреса используется отрицательный синхросигнал -SYNC, выставляемый также процессором. Его отрицательный фронт соответствует действительности кода адреса на шине AD. Фаза адреса одинакова в обоих циклах записи и чтения.

3. Получив свой код адреса, устройство ввода/вывода или память (исполнитель) готовится к проведению обмена. Через некоторое время после начала (отрицательного фронта) сигнала -SYNC процессор снимает адрес и начинает фазу данных.

4. В фазе данных цикла чтения процессор выставляет сигнал строба чтения данных -DIN, в ответ на который устройство, к которому обращается процессор (исполнитель), должно выставить свой код данных (читаемые данные). Одновременно это устройство должно подтвердить выполнение операции сигналом подтверждения обмена -RPLY.

5. Процессор, получив сигнал -RPLY, заканчивает цикл обмена. Для этого он снимает сигнал -DIN. Устройство-исполнитель в ответ на снятие сигнала -DIN должно снять код данных с шины AD и закончить сигнал подтверждения -RPLY. После этого процессор снимает сигнал -SYNC.

Цикл записи на магистрали Q-bus



Цикл записи на магистрали Q-bus

1. Фаза адреса одинакова в обоих циклах записи и чтения.
2. В фазе данных цикла записи процессор выставляет на шину AD код записываемых данных и сопровождает его отрицательным сигналом строба записи данных -DOUT.
3. Устройство-исполнитель должно по этому сигналу принять данные от процессора и сформировать сигнал подтверждения обмена -RPLY.
4. Процессор, получив сигнал -RPLY, заканчивает цикл обмена. Для этого он снимает сигнал -DOUT , а затем код данных с шины AD.
5. Устройство-исполнитель в ответ на снятие сигнала -DOUT должно закончить сигнал подтверждения -RPLY.
6. После этого процессор снимает сигнал -SYNC.

На магистрали Q-bus адрес передается синхронно (без подтверждения его получения исполнителем), а данные передаются асинхронно, с обязательным подтверждением их выдачи или приема исполнителем. Отсутствие сигнала подтверждения -RPLY в течение заданного времени воспринимается процессором как аварийная ситуация.

Цикл чтения на магистрали ISA

Магистраль ISA имеет отдельные шины адреса и данных, обмен данными происходит в синхронном режиме.



Цикл чтения на магистрали ISA

1. Цикл адреса начинаются с выставления процессором кода адреса на шину адреса SA (логика на этой шине положительная). Адрес остается на шине SA до конца цикла.
2. Фаза адреса, заканчивается с началом строба чтения -IOR. В течение фазы адреса устройство-исполнитель должно принять код адреса и распознать или не распознать его. Если адрес распознан, исполнитель готовится к обмену.
3. В фазе данных цикла чтения процессор выставляет отрицательный сигнал (-IOR) чтения данных из устройства ввода/вывода. В ответ на него устройство-исполнитель должно выдать на шину SD код данных (читаемые данные). Логика на шине данных положительная.
4. Через установленное время строб обмена -IOR снимается процессором, после чего снимается также и код адреса с шины SA. Цикл заканчивается без учета быстродействия исполнителя.

Описанные действия происходят только в случае основного, синхронного обмена. Кроме него на магистрали ISA также предусмотрена возможность асинхронного обмена.

Цикл записи на магистрали ISA



Цикл записи на магистрали ISA

1. Фаза адреса на шине ISA как для цикла чтения, так и для цикла записи протекает одинаково. Адрес устанавливается процессором и остается на шине SA до конца цикла.
2. В фазе данных цикла записи по магистрали ISA процессор выставляет на шину данных SD код записываемых данных и сопровождает их стробом записи данных в устройство ввода/вывода -IOW.
3. Получив этот сигнал, устройство-исполнитель должно принять с шины SD код записываемых данных до окончания строба -IOW.

В данном случае реализуется основной режим обмена – синхронный.

Асинхронный обмен на магистрали ISA

На магистрали ISA также предусмотрена возможность асинхронного обмена. Для этого применяется сигнал готовности магистрали I/O CH RDY. Тип выходного каскада для данного сигнала — ОК, для предотвращения конфликтов между устройствами-исполнителями.

При синхронном обмене сигнал I/O CH RDY всегда положительный. Но медленное устройство-исполнитель, не успевающее работать в темпе процессора, может этот сигнал снять, то есть сделать нулевым сразу после начала строба обмена. Тогда процессор до того момента, пока сигнал I/O CH RDY не станет снова положительным, приостанавливает завершение цикла, продлевает строб обмена. Слишком большая длительность этого сигнала рассматривается как аварийная ситуация.

Отличие асинхронного обмена на магистралях ISA и Q-bus:

- На магистрали Q-bus сигнал подтверждения обязателен, и его должен формировать каждый исполнитель. К концу цикла обмена процессор всегда уверен, что устройство-исполнитель выполнило требуемую операцию.
- На магистрали ISA сигнал о неготовности исполнитель может не формировать, если он успевает работать в темпе процессора. Уверенности в том, что исполнитель выполнил операцию – нет.