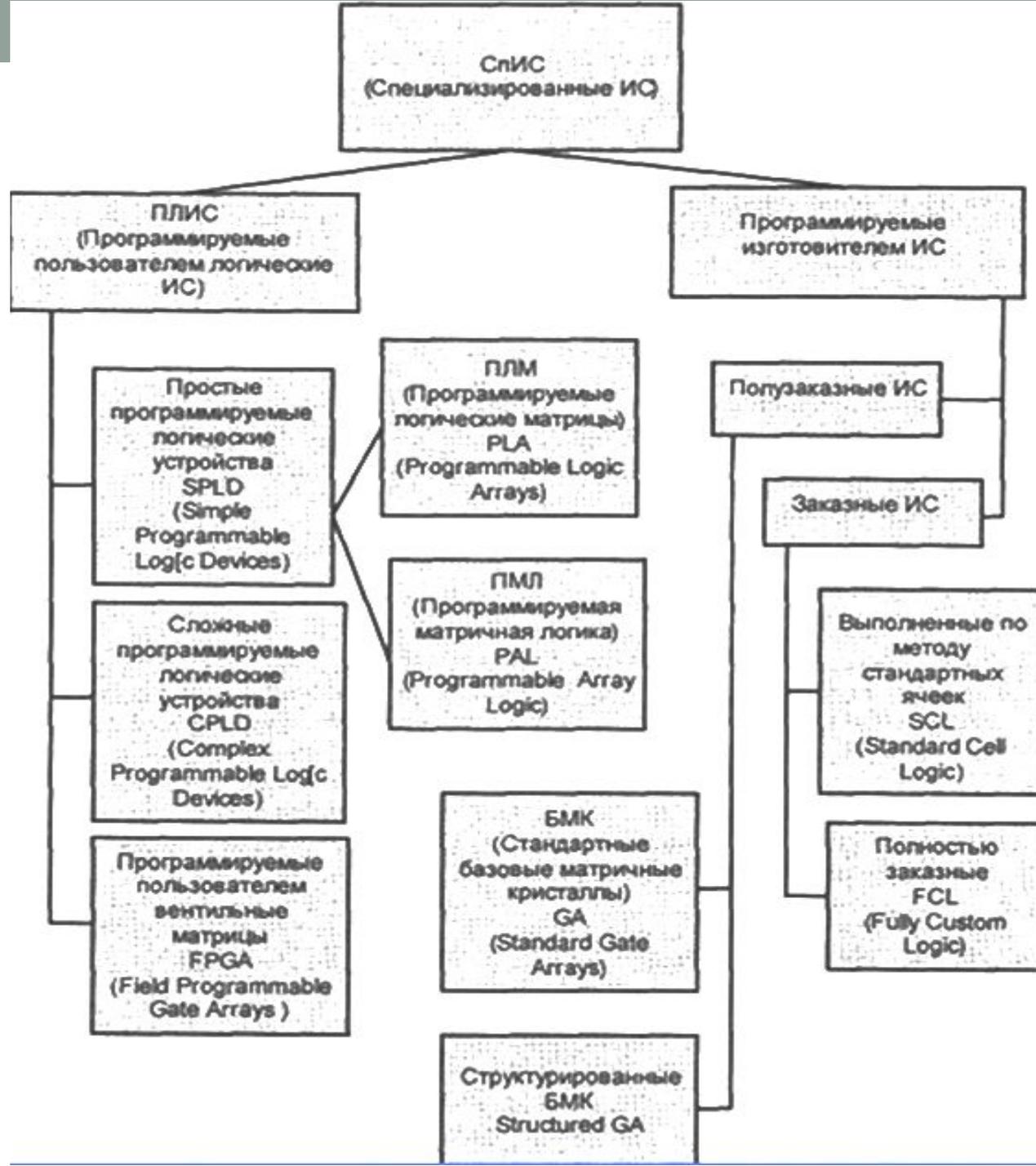


Программируемые логические структуры

Программируемые логические структуры, можно разделить на:

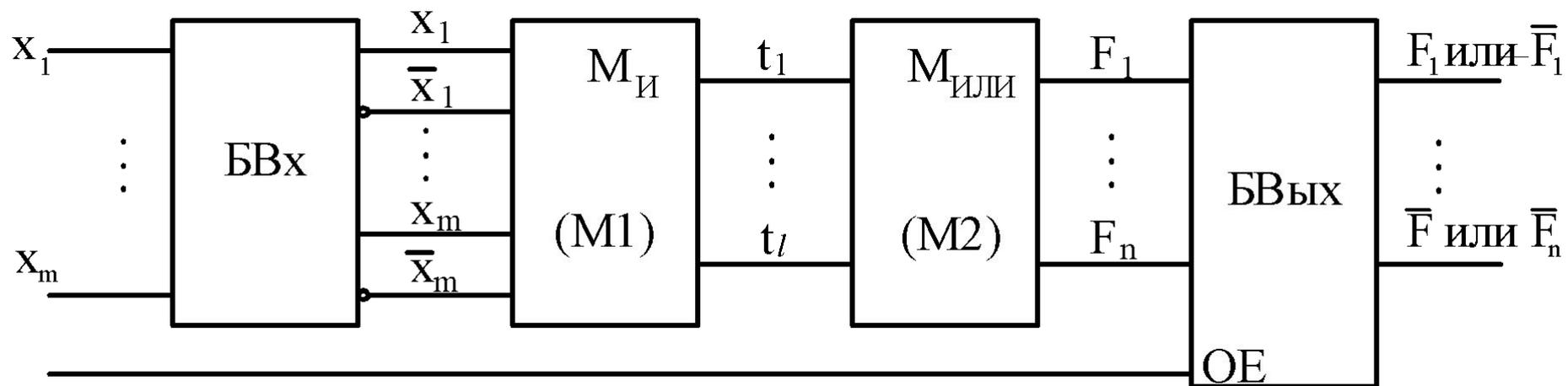
- **программируемые логические матрицы (ПЛМ),**
- **программируемые матрицы логики (ПМЛ),**
- **базовые матричные кристаллы (БМК),**
- **перепрограммируемые логические интегральные схемы (ПЛИС).**

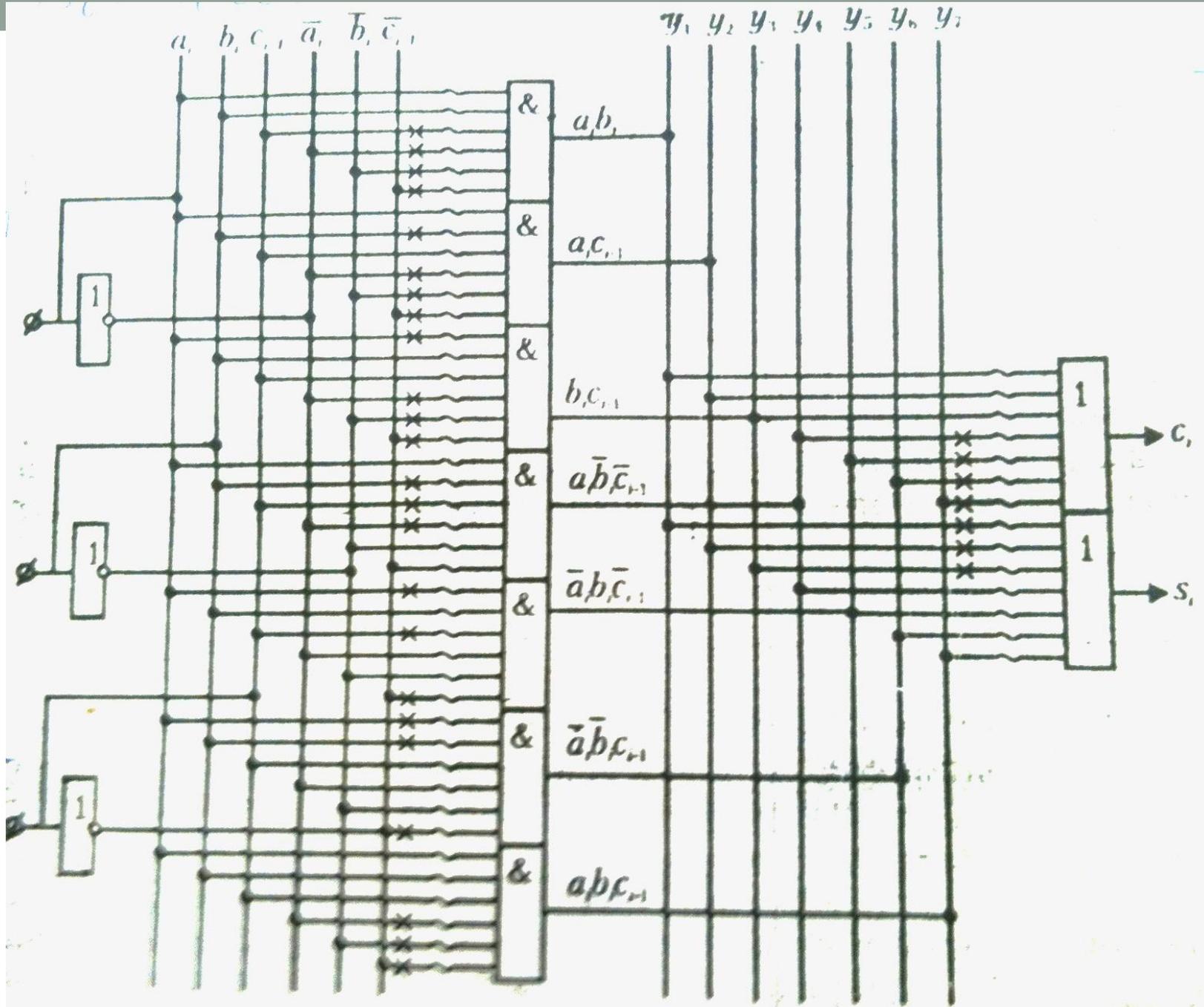


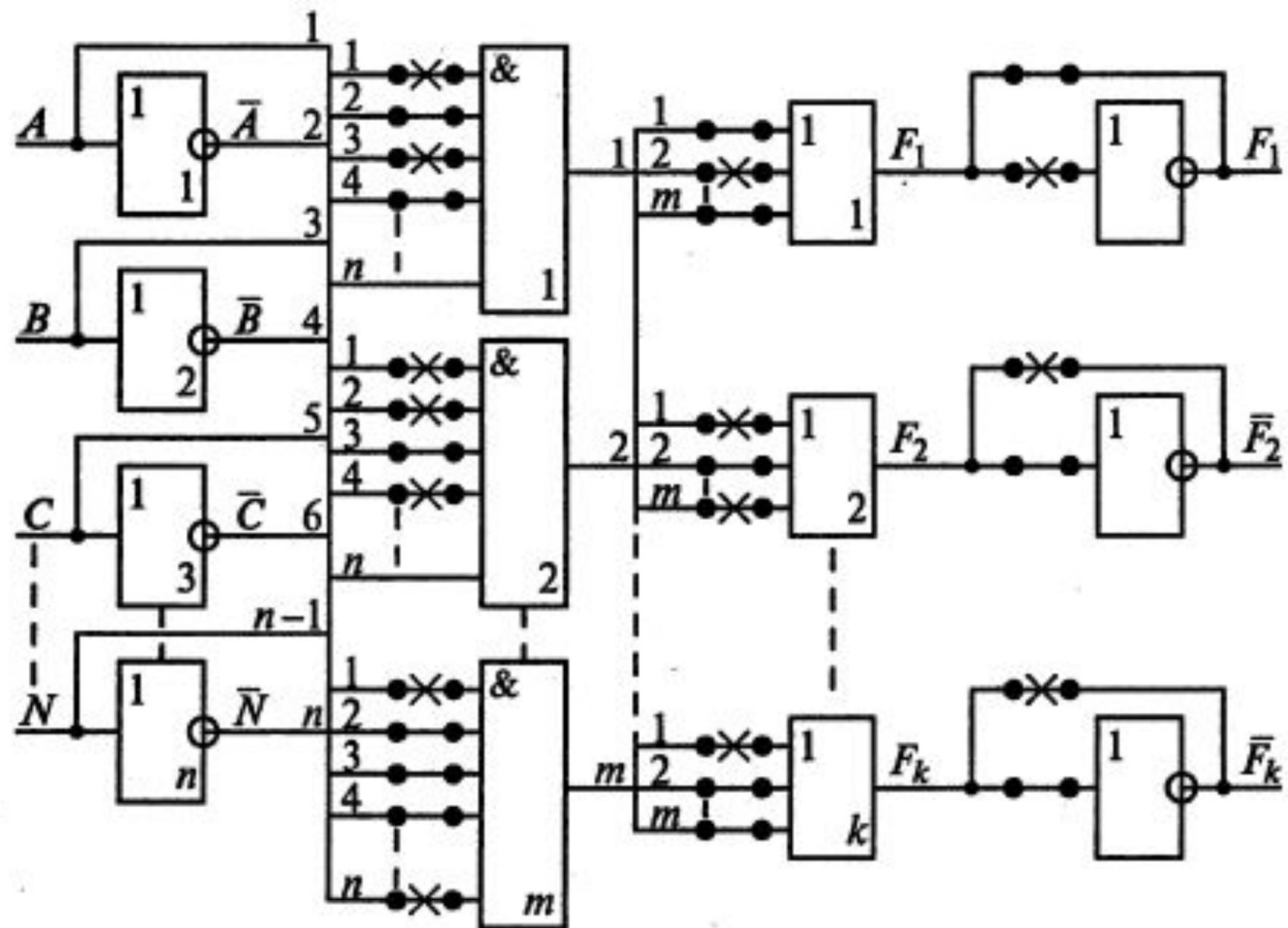
Простые
программируемые
логические
устройства
SPLD
(Simple
Programmable
Logic Devices)

ПЛМ
(Программируемые
логические матрицы)
PLA
(Programmable Logic
Arrays)

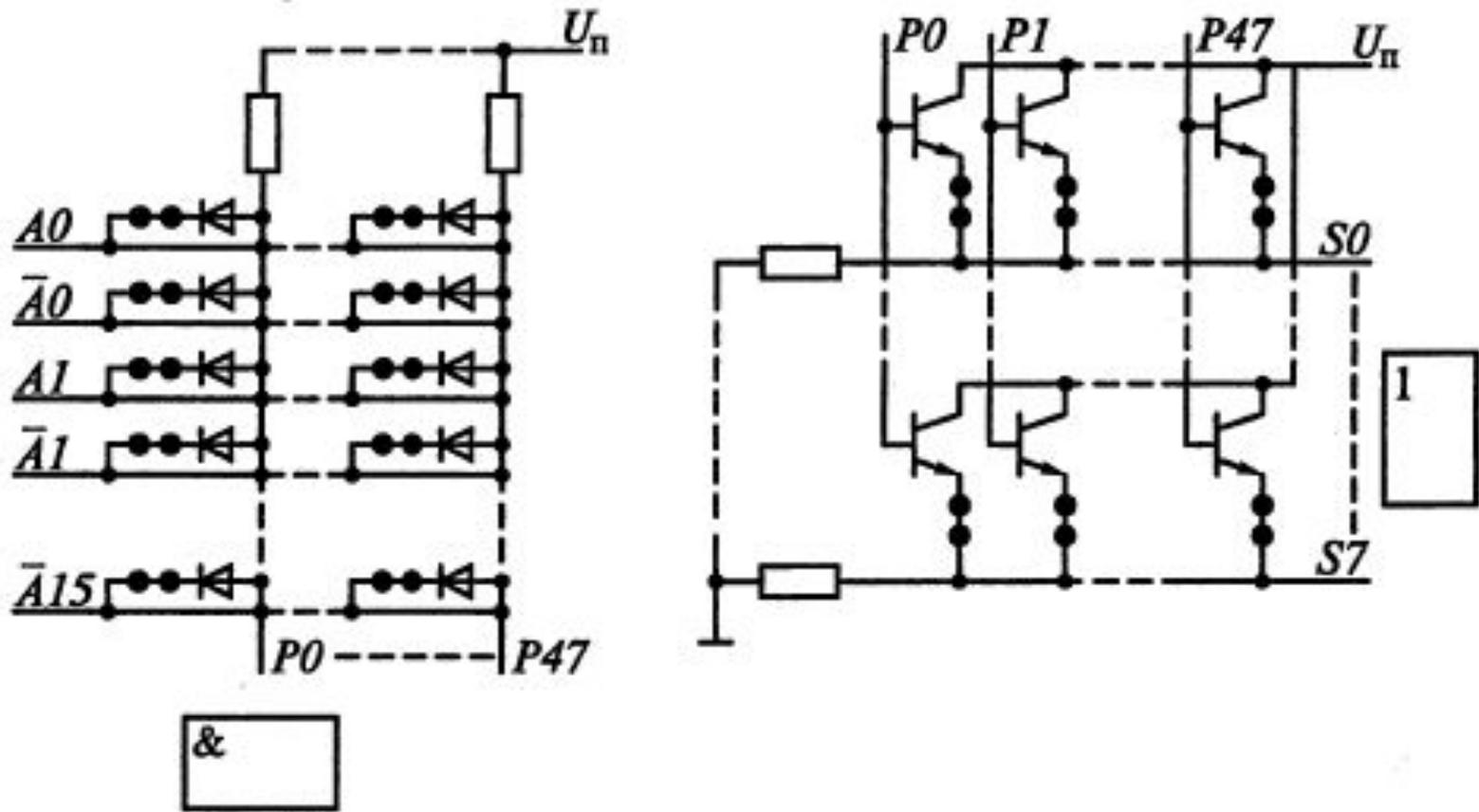
ПМЛ
(Программируемая
матричная логика)
PAL
(Programmable Array
Logic)







Пример, однократно программируемая БИС ПЛМ серии К556РТ1, выполнена по ТТЛШ-технологии. Микросхема реализует 8 функций от 16 входных переменных. При этом, если логические функции представить в СДНФ, общее число конъюнкций для всех функций не должно превышать 48. Микросхема содержит: узел формирования прямых и инверсных значений переменных; узел из 48 конъюнкторов для организации 48 минтермов; узел из 8 дизъюнкторов для реализации 8 функций; узел выходных инверторов.



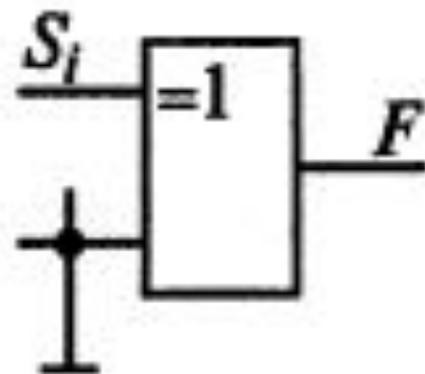
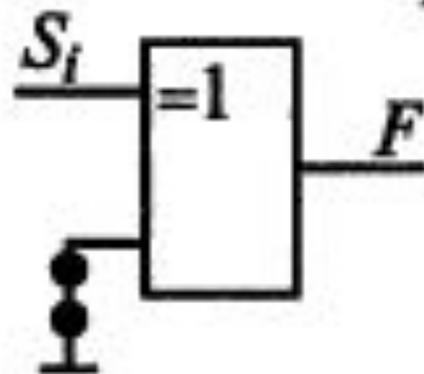
Конъюнкторы представляют собой 48 диодно-резистивных элементов И, в каждом из которых с помощью пережигаемых перемычек создается определенная комбинация переменных.

Дизъюнкторы представляют собой эмиттерные повторители, в эмиттерных цепях которых находятся плавкие перемычки.

Если минтерм в данную функцию не входит, то перемычка у соответствующего этой функции транзистора пережигается.

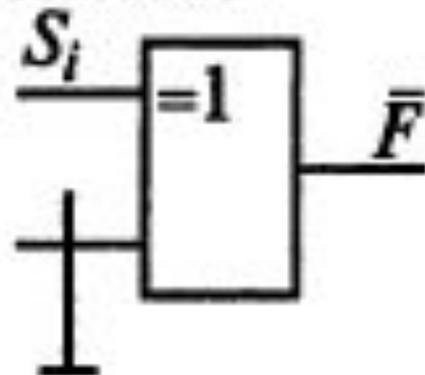
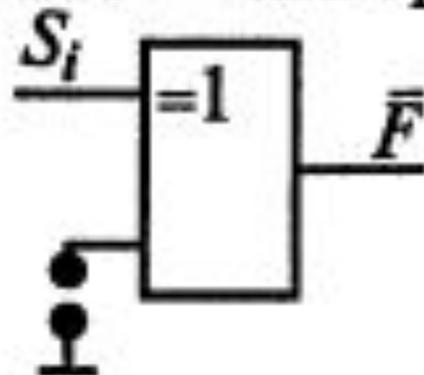
Переключатель есть — инверсии нет

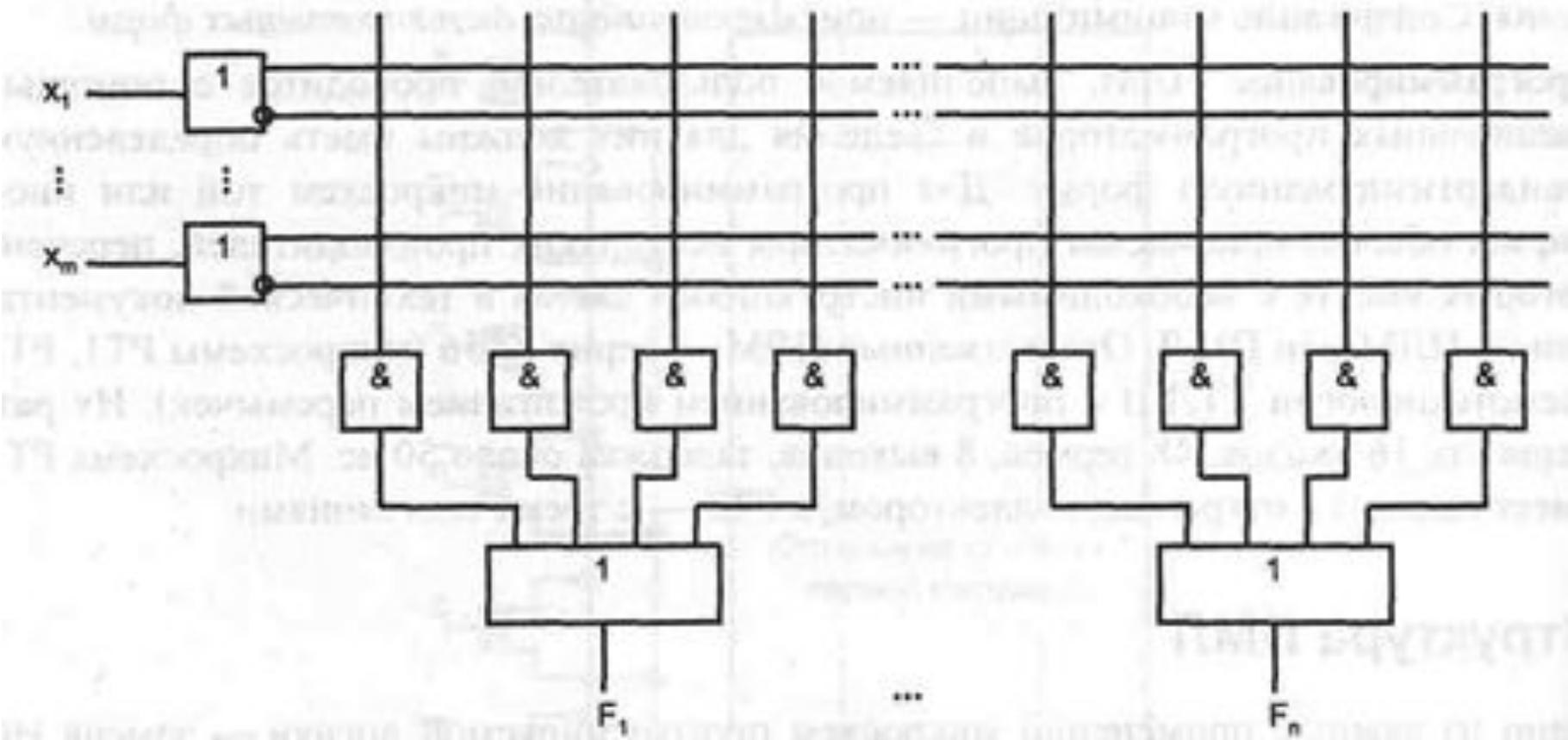
| Вх.1 | Вх.2 | F |
|------|------|-----|
| 0 | 0 | 0 |
| 1 | 0 | 1 |



Переключатель нет — инверсия есть

| Вх.1 | Вх.2 | \bar{F} |
|------|------|-----------|
| 0 | 1 | 1 |
| 1 | 1 | 0 |



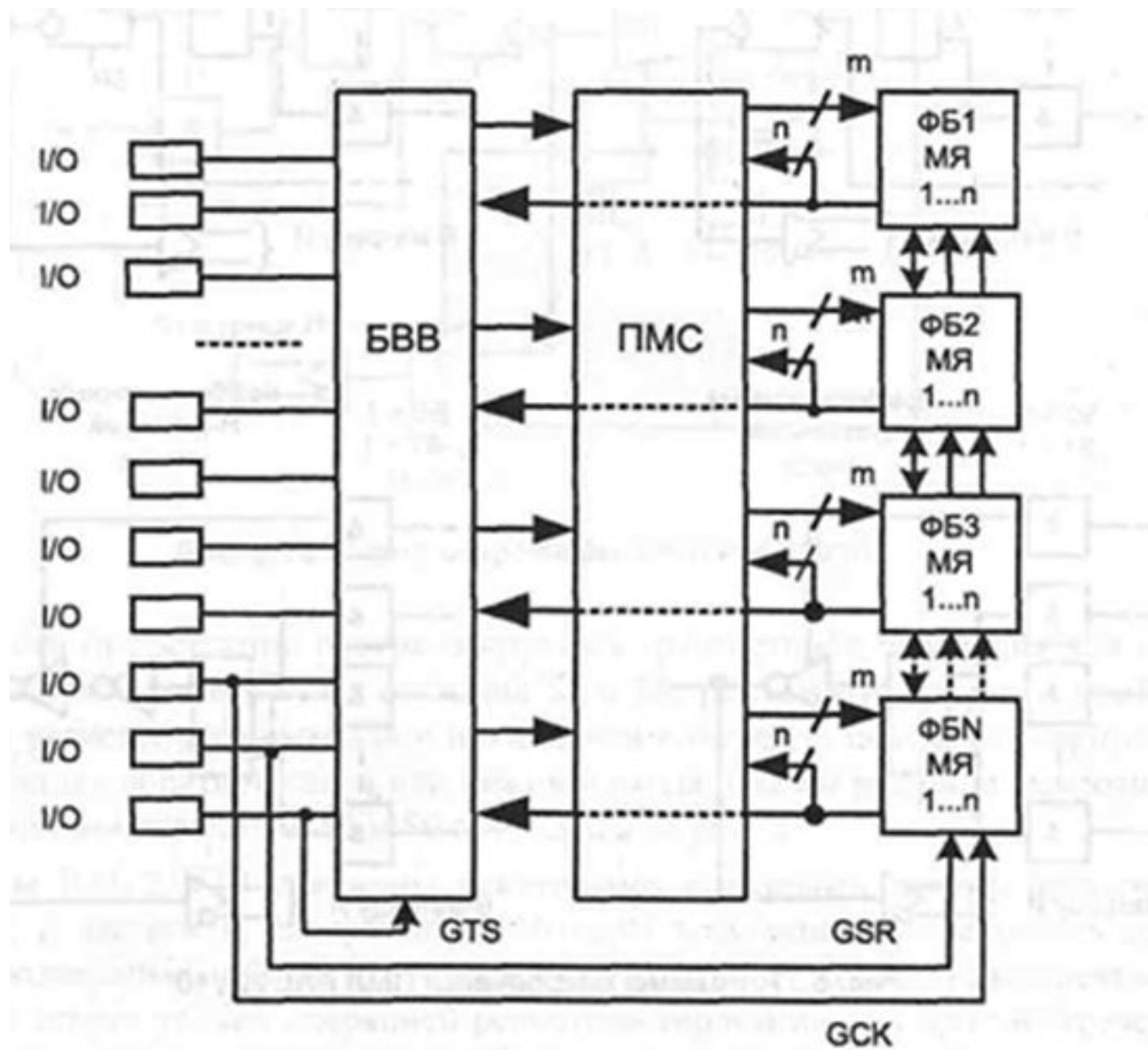


**Сложные
программируемые
логические
устройства
CPLD
(Complex
Programmable Logic
Devices)**

CPLD (Complex Programmable Logic Device) представляет собой несколько **функциональных блоков — ФБ**, объединенных в единую структуру **программируемой матрицей соединений — ПМС** (P/A, Programmable Interconnect Array).

Каждый ФБ подобен ПМЛ (PAL) и содержит несколько **макроячеек — МЯ**. С внешней средой CPLD связывают **блоки ввода/вывода — БВВ**.

Кроме основных блоков CPLD может содержать **контроллеры интерфейсов JTAG и ISP**, используемые для конфигурирования и тестирования создаваемых структур, и другие блоки.



Число ФБ в составе CPLD изменяется в зависимости от ее сложности.

Каждый ФБ получает m сигналов от ПМС, а n его выходов подключены как к ПМС, так и к блокам ввода/вывода БВВ (Input/Output Block IOB), связанным с внешними двунаправленными выводами.

Три вывода специализированы и предназначены для **глобальных сигналов тактирования GCK (Global Clock), сброса/установки GSR (Global/Set/Reset), управления третьим состоянием GTS (Global Tri-State).**

Число контактов ввода/вывода может быть меньше числа выводов всех ФБ. В этом случае часть макроячеек может быть использована только для выработки внутренних сигналов (сигналов обратных связей), потребность в которых типична для многих видов устройств.

Функциональные блоки CPLD

Функциональные блоки CPLD

подобны ПМЛ (PAL) и содержат:

- ❑ многовходовую программируемую матрицу элементов И ($M_{И}$), вырабатывающую конъюнктивные термы из поступающих на ее входы переменных $x_1 \dots x_m$;
- ❑ матрицы распределения термов MPT;
- ❑ группу из N макроячеек, между которыми с помощью MPT распределяются выработанные матрицей $M_{И}$ термы.



Обобщенная структура функционального блока CPLD

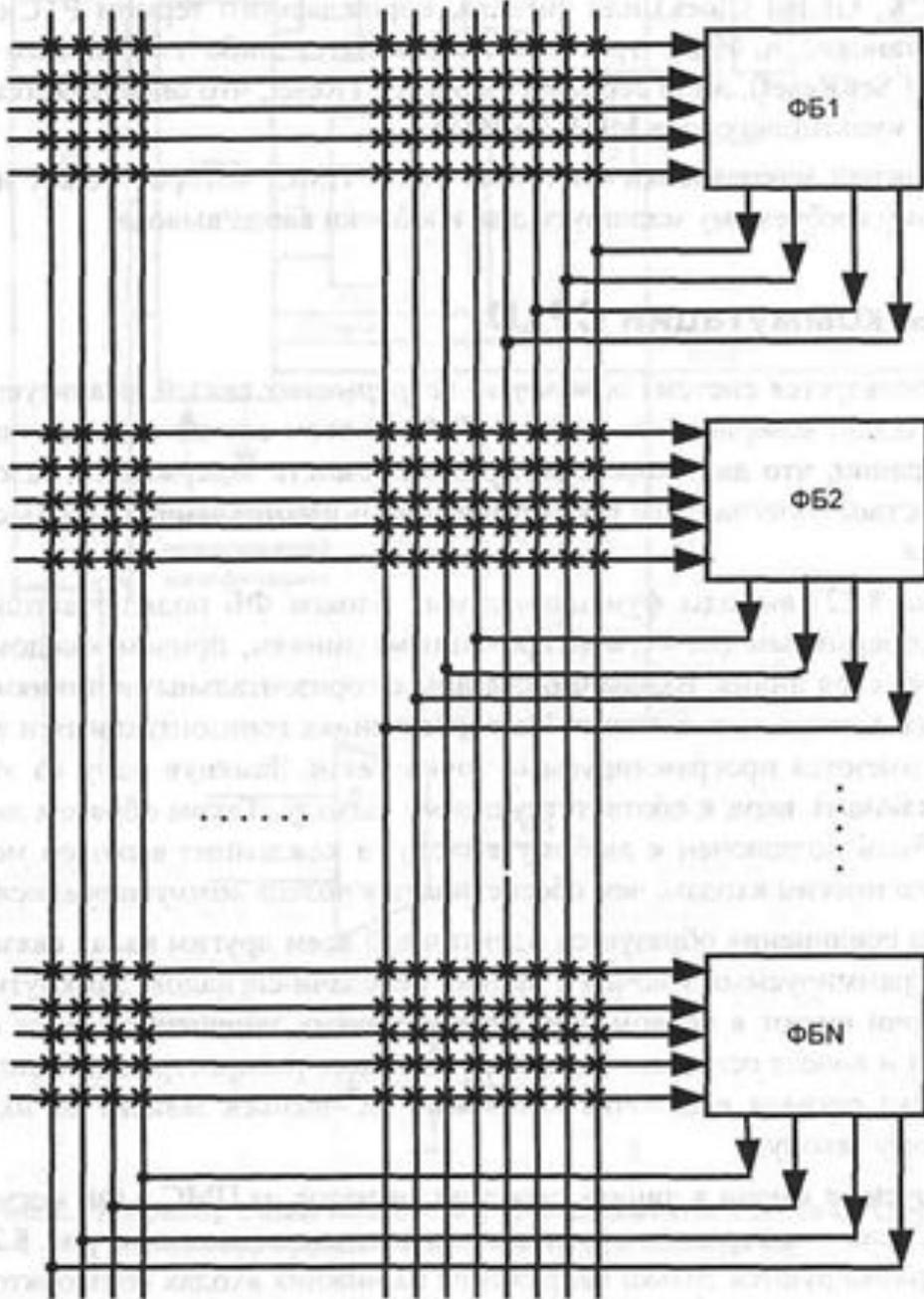


Схема программируемой матрицы соединений

ФБ реализуют двухуровневую логику типа ДНФ с вариантами формируемых выходных сигналов (прямой или инверсный, комбинационный или регистровый). В классических ПМЛ термы жестко распределяются между макроячейками, формирующими выходные функции. Матрицы распределения термов МРТ позволяют варьировать число термов в вырабатываемой макроячейкой функции F_i . При этом термы заимствуются у каналов выработки других функций или отдаются им. Если термы используются не только дизъюнкторами формирования выходных функций, но и другими

**Программируемые
пользователем
вентильные
матрицы
FPGA
(Field Programmable
Gate Arrays)**

FPGA (Field Programmable Gate Arrays) — программируемые пользователем вентильные матрицы. Обладают максимальными функциональными возможностями. На их основе созданы системы на программируемом кристалле СнПК (в английском оригинале SoPC, Systems on Programmable Chip).

Подклассы FPGA и систем на их основе:

- **FPGA невысокой и средней сложности;**
- **FPGA высокой сложности и системы на кристалле;**
- **микроконтроллерные программируемые системы.**

В разработке FPGA участвуют десятки фирм, ведущие среди них — Xilinx (пионер в создании FPGA), Altera, Actel, Atmel, Lattice Semiconductor, Cypress Semiconductor (все USA) и др. Этими фирмами выпускаются семейства FPGA, *которые по мере освоения новых технологических процессов (с интервалом в год-два) подвергаются модификациям и образуют серии, состоящие из родственных семейств.*

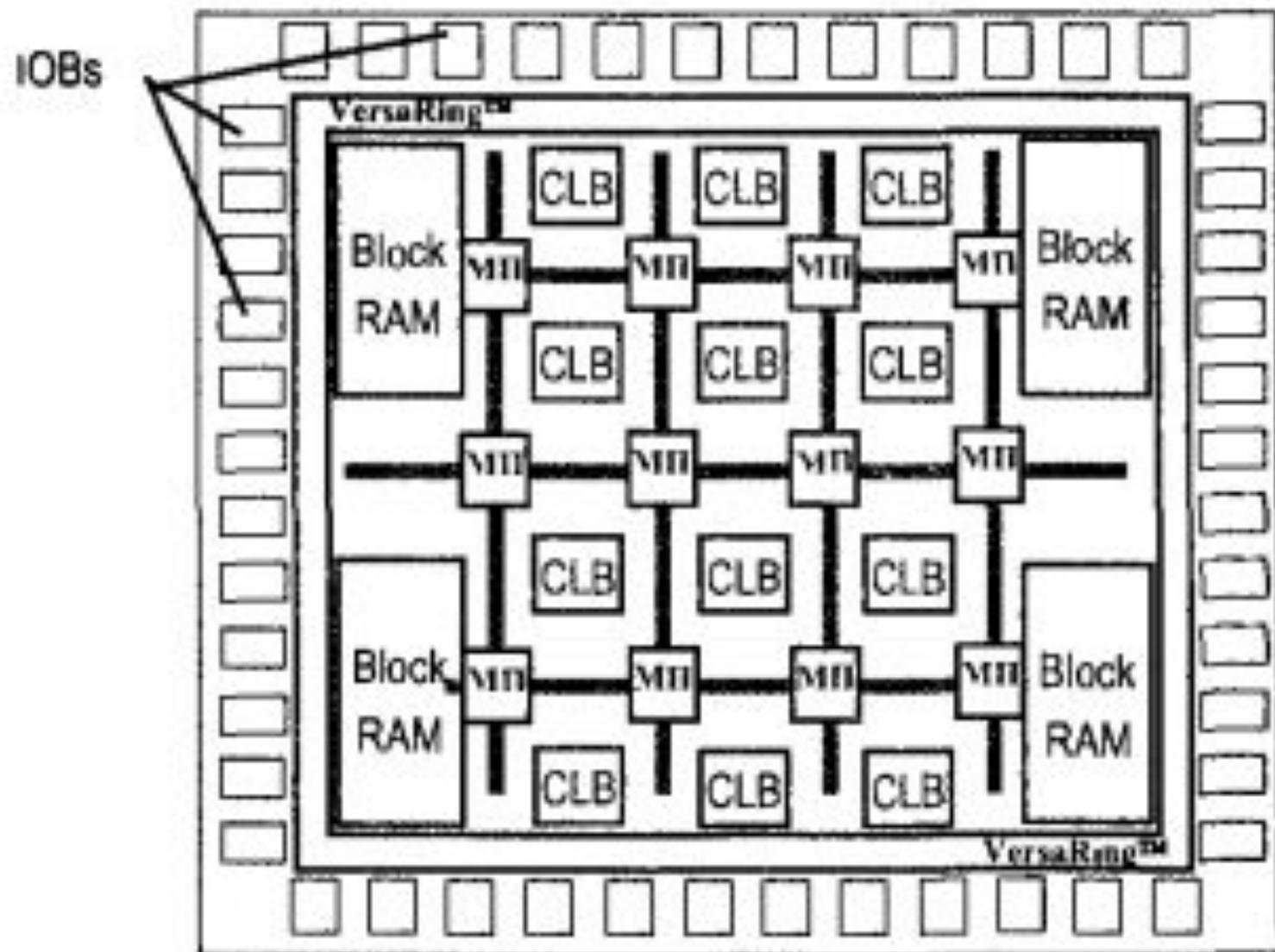
Программируемость пользователем, т. е. реализуемость индивидуального проекта на основе стандартной микросхемы, обеспечивается наличием в схеме множества двухполюсников, проводимость которых может быть задана либо очень малой (это соответствует разомкнутому ключу), либо достаточно большой (это соответствует замкнутому ключу).

Состояния ключей задают конфигурацию схеме, формируемой на кристалле.

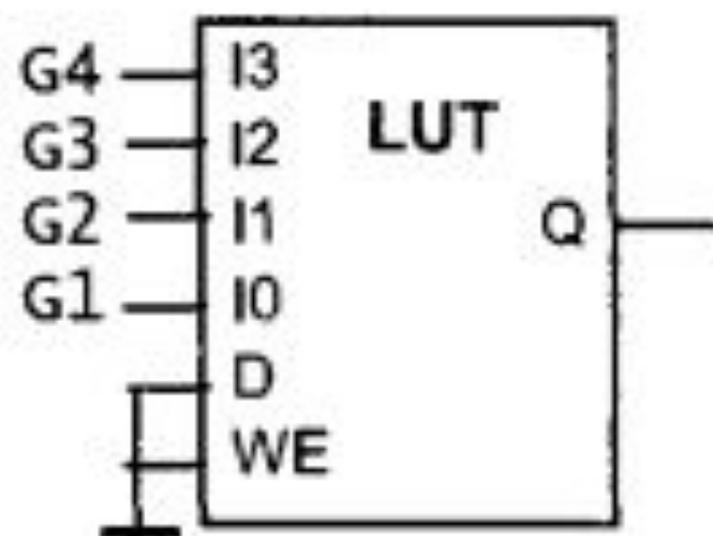
Число программируемых ключей (программируемых точек связи) в схеме может достигать сотен миллионов и более.

Для FPGA характерны следующие виды программируемых ключей:

- переключки типа antifuse (общепринятый русский термин отсутствует);
- ключевые транзисторы, управляемые триггерами;
- флэш-ключи.



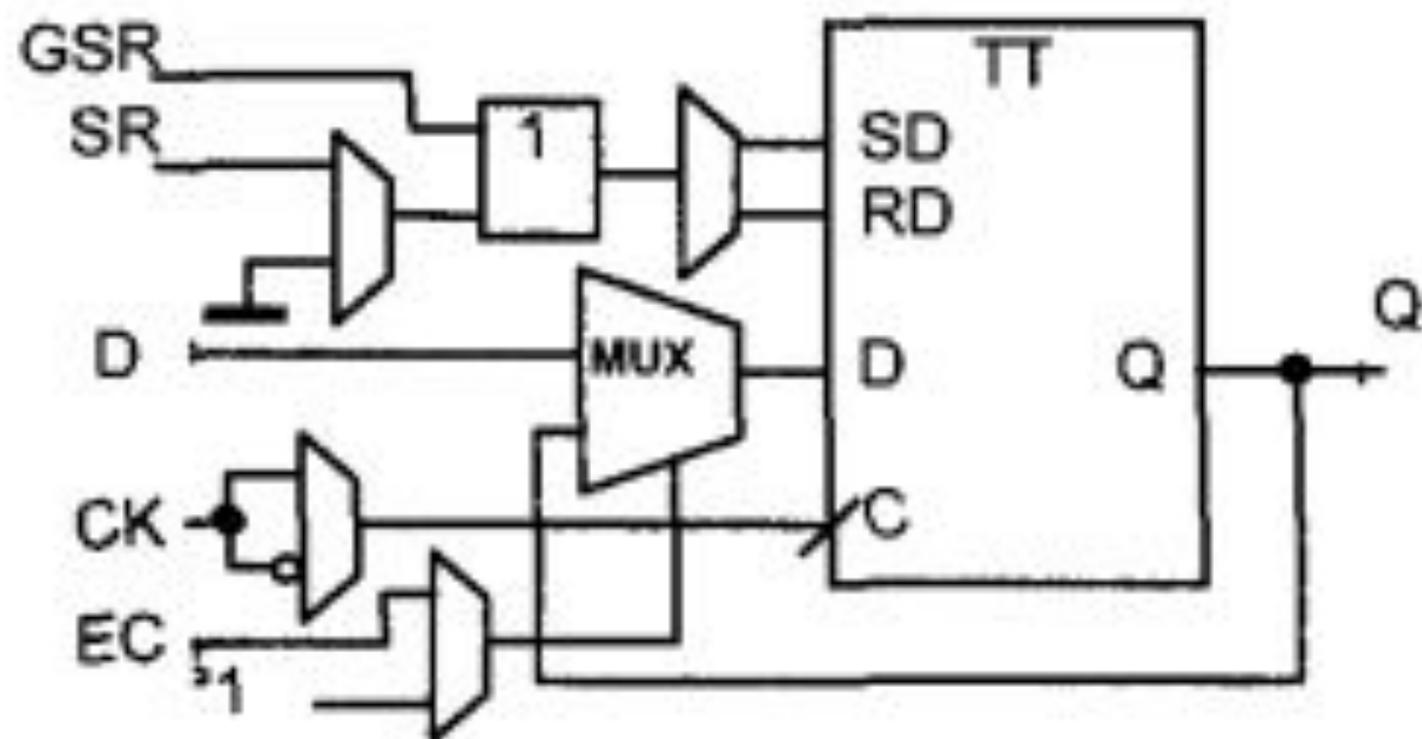
Топология кристалла ПЛИС Virtex



| G4 | G3 | G2 | G1 | Q |
|----|----|----|----|---|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

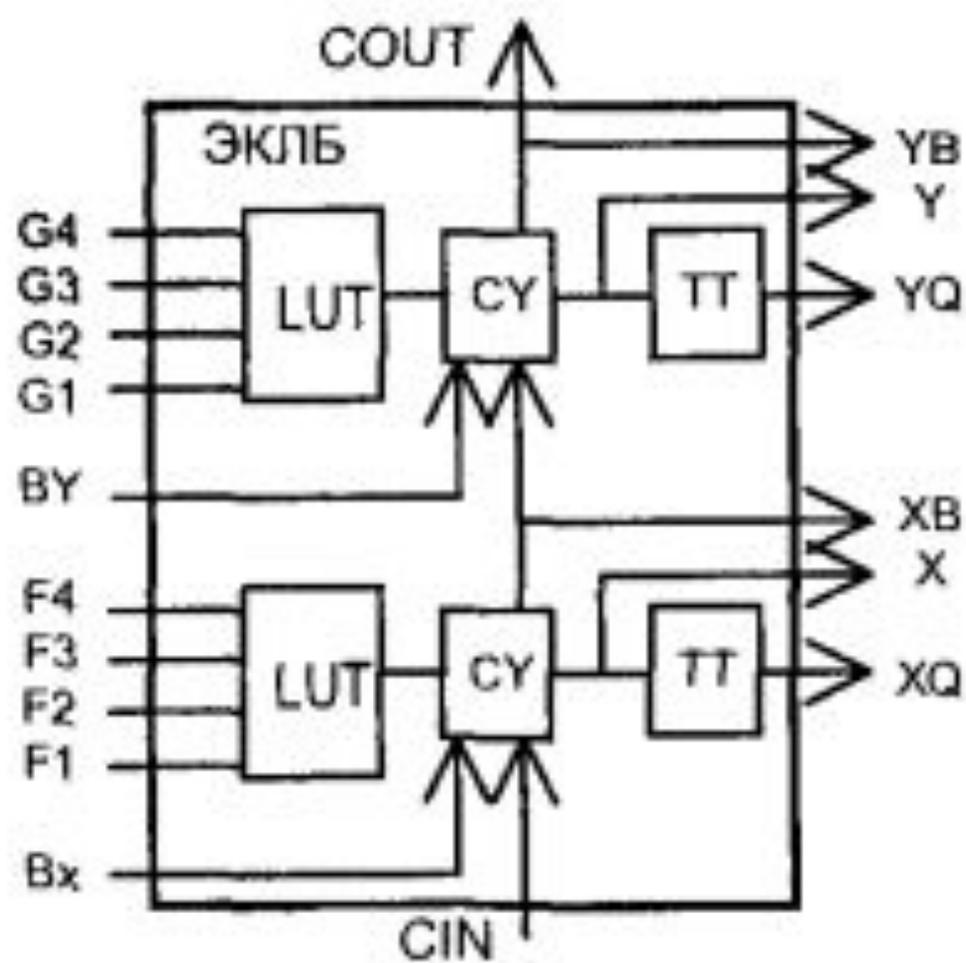
$$Q := G4 \text{ xor } G3 \text{ xor } G2 \text{ xor } G1$$

Логическая таблица для
исполнения четырехвходовой функции
Исключающее ИЛИ

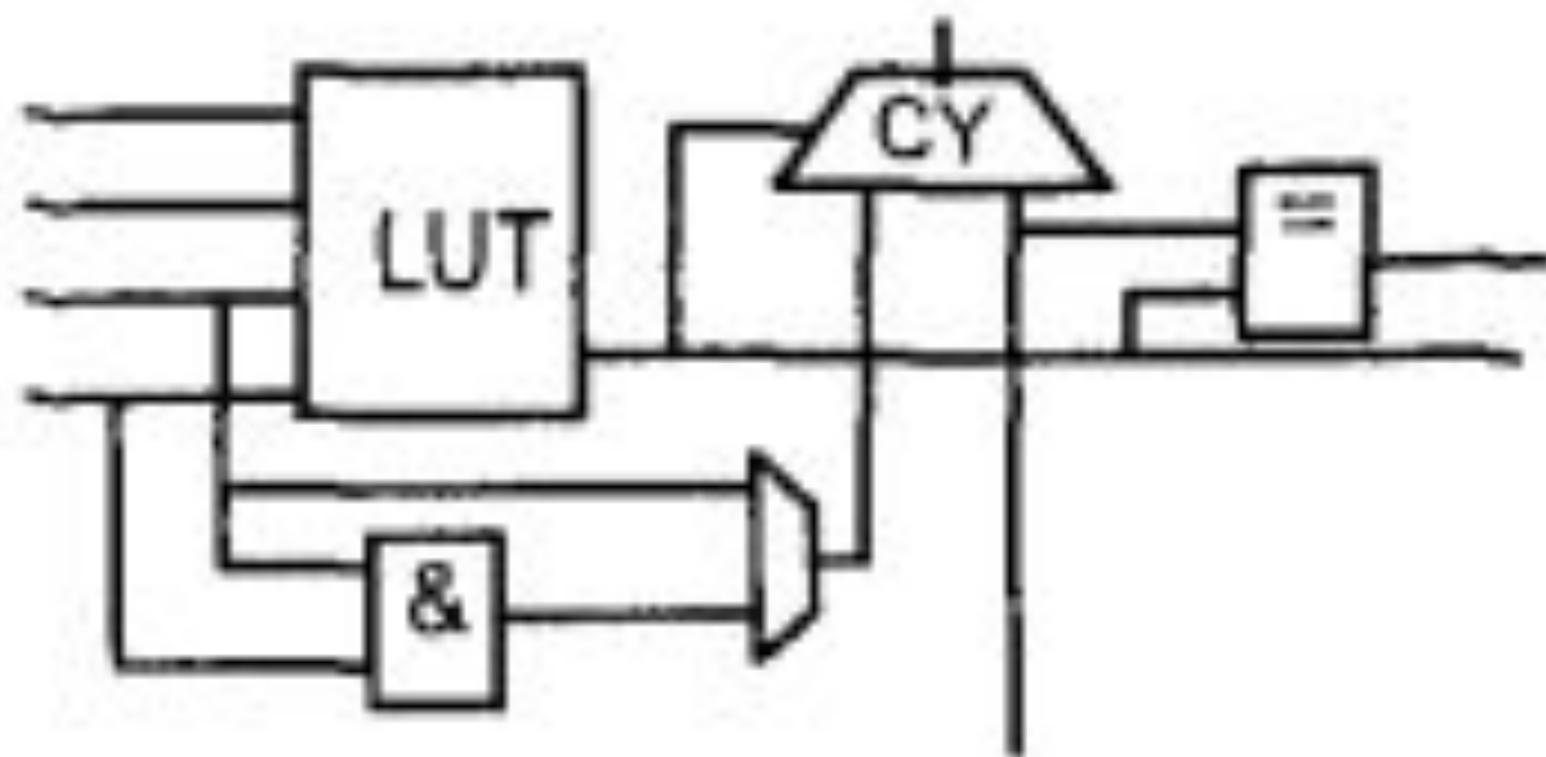



 Мультиплексор запрограммированный при конфигурировании

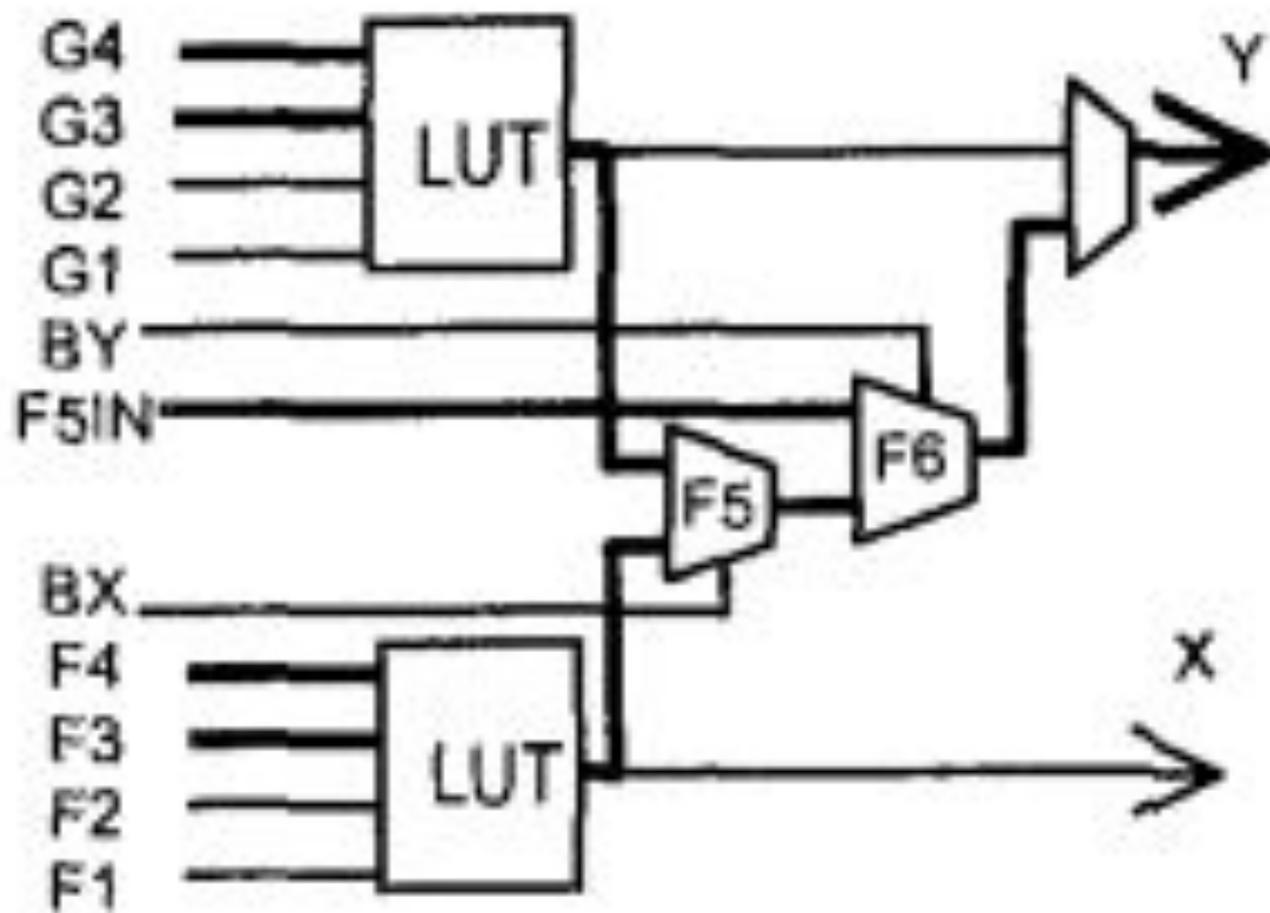
Схема включения триггера в ПЛИС



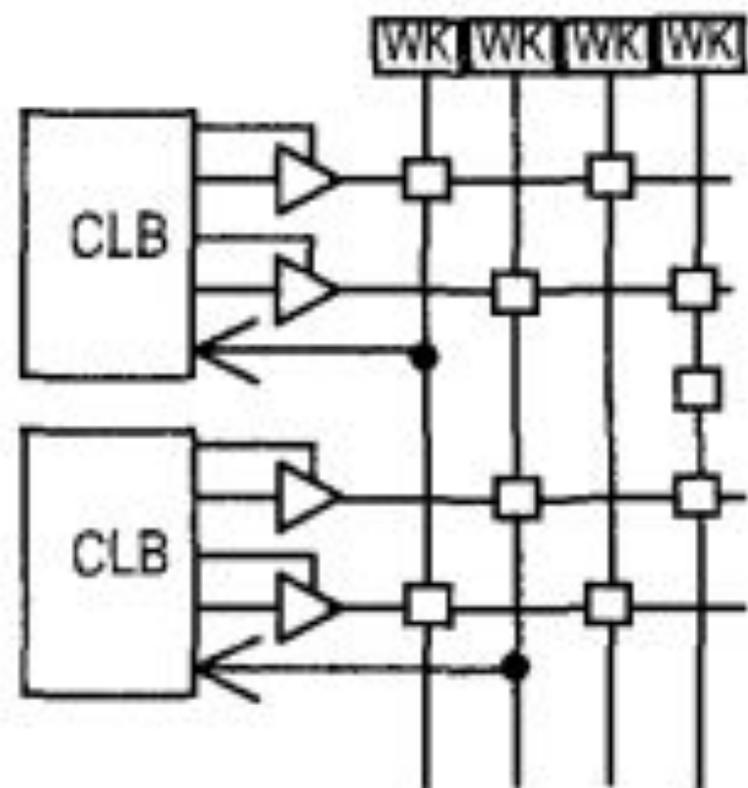
Структура ЭКЛБ ПЛИС



Схемы для ускорения арифметических операций

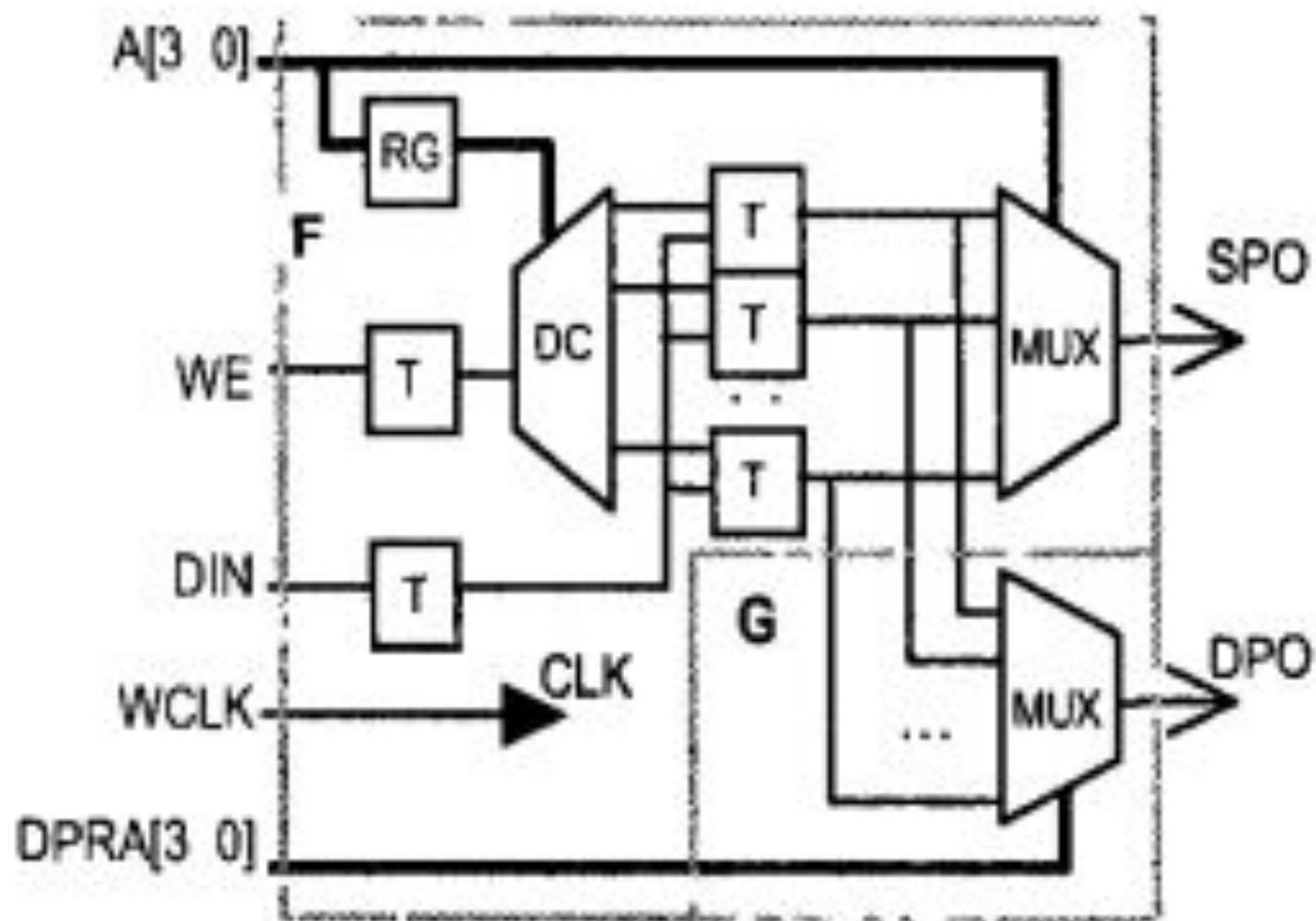


Реализация 5-входового мультиплексора на одном ЭКЛБ

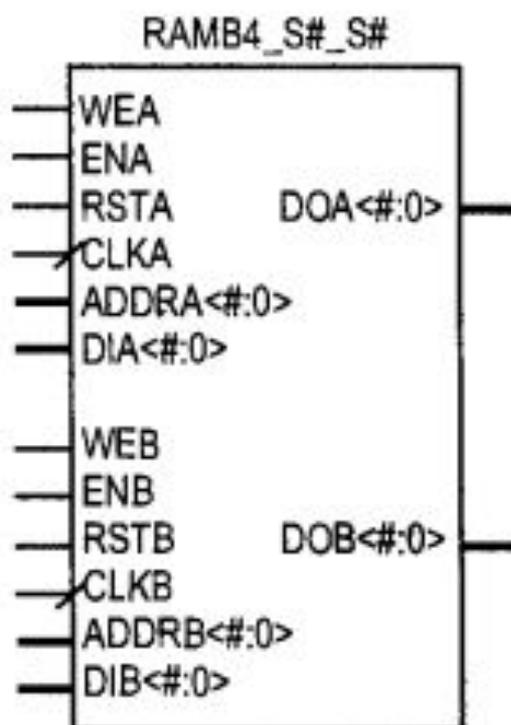
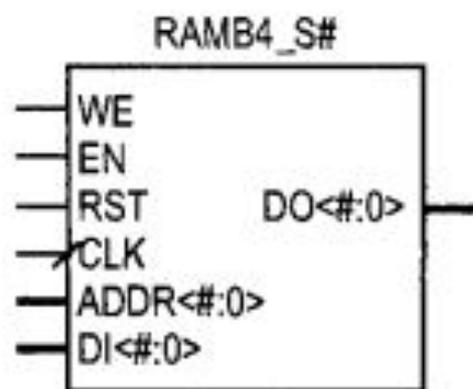


- - перемычка
- ▽ - BUFT
- WK - Weak Keeper

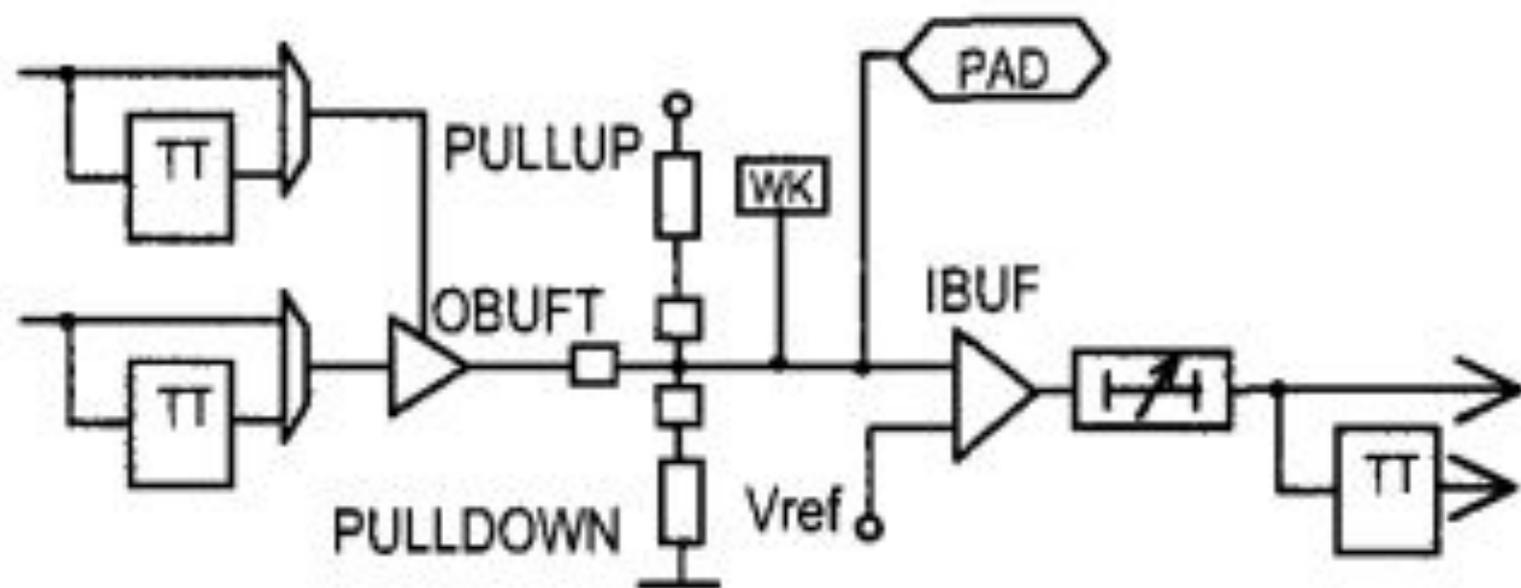
Шины с тремя
состояниями в ПЛИС



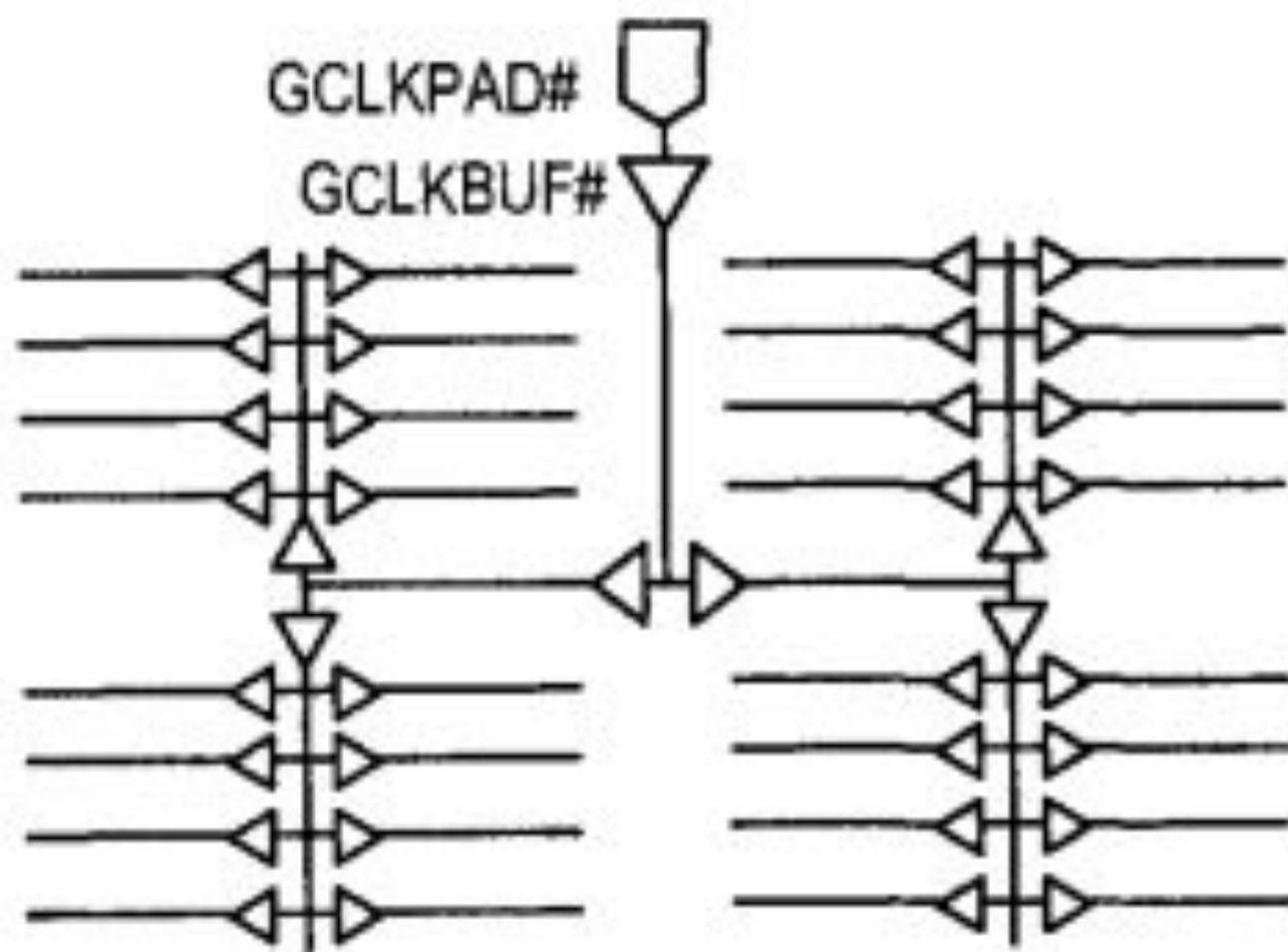
Реализация 2-портового 16-битового ОЗУ на двух соседних ЛТ



Реализация ОЗУ
на BlockRAM



Структура IOB



Сеть распространения
синхросигнала

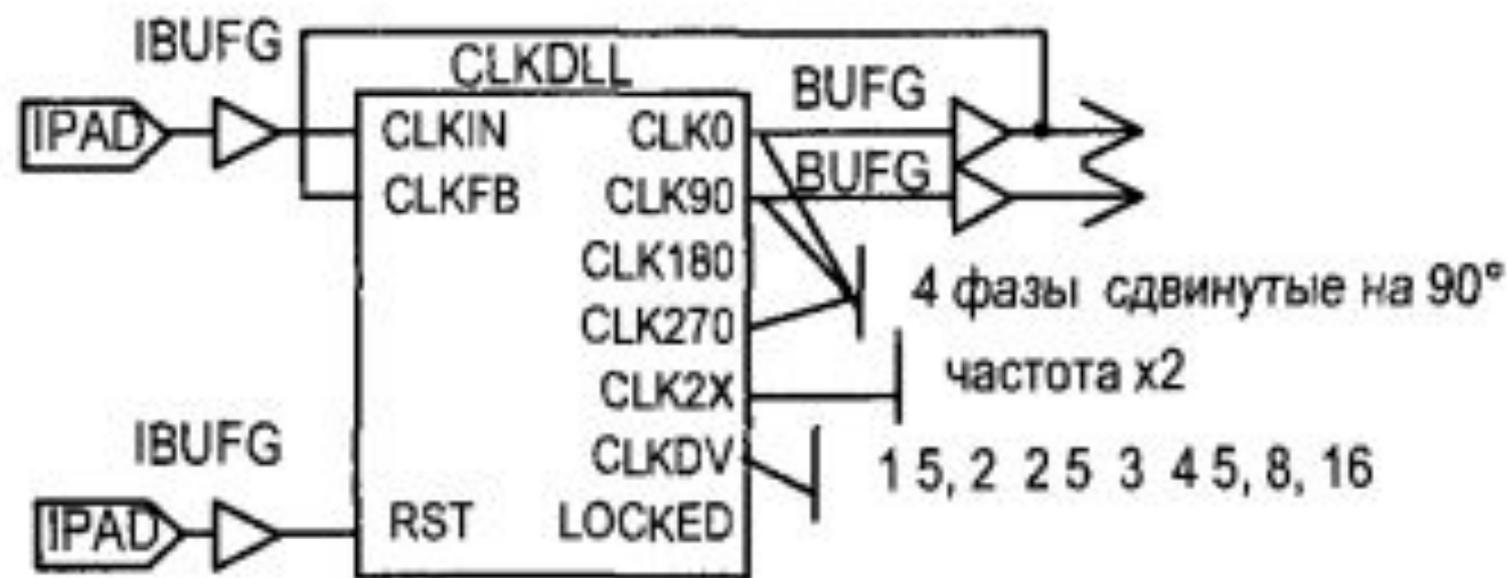
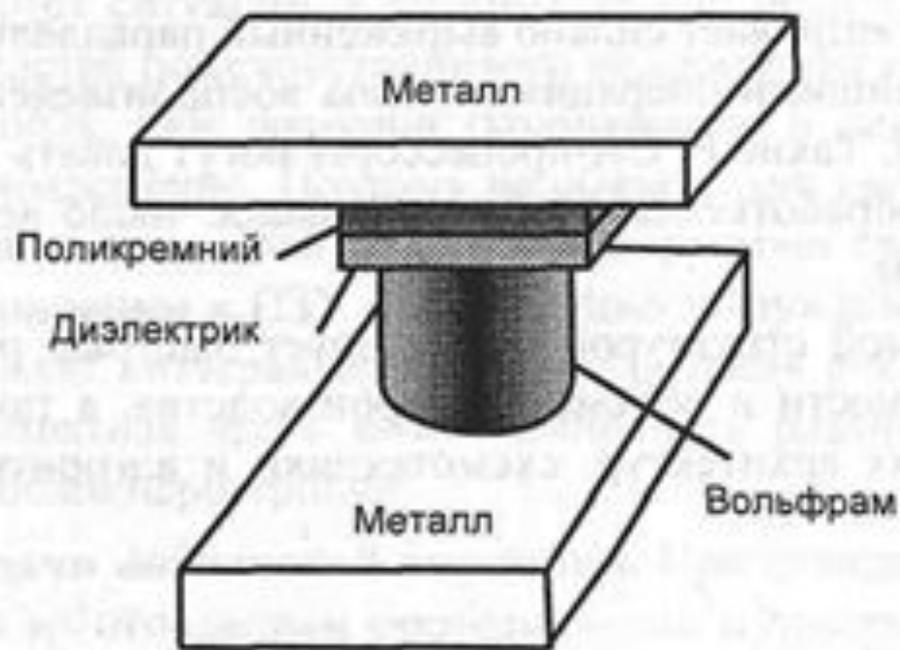
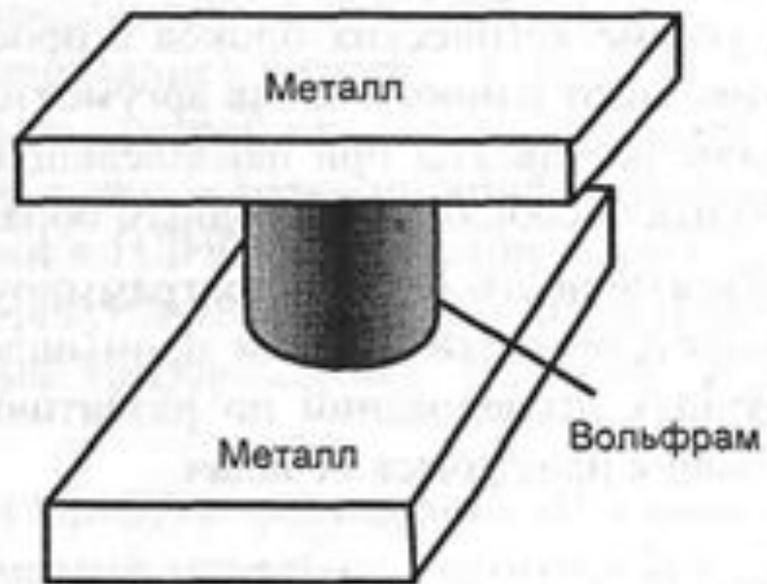


Схема включения блока CLKDLL

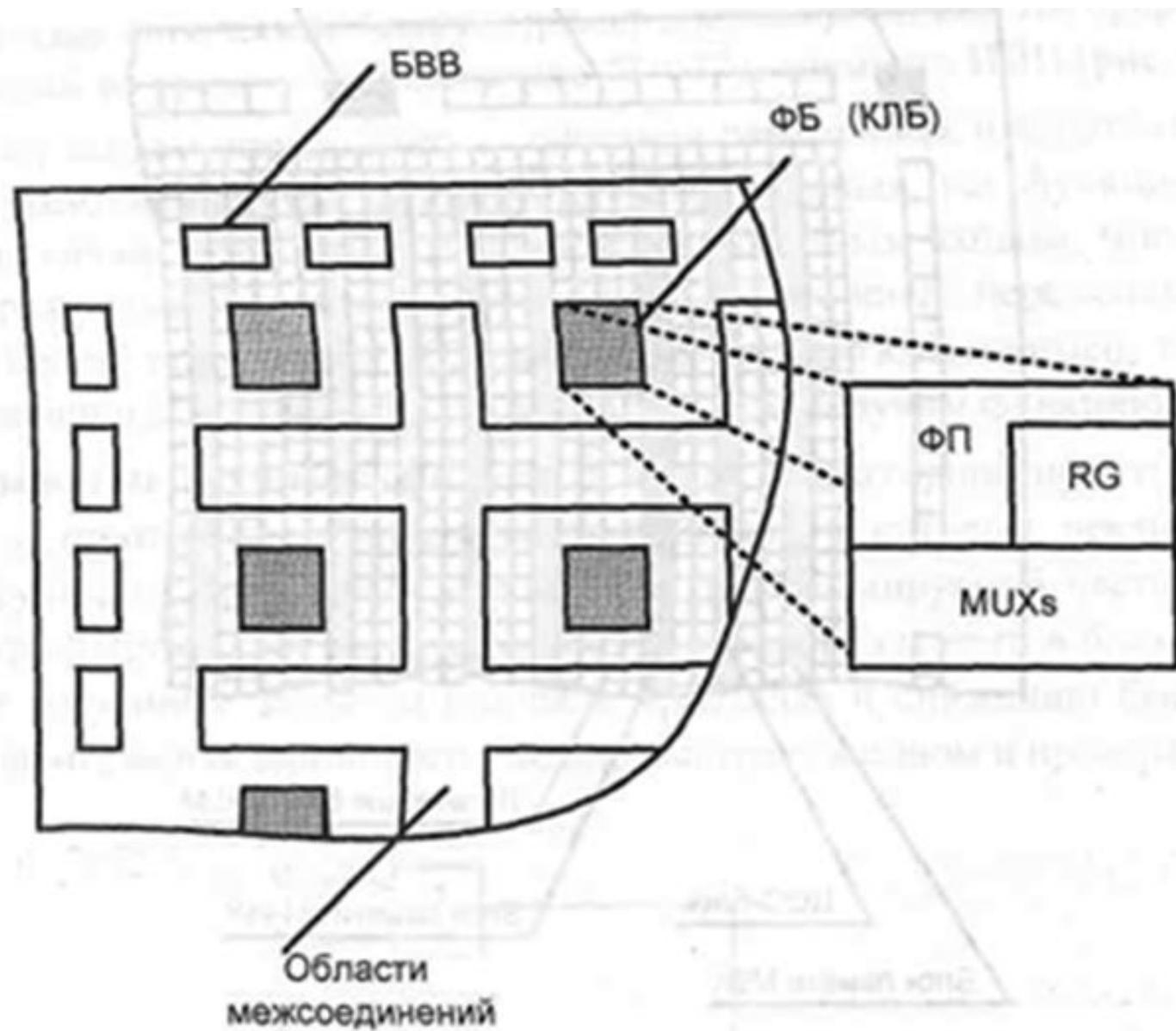


а



б

Программируемые перемычки antifuse (а)
и обычные перемычки "металл-металл" (б)



Фрагмент FPGA базовой архитектуры и ее функциональный блок

