

# **ЛЕКЦИЯ 2-6**

## **ЗАПОМИНАЮЩИЕ УСТРОЙСТВА ЭВМ**

## **ОСНОВНЫЕ ПОНЯТИЯ, ХАРАКТЕРИСТИКА И КЛАССИФИКАЦИЯ ЗУ**

Запоминающие устройства (ЗУ) служат для хранения информации и обмена ею с другими узлами вычислительных систем.

Важными параметрами памяти являются:

1. Информационная ёмкость - максимально возможный объем хранимой информации.
2. Организация памяти - произведение числа хранимых слов на их разрядность..
3. Быстродействие (оценивается временем считывания, записи и длительности циклов чтения/записи).
4. Уровни напряжения «0» и «1», входная, выходная и нагрузочная ёмкости, величины токов «0» и «1».
5. Энергонезависимость – способность памяти сохранять данные при отключении напряжения питания. Может быть естественной (присуща самим ЗЭ) или искусственной (достигается введением резервных источников питания).
6. Стоимость.

Все перечисленные выше требования к памяти являются взаимно-противоречивыми, поэтому пока невозможно реализовать один тип ЗУ, отвечающий всем названным требованиям.

## Основные динамические параметры ИМС ЗУ

Параметр	Обозначение МЭК	Определение
Время выборки адреса	$t_{A(A)}$	Интервал времени между подачей на выход ИС заданного сигнала и получения на выходе микросхемы данных, при условии, что все остальные необходимые сигналы поданы
Время выборки микросхемы	$t_{CS}$	Интервал времени между подачей на вход микросхемы сигнала выбора микросхемы и получением на ее выходе данных, при условии, что все остальные необходимые сигналы поданы
Время цикла	$t_{CY}$	Интервал времени между началами (окончаниями) сигналов на одном из управляющих входов микросхемы. Микросхема при этом выполняет одну функцию
Время установления	$t_{SU}$	Интервал времени между началами двух заданных входных сигналов на разных входах

**Время считывания** – интервал между моментами появления сигналов чтения и слова на выходе памяти.

**Время записи** – интервал после появления сигнала «запись», достаточного для установления ячейки памяти в устойчивое состояние.

Минимально допустимый интервал между последовательными чтениями или записями образует соответствующий цикл, при этом **длительности циклов** могут превышать время чтения или записи, так как после этих операций может потребоваться время для восстановления начального состояния памяти.

## **Концепция многоуровневой памяти**

Важнейшие параметры ЗУ находятся в противоречии. Так, например, большая информационная емкость не сочетается с высоким быстродействием, а быстродействие в свою очередь не сочетается с низкой стоимостью. Поэтому системам памяти свойственна многоступенчатая иерархическая структура

В современных ЭВМ организуют комплекс разнотипных ЗУ, взаимодействующих между собой и обеспечивающих приемлемые характеристики памяти ЭВМ для каждого конкретного применения.

**Иерархическая структура памяти** является традиционным решением проблемы хранения большого количества данных. Начиная с самого верхнего уровня:

- регистровая память;
- кэш-память;

Регистры + кэш-память – это сверхоперативная память (СОЗУ).

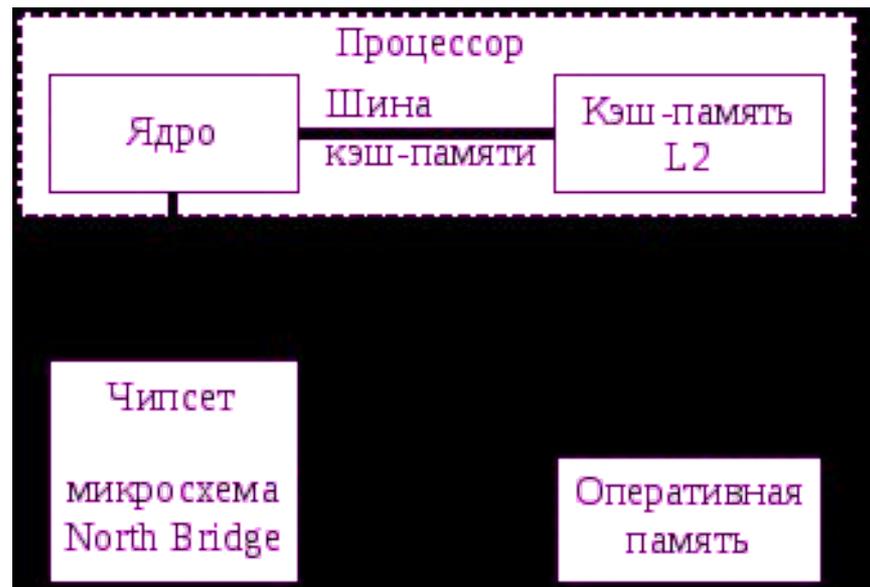
- (основная) оперативная память;
- специальная память (видеопамять);
- внешняя память.

## Концепция многоуровневой памяти

Подключение кэш-памяти L2 для процессоров типа Pentium



Подключение кэш-памяти L2 для процессоров типа Pentium II и Pentium III и т. д.



## **Концепция многоуровневой памяти**

*По мере продвижения по структуре сверху вниз возрастают три параметра.*

**Во-первых, увеличивается время доступа.**

**Во-вторых, увеличивается объем памяти.**

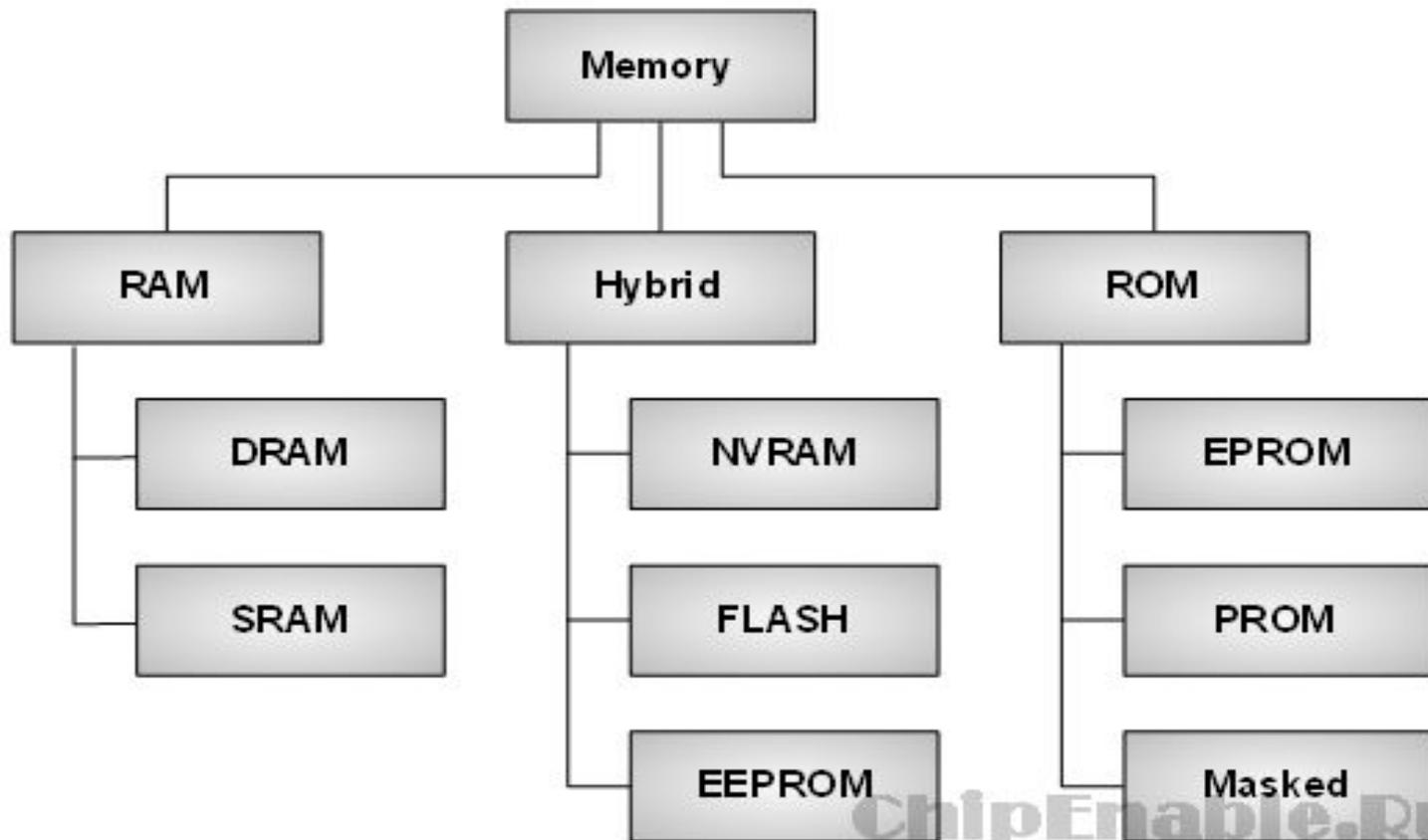
**В-третьих, увеличивается количество битов, которое вы получаете за 1 доллар.**

Стоимость памяти постоянно уменьшается, в то время как ее объем – увеличивается (закон Мура).

При организации памяти современных ЭВМ (МПС) особое внимание уделяется:

- сверхоперативной памяти;
- совершенствованию оперативной памяти;
- принципам обмена информацией между ОЗУ и ВЗУ.

## Классификация ЗУ



## Классификация ЗУ

Важным признаком классификации памяти является доступ к данным.

По способу доступа к данным ЗУ делятся на:

- **адресные;**
- **последовательные;**
- **ассоциативные.**

При адресном доступе на адресные входы подается код, по которому отыскивается ячейка для записи/чтения информации. Все ячейки адресной памяти в момент обращения равнодоступны.

Адресная память делится на:

- **RAM (Random Access Memory)** – оперативная память;
- **ROM (Read Only Memory)** – постоянная память.

ОП может быть **статической** (SRAM - statics RAM) и **динамической** (DRAM- dynamic RAM).

В статической памяти запоминающим элементом является триггерная схема.

В динамической памяти запоминающим элементом является ёмкость. Т.к. ёмкость разряжается, необходимо производить регенерацию памяти.

## Классификация ЗУ

По логике организации DRAM-память может быть **асинхронной и синхронной**.

При асинхронной организации памяти установка адреса, подача управляющих сигналов и чтение/запись данных могут выполняться в произвольные моменты времени — необходимо только соблюдение временных соотношений между этими сигналами.

Синхронная организация памяти подразумевает, что имеется внешний тактирующий сигнал.

Статическая память может быть:

- **асинхронной;**
- **синхронной (тактируемой);**
- **конвейерной.**

В асинхронных SRAM сигналы управления могут задаваться импульсами или уровнями.

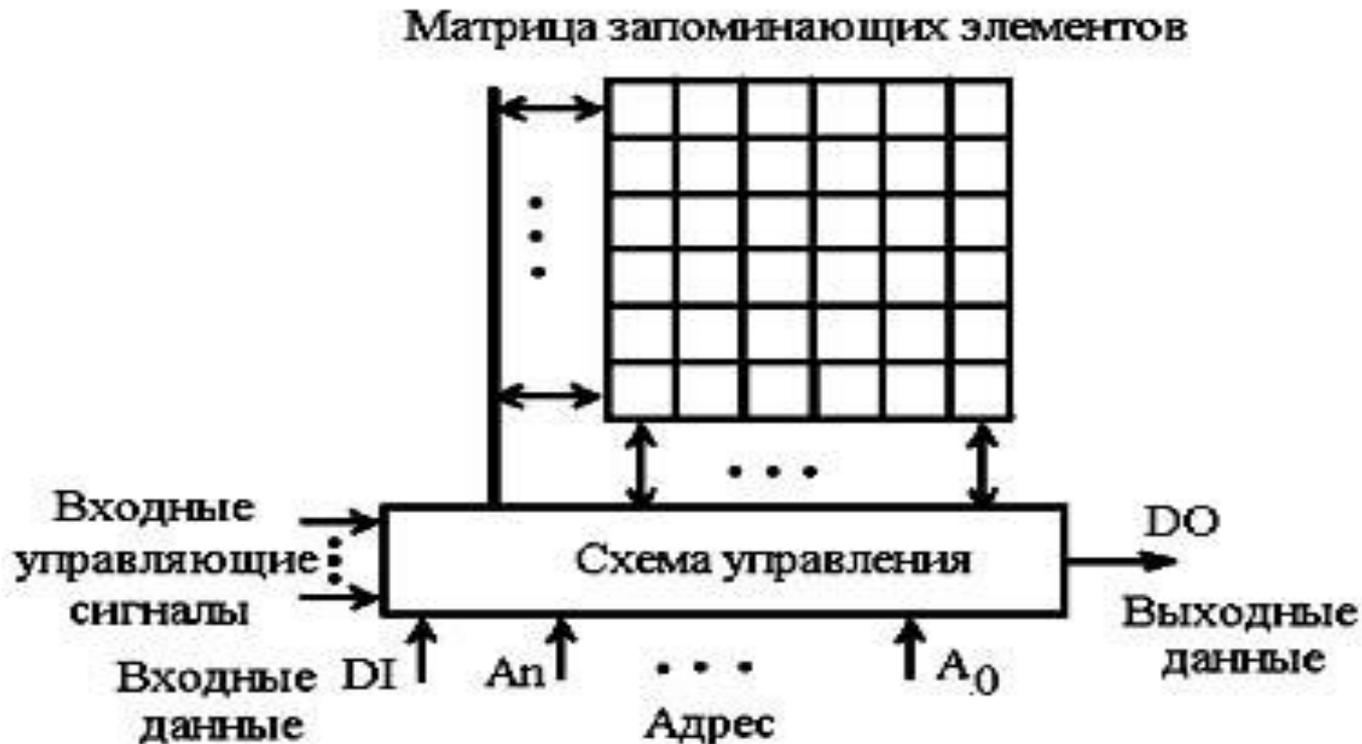
В синхронных – некоторые сигналы обязательно должны быть импульсными.

В конвейерных ЗУ организован конвейерный тракт передачи данных, синхронизируемый тактовой частотой процессора.

## Типичная структура ИМС ЗУ

Любая ИМС ЗУ состоит из следующих узлов: матрицы запоминающих элементов и схемы управления.

Схема управления в соответствии с поступившими входными сигналами обеспечивает доступ к запоминающим элементам и выполнение необходимой операции (например, записи или чтения) с выбранными ЗЭ.



## Виды ROM

**ROM** (однократно программируемая память изготовителем),  
**PROM** (однократно программируемая память пользователем),  
**EPROM** (электрически перепрограммируемая память пользователем и стираемая ультрафиолетовыми лучами),  
**EEPROM** (электрически перепрограммируемая и стираемая память),  
**FLASH-память**.

ЗУ с **последовательным доступом** могут быть:

- 1) **файловые** – данные поступают в начало цепочки и появляются на выходе после некоторого числа обращений;
- 2) **FIFO** – образует очередь;
- 3) **LIFO** – стековая организация;
- 4) **циклические** – слова доступны одно за другим с постоянным периодом, определённой ёмкостью памяти (видеопамять).
- 5) **ЗУ на магнитных носителях**.

В **ассоциативных ЗУ** поиск информации осуществляется по некоторому признаку.

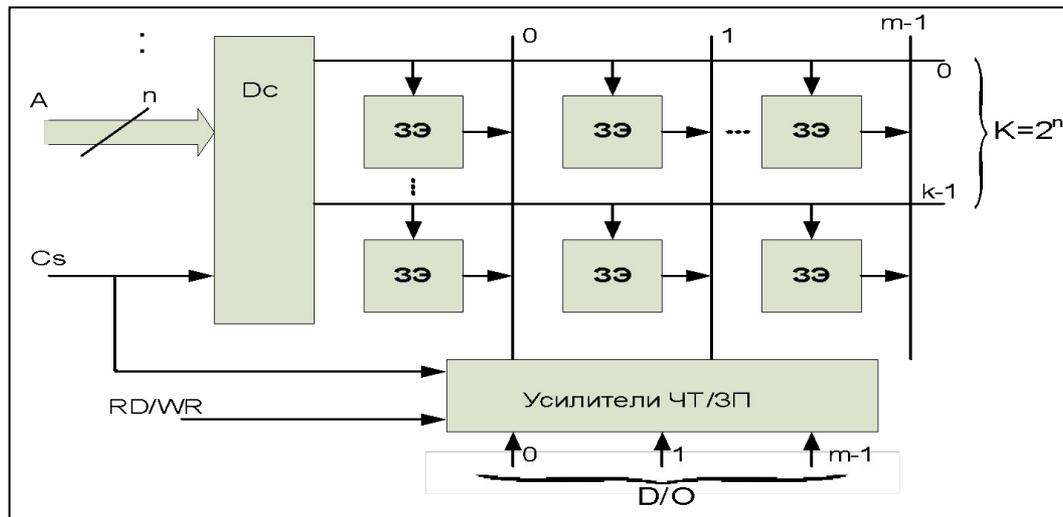
## ОСНОВНЫЕ СТРУКТУРЫ АДРЕСНЫХ ЗУ

Адресные ЗУ представлены статическими и динамическими оперативными устройствами и памятью типа ROM.

Для SRAM и ROM наиболее характерны структуры 2D, 3D, 2DM.

### СТРУКТУРА 2D

В структуре 2D ЗЭ организованы в прямоугольную матрицу.

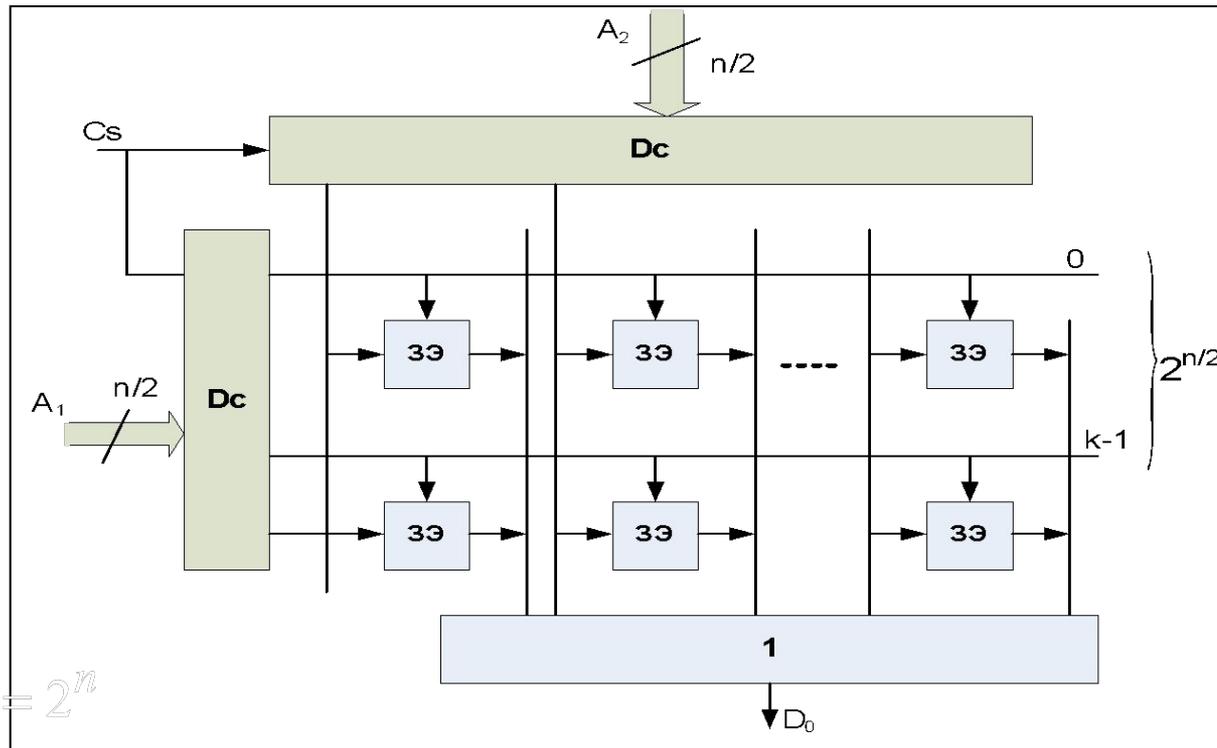


Недостатком является большое количество адресных линий и сложная схема дешифратора

Поэтому адресные структуры типа 2D применяются лишь в ЗУ с небольшой информационной ёмкостью.

## СТРУКТУРА 3D

Позволяет резко упростить дешифраторы адреса с помощью двухкоординатной выборки 3Э. В этом случае адрес делится на 2 части:



$$n = 2^{n/2} \times 2^{n/2} = 2^n$$

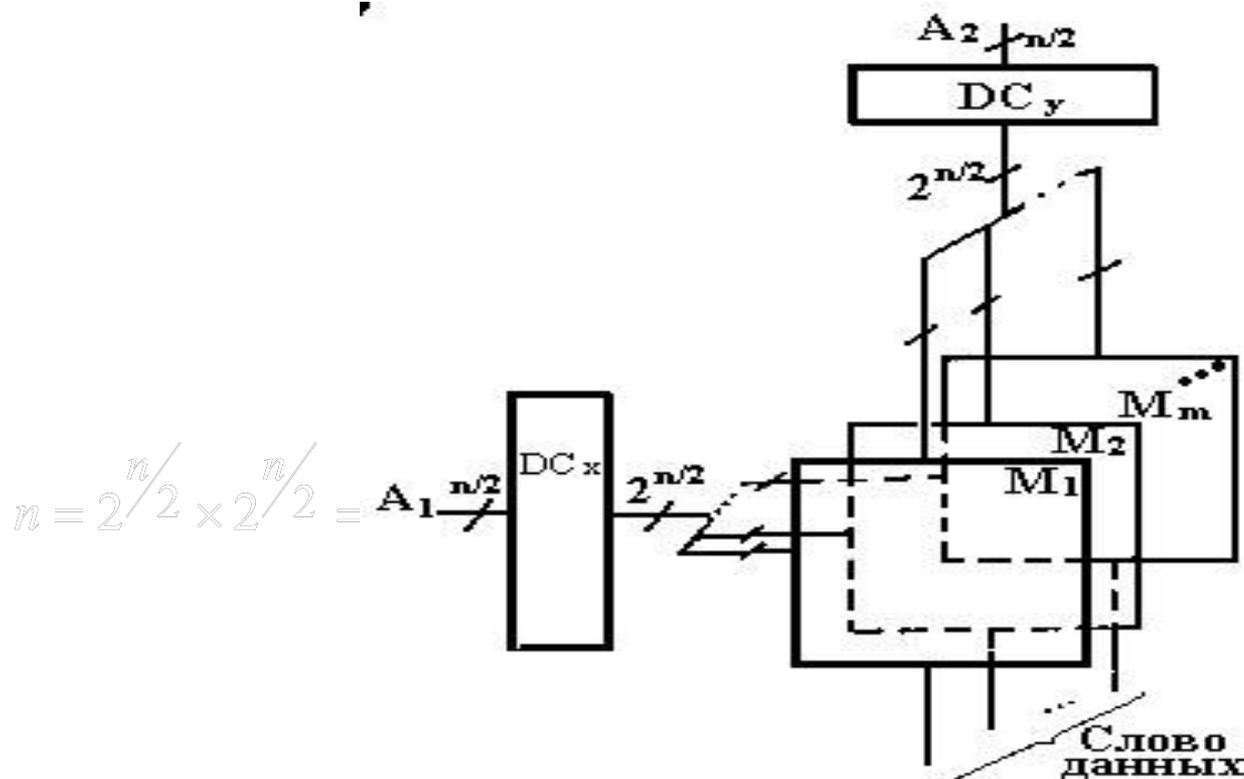
Суммарное число выходов обоих дешифраторов составляет  $2^{n/2} + 2^{n/2} = 2^{n/2} + 1$ .

В такой структуре DC значительно проще, но зато усложняется схема 3Э.

## СТРУКТУРА 3D

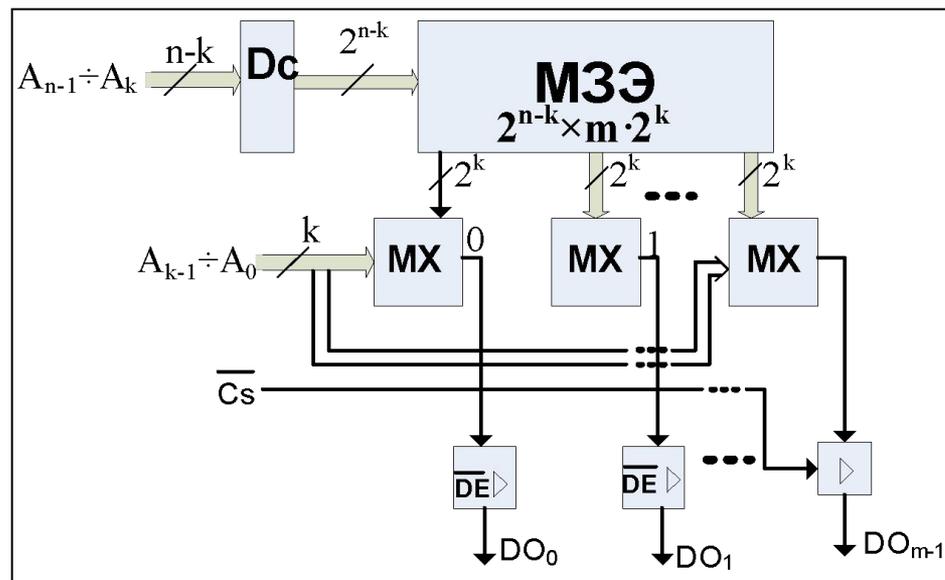
Структура 3D может применяться в ЗУ с многоразрядной организацией, при этом одна такая матрица даёт один разряд.

Для организации  $m$ -разрядного ЗУ надо иметь  $m$ -матриц, которые управляются от двух дешифраторов, относительно которых они включены параллельно.

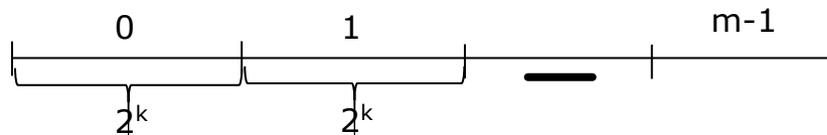


## СТРУКТУРА 2DM

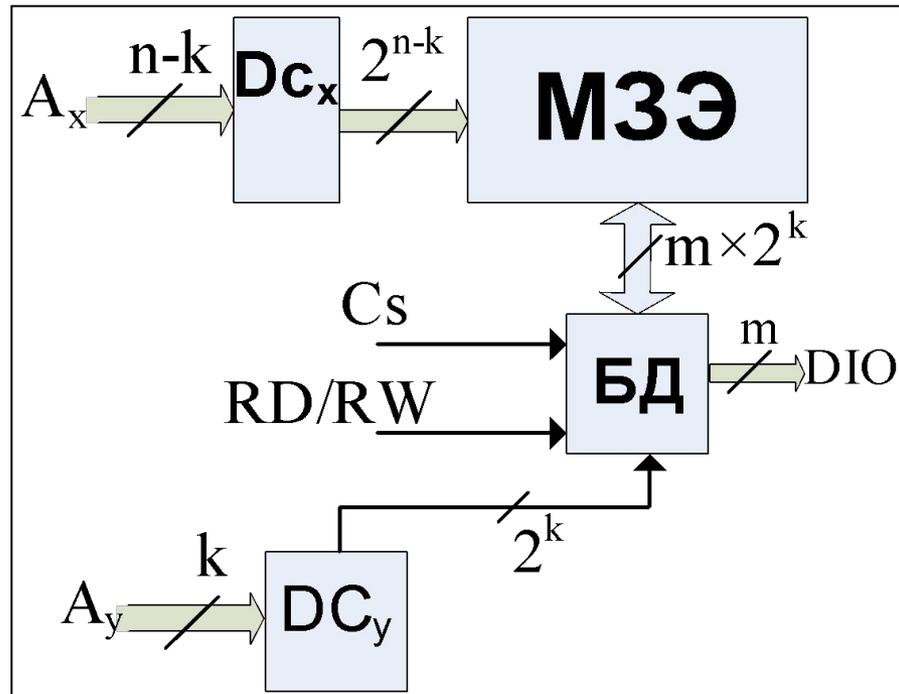
В такой структуре адрес тоже делится на две части. Старшая часть адреса поступает на матрицу 3Э, имеющего организацию 2D, а младшая часть поступает на адресные входы мультиплексоров (МХ), которые выбирают нужные разряды слов.



Количество строк меньше ( $2^{n-k}$ ), но количество элементов строки больше ( $m \cdot 2^k$ ), т. е. одна строка содержит  $m$  участков по  $2^k$  разрядов.



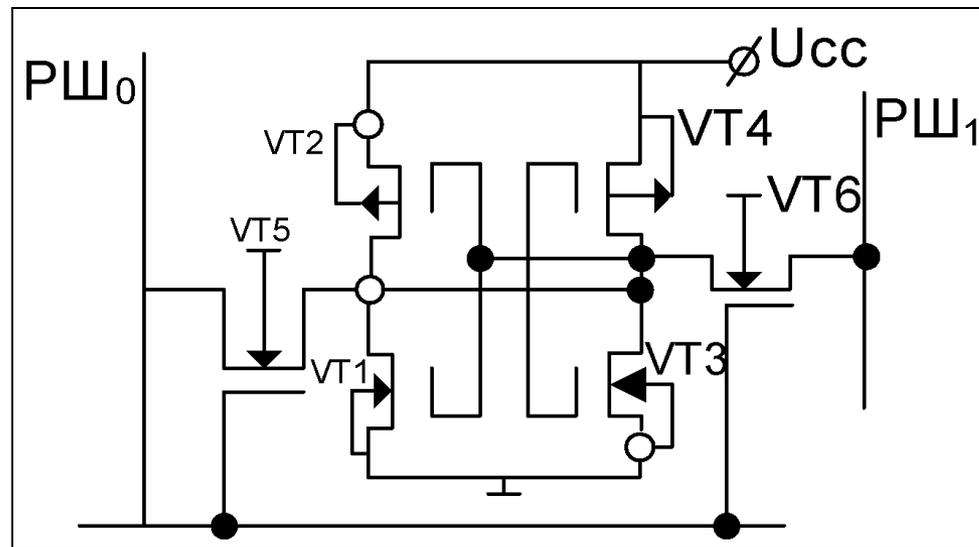
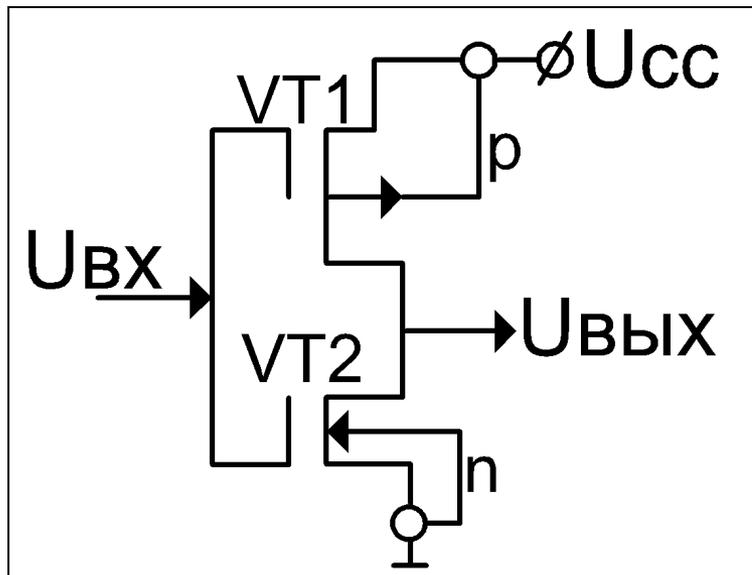
## Структура 2DM для RAM



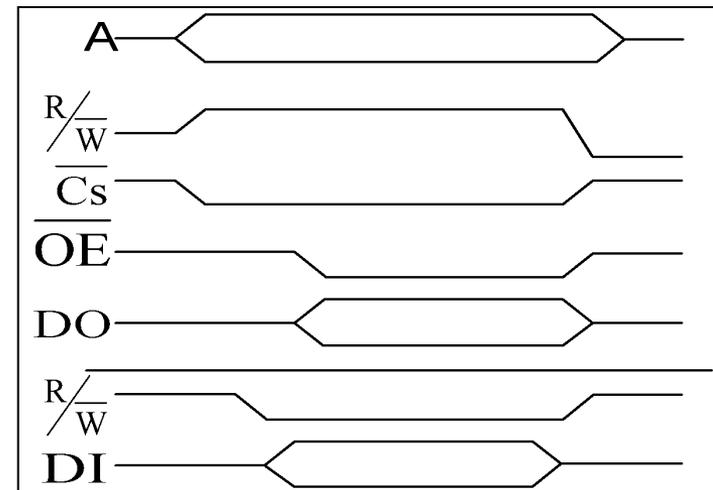
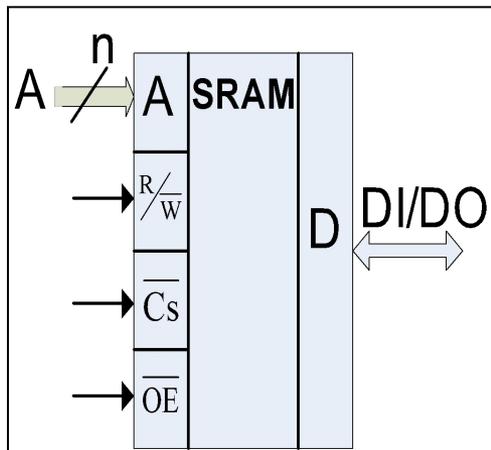
В этой структуре важную роль выполняет буфер данных, который помимо функции мультиплексирования реализует функцию изменения направления передачи информации.

## СТАТИЧЕСКИЕ ОЗУ (SRAM)

Статические запоминающие устройства имеют структуру 2DM. 3Э статических ОЗУ служат триггеры с цепями установки и сброса. Как правило, 3Э строятся на основе к-МОП элементов (комплементарной паре). Базовым элементом ячейки является инвертор.



Функционирование ОЗУ во времени регламентируется временными диаграммами. Так, чтобы исключить возможность обращения к другой ячейке, рекомендуется подавать адрес раньше, чем другие сигналы с опережением на время его декодирования. Адрес должен удерживаться в течение всего цикла обращения к памяти. Затем следует подать сигналы, определяющие направление передачи данных и, если выполняется запись, то записываемые данные и сигнал **Chip Select** (разрешает работу микросхем), а если выполняется чтение, то сигнал **Output Enable** (разрешение выхода)

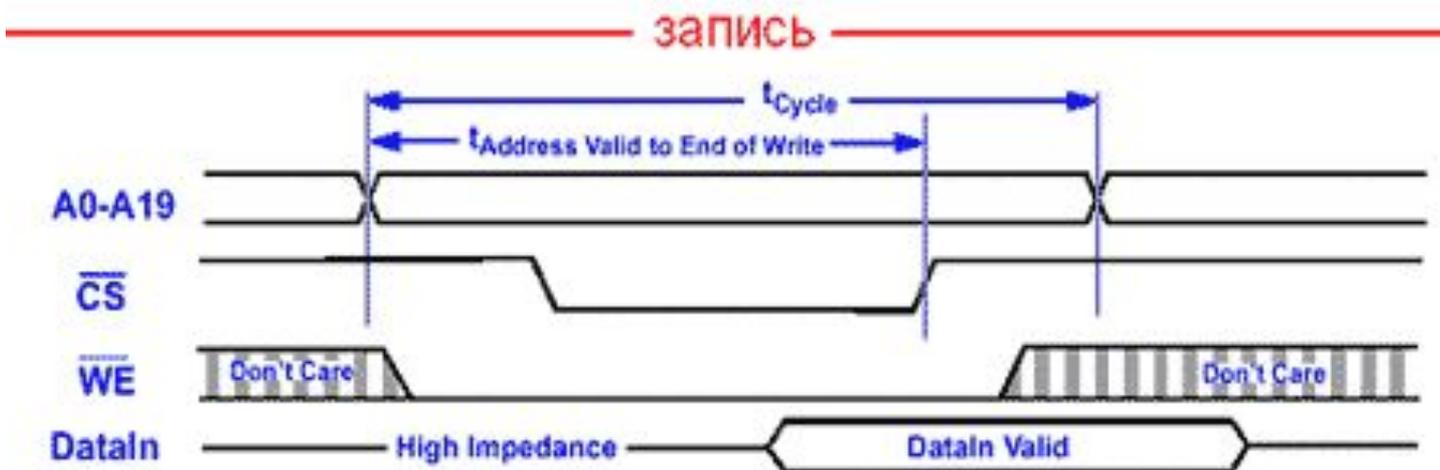
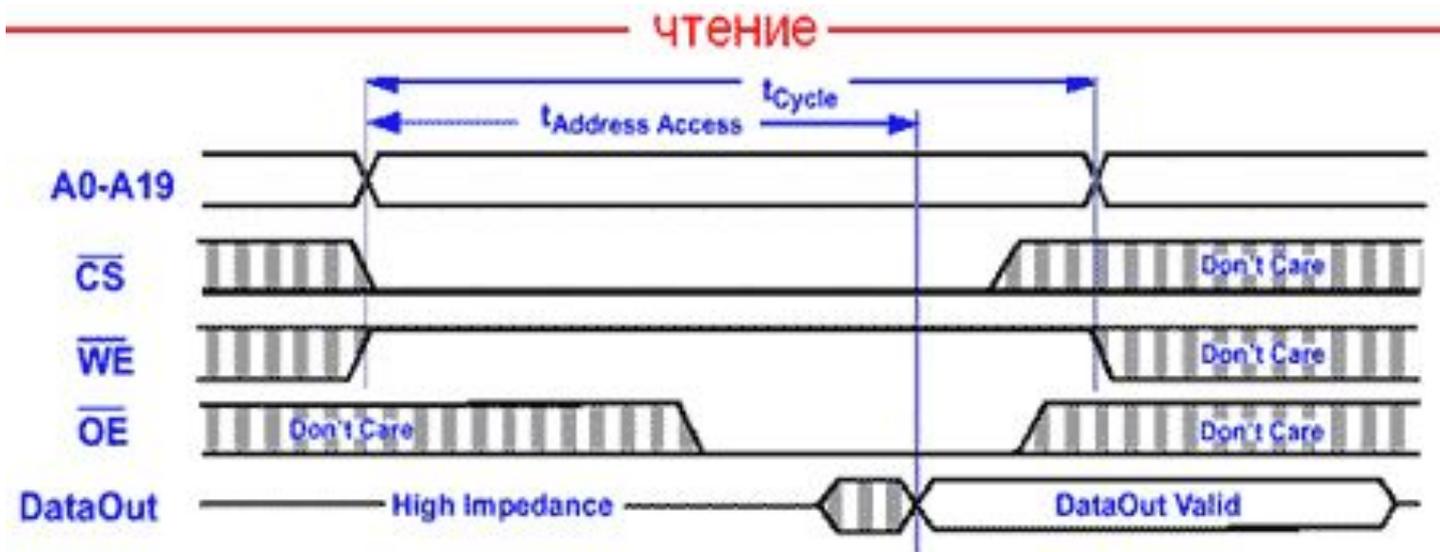


Недостатки: многотранзисторность.

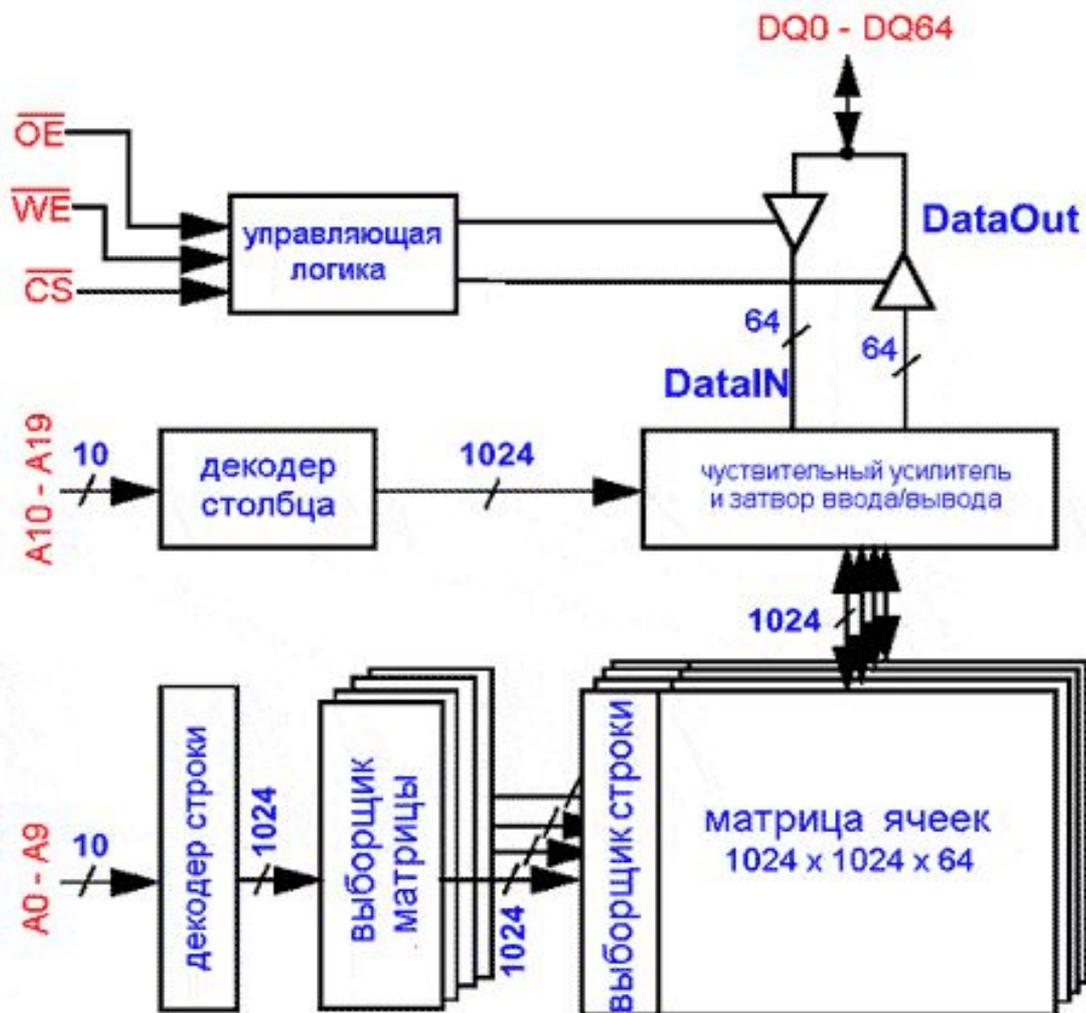
Достоинства: более высокое быстродействие, чем DRAM.

При проектировании памяти необходимо учитывать токовые и емкостные нагрузки ( $C_I$ ,  $C_O$ ,  $C_{lim}$ ).

# Временные диаграммы чтения/записи



## Устройство типовой микросхемы SRAM-памяти



# Упрощенная структурная схема модуля памяти SRAM

