

# Раздел 3: Элементы и комбинационные узлы цифровых устройств.

Лекция 4.

Вопросы:

1 Элементная база цифровых устройств.

2 Функциональные узлы комбинационного типа.

# Мобильный телефон GSM



# **1 Элементная база цифровых устройств**

## **Классификация цифровых интегральных схем (ИС)**

### **1 По степени интеграции:**

- малой степени интеграции (МИС);**
- средней степени интеграции (МИС);**
- большой (сверхбольшой) степени интеграции (БИС/СБИС).**

### **2 По схемно-технологическим признакам:**

- ТТЛ (ТТЛШ);**
- ЭСЛ;**
- n-МОП, КМОП.**

### **3 По функциональному назначению:**

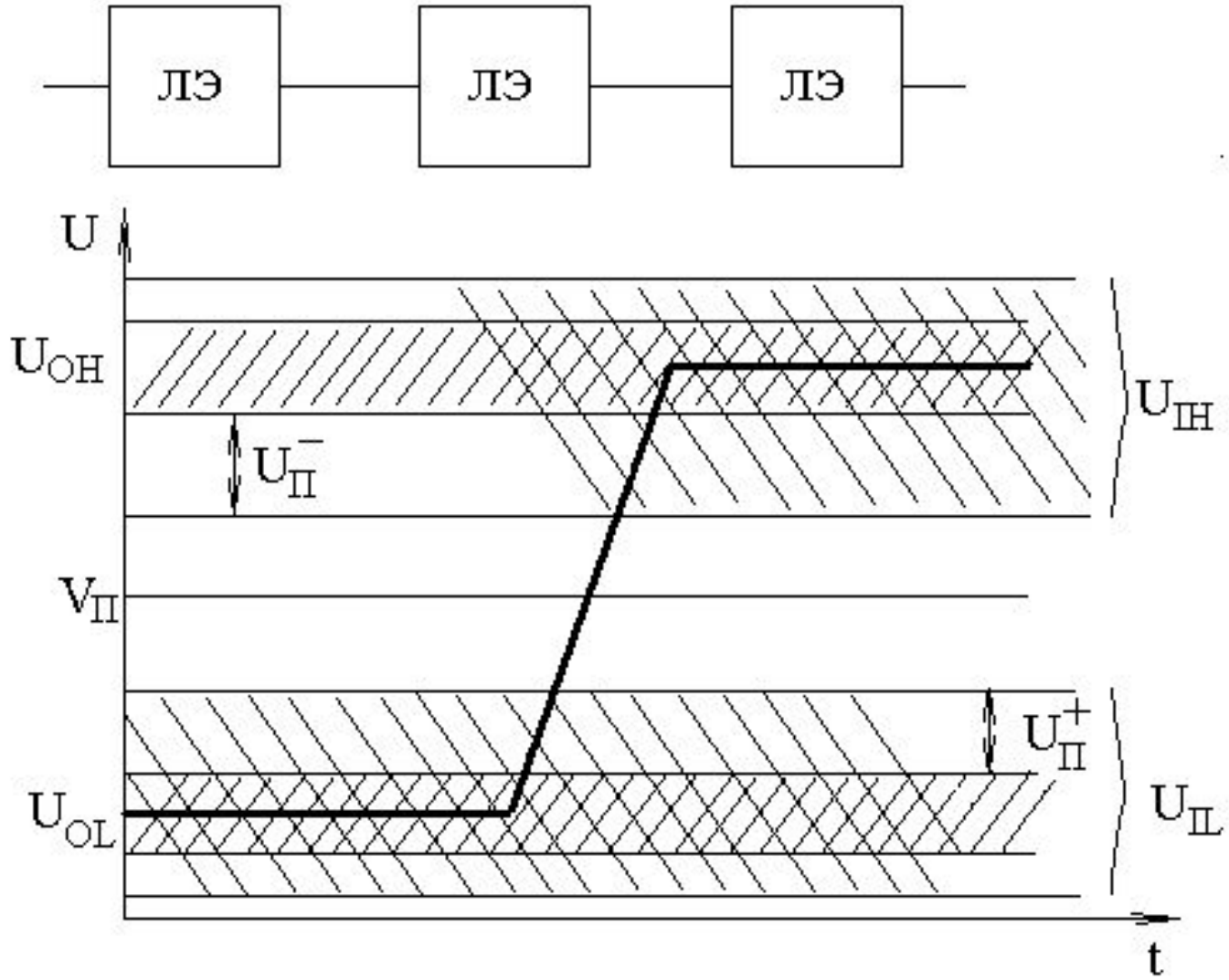
- наборы ЛЭ, наборы триггеров;**
- функциональные узлы комбинационного / последовательностного типа;**
- ЗУ, микропроцессоры, микроконтроллеры и др.**

# Требования к логическим элементам

## 1) Согласованность по логическим уровням

Положительная логика:  $U_H - 1$   $U_L - 0$ ;

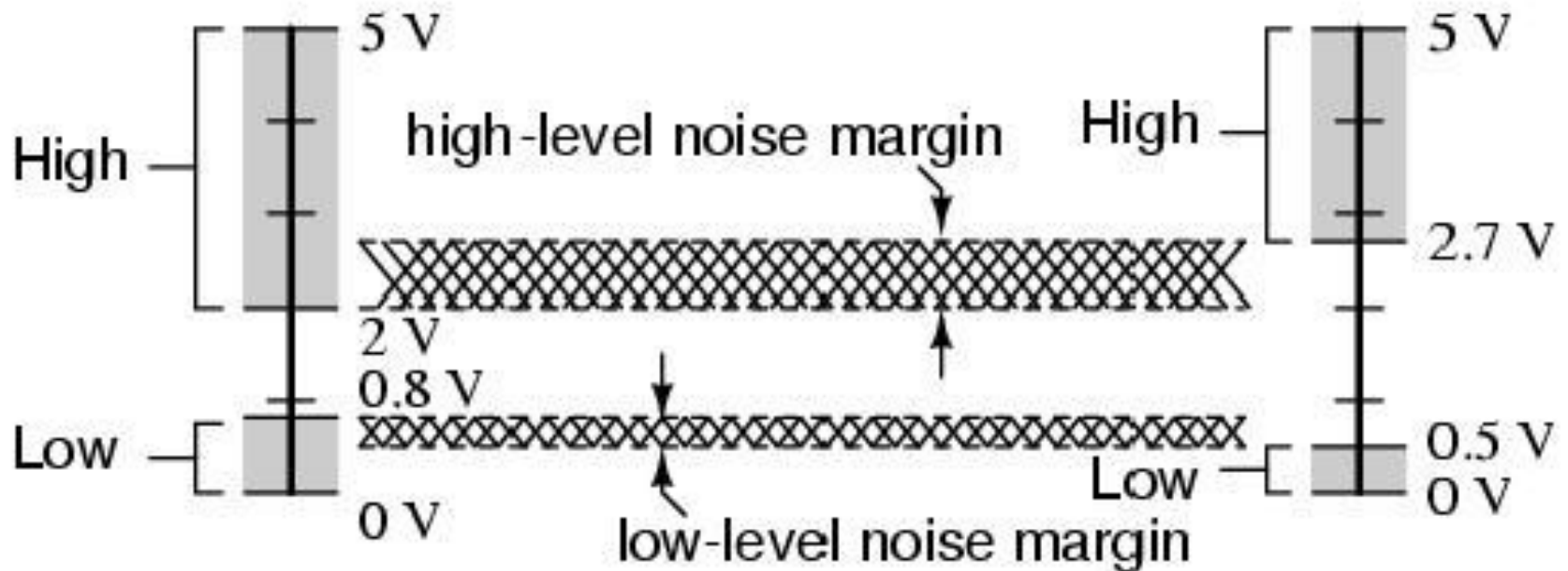
Отрицательная логика:  $U_H - 0$   $U_L - 1$ ;



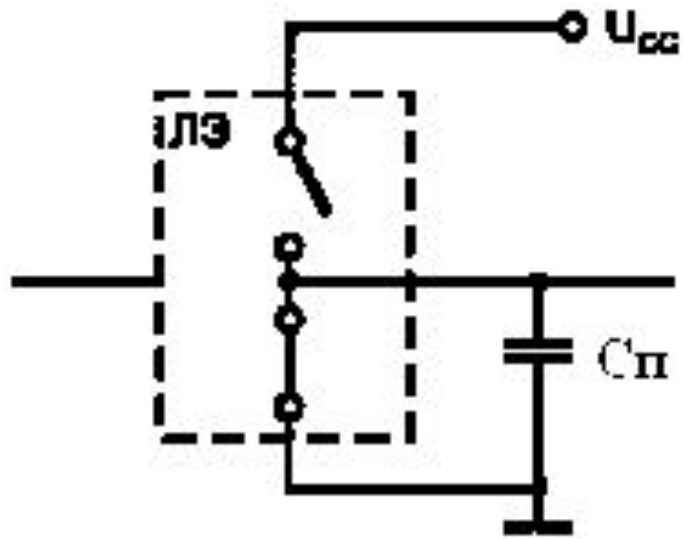
# Логические уровни ТТЛ

*Acceptable TTL gate  
input signal levels*

*Acceptable TTL gate  
output signal levels*



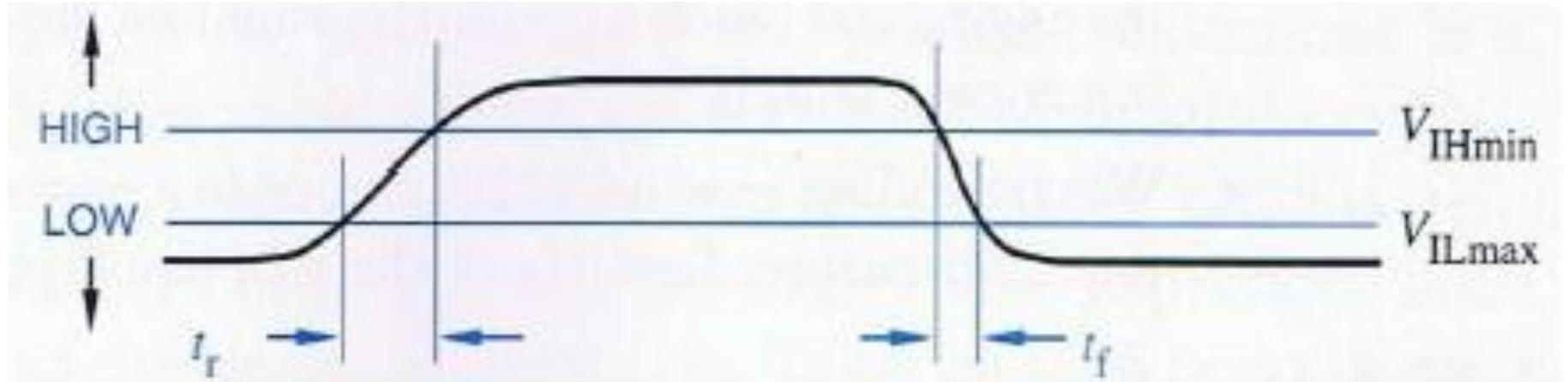
# Быстродействие и экономичность



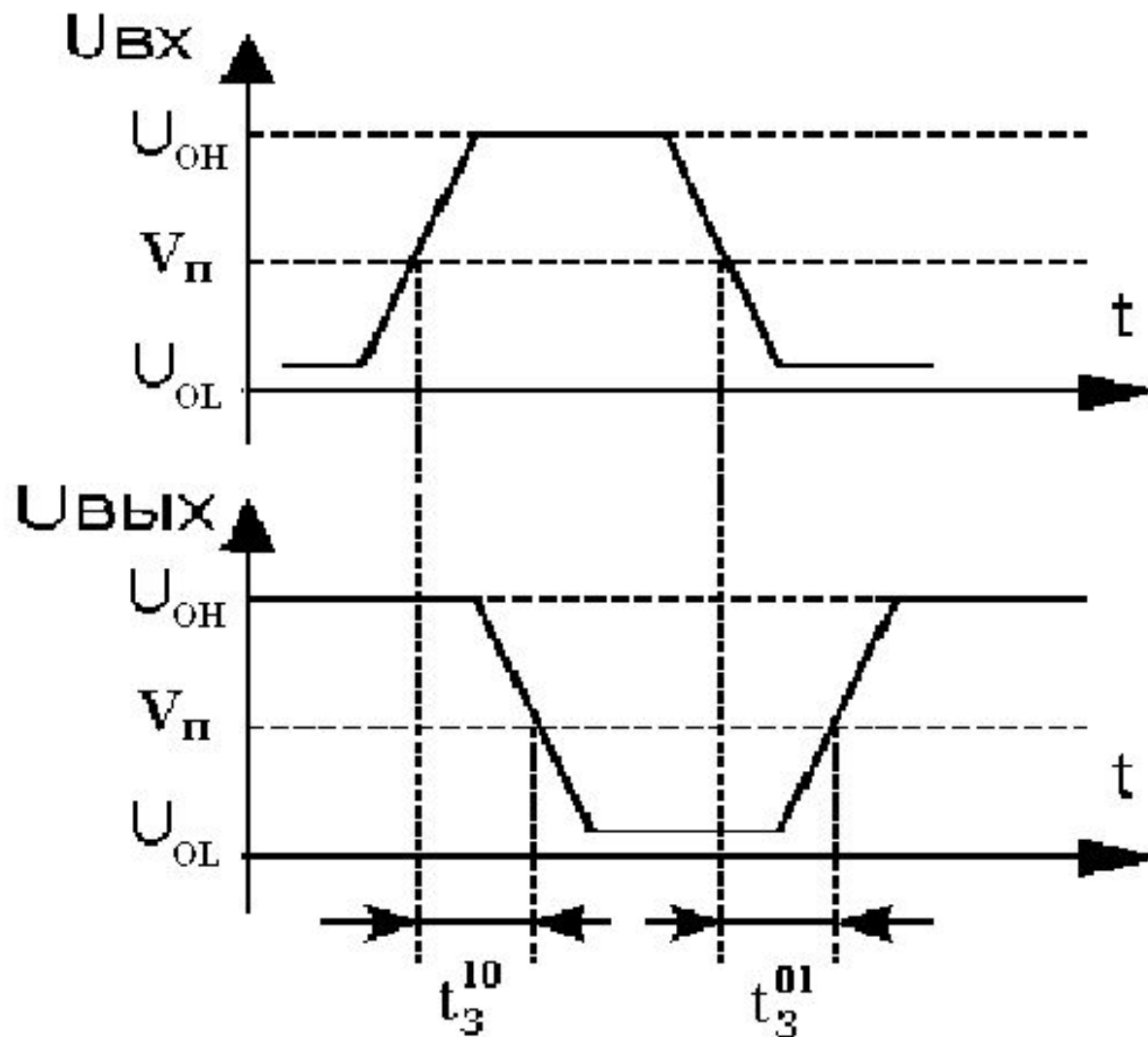
$$U_{\Pi} = U_{OH} - U_{OL}$$

$$dU/dt = I/C_{\Pi}$$

$$t_{\phi} \approx U_{\Pi} / (dU/dt) = U_{\Pi} C_{\Pi} / I$$

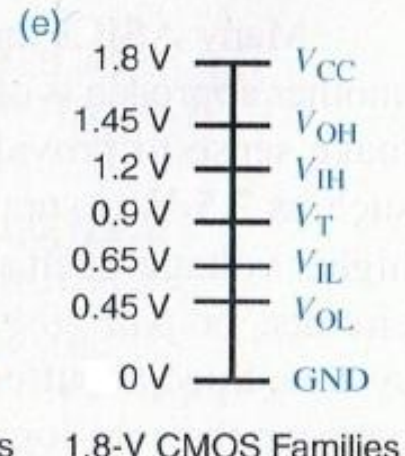
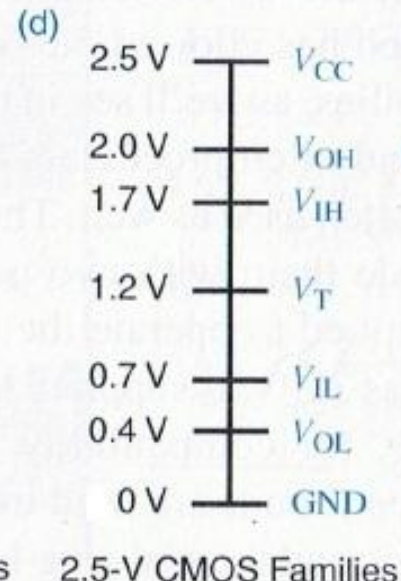
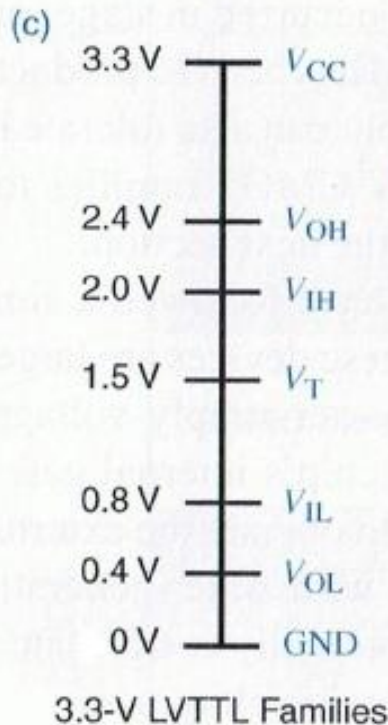
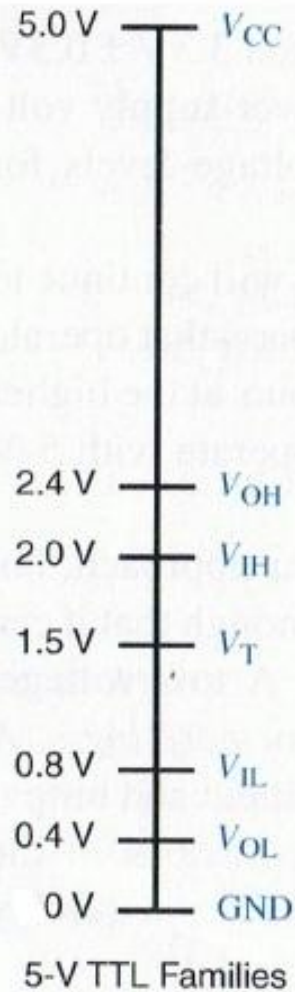
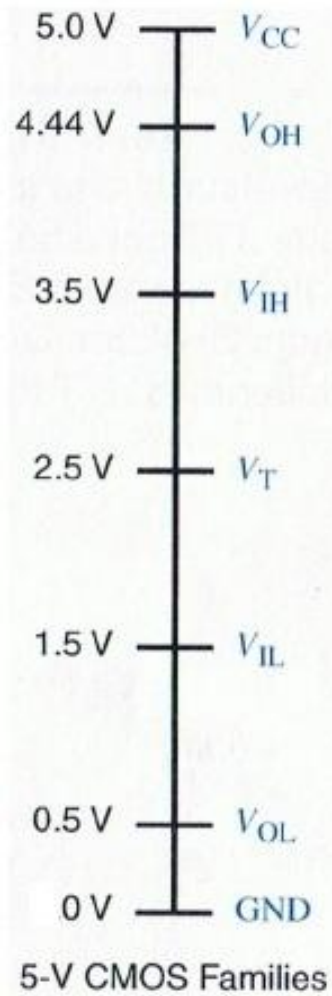


# Задержки распространения сигналов



Работа переключения  $A = P_{П} t_3$

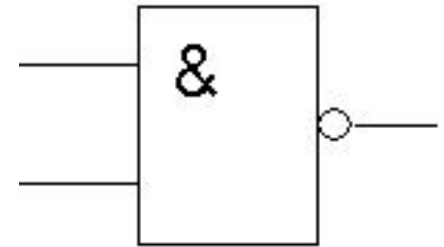
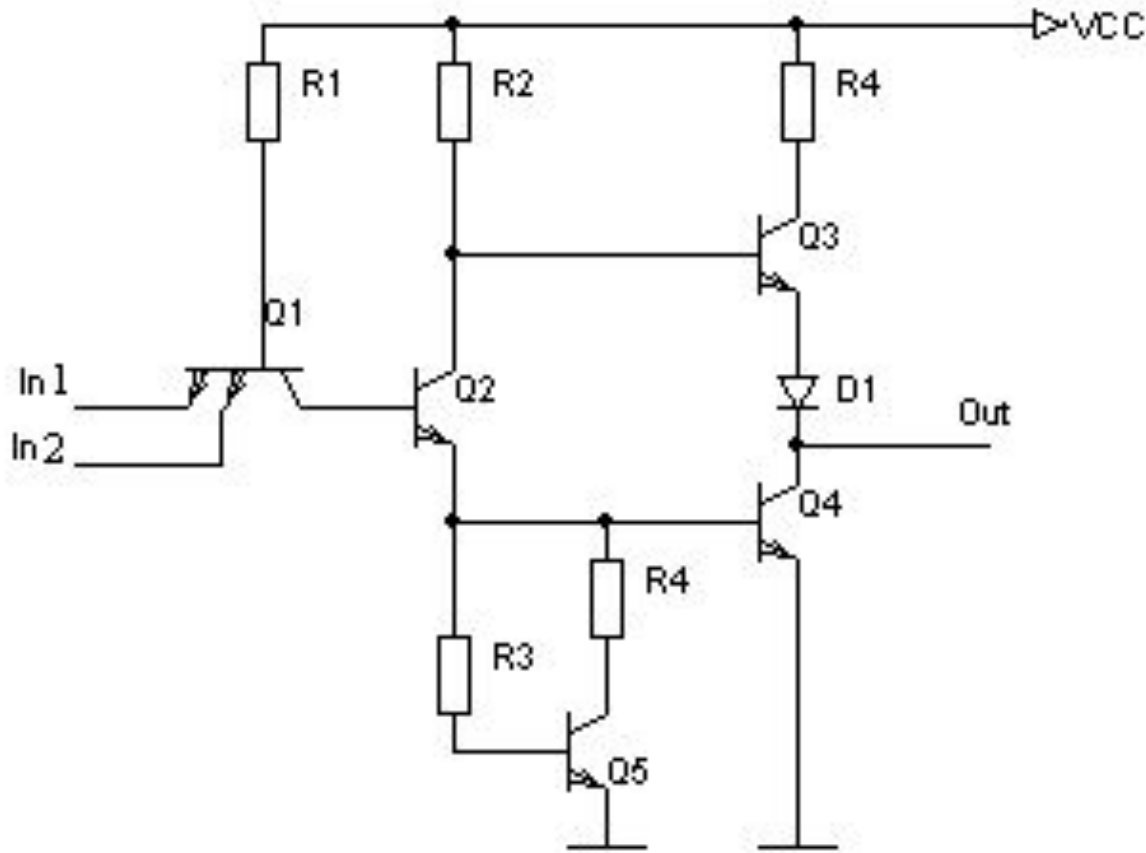
# Стандарты логических уровней



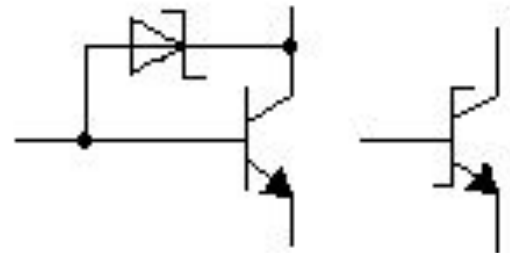


# Базовые логические элементы (вентили)

## Элемент ТТЛ(Ш)

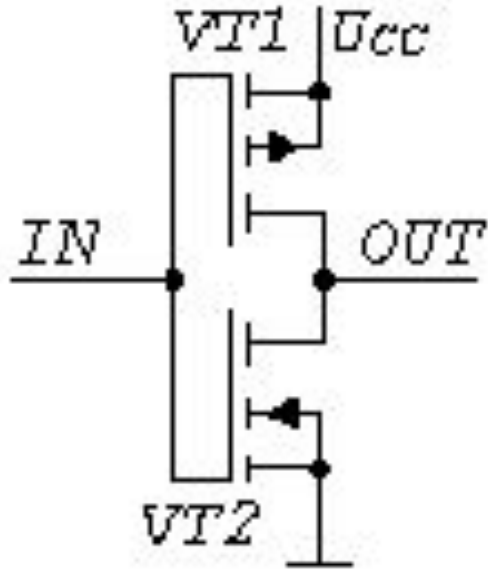


## Транзистор с барьером Шоттки

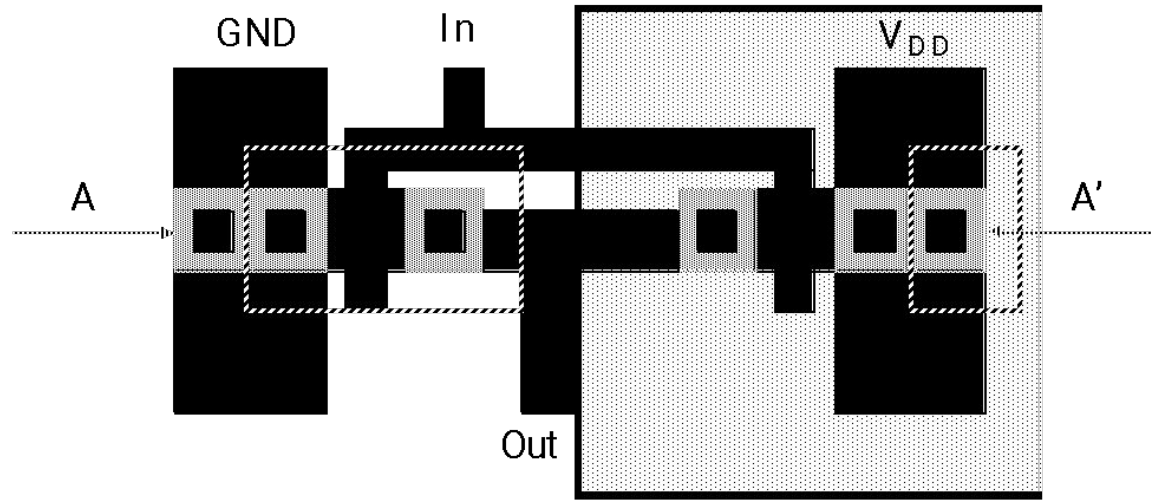


# Элементы КМОП (CMOS)

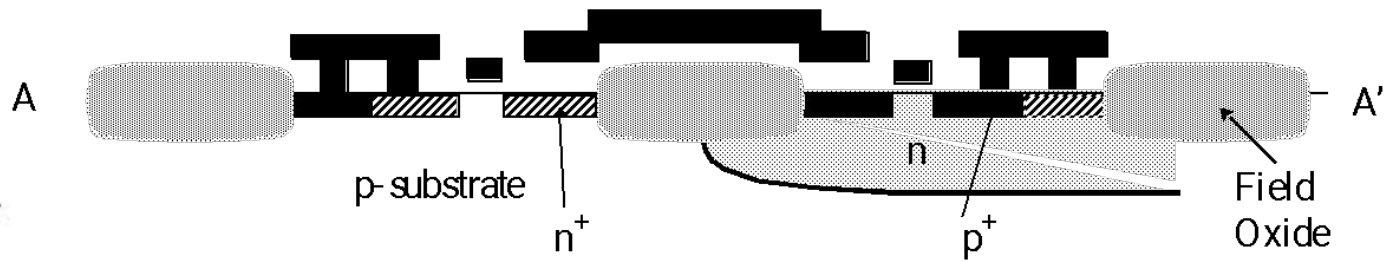
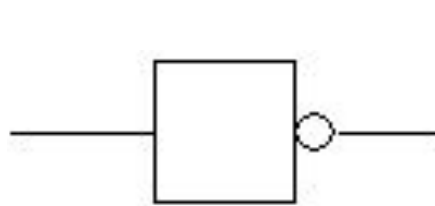
HE



Layout

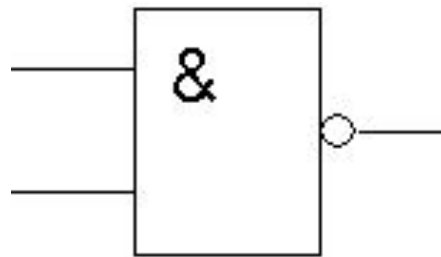
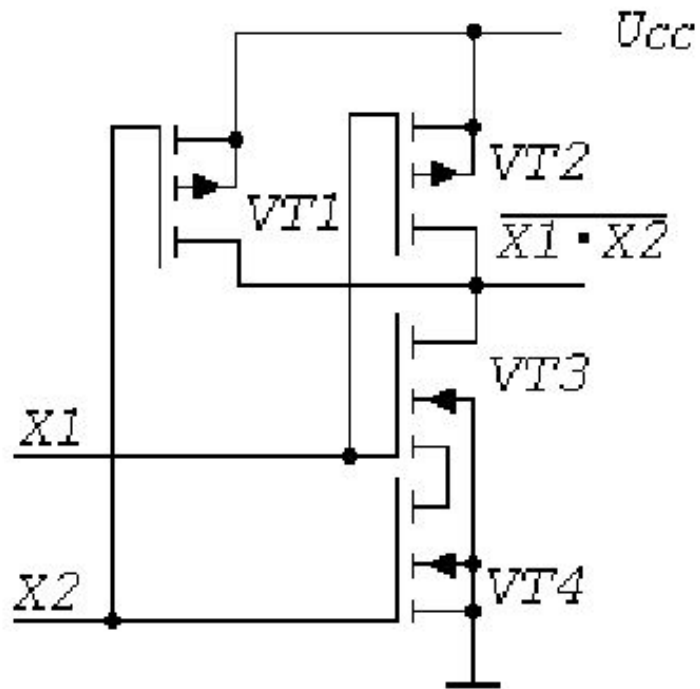


(a) Layout

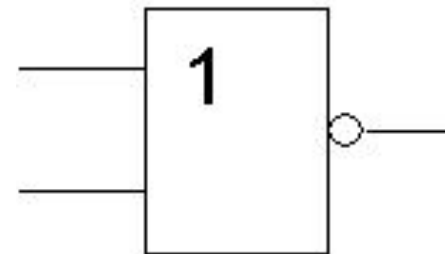
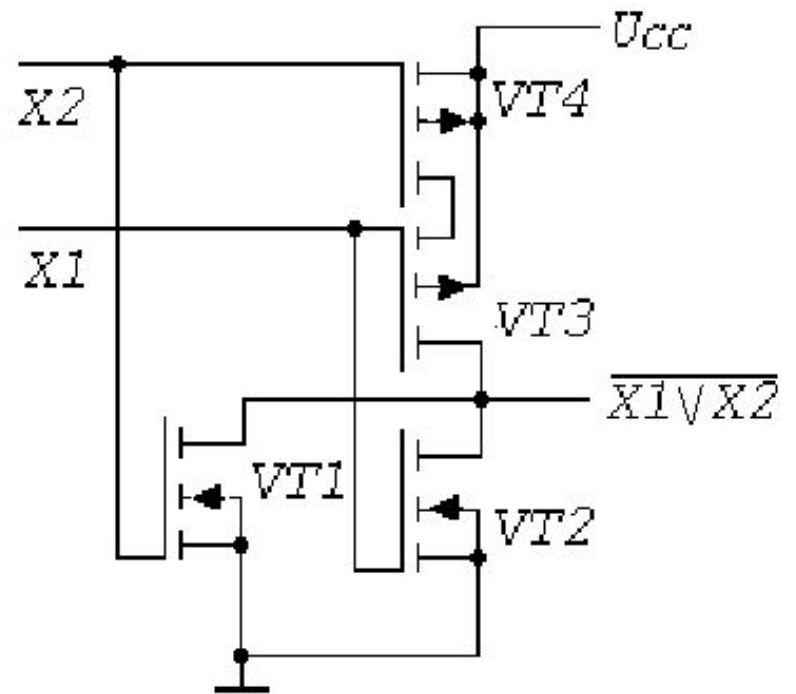


(b) Cross-Section along A-A'

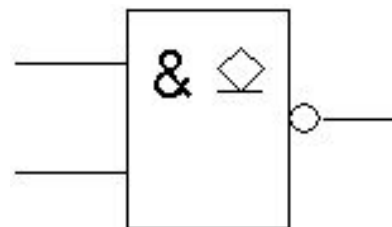
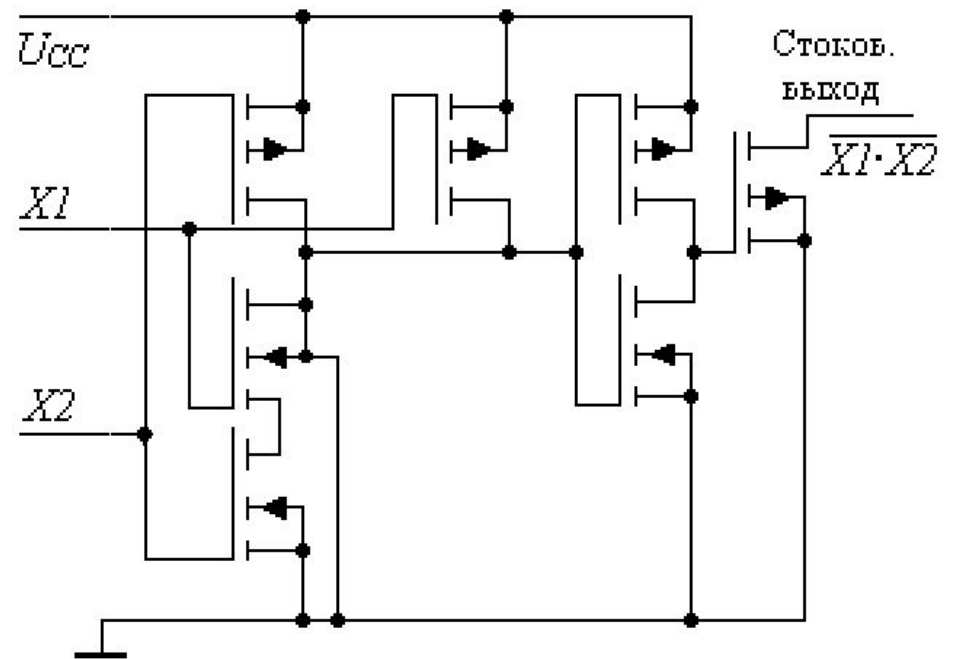
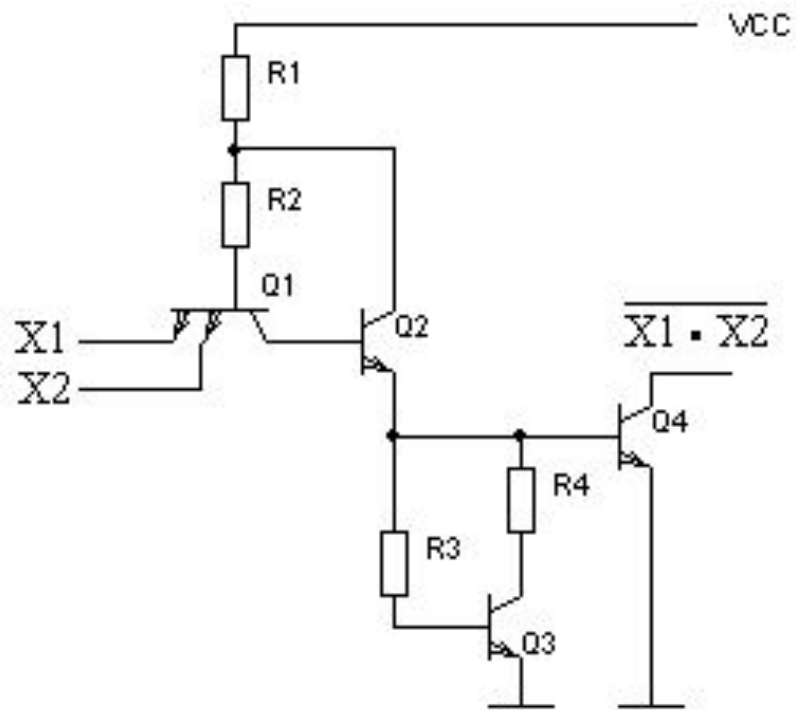
# И-НЕ



# ИЛИ-НЕ

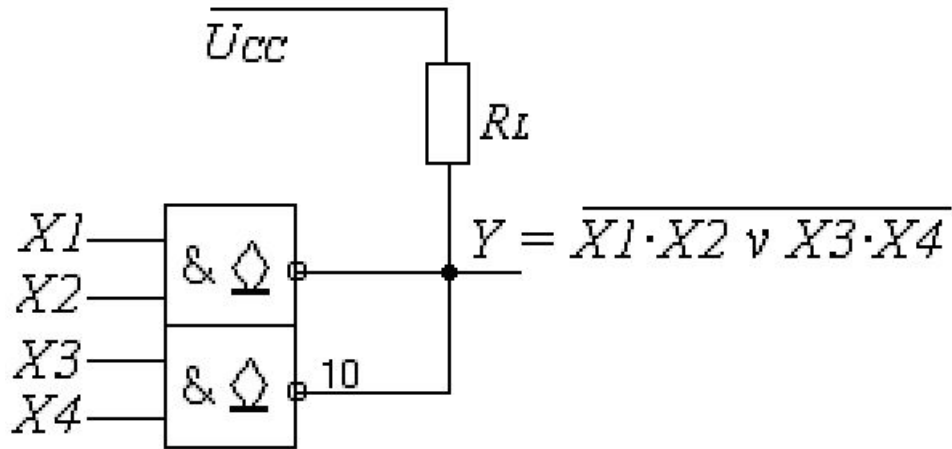


## 1.3 Элементы с открытым выходом

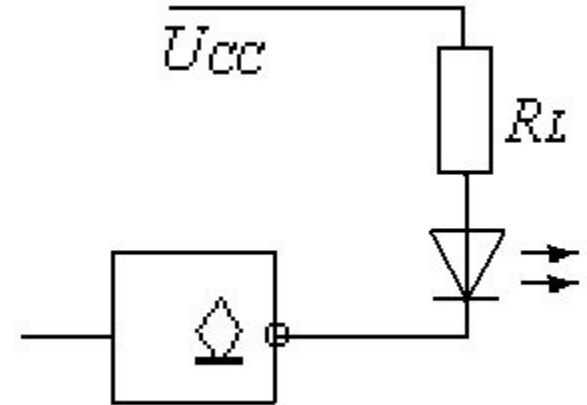


# Применение элементов с открытым выходом

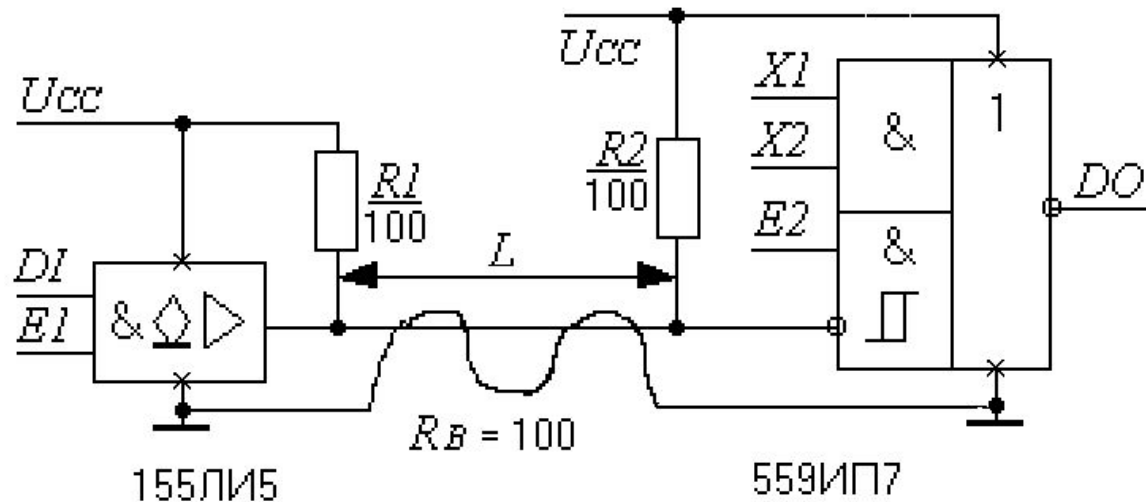
## Монтажная логика



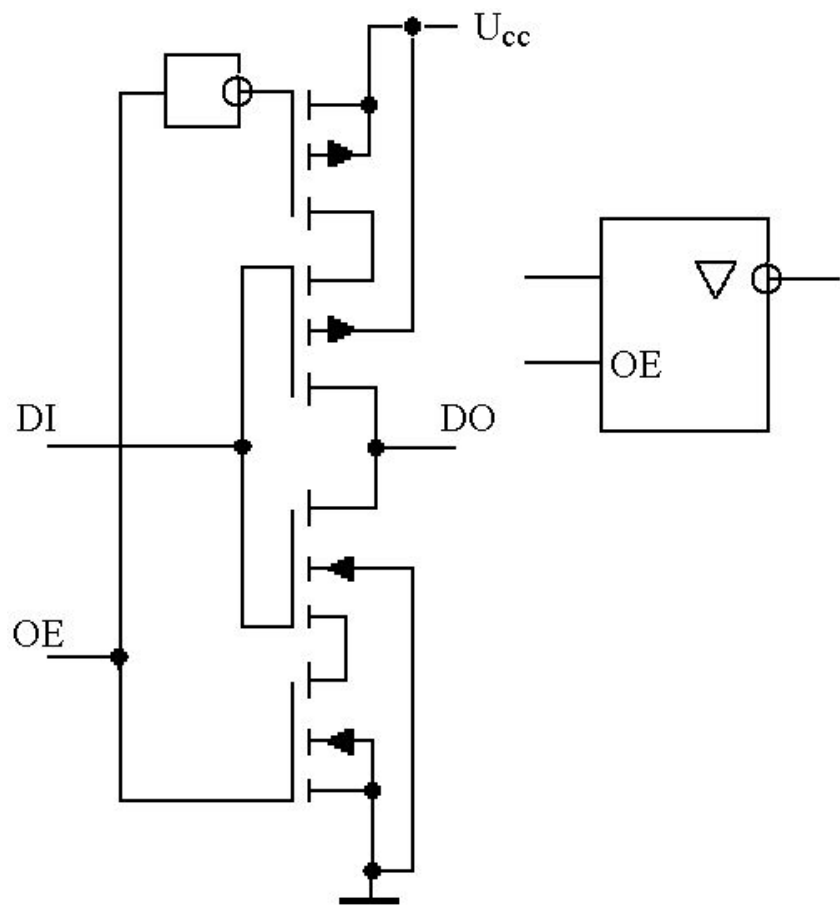
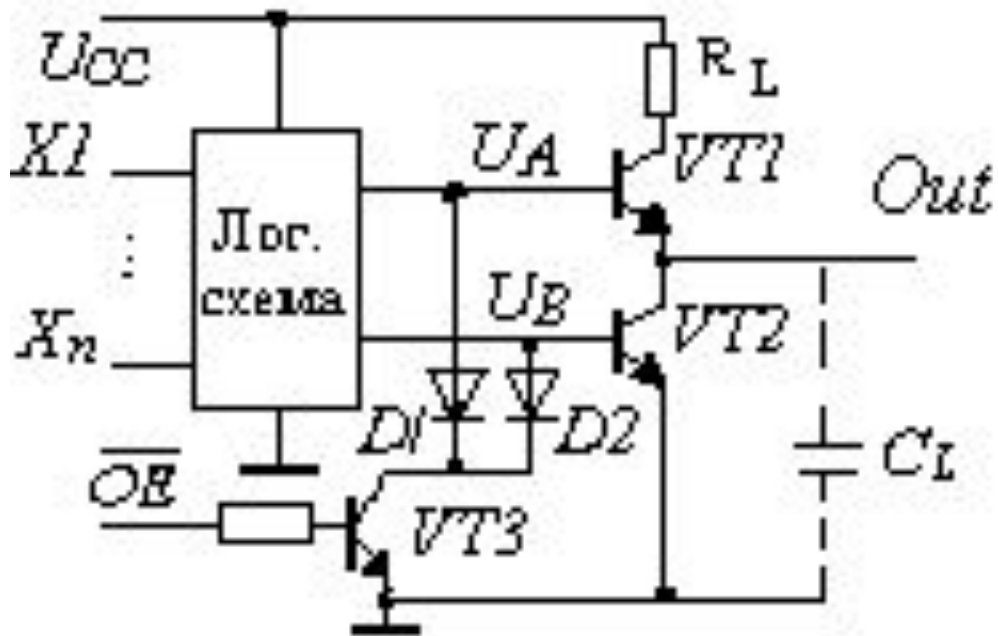
## Управление СИД



## Работа на длинную линию

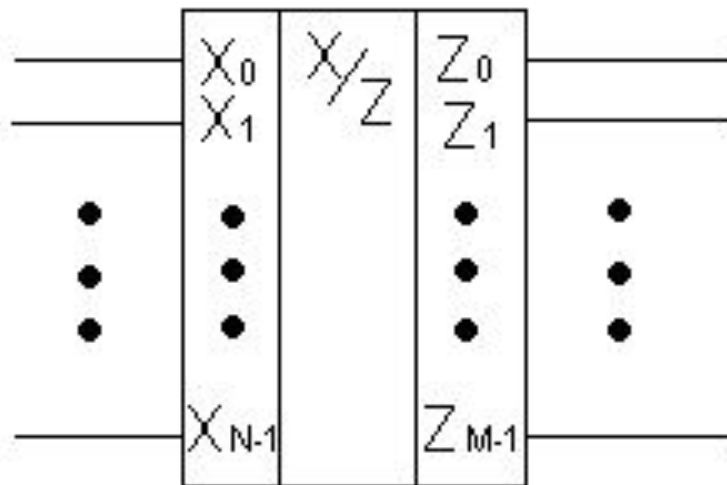


# Элементы с трехстабильным выходом

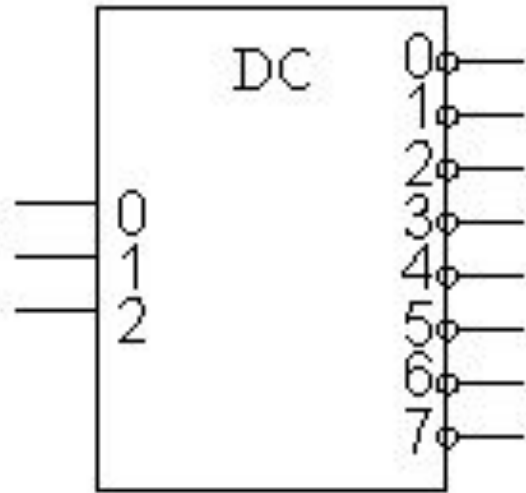


# Функциональные узлы комбинационного типа

## Преобразователи кода



# Двоичный дешифратор

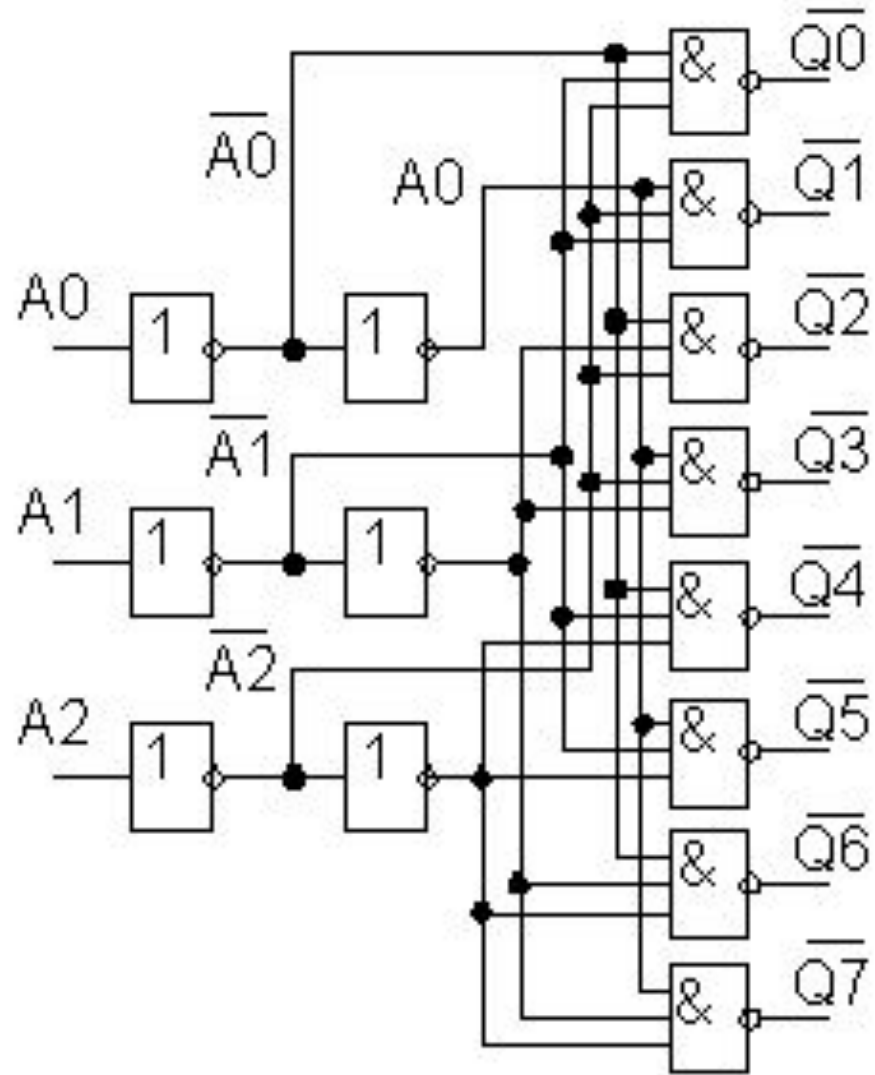


$$Q_0 = \overline{A_2} * \overline{A_1} * \overline{A_0},$$

$$Q_1 = \overline{A_2} * \overline{A_1} * A_0,$$

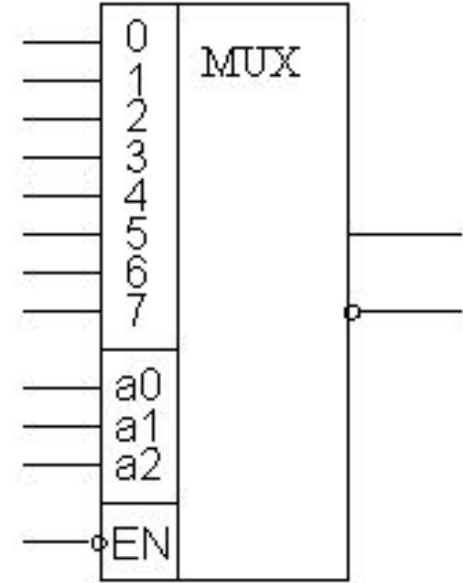
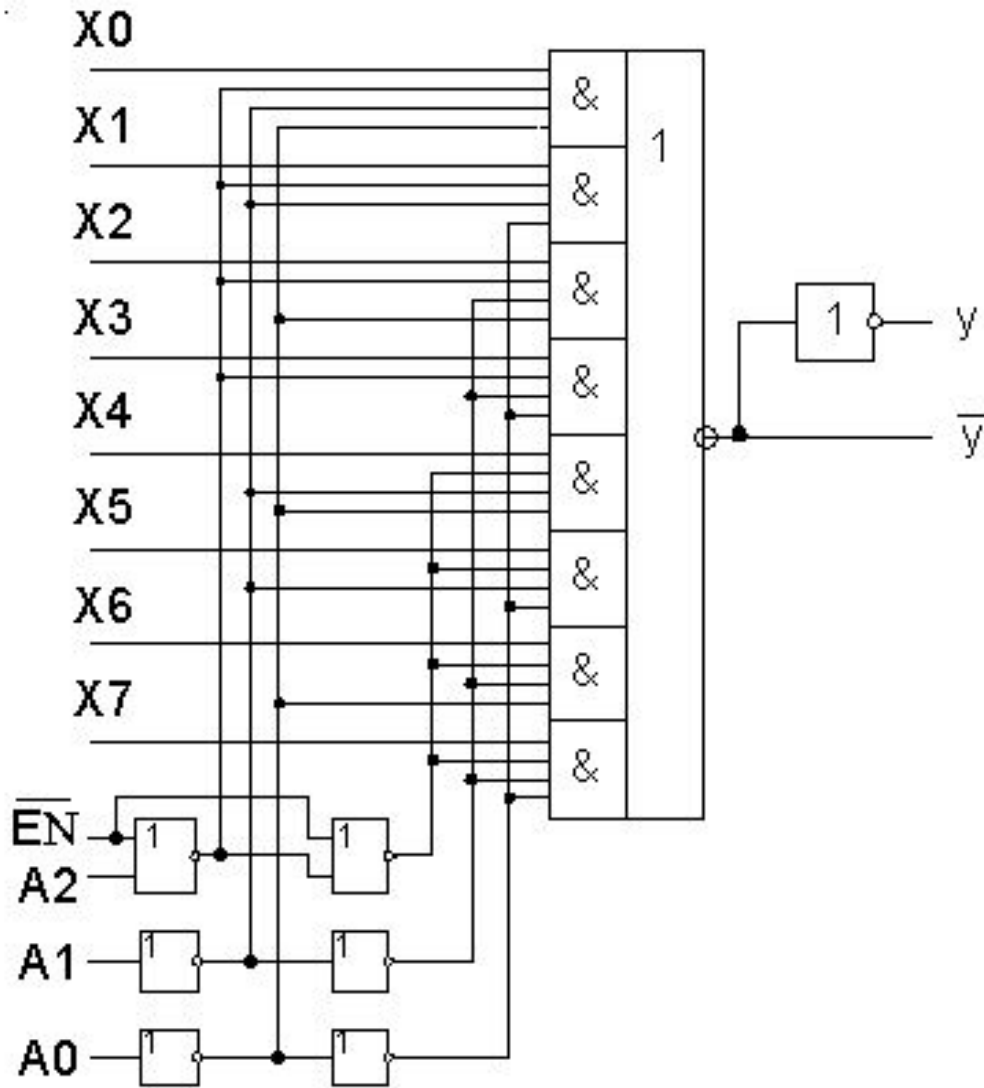
..

$$Q_7 = A_2 * A_1 * A_0$$





# Мультиплексор



$$Y = \overline{E} (\overline{A_0} * \overline{A_1} * \overline{A_2} * X_0 + \overline{A_2} * \overline{A_1} * A_0 * X_1 + \overline{A_2} * A_1 * \overline{A_0} * X_2 + \overline{A_2} * A_1 * A_0 * X_3 + A_2 * \overline{A_1} * \overline{A_0} * X_4 + A_2 * \overline{A_1} * A_0 * X_5 + A_2 * A_1 * \overline{A_0} * X_6 + A_2 * A_1 * A_0 * X_7)$$

# Одноразрядный сумматор

	$p_i$	$q_i$	$c_i$	$s_i$	$c_{i+1}$
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

		$p_i q_i$		$s_i$	
		00	01	11	10
$c_i$	0	0	1	0	1
	1	1	0	1	0

		$p_i q_i$		$c_{i+1}$	
		00	01	11	10
$c_i$	0	0	0	1	0
	1	0	1	1	1

$$s_i = \overline{p_i} \cdot \overline{q_i} \cdot c_i \vee \overline{p_i} \cdot q_i \cdot \overline{c_i} \vee p_i \cdot \overline{q_i} \cdot \overline{c_i} \vee p_i \cdot q_i \cdot c_i$$

$$c_{i+1} = p_i \cdot q_i \vee p_i \cdot c_i \vee q_i \cdot c_i$$

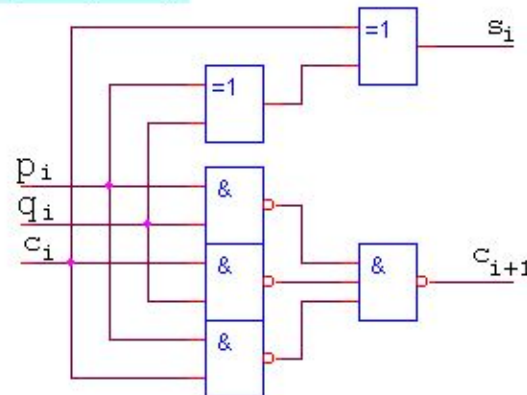
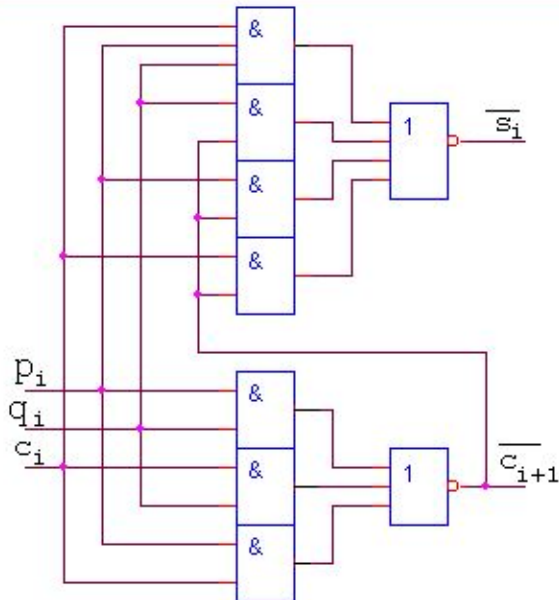
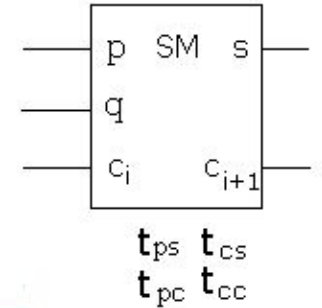
$$s_i = \overline{\overline{\overline{\overline{\overline{p_i} \cdot \overline{q_i} \cdot c_i} \wedge \overline{\overline{\overline{\overline{\overline{p_i} \cdot q_i \cdot \overline{c_i}} \wedge p_i \cdot \overline{q_i} \cdot \overline{c_i}} \wedge p_i \cdot q_i \cdot c_i}}}}}}}$$

$$s_i = \overline{c_{i+1}} \cdot (p_i \vee q_i \vee c_i) \vee p_i \cdot q_i \cdot c_i = \overline{c_{i+1}} \cdot p_i \vee \overline{c_{i+1}} \cdot q_i \vee \overline{c_{i+1}} \cdot c_i \vee p_i \cdot q_i \cdot c_i$$

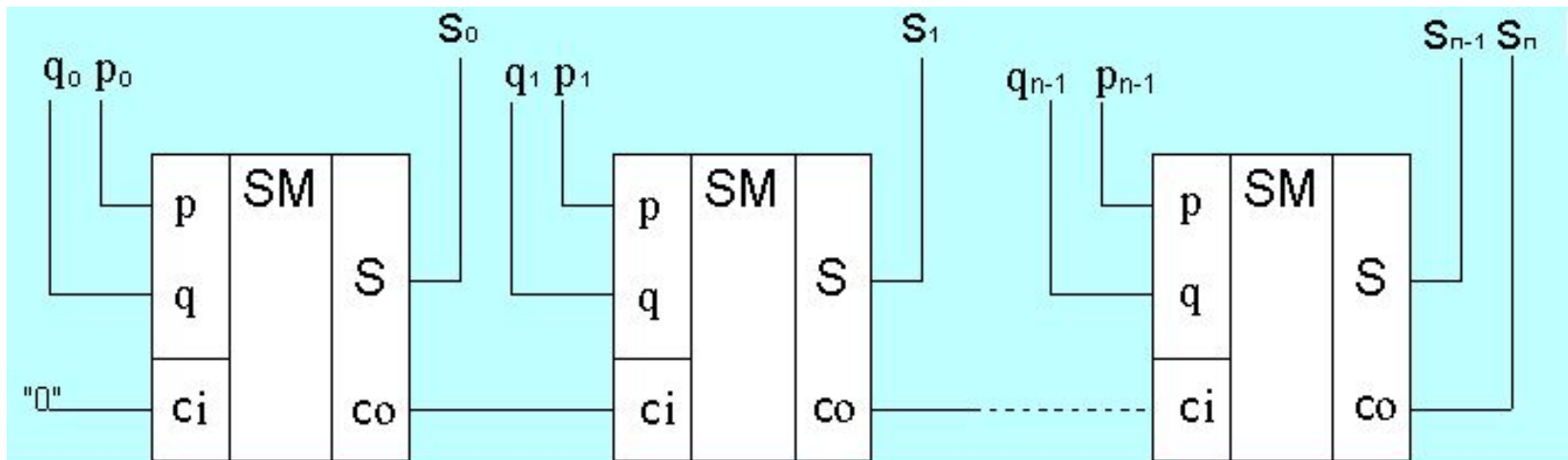
$$c_{i+1} = \overline{\overline{\overline{\overline{\overline{p_i} \cdot q_i} \vee \overline{\overline{\overline{\overline{\overline{p_i} \cdot c_i} \vee q_i \cdot c_i}}}}}}}$$

$$s_i = \overline{p_i} \cdot (\overline{q_i} \cdot c_i \vee q_i \cdot \overline{c_i}) \vee p_i \cdot (\overline{q_i} \cdot \overline{c_i} \vee q_i \cdot c_i) =$$

$$p_i \oplus q_i \oplus c_i$$

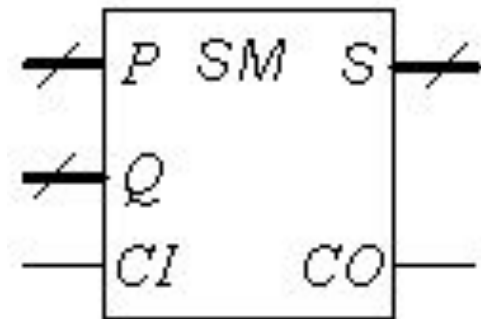


# Многоразрядный сумматор с последовательным переносом

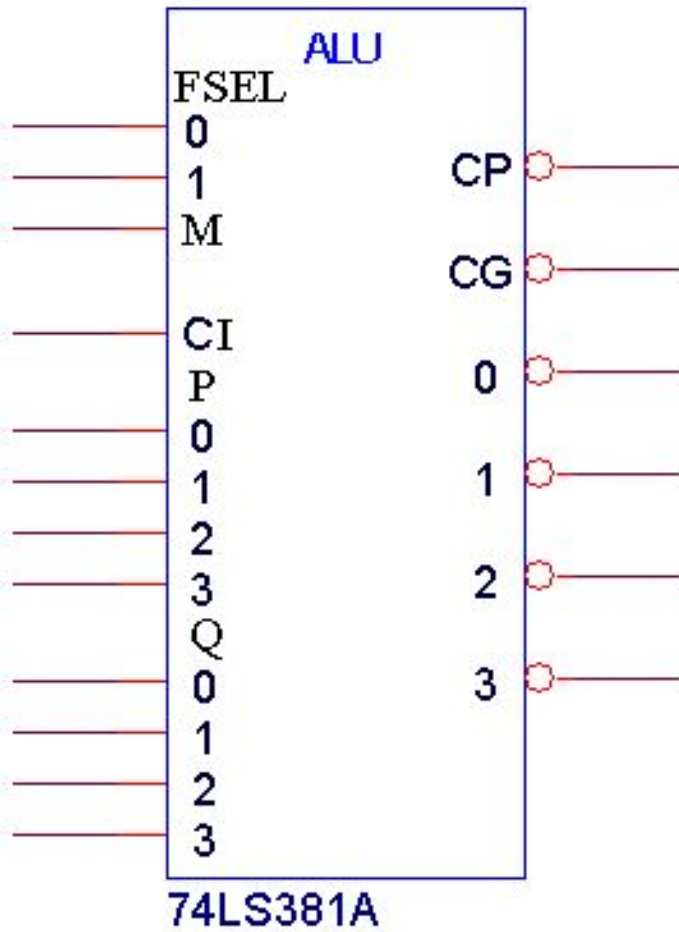


$$t_{PS} = t_{pc} + (n-2) \cdot t_{cc} + t_{cs}$$

$$t_{PC} = t_{pc} + (n-1) \cdot t_{cc}$$



# Арифметико-логические устройства (АЛУ)



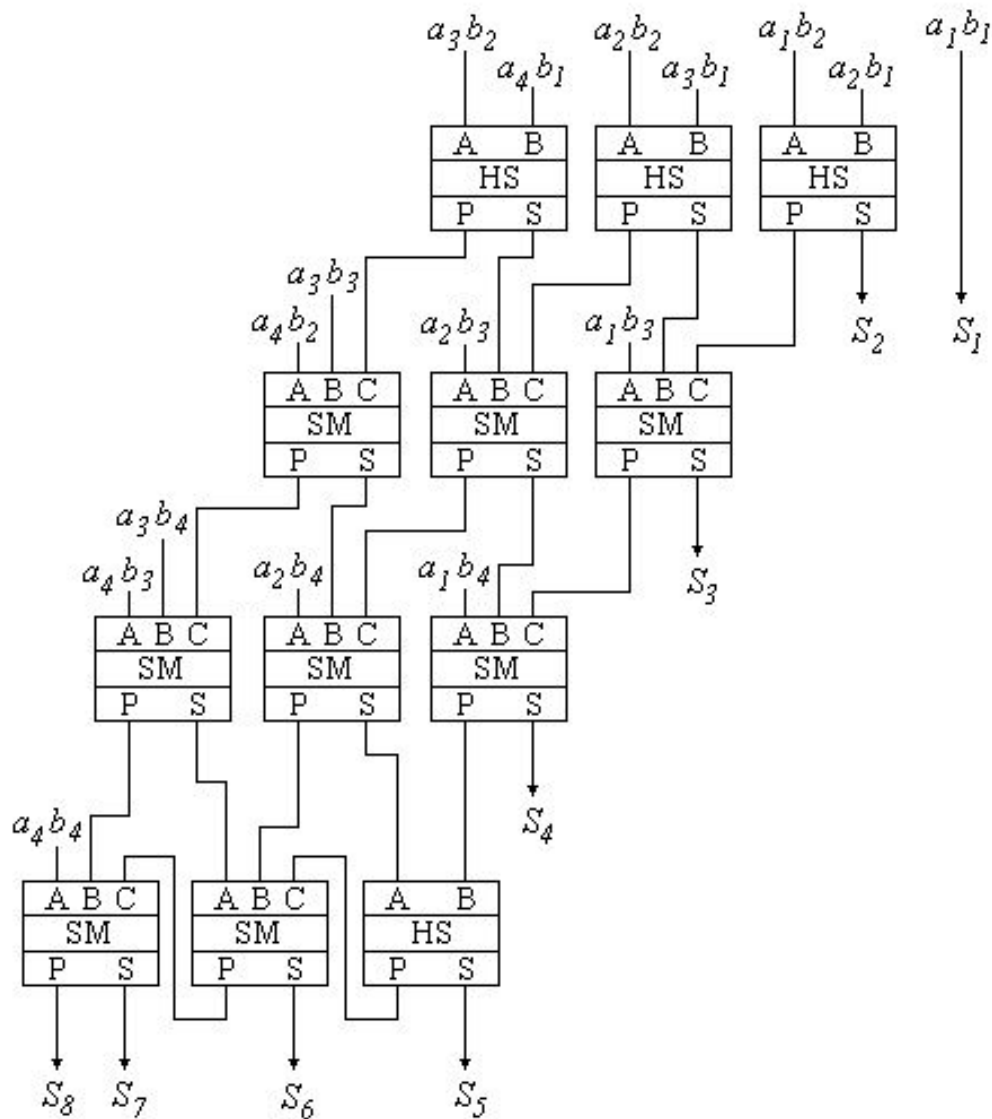
Операция	Входы		Выходы	
	M	FSEL1	FSEL0	F[3..0]
Clear	0	0	0	L
Q - P	0	0	1	Q - P - CI
P - Q	0	1	0	P - Q - CI
P + Q	0	1	1	P + Q + CI
P \$ Q	1	0	0	P \$ Q
P # Q	1	0	1	P # Q
P & Q	1	1	0	P & Q
Preset	1	1	1	H

# Матричный умножитель

$$\begin{array}{r} \times \\ A = a_4 \quad a_3 \quad a_2 \quad a_1 \\ B = b_4 \quad b_3 \quad b_2 \quad b_1 \end{array}$$

$$\begin{array}{r} a_4b_1 \quad a_3b_1 \quad a_2b_1 \quad a_1b_1 \\ + a_4b_2 \quad a_3b_2 \quad a_2b_2 \quad a_1b_2 \\ + a_4b_3 \quad a_3b_3 \quad a_2b_3 \quad a_1b_3 \\ + a_4b_4 \quad a_3b_4 \quad a_2b_4 \quad a_1b_4 \end{array}$$

$$C = \begin{array}{cccccccc} S_8 & S_7 & S_6 & S_5 & S_4 & S_3 & S_2 & S_1 \end{array}$$



$$t = 2 * t_{HS} + t_{SM} \cdot (n_A + n_B - 4)$$

# Раздел 4: Цифровые узлы последовательного типа

Лекция 5.

Вопросы:

1 Функциональные узлы

последовательного типа.

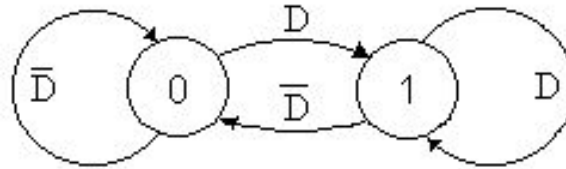
2 Интегральные запоминающие  
устройства

# 1 Функциональные узлы последовательного типа

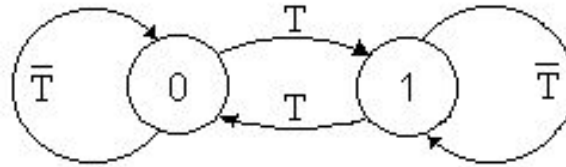
## Классификация триггеров

По логике функционирования:

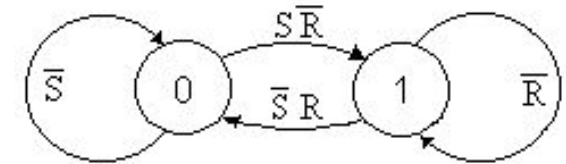
- D-триггеры;



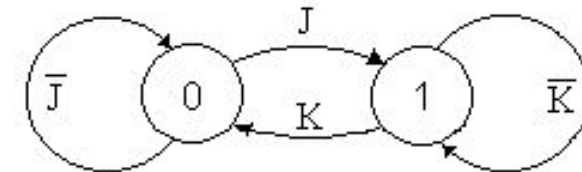
- T-триггеры;



- RS-триггеры;



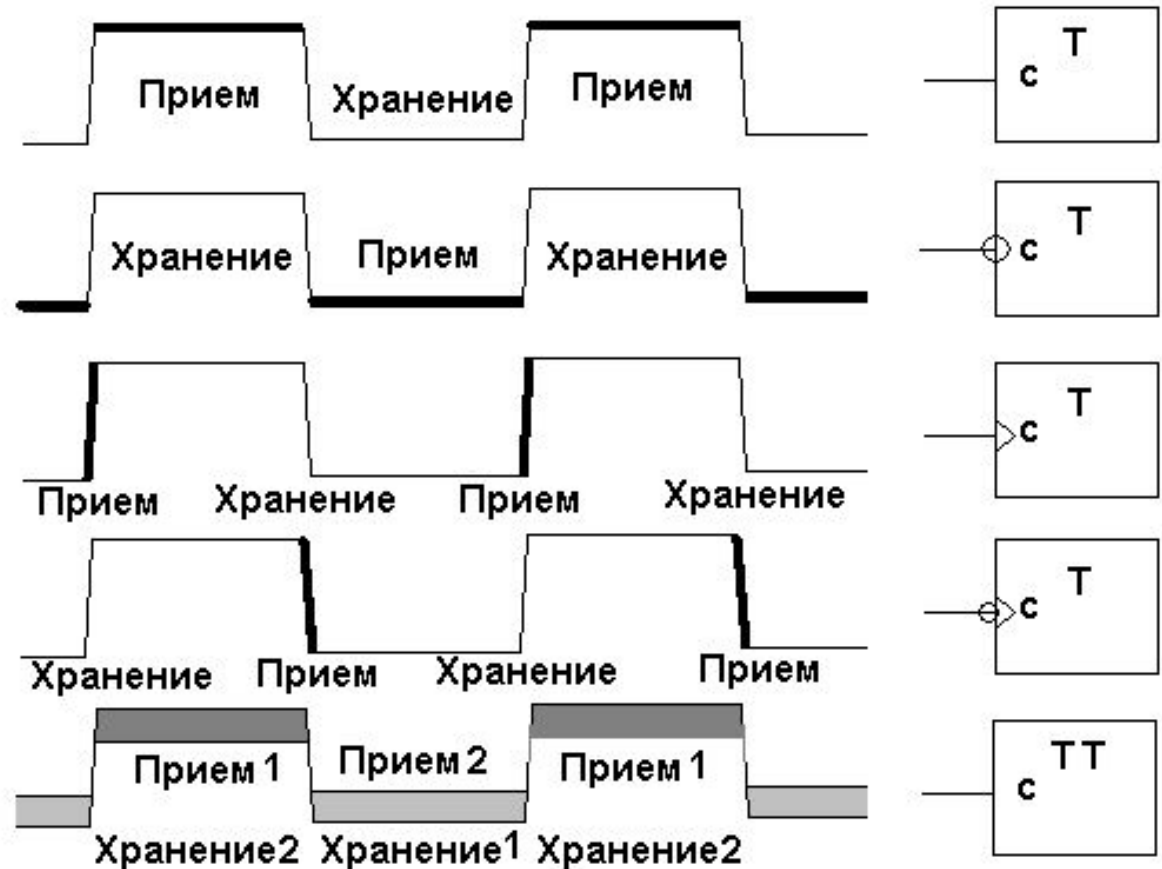
- JK-триггеры;



- комбинированные.

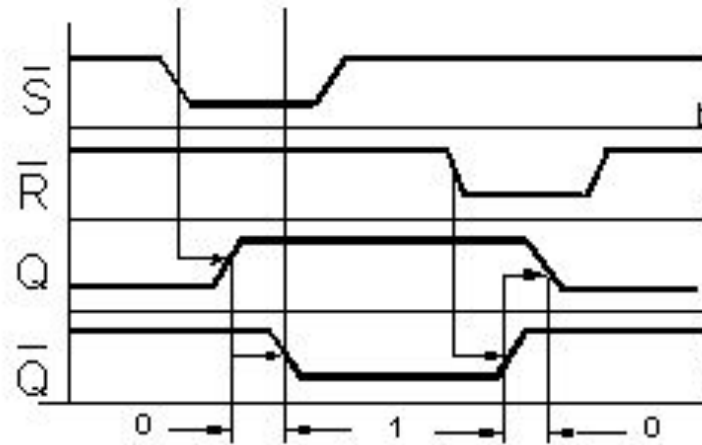
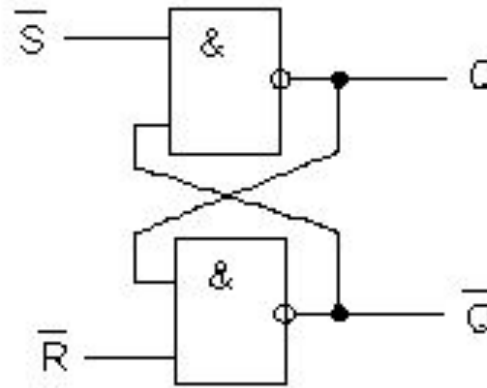
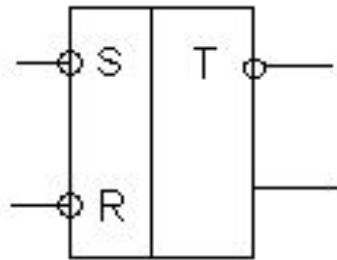
# По способу записи информации:

- асинхронные триггеры;
- синхронные триггеры:
  - управляемые (синхронизируемые) уровнем;
  - управляемые (синхронизируемые) фронтом;
  - двухступенчатые.

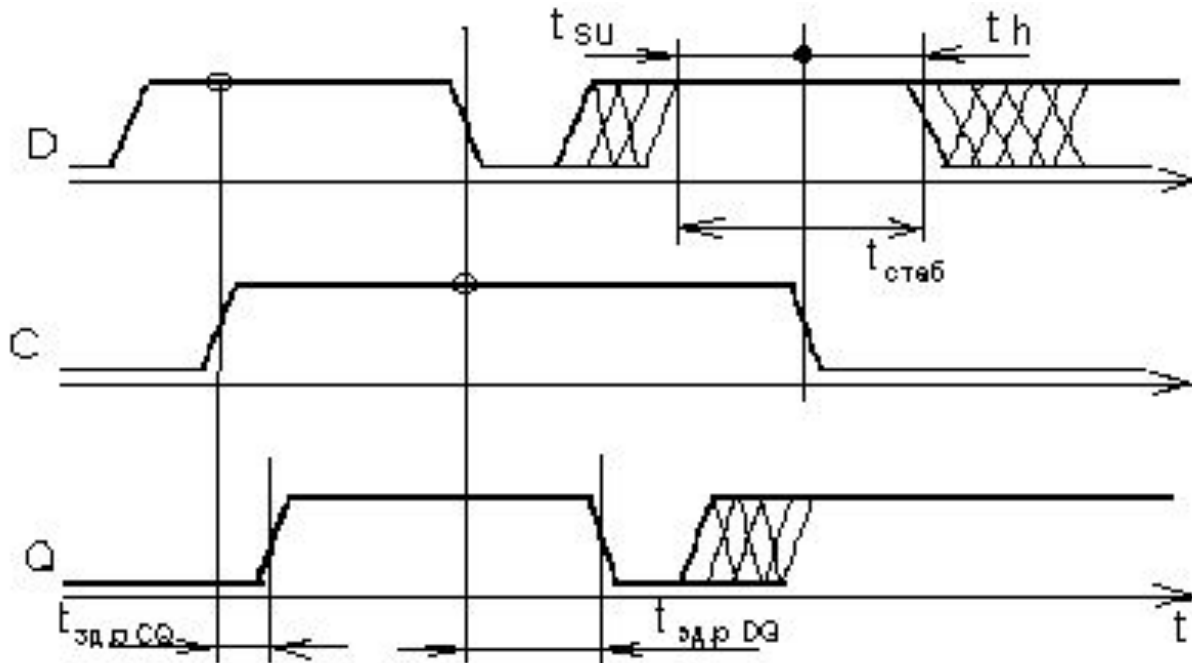
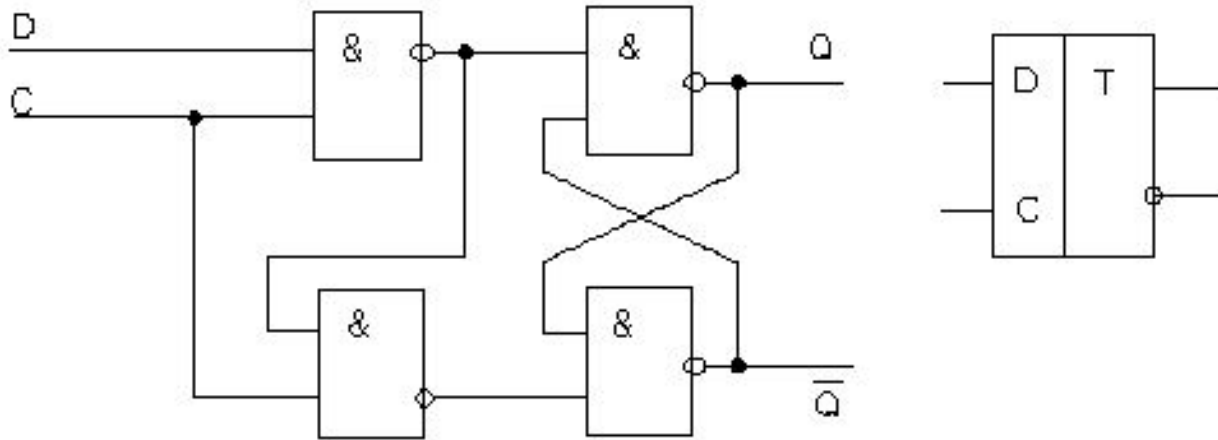




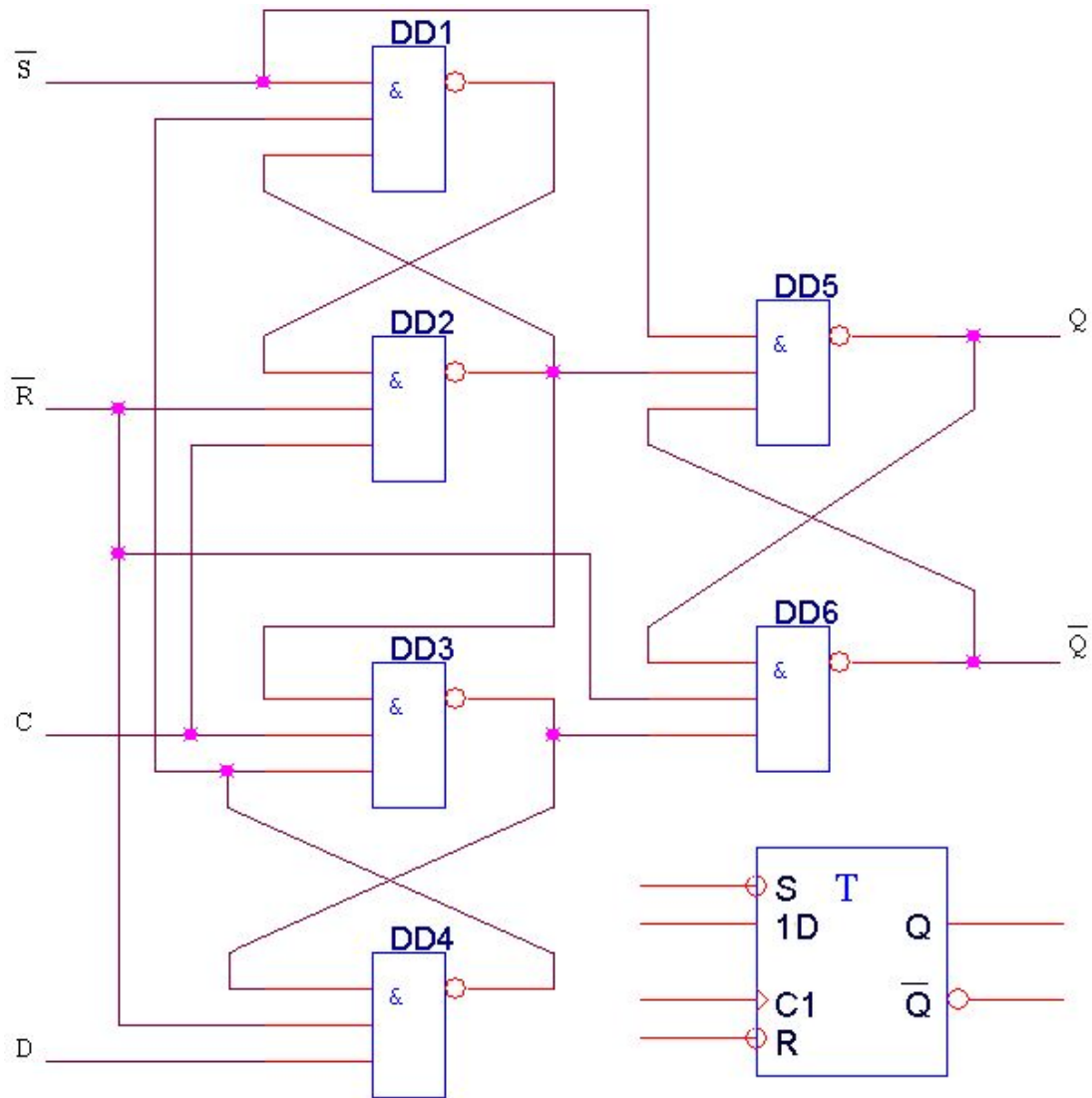
# Асинхронные триггеры



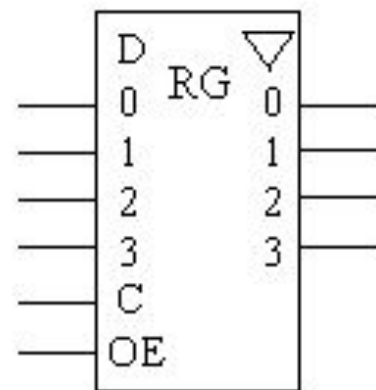
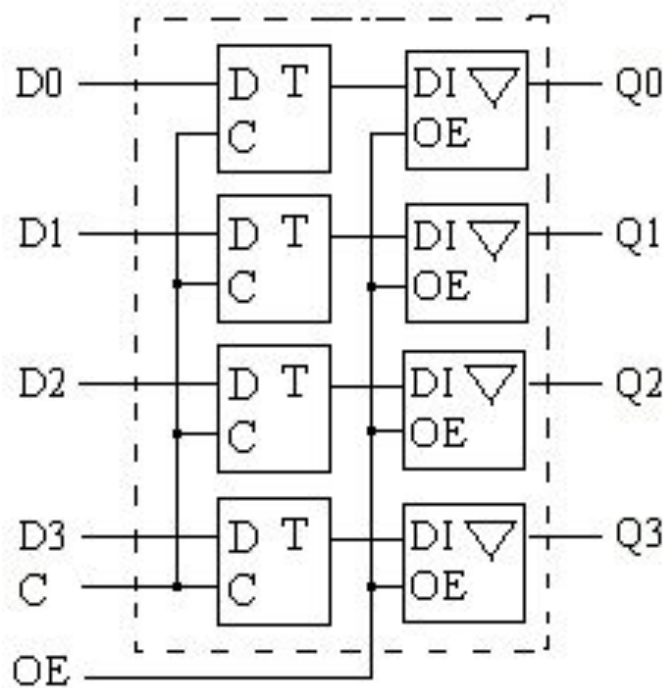
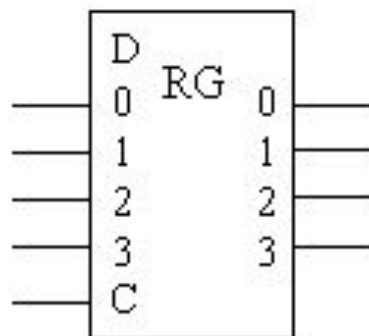
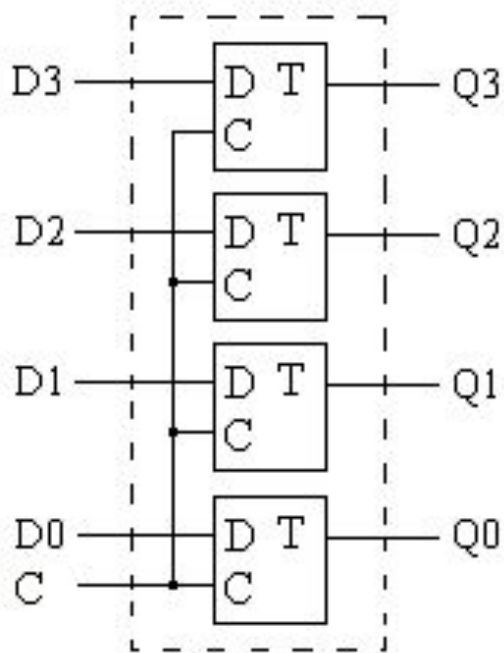
# Триггеры, синхронизируемые уровнем (прозрачные защелки)



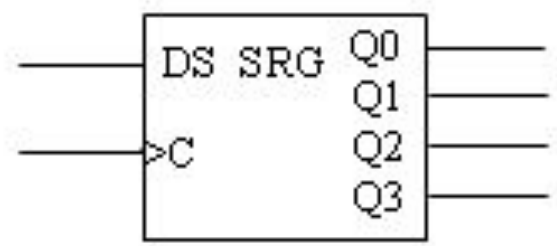
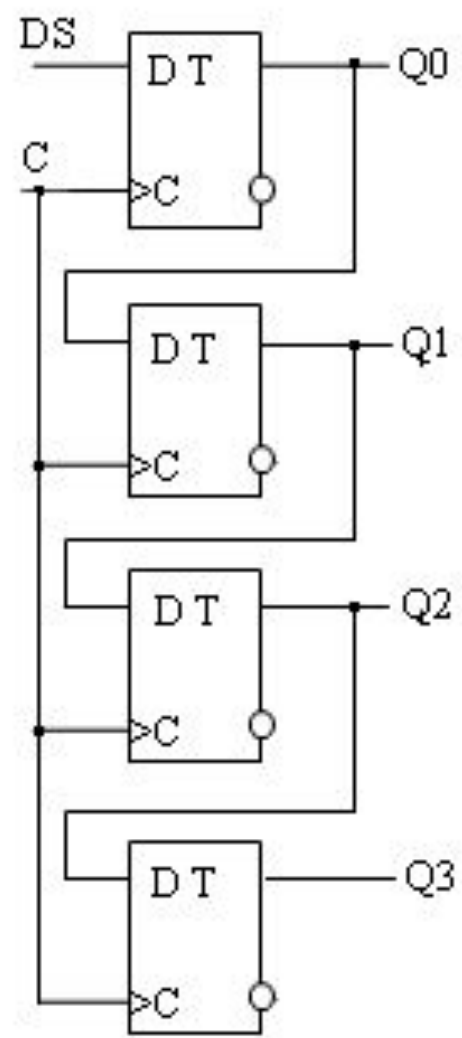
# Триггеры, управляемые фронтом (155ТМ2)



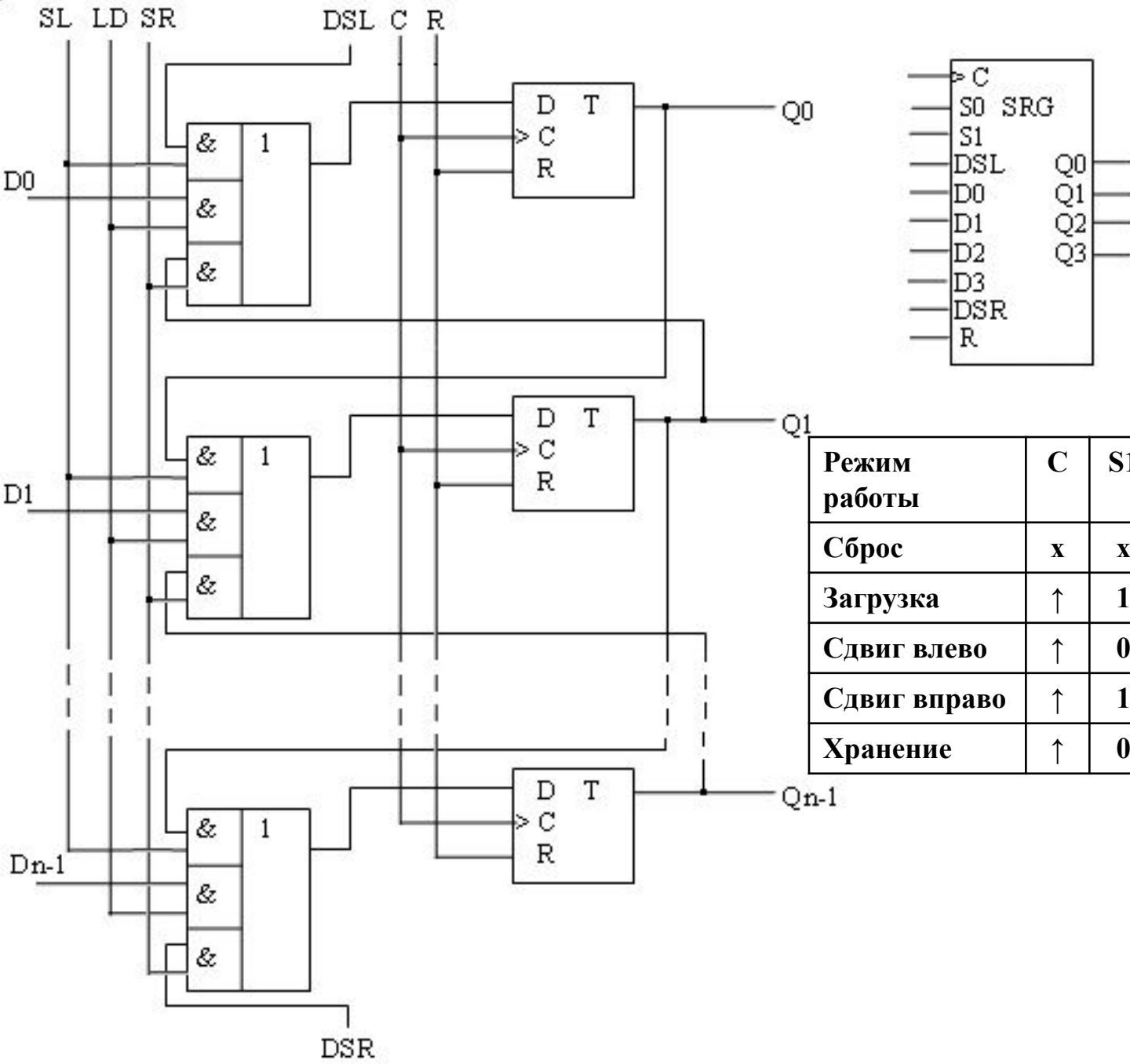
# Параллельные регистры



# Сдвигающие регистры



# Универсальные регистры



Режим работы	C	S1	S0	R	Q <sup>+</sup> [3..0]
Сброс	x	x	x	1	0
Загрузка	↑	1	1	0	D[3..0]
Сдвиг влево	↑	0	1	0	Q[2..0].DSL
Сдвиг вправо	↑	1	0	0	DSR.Q[3..1]
Хранение	↑	0	0	0	Q[7..0]

# Счетчики

**Счетчики** – автоматы, фиксирующие число поступивших на их вход импульсов в том или ином коде

**Модуль счета  $M$**  – число возможных состояний счетчика

**Возможные режимы работы:**

- регистрация числа событий;
- деление частоты.

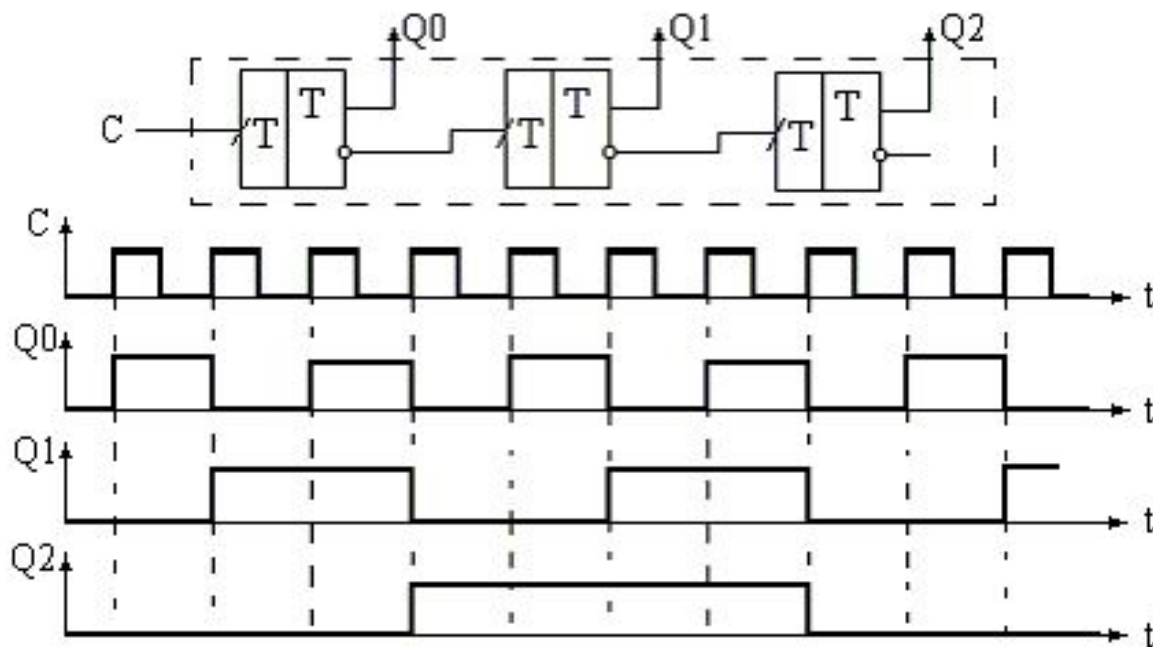
## Классификация

**По способу кодирования:** - двоичные ( $M=2^n$ );  
- двоично-кодированные.

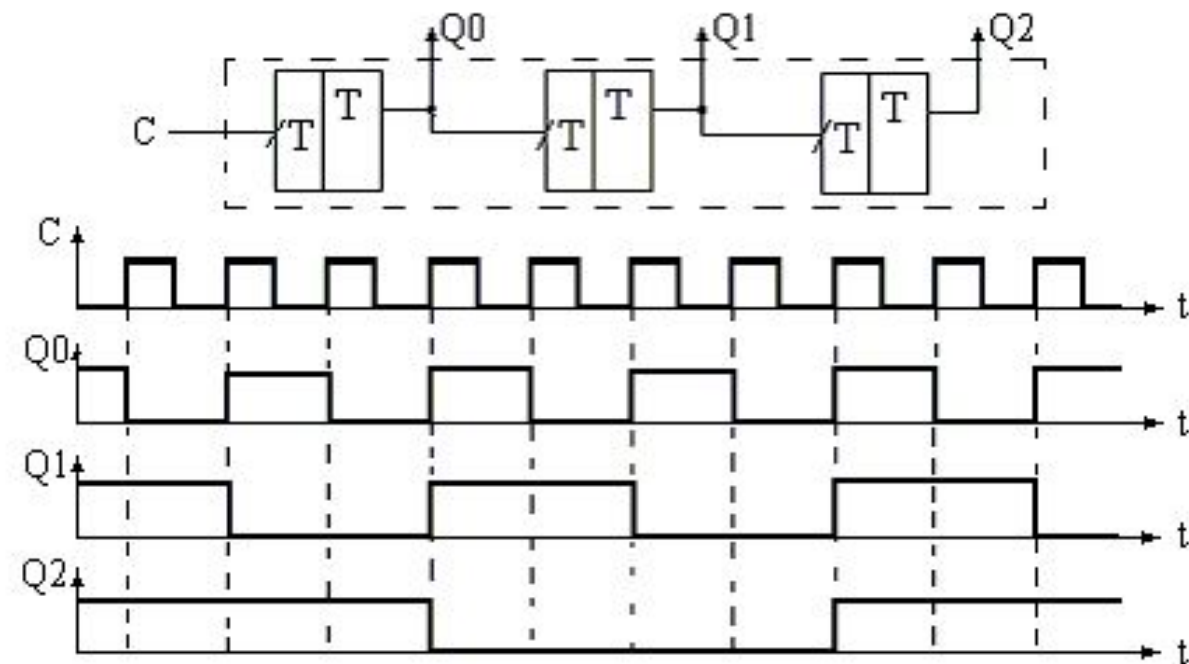
**По направлению счета:** - суммирующие;  
- вычитающие;  
- реверсивные.

**По принадлежности к классам автоматов** – синхронные;  
- асинхронные.

# Двоичные счетчики с последовательным переносом

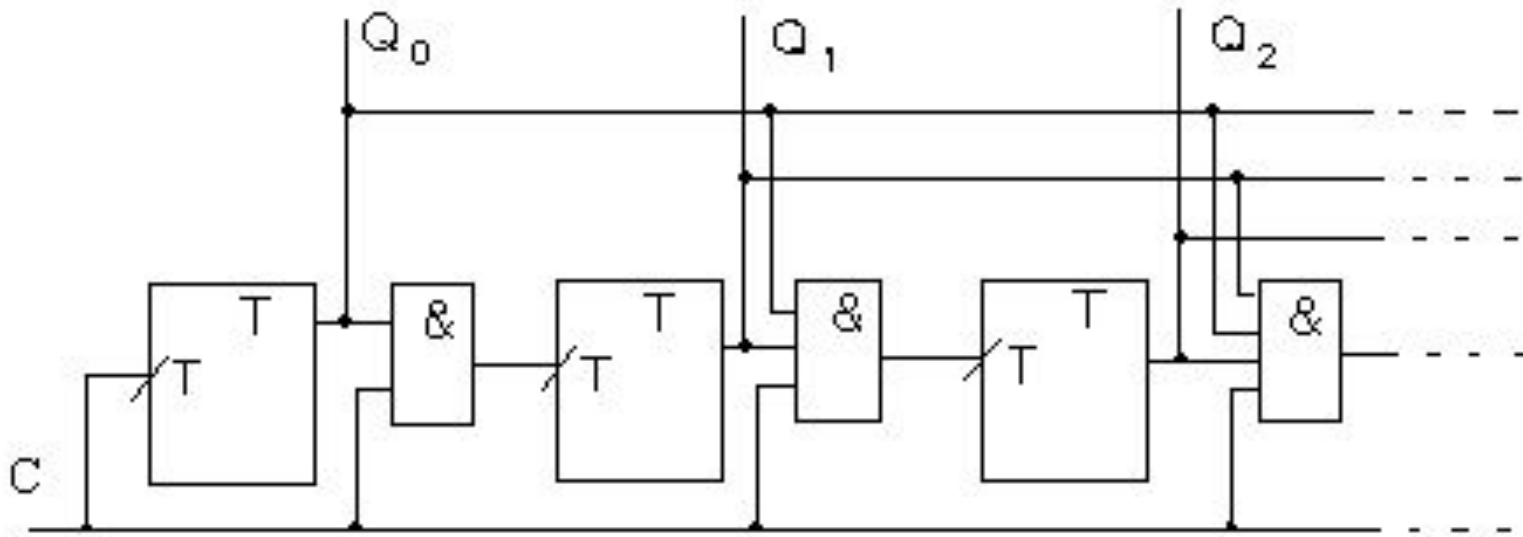


$$t_{\text{уст}} = n * t_{\text{ТГ}}$$



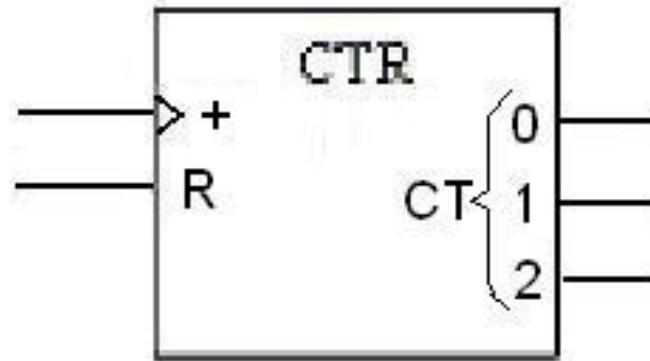
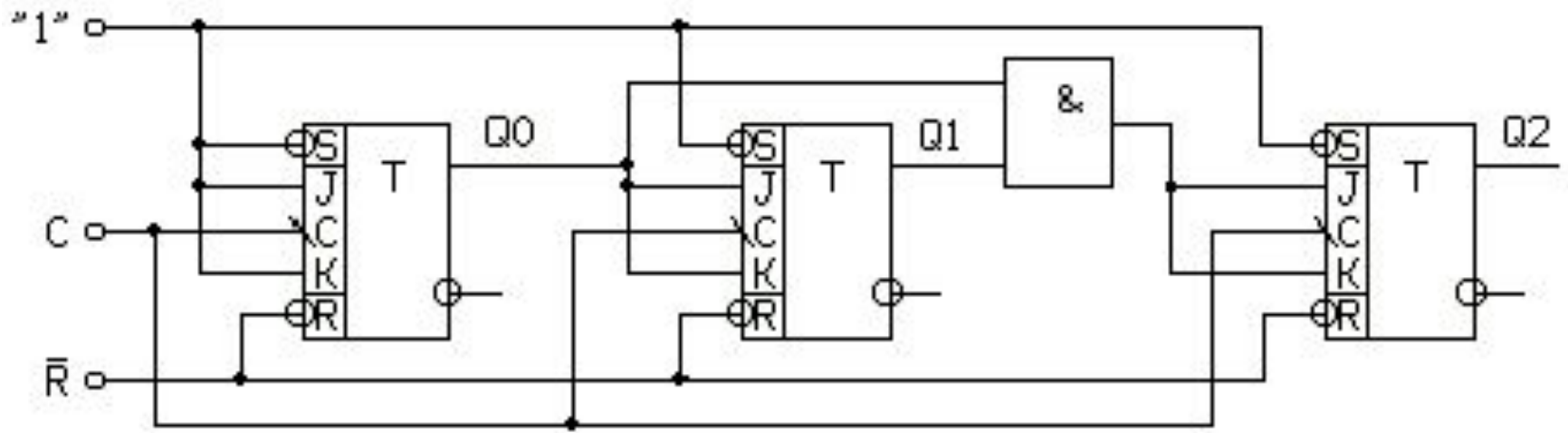


# Двоичный счетчик с параллельным переносом

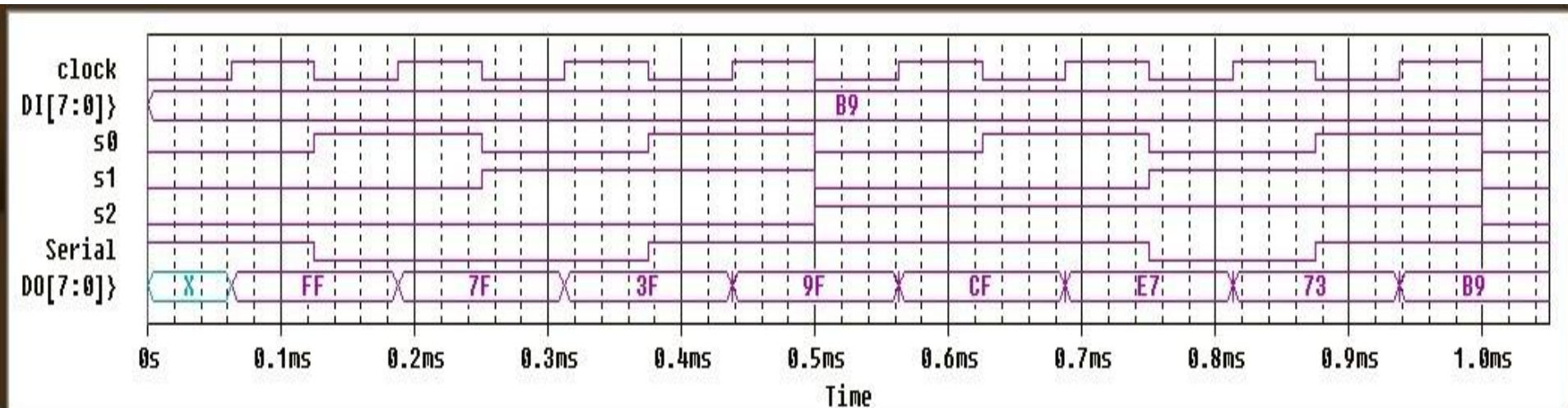
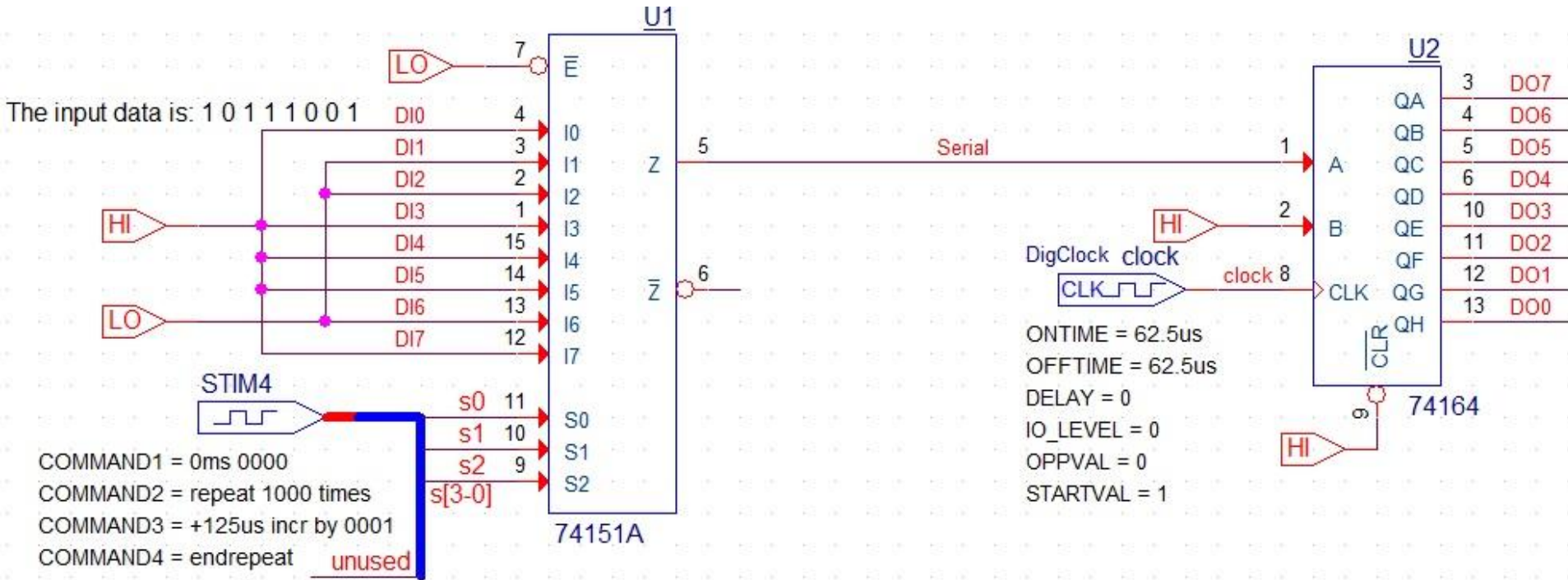


$$t_{уст} = t_{лэ} + t_{тг}$$

# Синхронный счетчик

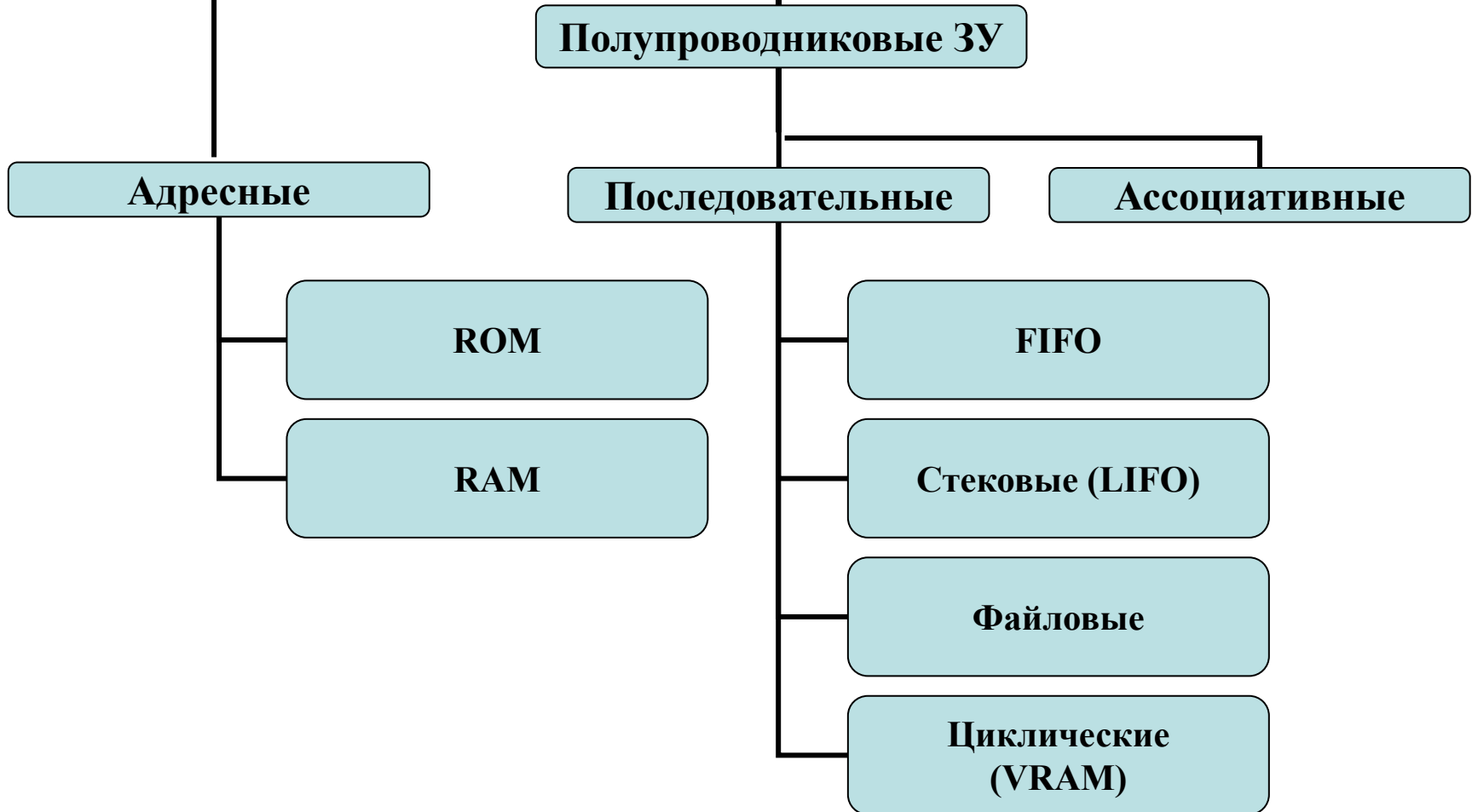


# Сериализация - десериализация



## **2 Интегральные запоминающие устройства**

# Классификация полупроводниковых ЗУ



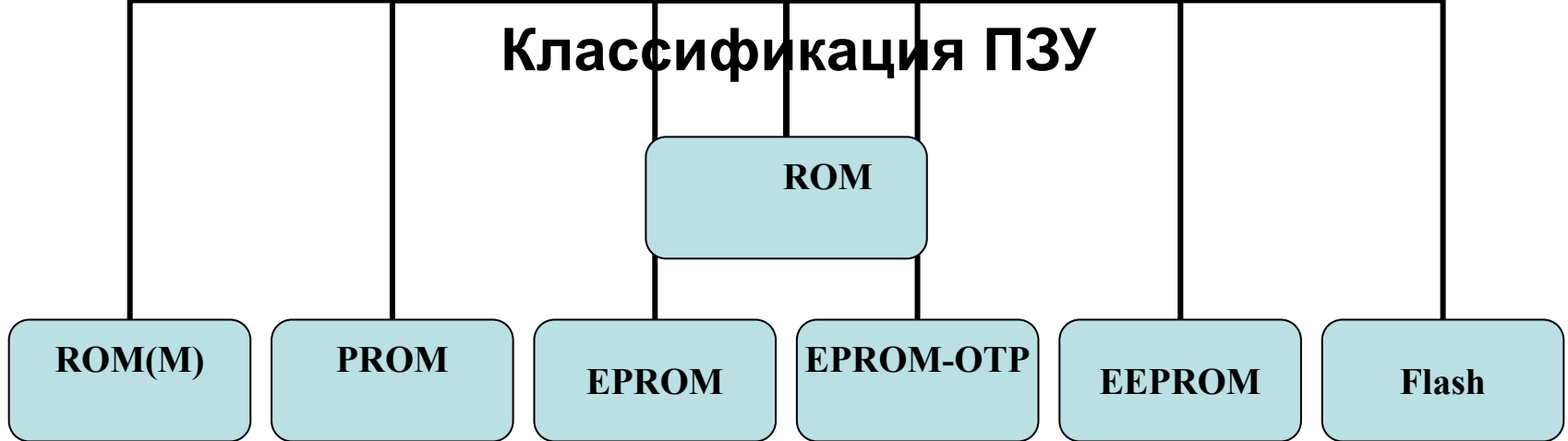
**ПЗУ - ROM (Read Only Memory)**

**ОЗУ – RAM (Random Access Memory)**

**FIFO (First In – First Out)**

**LIFO (Last In – First Out)**

# Классификация ПЗУ



**ПЗУМ – ROM(M) - Mask ROM**

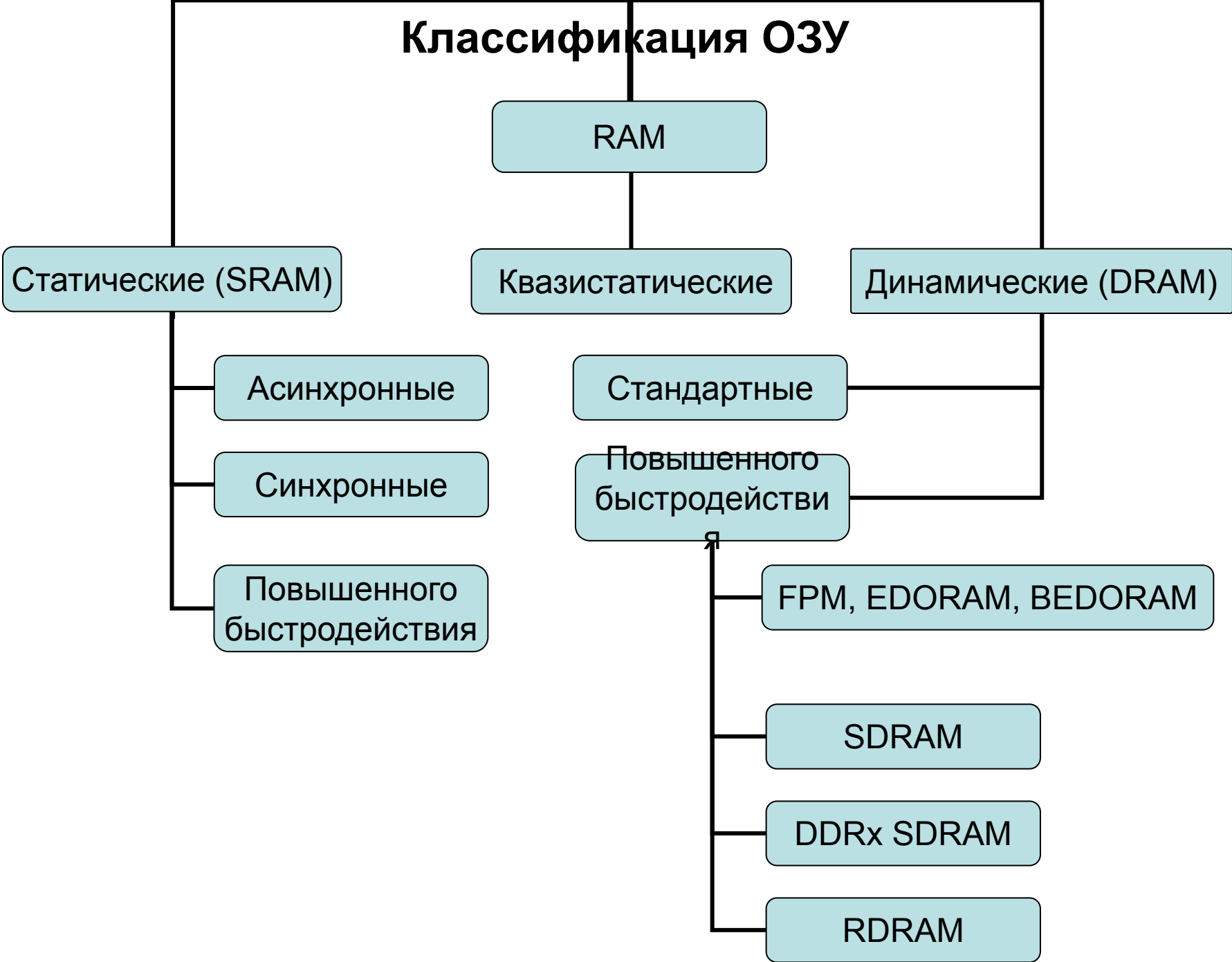
**ППЗУ – PROM (Programmable ROM)**

**РПЗУ-УФ – EPROM (Erasable Programmable ROM)**

**EPROM – OTP (One Time Programmable ROM)**

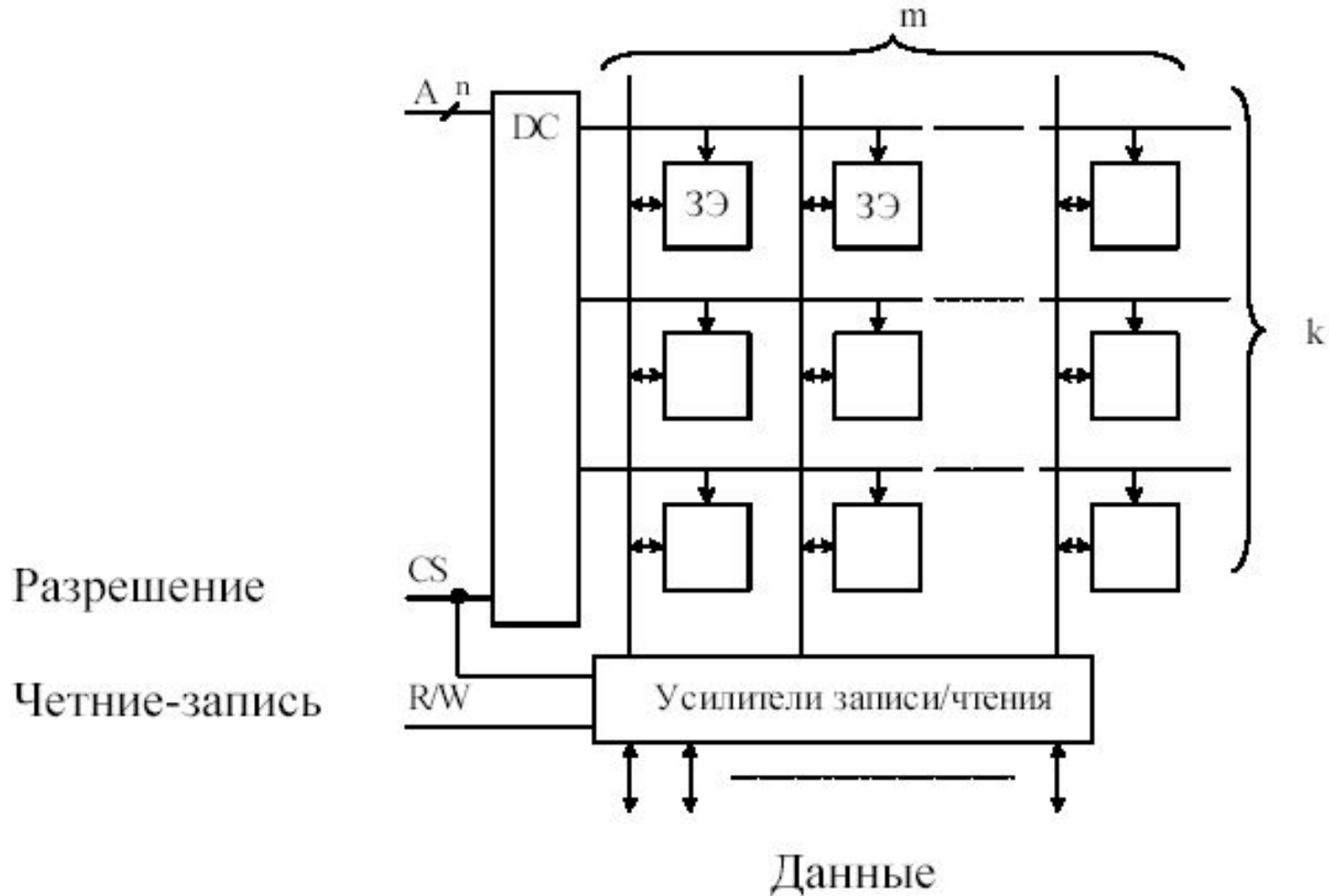
**РПЗУ-ЭС –EEPROM (Electrically Erasable Programmable ROM)**

# Классификация ОЗУ



# Структуры адресных ЗУ

## Структура 2D



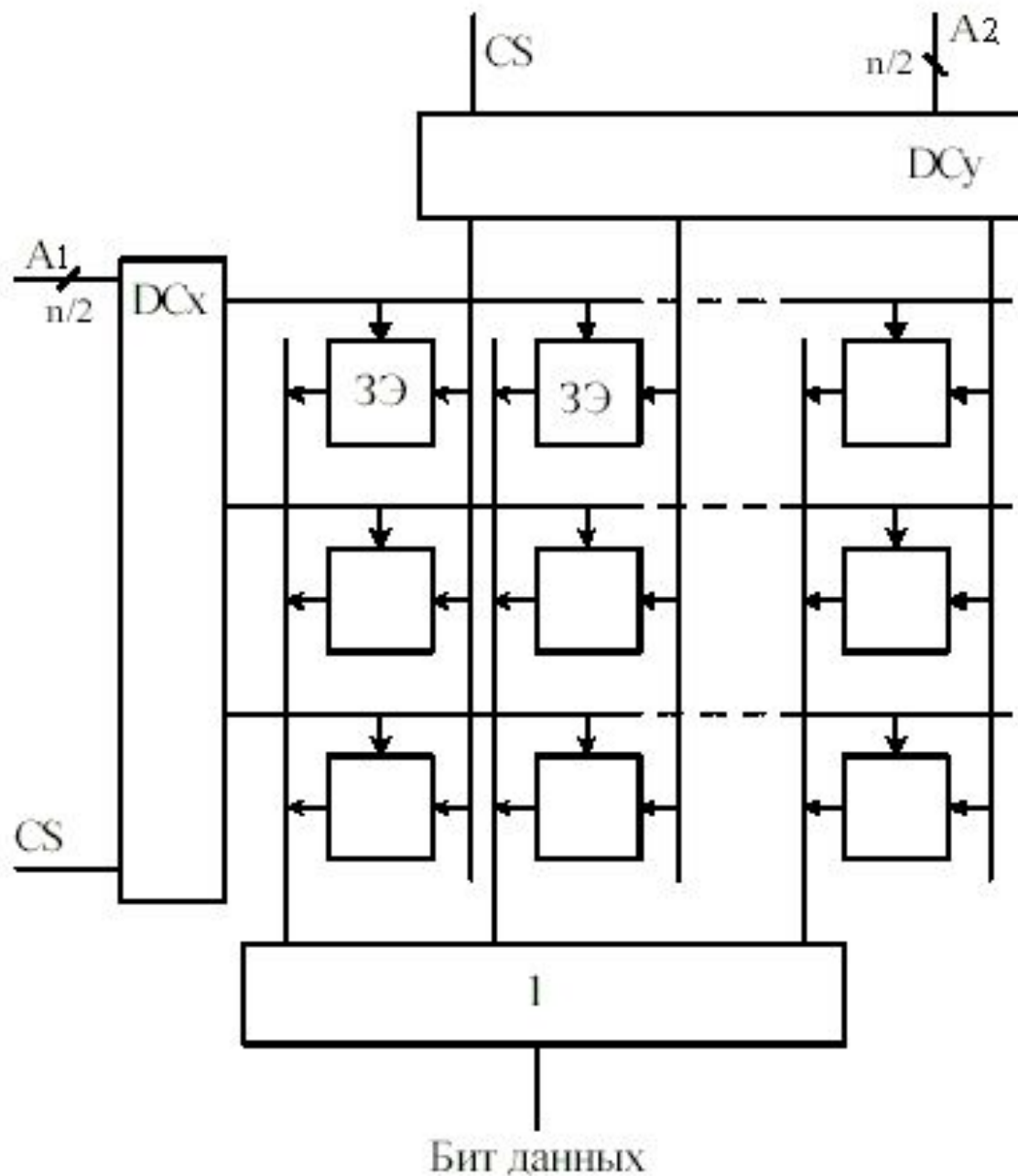
$k$  – число хранимых слов;

$m$  – разрядность слов;

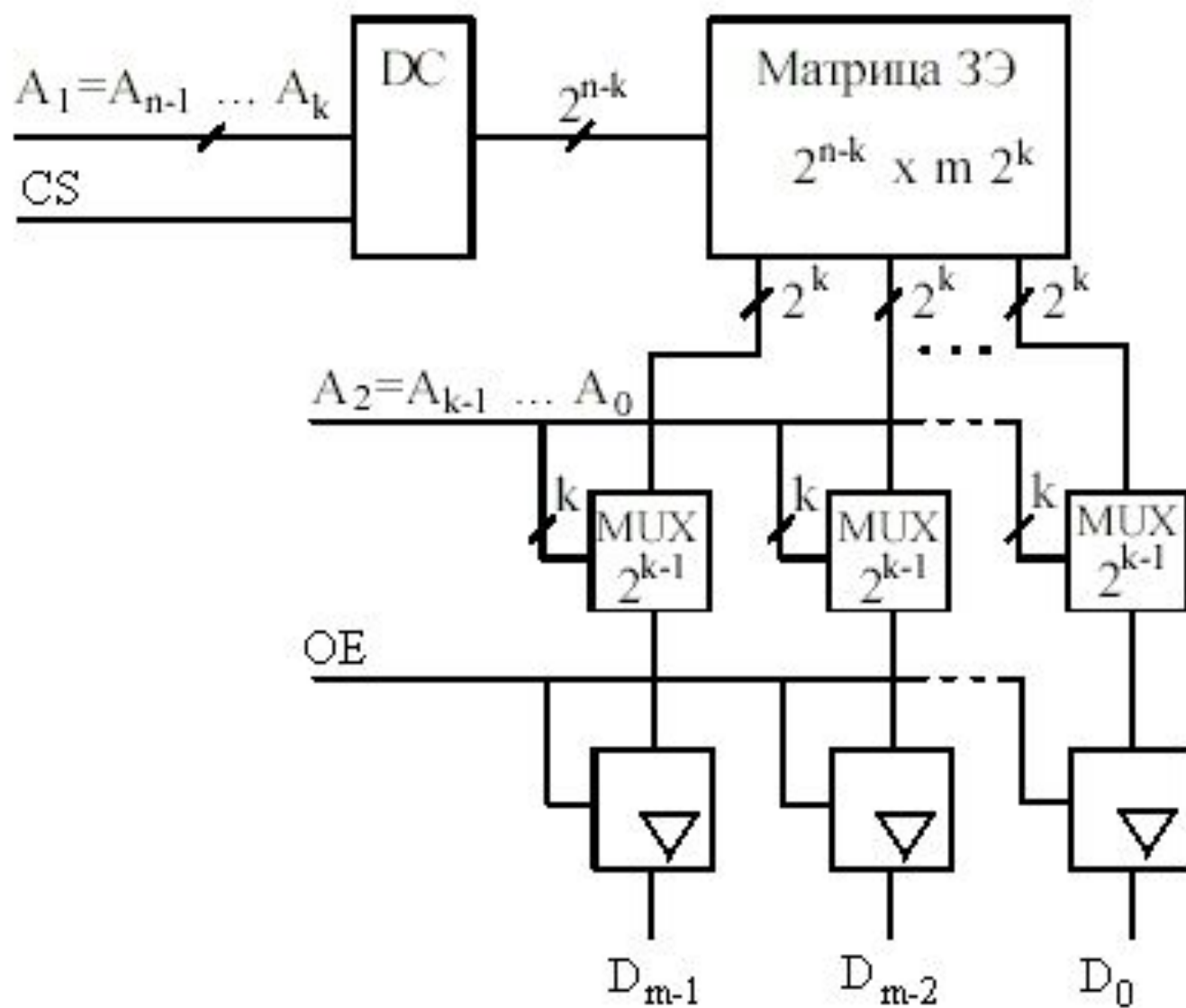
$M=k \times m$  – информационная емкость памяти (в битах).



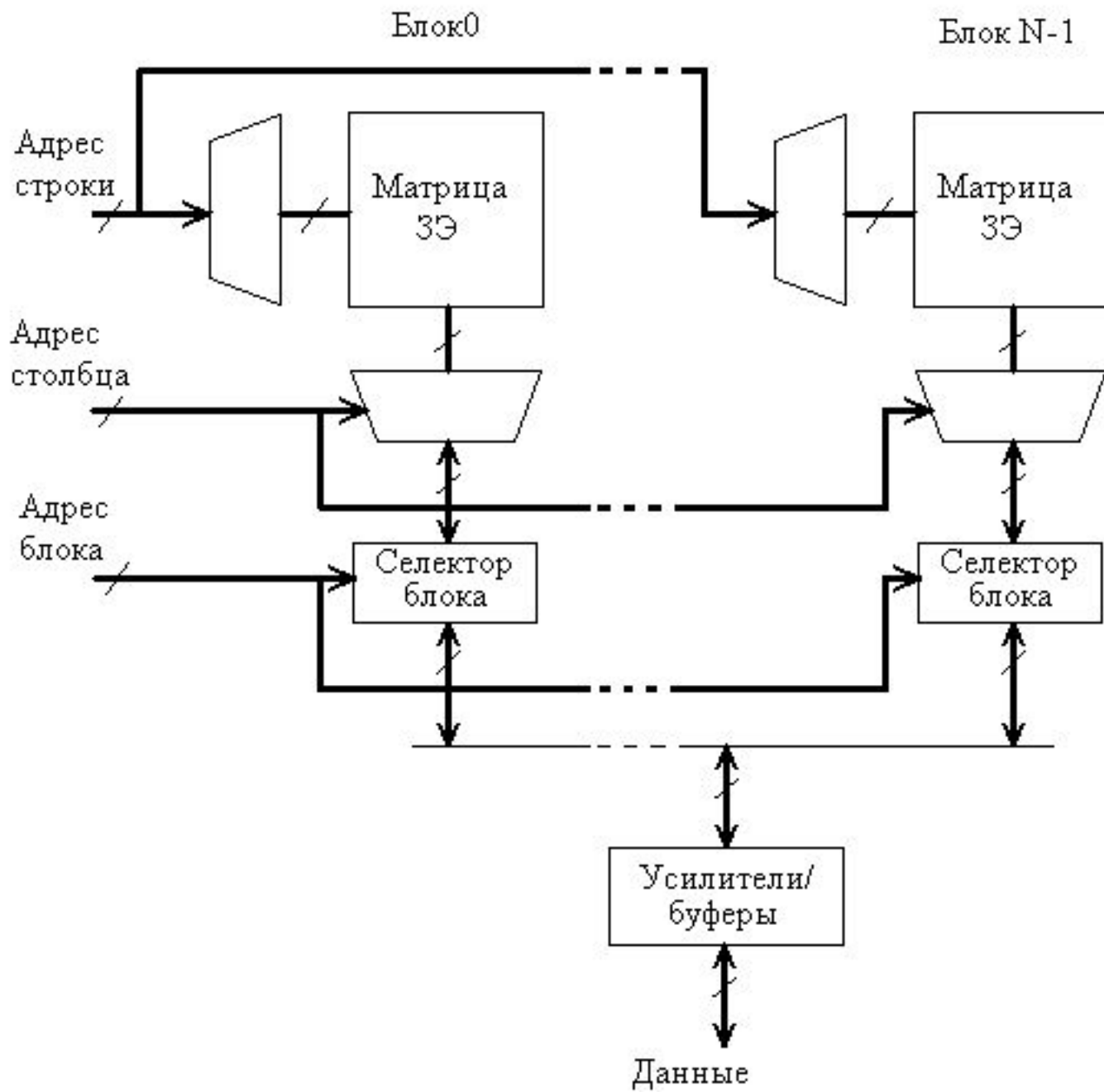
# Структура 3D



## Структура 2DM (модифицированная)



# Структура блочного ЗУ

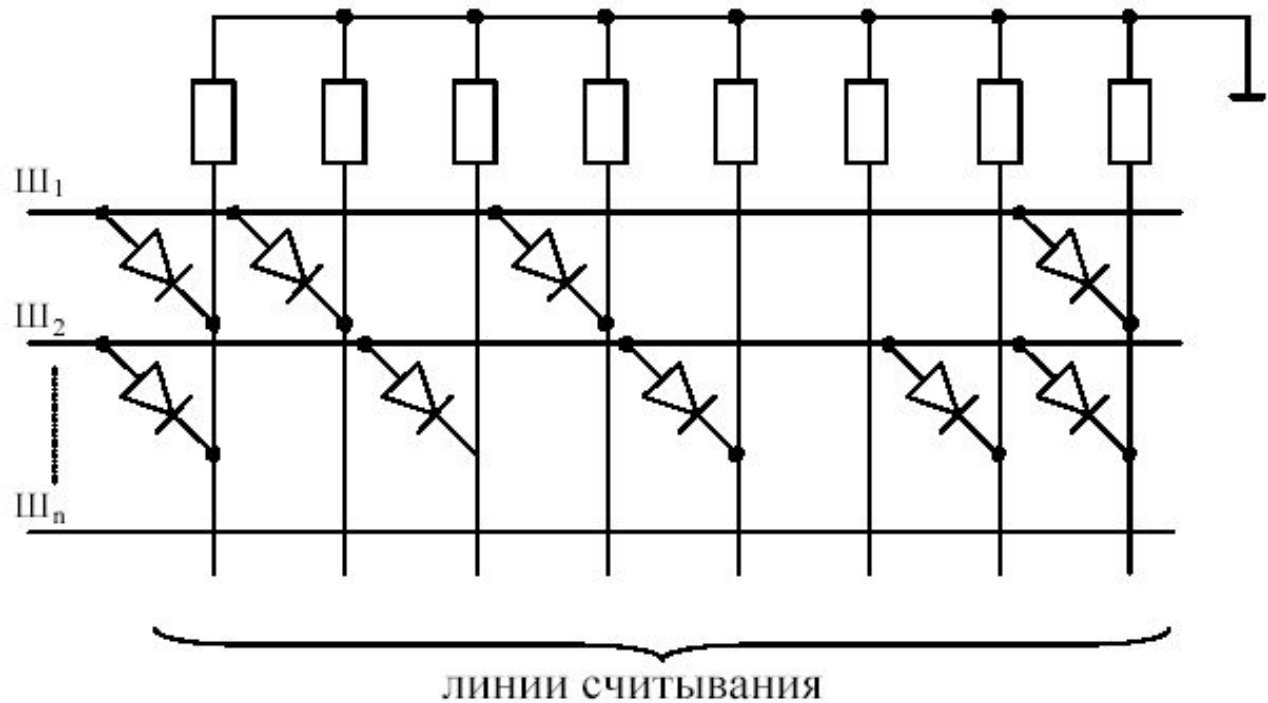


# Запоминающие элементы ПЗУ

## Накопитель ROM(M)

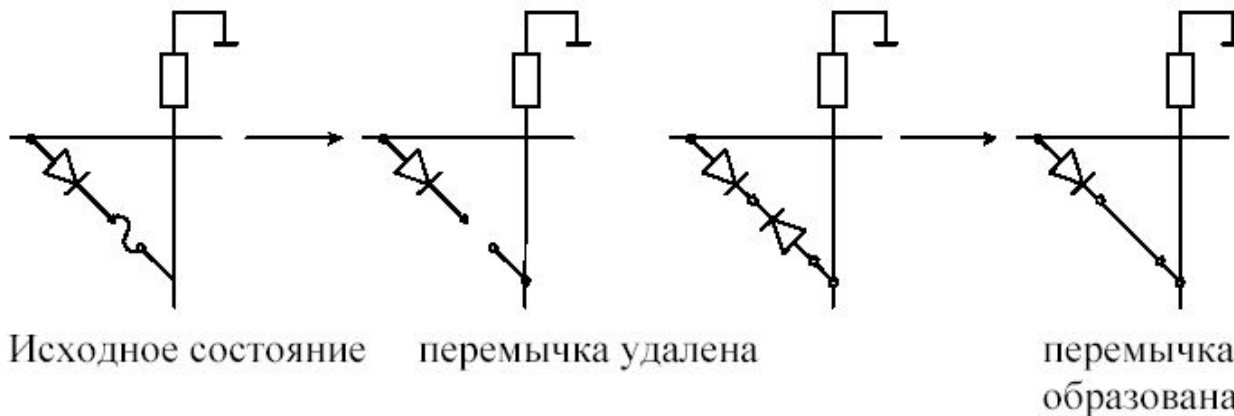
*Диодные ЗЭ*

линии  
выборки  
слов



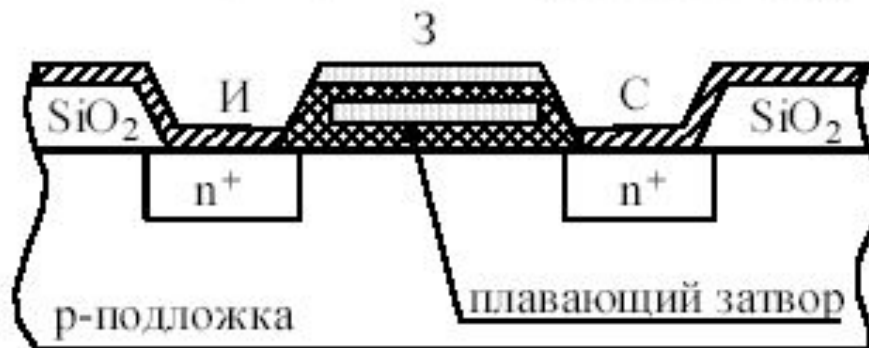
линии считывания



# Запоминающие элементы PROM



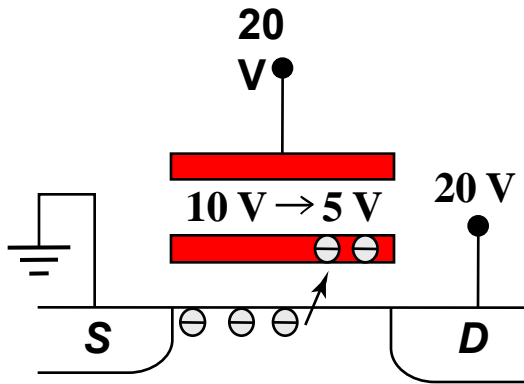
# Запоминающие элементы EPROM и EEPROM

## ЛИЗМОП-транзистор

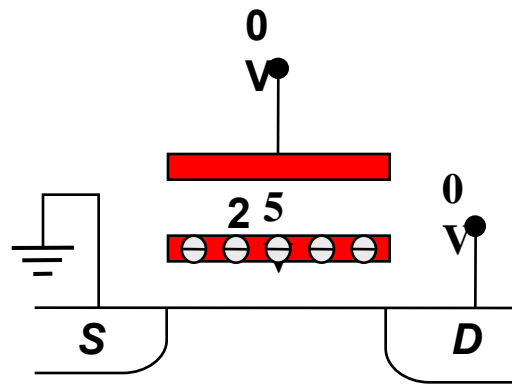


-  Al
-   $SiO_2$
-  поликремний

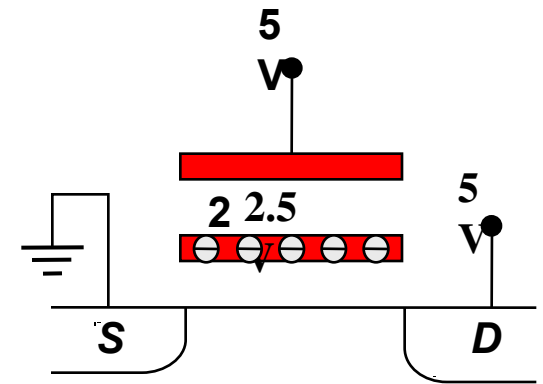
# Программирование ЛИЗМОП



Лавинная инжекция

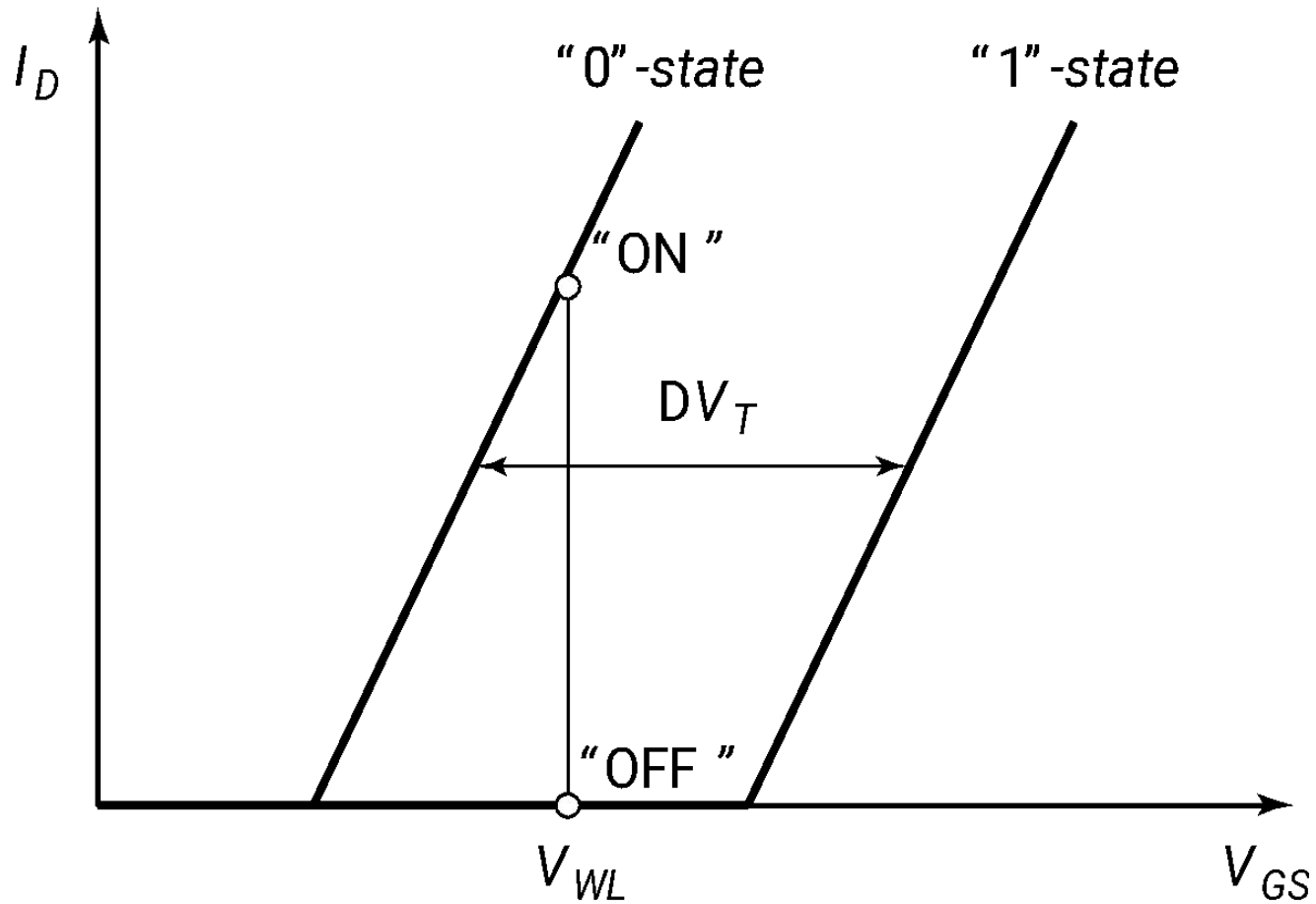


Ловушка заряда



Изменение порога

# Транзистор с программируемым порогом

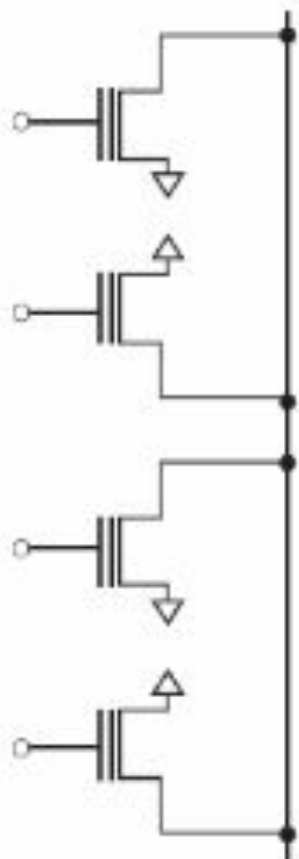


# Запоминающие ячейки Flash

## NOR-тип

Большая ячейка и быстрый доступ к любой ячейке

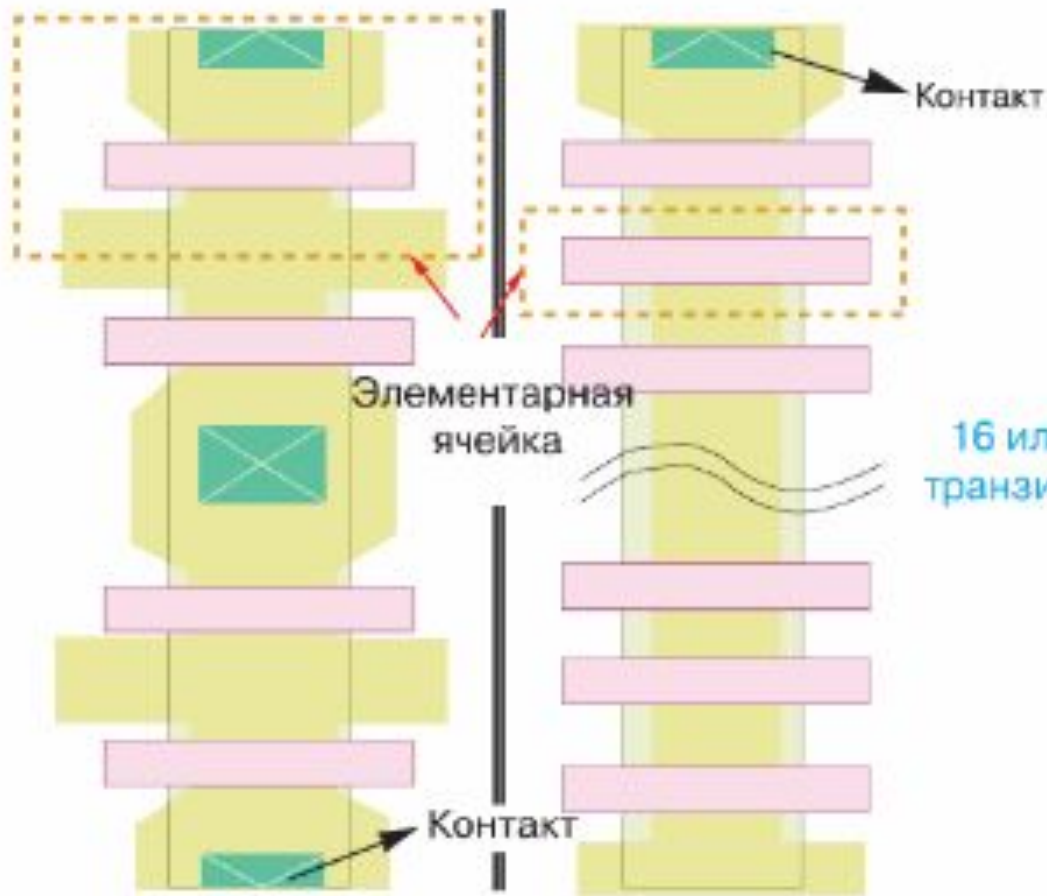
Шина данных



– Контактная площадка ограничивает возможности масштабирования

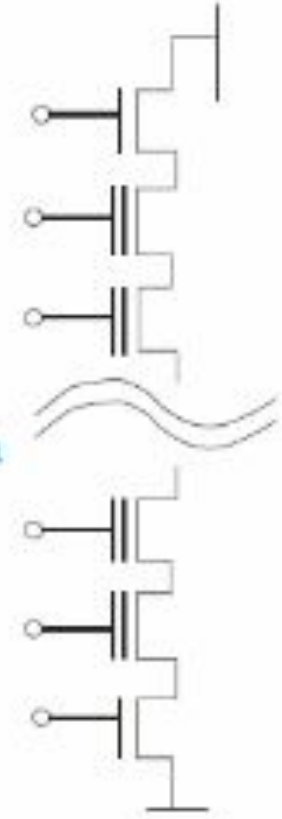
## NAND-тип

Малая по площади ячейка, скоростной доступ к блокам памяти



– Просто масштабировать

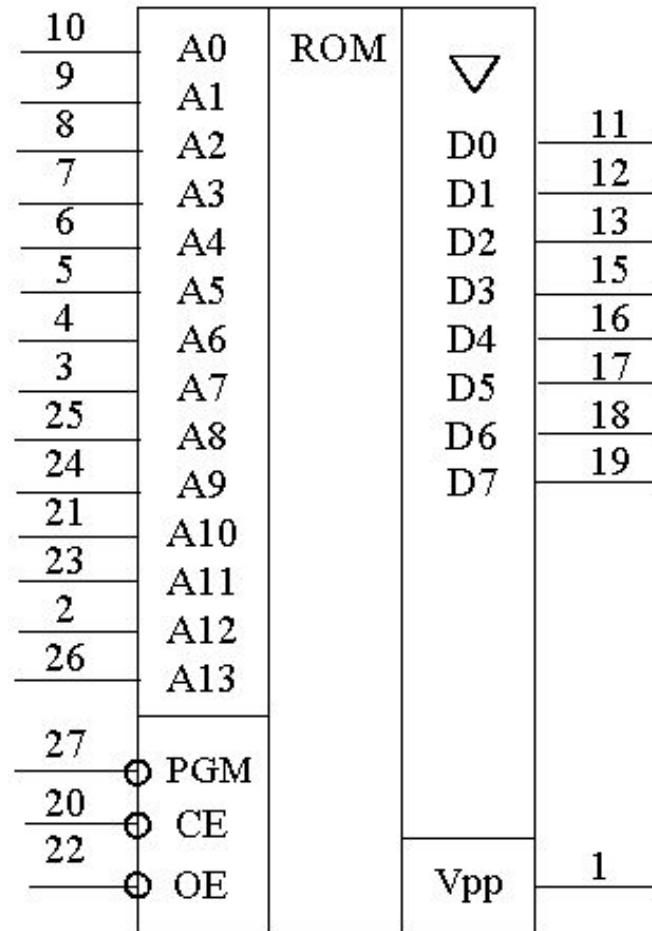
Шина данных



Общий источник



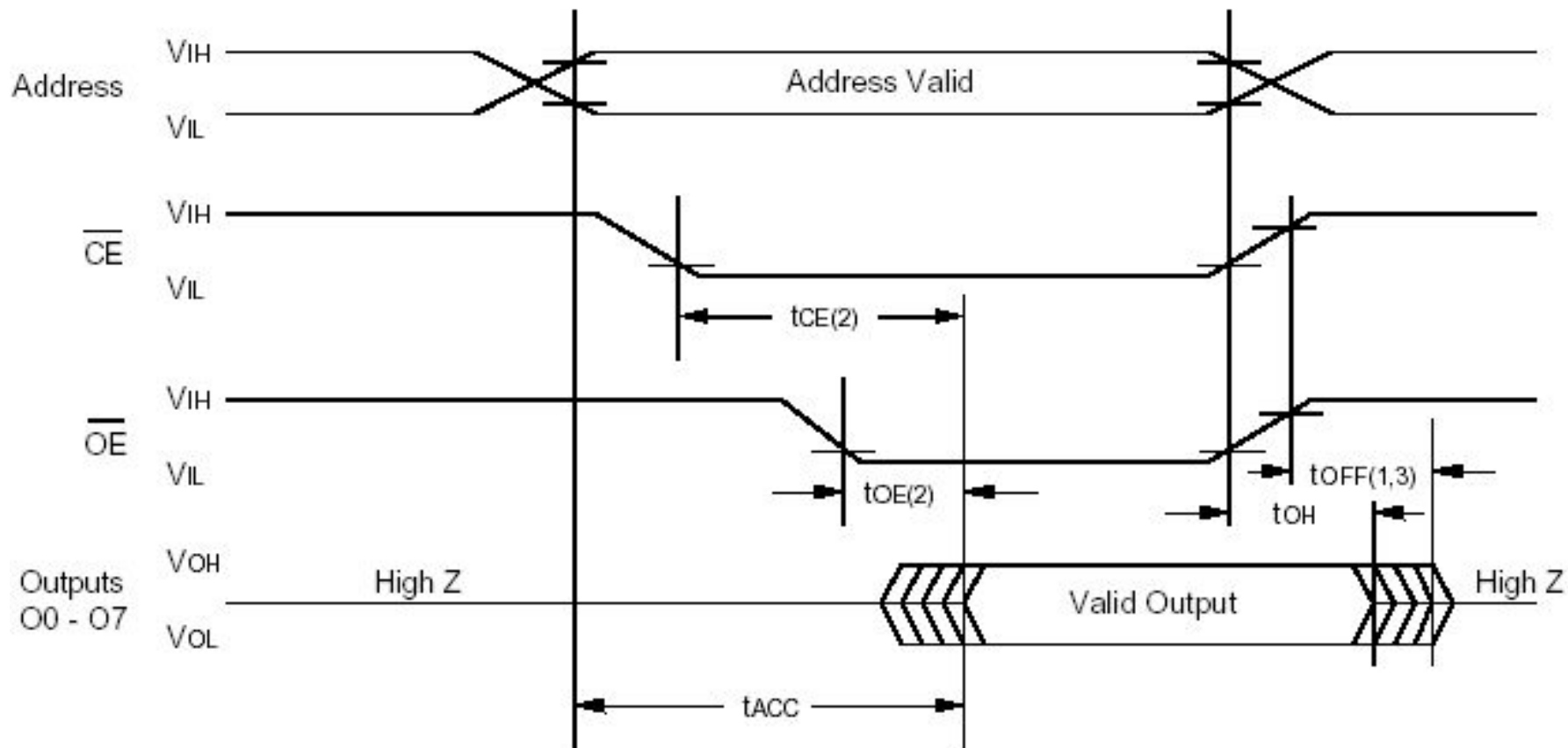
# Внешняя организация EPROM



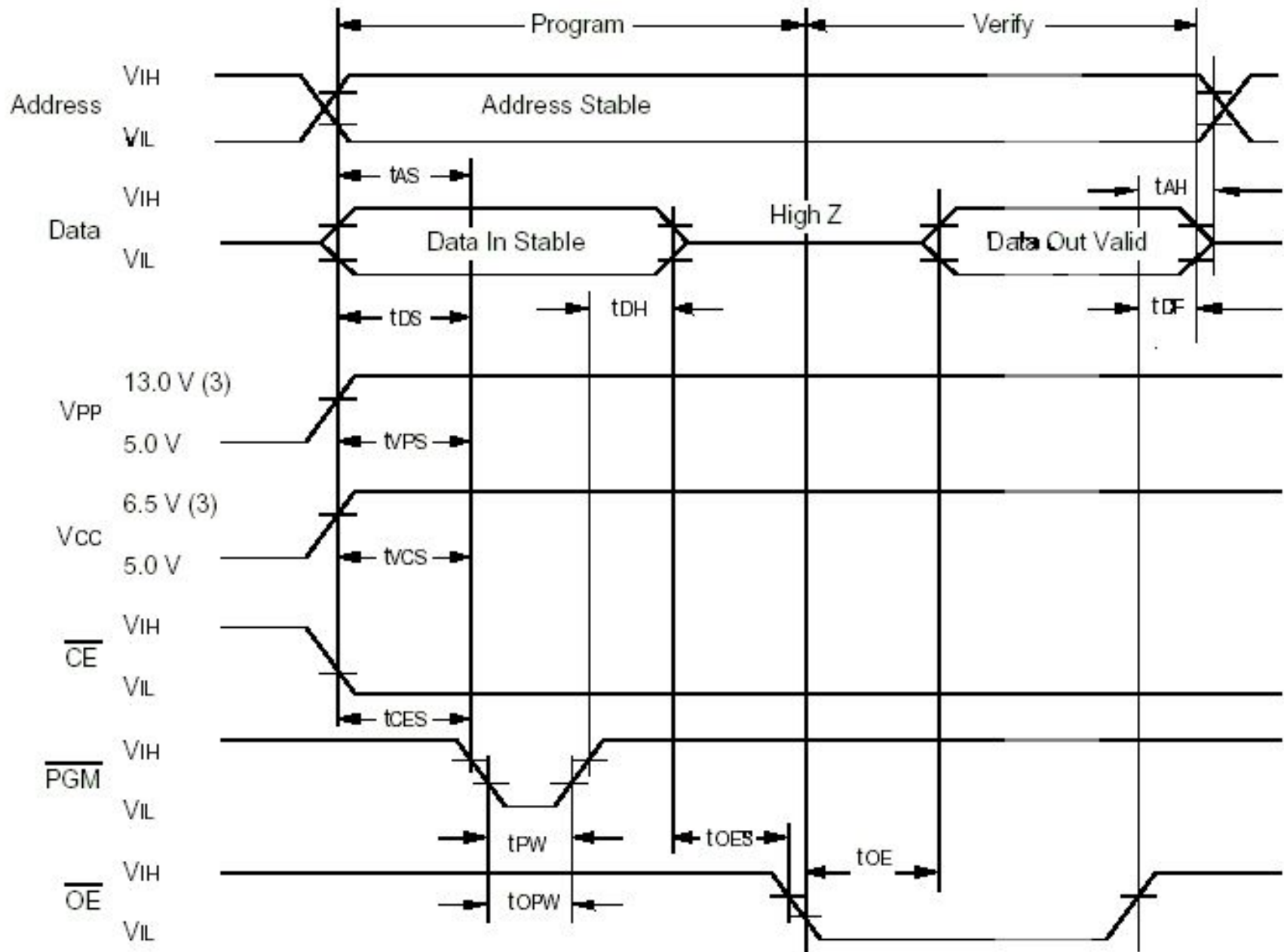
27C128

16Kx8

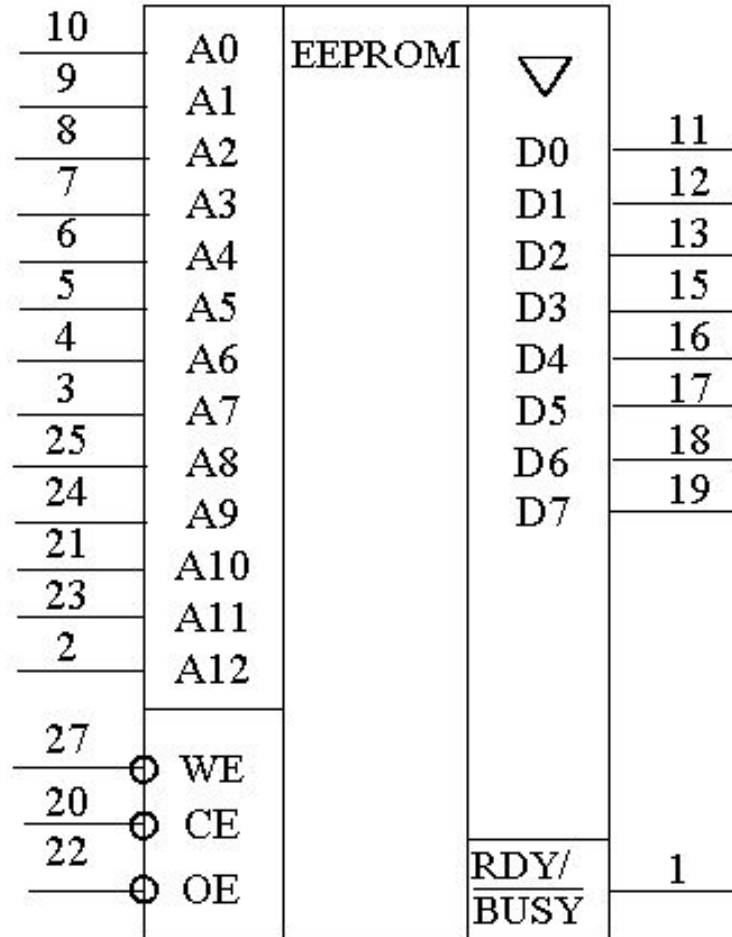
# Чтение EPROM



# Запись EPROM



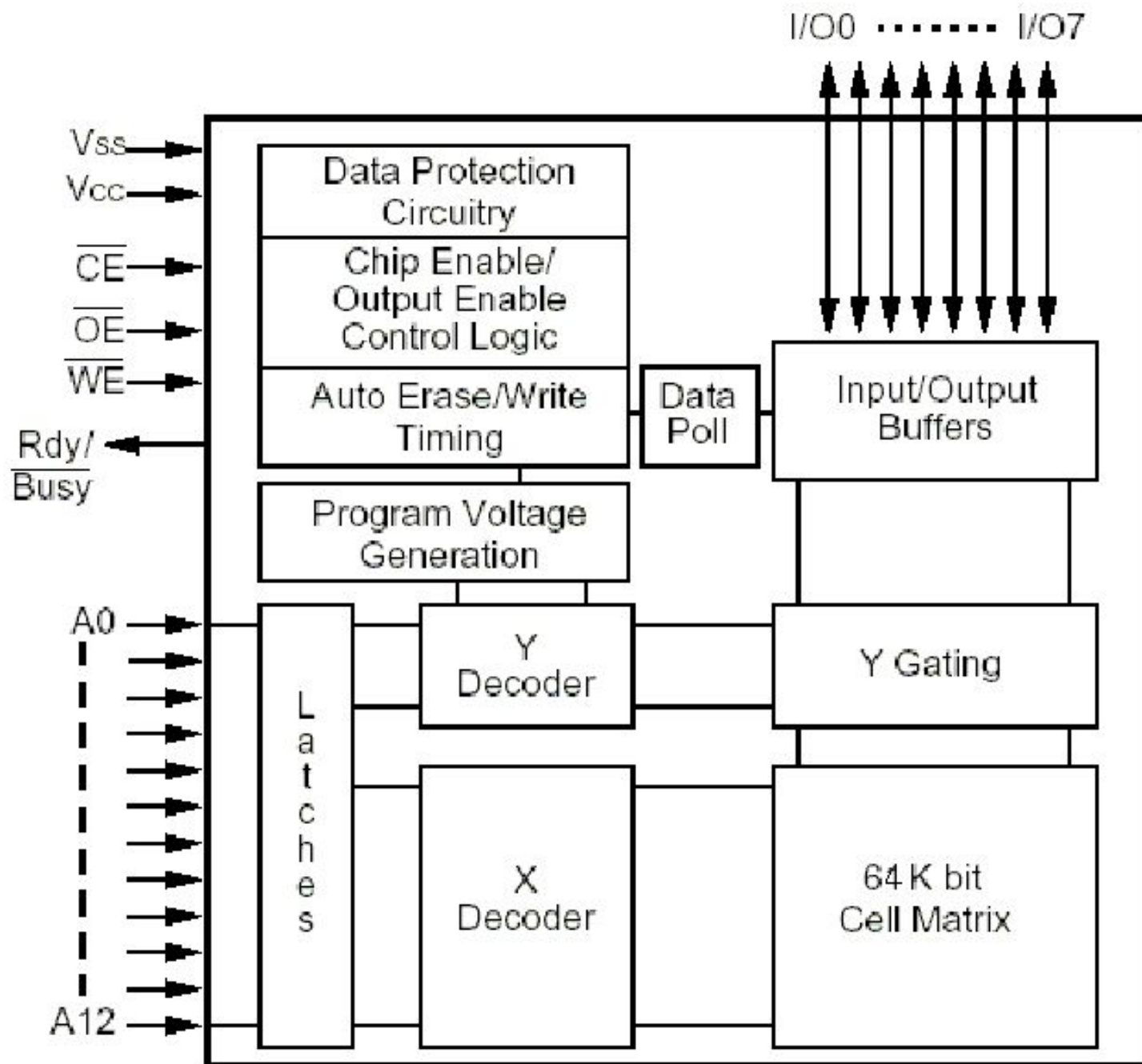
# Внешняя организация EEPROM



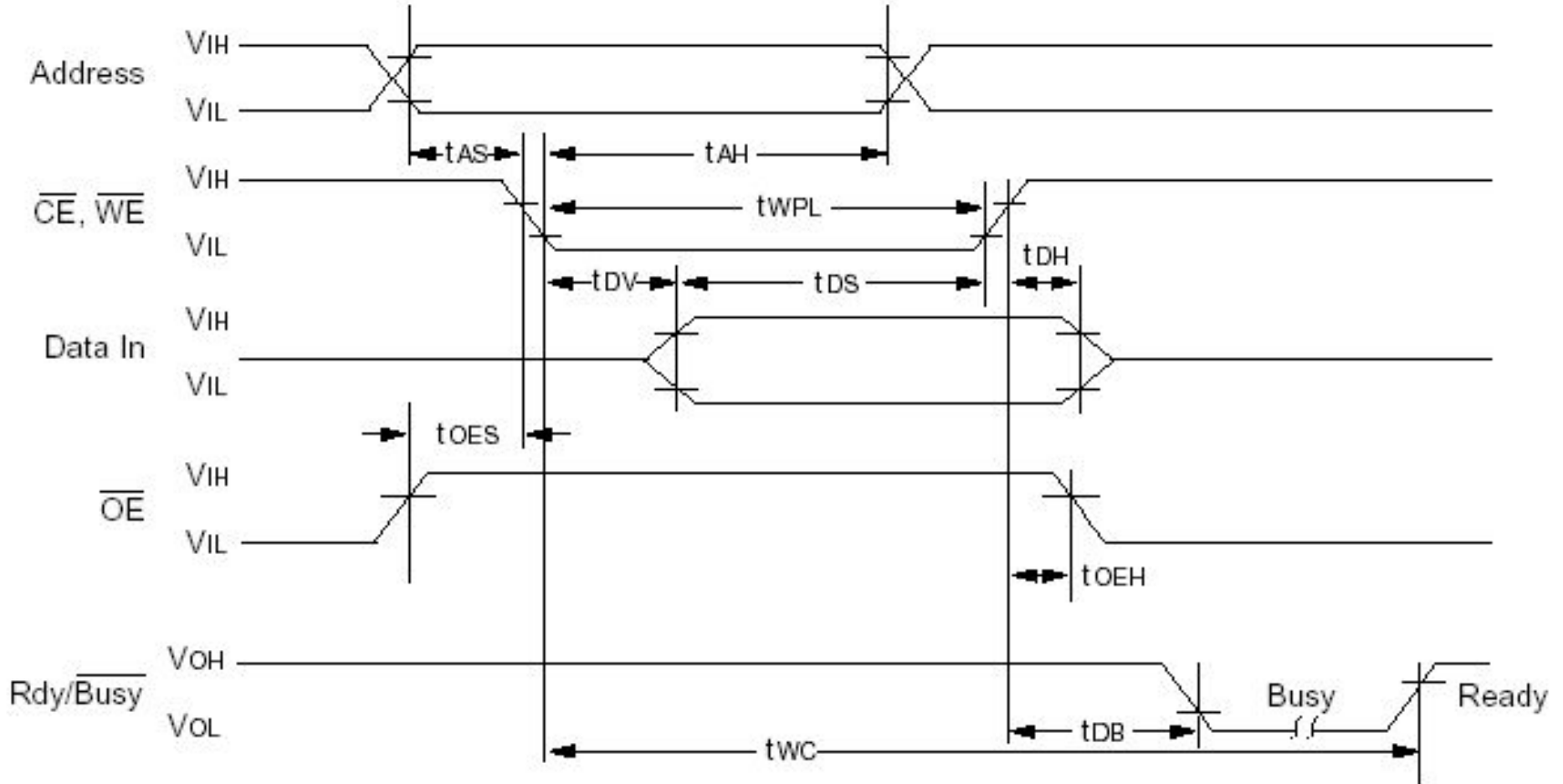
28C64

8Kx8

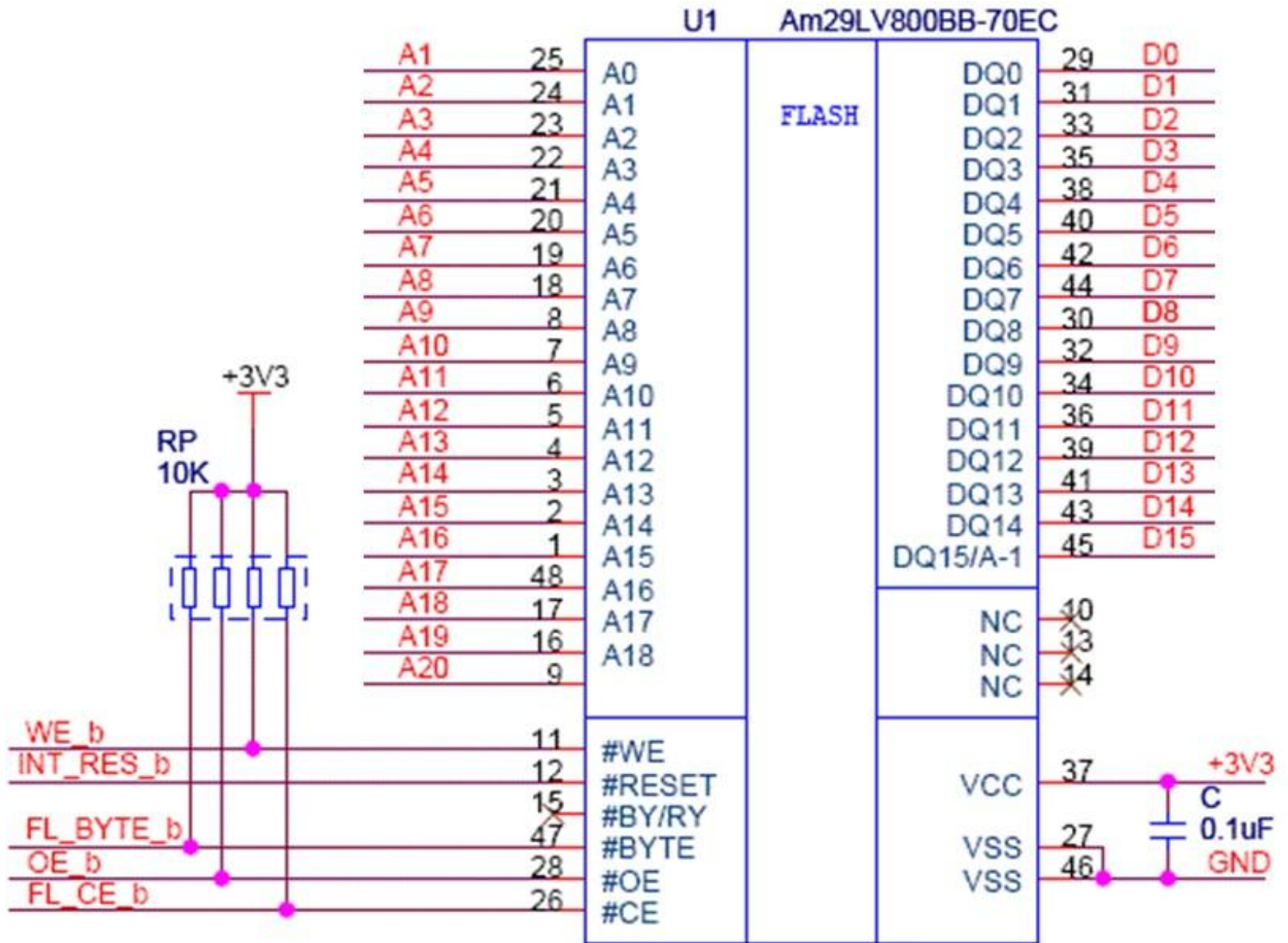
# Структура EEPROM



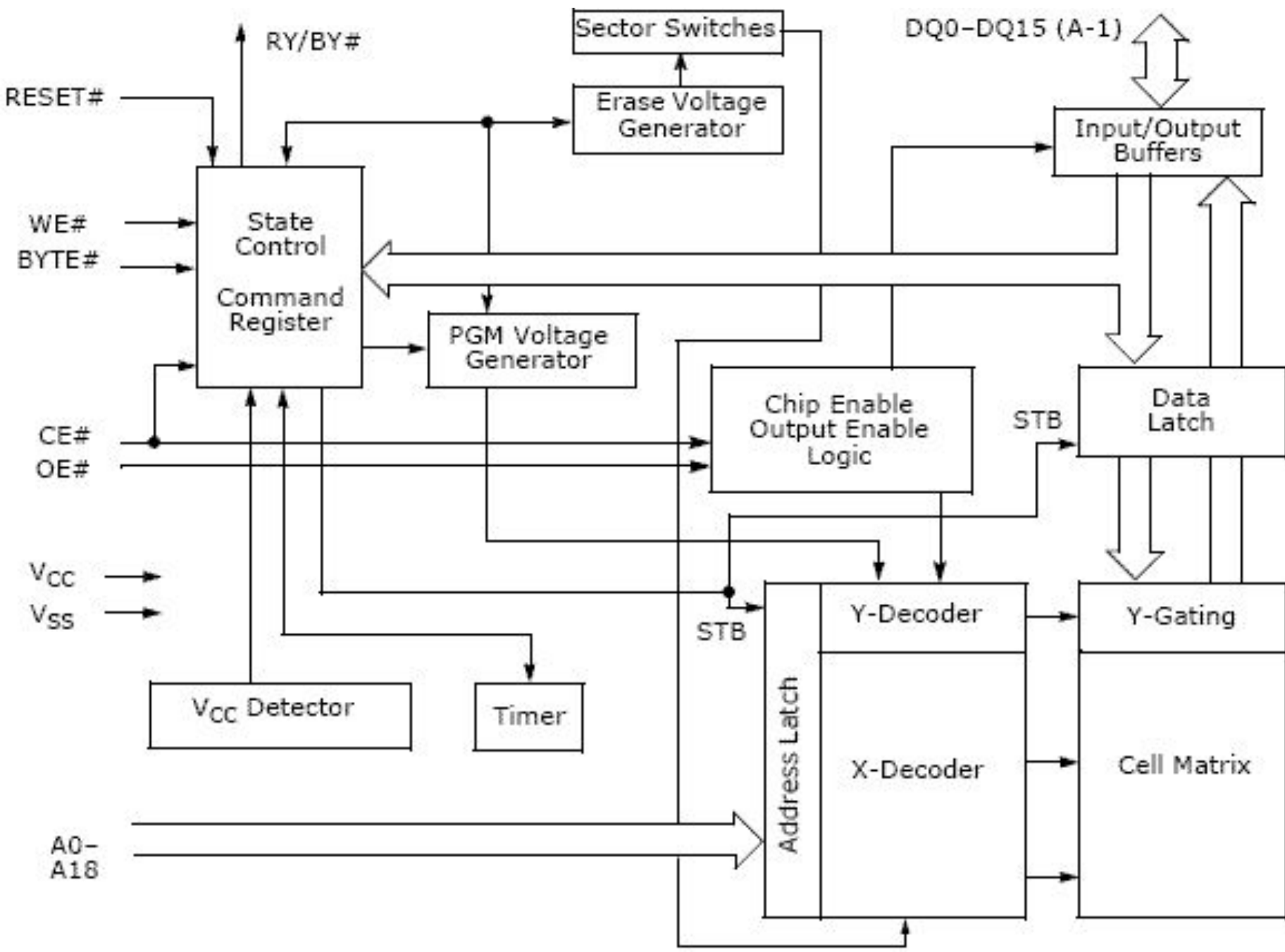
# Запись EEPROM



# Внешняя организация NAND-Flash



# Структурная схема Flash-ROM Am29LV800





# Режимы работы NAND-Flash

Команды	Кол-во циклов	Циклы											
		1		2		3		4		5		6	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
<b>Чтение</b>	<b>1</b>	<b>RA</b>	<b>RD</b>										
<b>Программирование</b>	<b>4</b>	<b>555</b>	<b>AA</b>	<b>2AA</b>	<b>55</b>	<b>555</b>	<b>A0</b>	<b>PA</b>	<b>PD</b>				
<b>Стирание кристалла</b>	<b>6</b>	<b>555</b>	<b>AA</b>	<b>2AA</b>	<b>55</b>	<b>555</b>	<b>80</b>	<b>555</b>	<b>AA</b>	<b>2AA</b>	<b>55</b>	<b>AAA</b>	<b>10</b>
<b>Стирание сектора</b>	<b>6</b>	<b>555</b>	<b>AA</b>	<b>2AA</b>	<b>55</b>	<b>555</b>	<b>80</b>	<b>555</b>	<b>AA</b>	<b>2AA</b>	<b>55</b>	<b>SA</b>	<b>30</b>

**RA** – адрес ячейки при чтении;

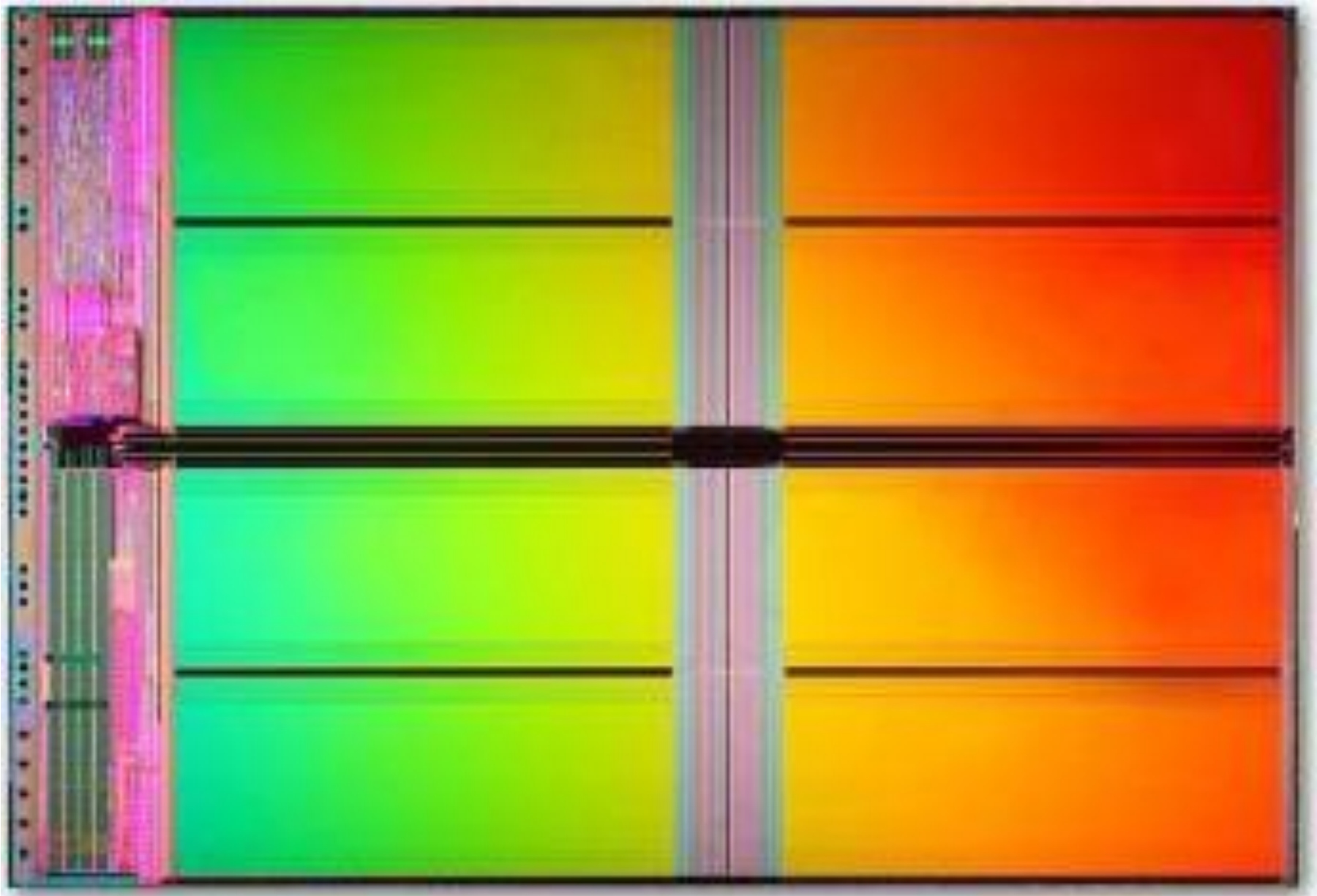
**RD** – считываемые данные;

**PA** – адрес ячейки при программировании (записи);

**PD** – записываемые данные;

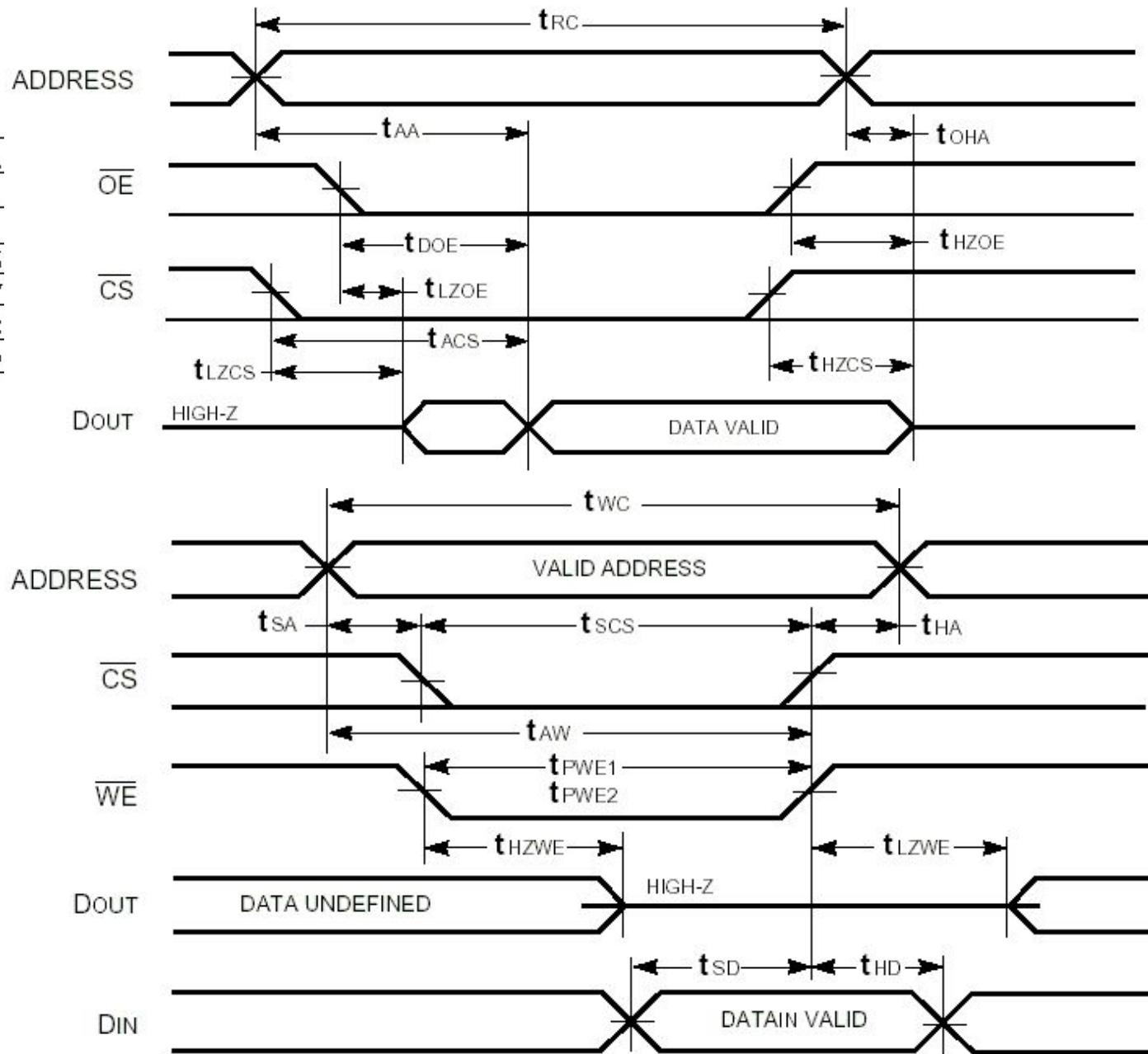
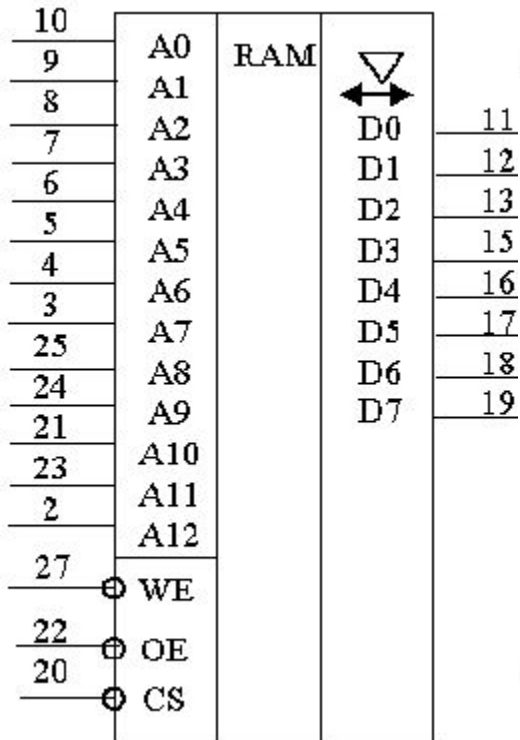
**SA** – адрес стираемого сектора.

# 32-Гбит ИС флэш-памяти NAND-типа (техпроцесс 34-нм)

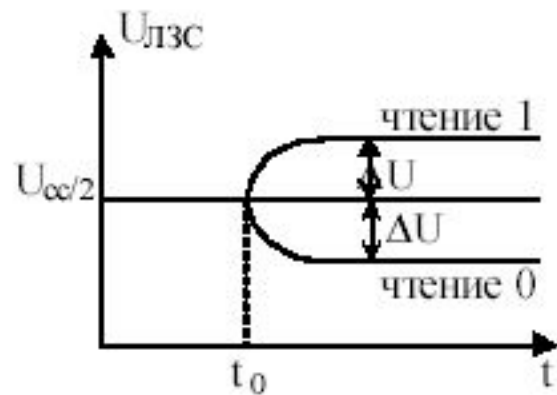
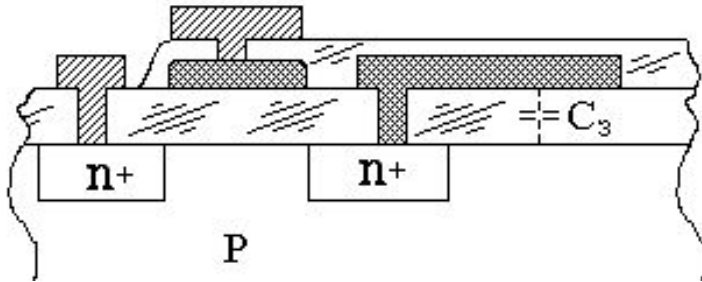
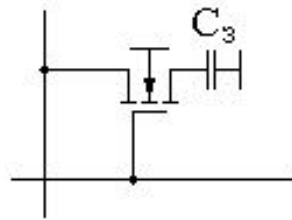
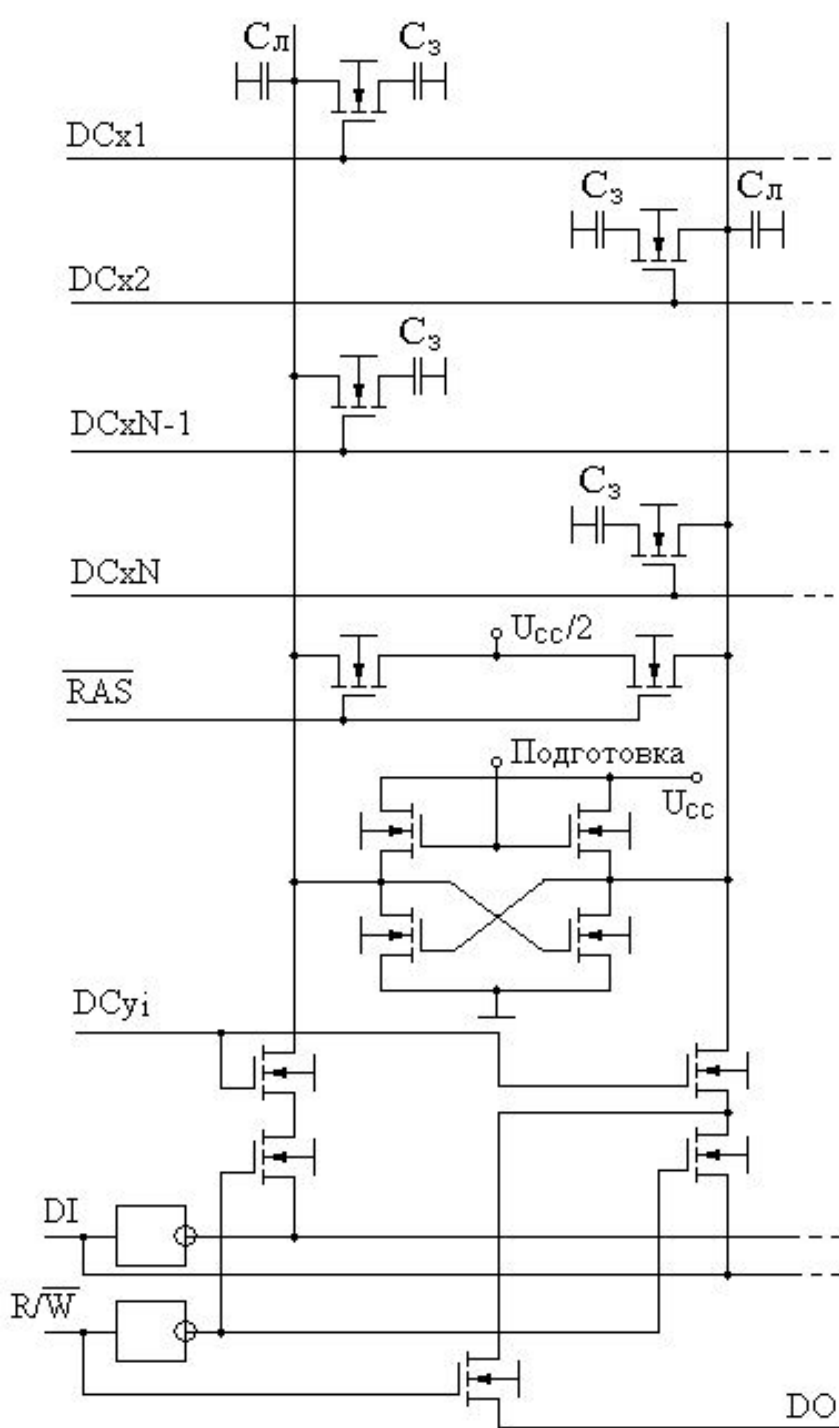




# Внешняя организация асинхронных SRAM



# Динамические ОЗУ



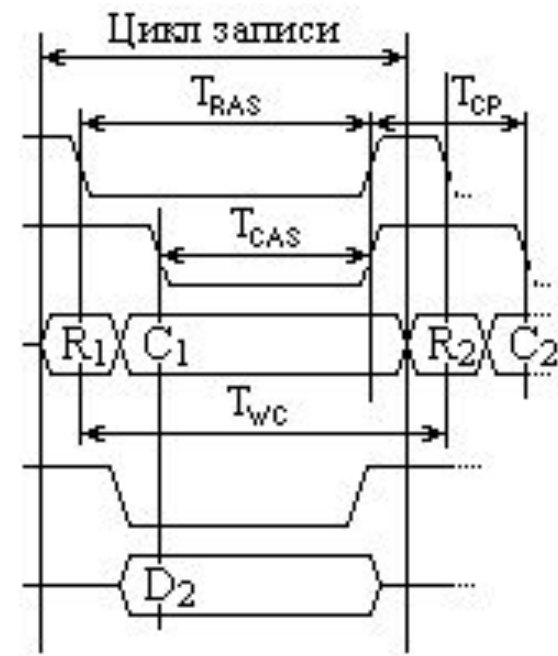
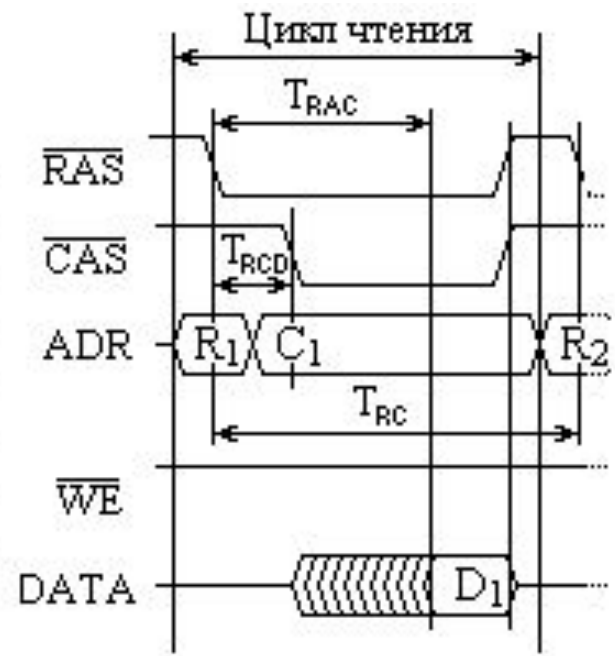
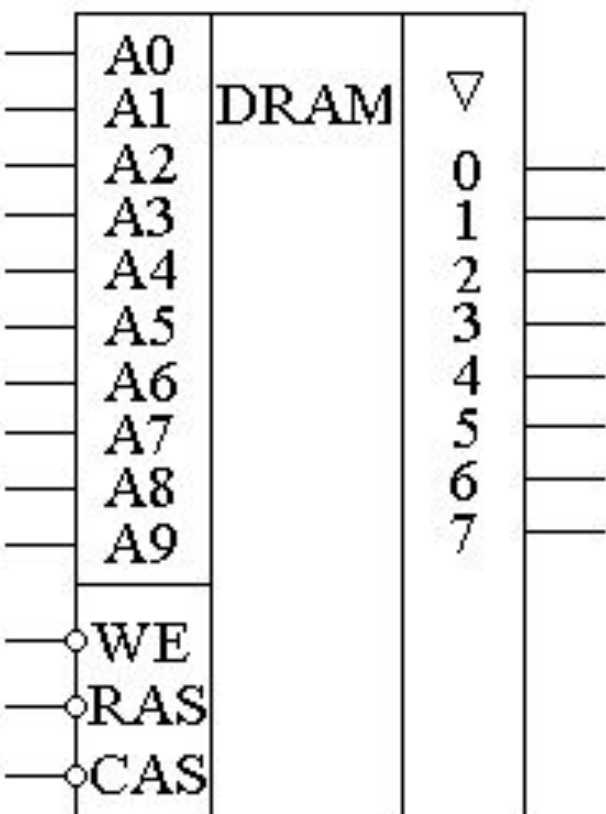
$$Q = C_{л} U_{cc} / 2$$

$$C_{л} + C_{3} : Q = (C_{л} + C_{3}) \left( \frac{U_{cc}}{2} - \Delta U \right)$$

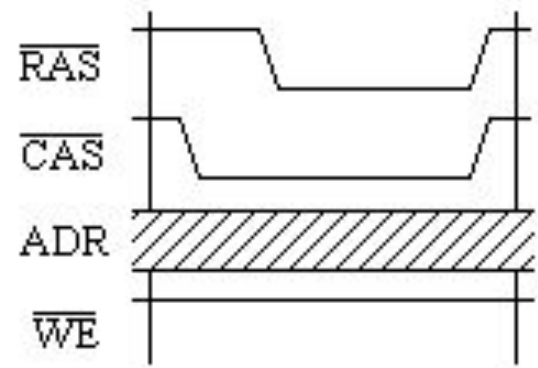
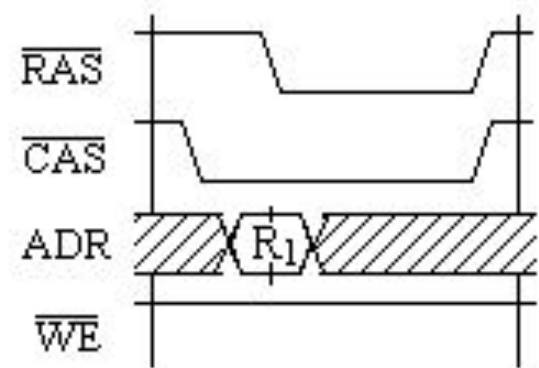
$$C_{л} \frac{U_{cc}}{2} = (C_{л} + C_{3}) \left( \frac{U_{cc}}{2} - \Delta U \right)$$

$$\Delta U = \frac{U_{cc} C_{3}}{2(C_{л} + C_{3})} \approx \frac{U_{cc} C_{3}}{2 C_{л}}$$

# Внешняя организация асинхронных DRAM



Цикл регенерации CBR (CAS Before RAS)



Адрес задается внутренним счетчиком

# Синхронные DRAM (SDRAM)

1. **CLK** – синхросигнал (по переднему фронту).
2. **CKE** (*Clock Enable*) разрешения (низкий – режим энергосбережения).
3. **CS** – сигнал, разрешающий декодирование команд
4. **BS0** и **BS1** (*Bank Select*) - сигналы выбора банка.
5. **DQM** - сигнал маски линий данных
6. **A10** - в момент подачи сигнала **CAS#** задает способ предзаряда строки банка.

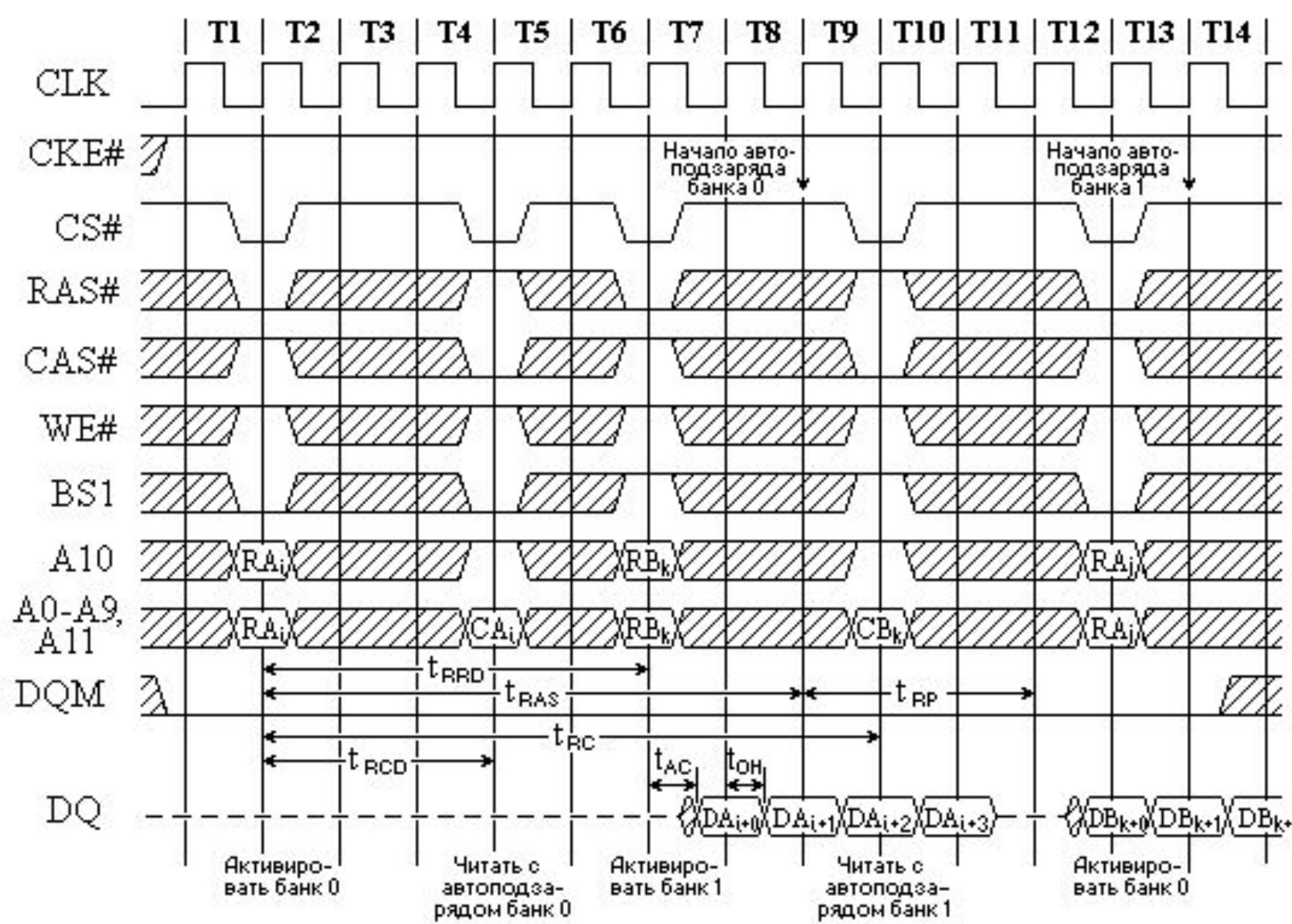
**$t_{CL}$  (CAS Latency) (2 – 2.5 – 3)T**

**$t_{RCD}$  (RAS-to-CAS Delay) (2 – 3)T**

**$t_{RP}$  (RAS Precharge Time) (2 – 3)T**

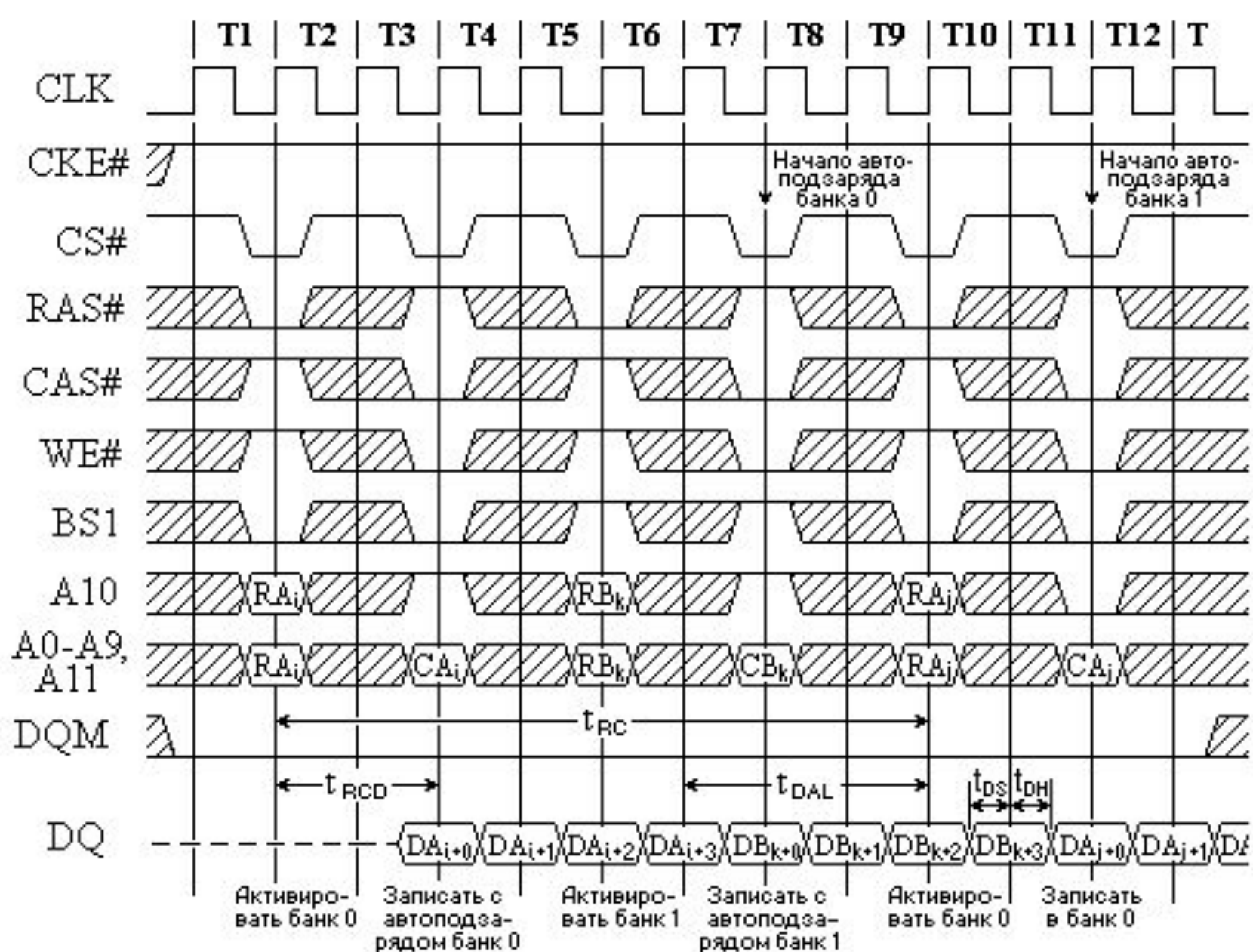
**$t_{AC}$  (Access from Clock)**

**$t_{RC}$  (RAS Cycle Time) время цикла строки (7 – 8)T ( $t_{RC} = t_{RAS} + t_{RP}$ );**



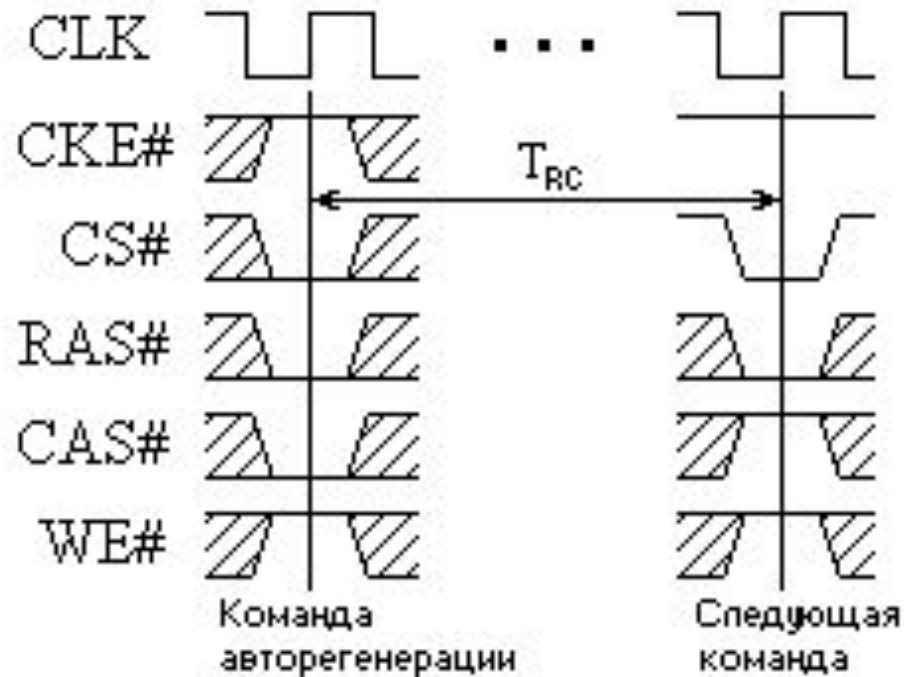
Временная диаграмма пакетного чтения из SDRAM (длина пакета = 4, задержка появления данных CAS Latency = 3)





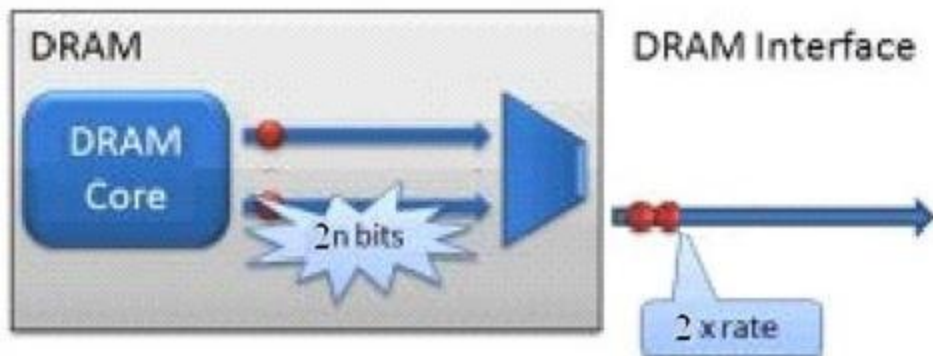
Временная диаграмма пакетной записи в SDRAM (длина пакета = 4, задержка появления данных CAS Latency = 2)

## Регенерация (*refresh*) SDRAM

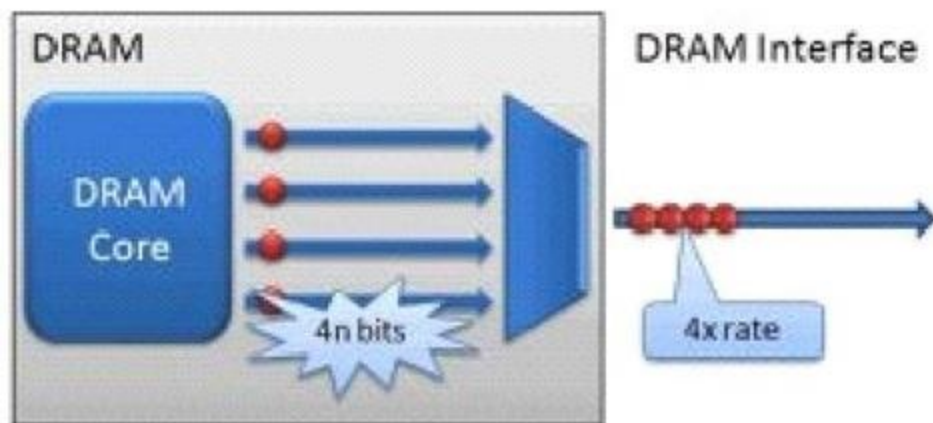


Временные диаграммы регенерации синхронной динамической памяти

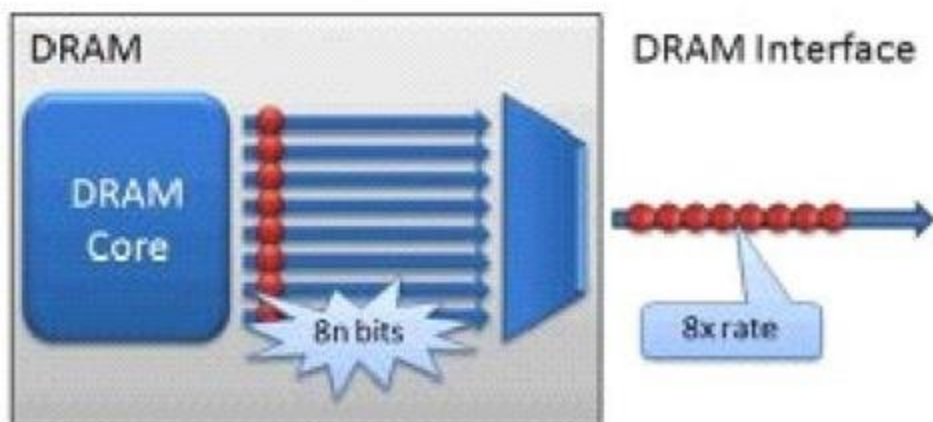
### DDR SDRAM



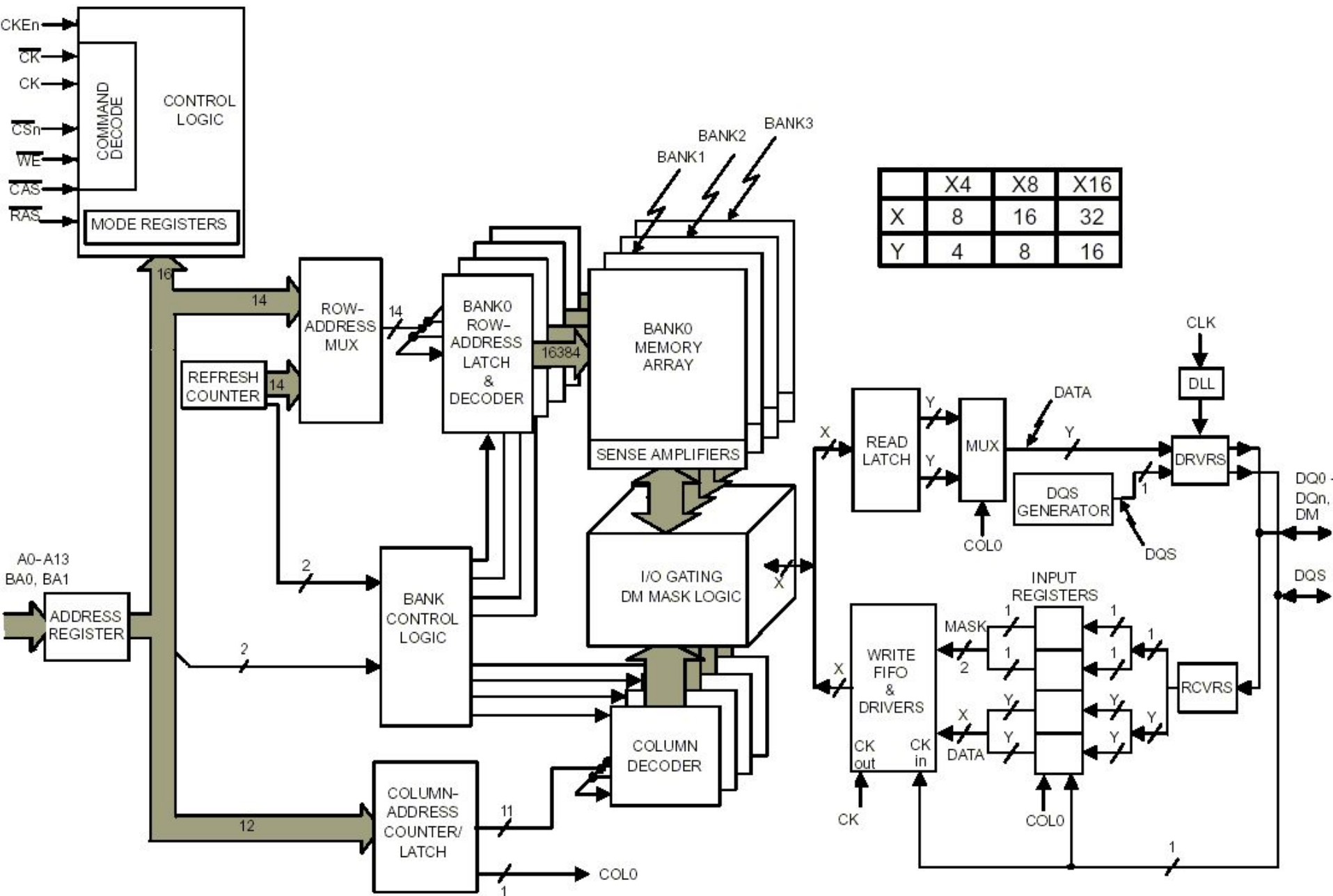
### DDR2 SDRAM



### DDR3 SDRAM



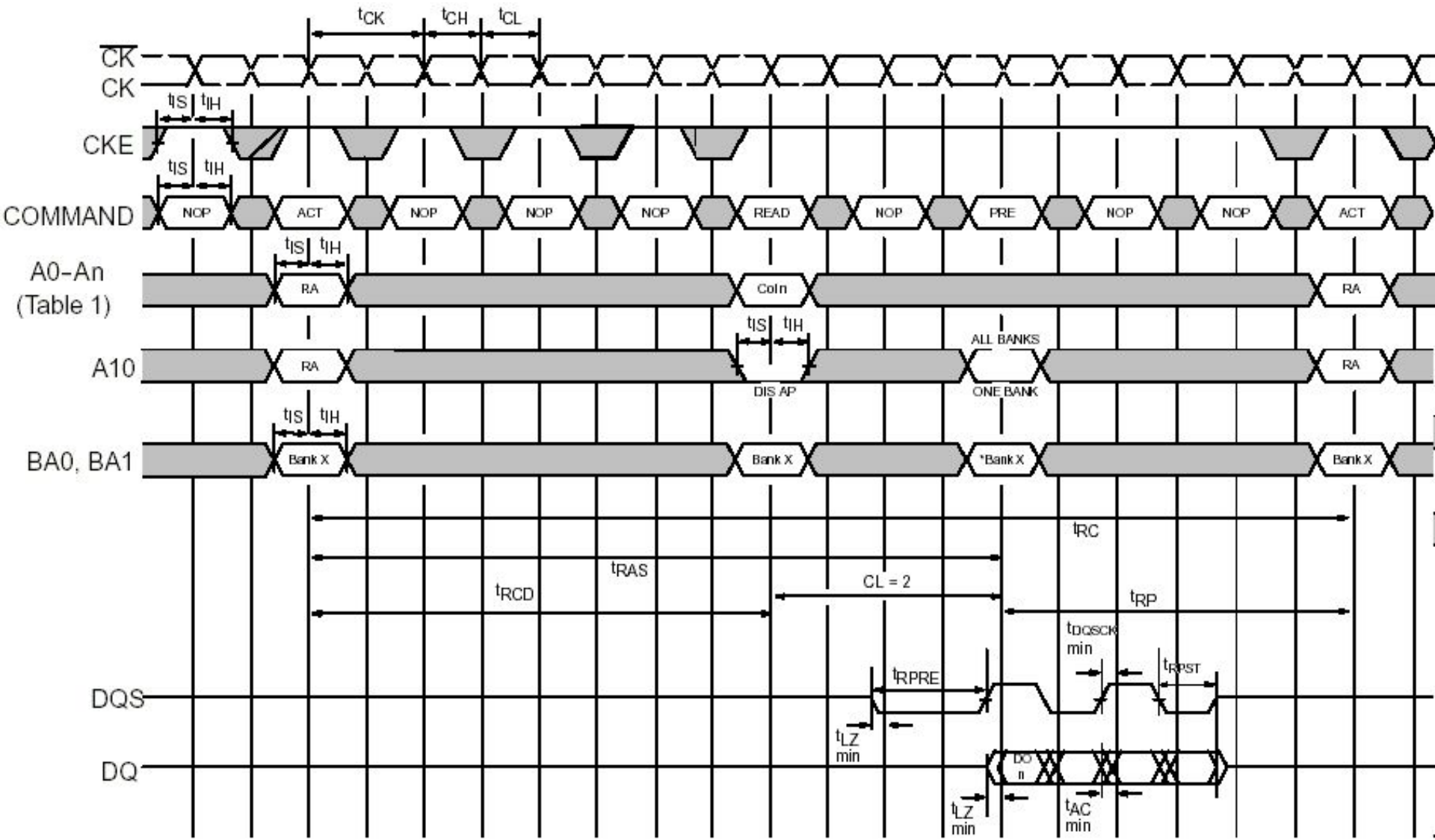
# Структура DDR SDRAM



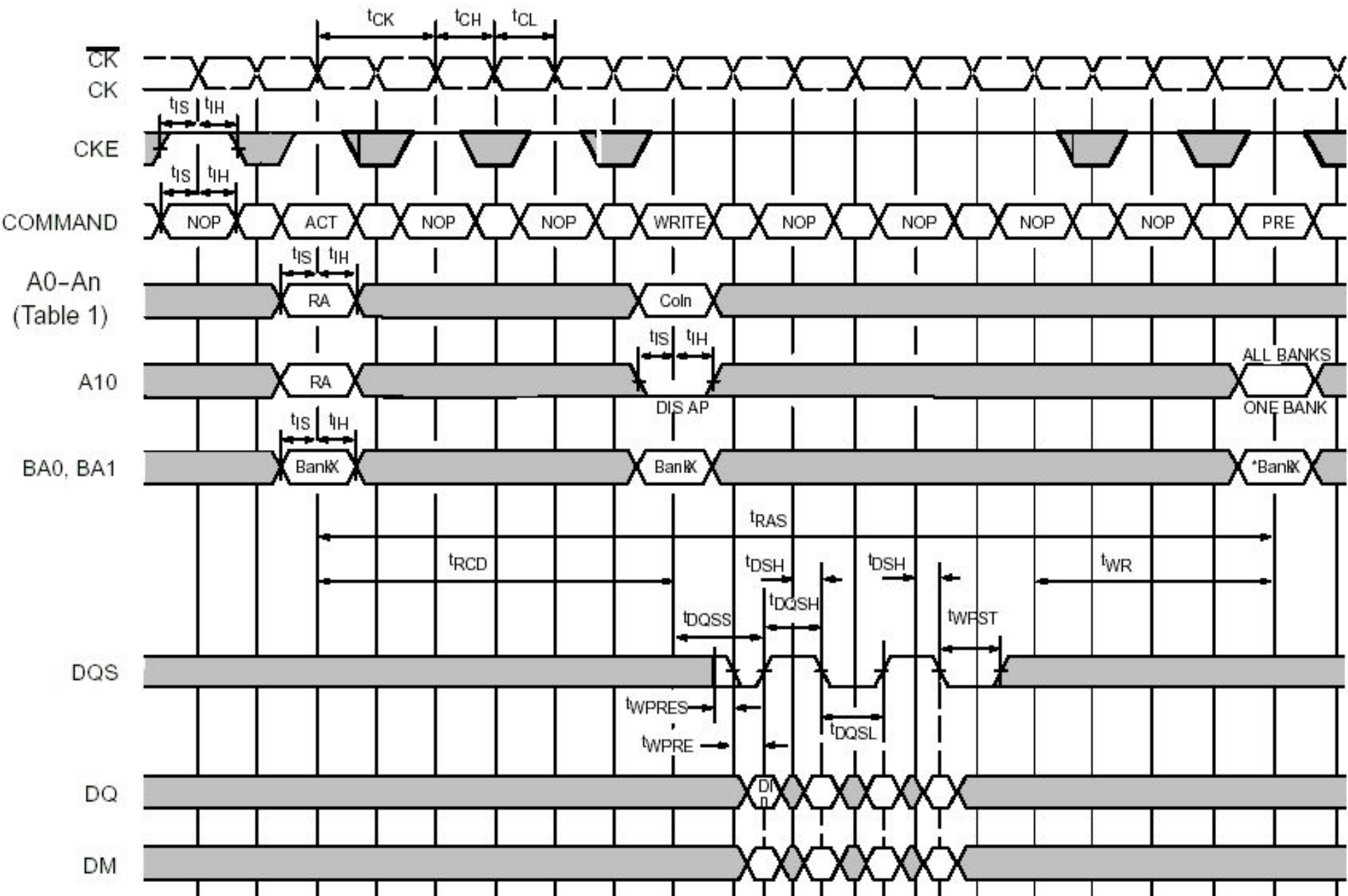
## Команды DDR SDRAM

NAME (Function)	$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	ADDR
DESELECT (NOP)	H	X	X	X	X
NO OPERATION (NOP)	L	H	H	H	X
ACTIVE (Select bank and activate row)	L	L	H	H	Bank/Row
READ (Select bank and column, and start READ burst)	L	H	L	H	Bank/Col
WRITE (Select bank and column, and start WRITE burst)	L	H	L	L	Bank/Col
BURST TERMINATE	L	H	H	L	X
PRECHARGE (Deactivate row in bank or banks)	L	L	H	L	Code
AUTO refresh or Self Refresh (Enter self refresh mode)	L	L	L	H	X
MODE REGISTER SET	L	L	L	L	Op-Code

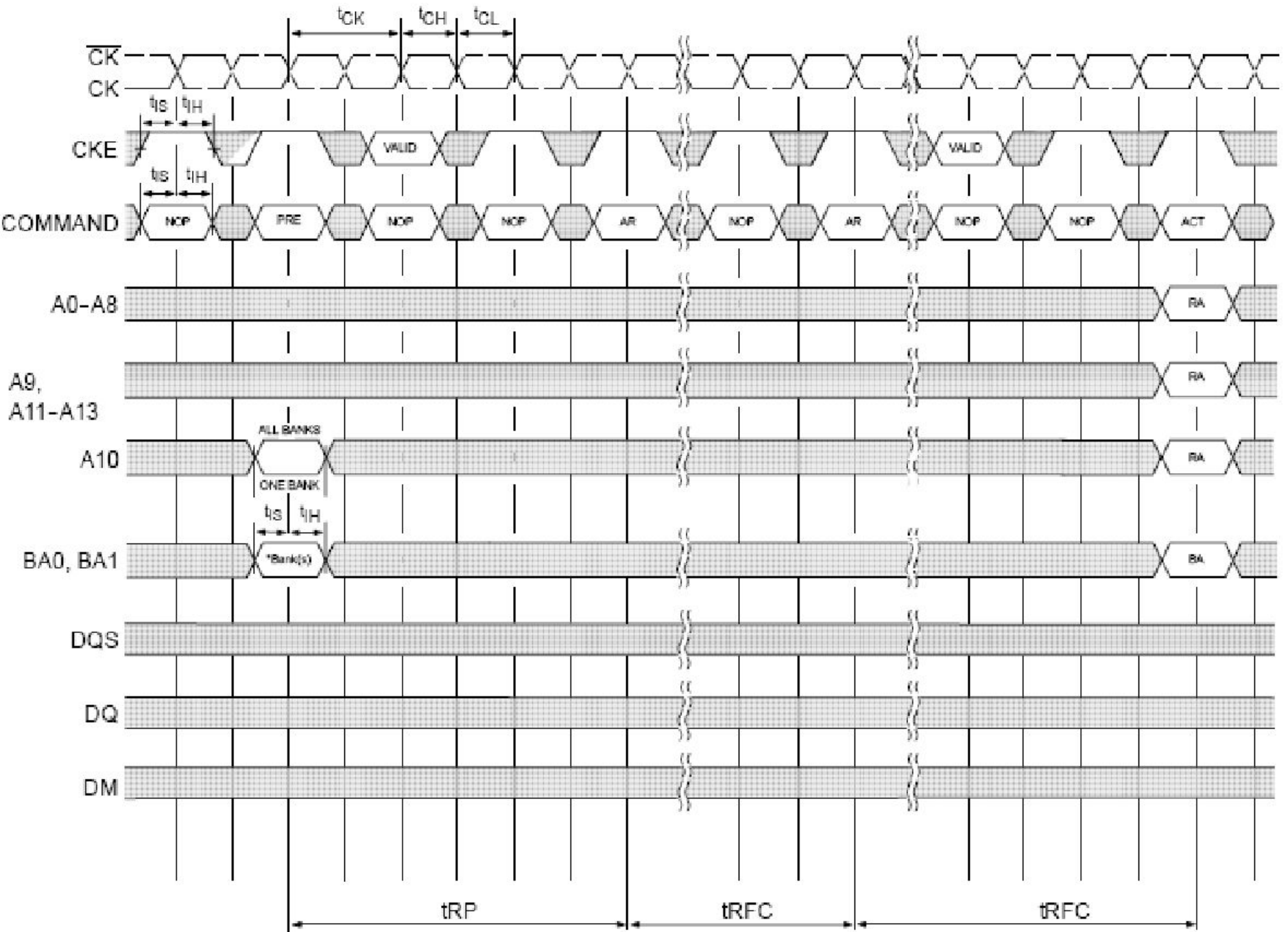
# BANK READ ACCESS



# BANK WRITE ACCESS

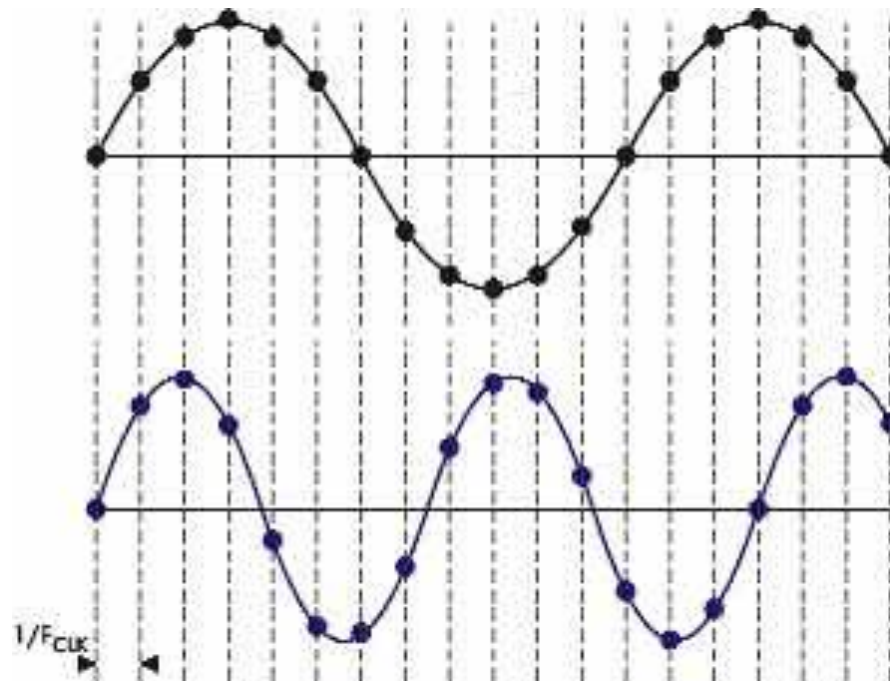
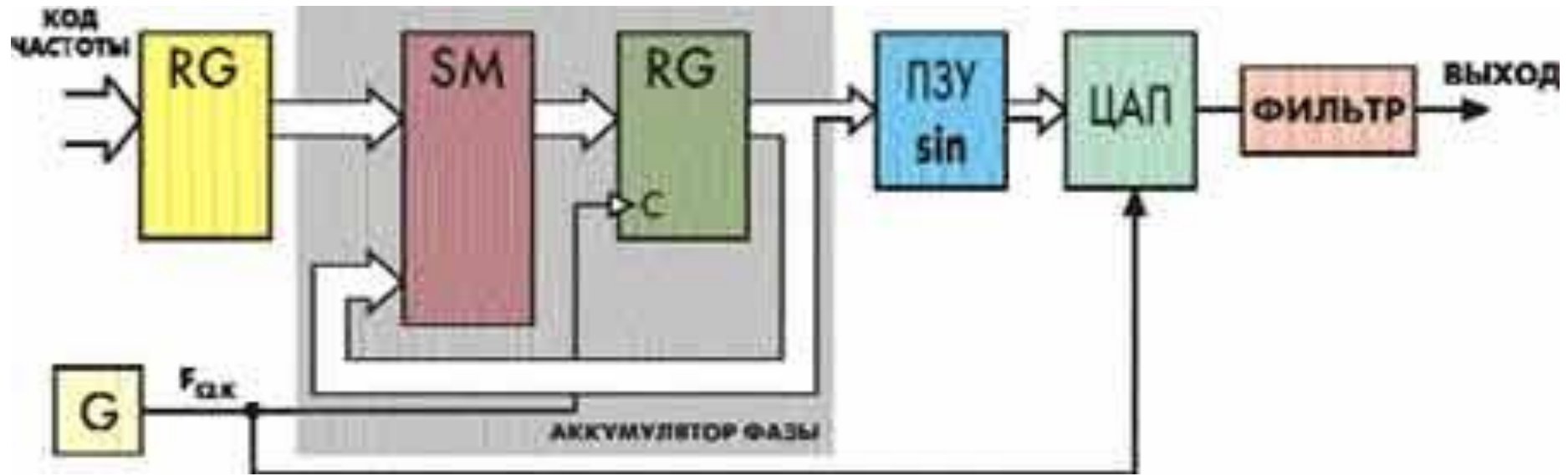


# Авторегенерация

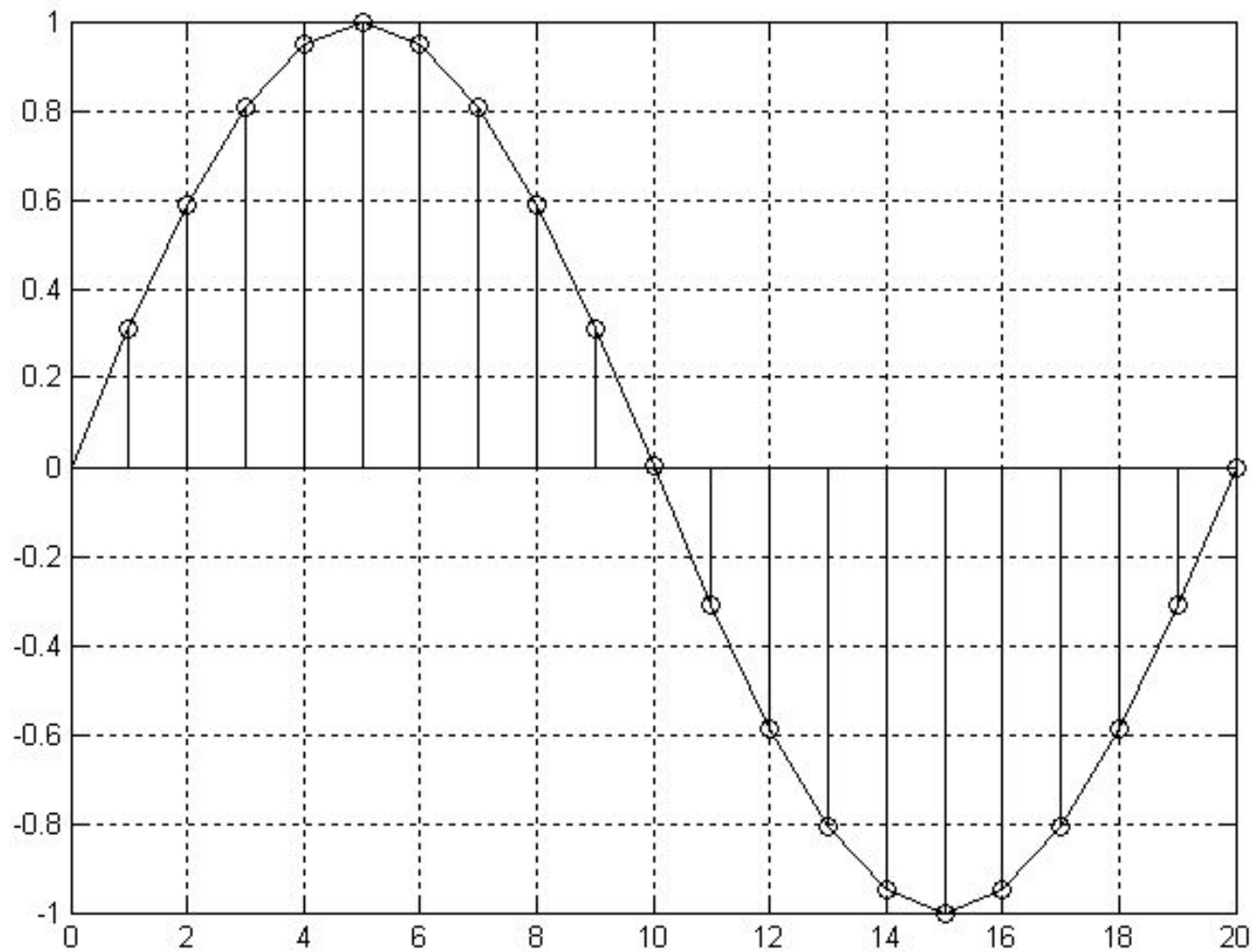




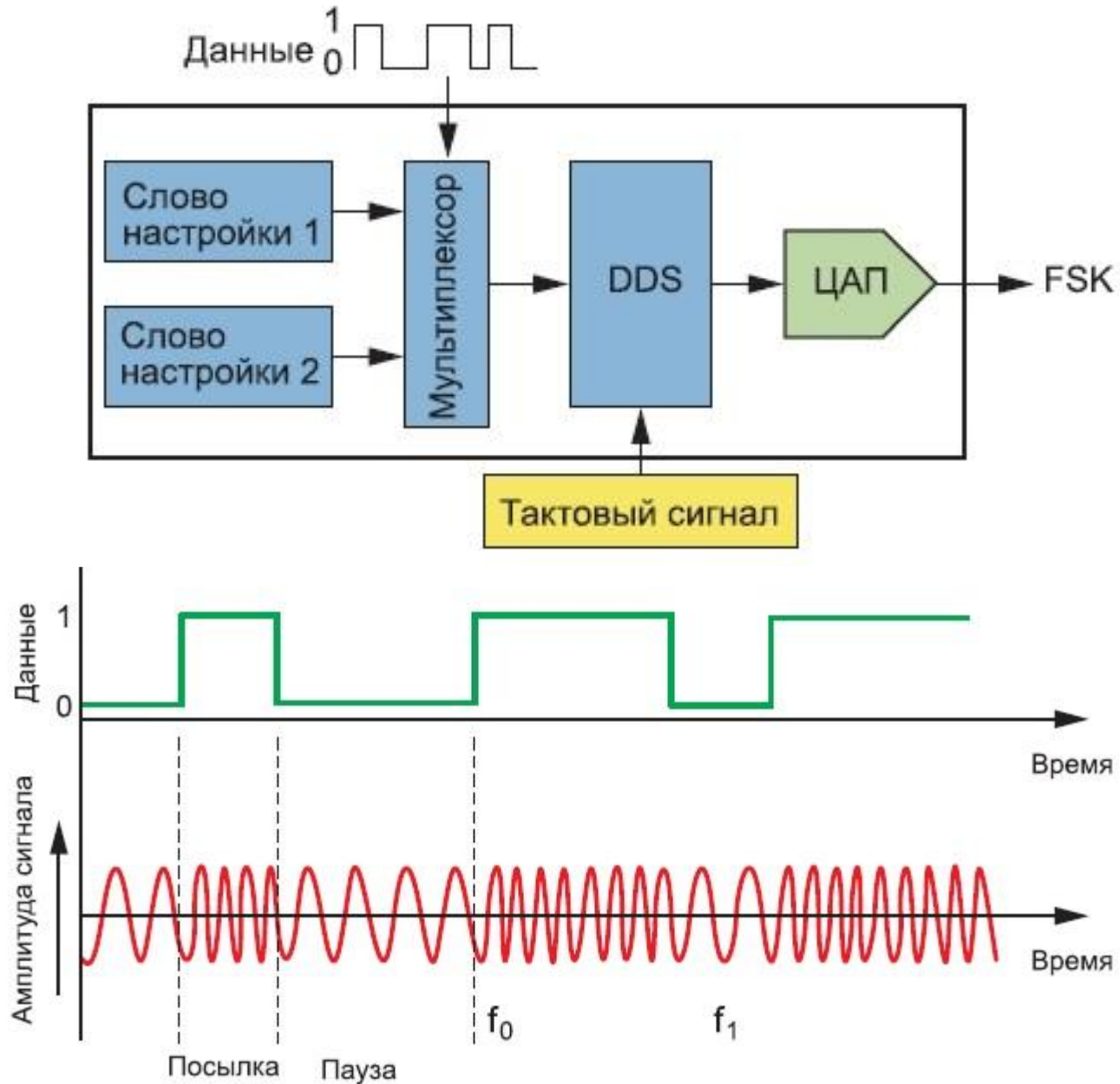
# Прямой цифровой синтез сигналов (DDS)



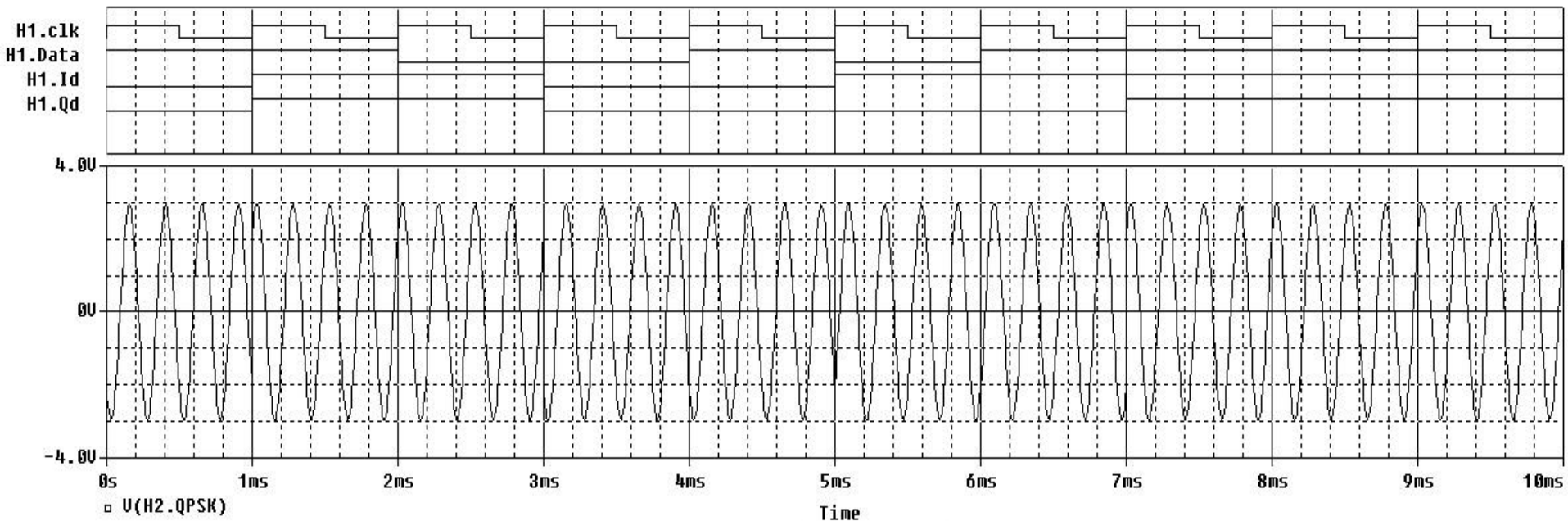
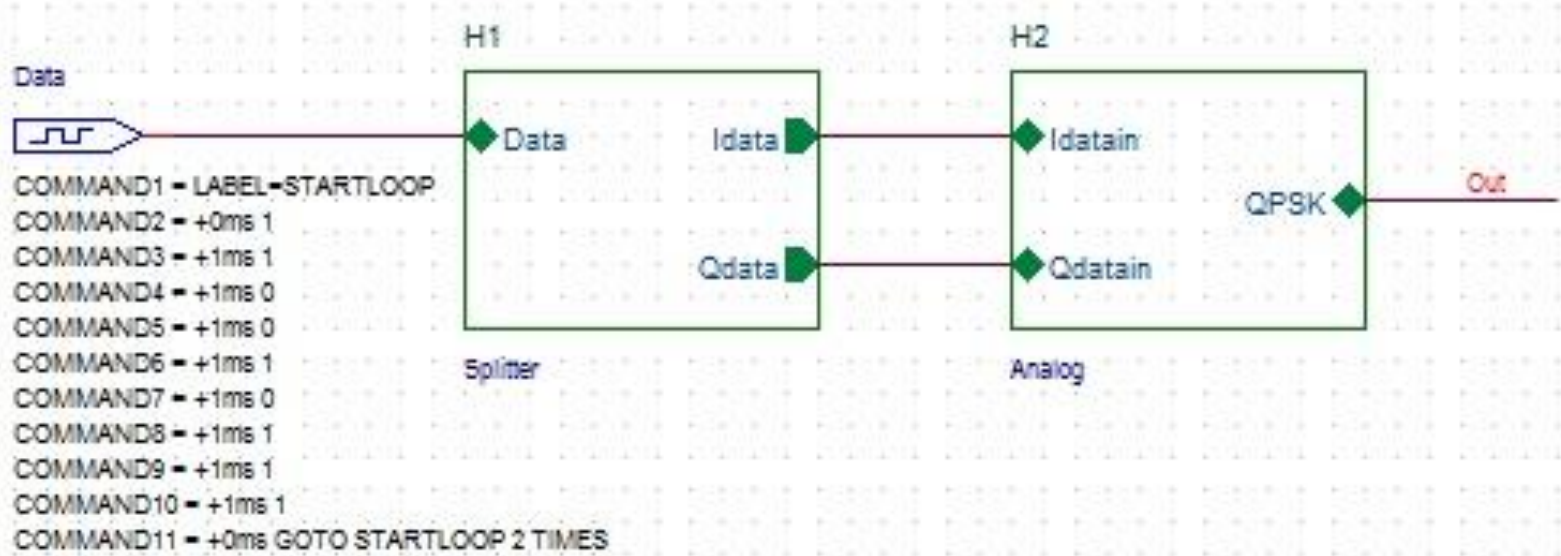
# Таблица значений синуса, записанная в ПЗУ DDS



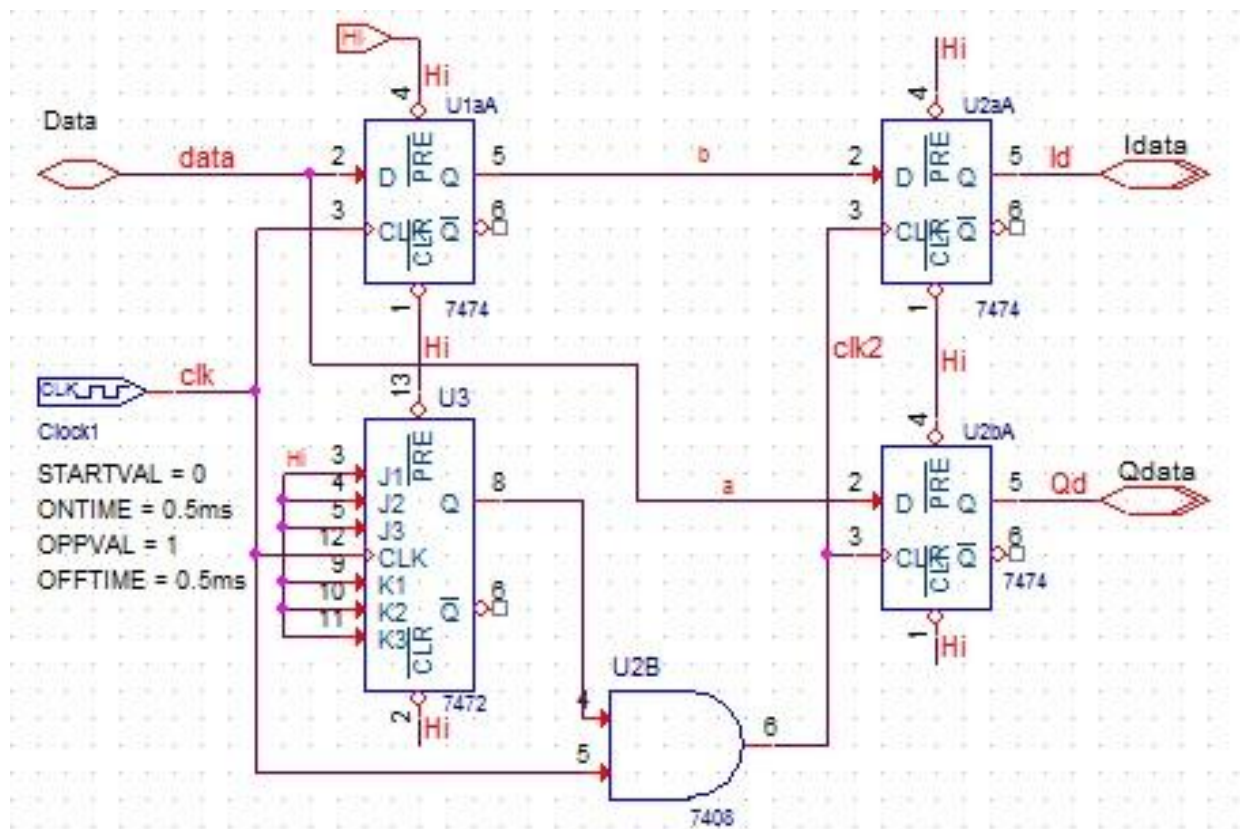
# Двоичная частотная манипуляция (Frequency Shift Keying, FSK)



# Квадратурная фазовая модуляция QPSK



# Сплиттер



# Модулятор

