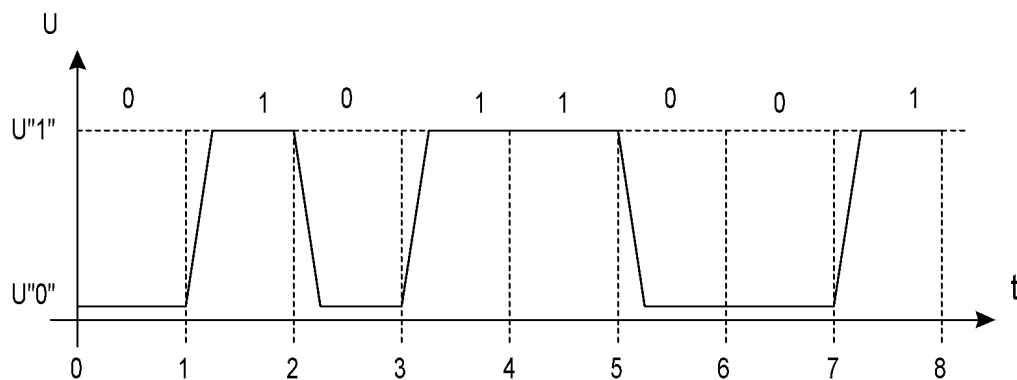


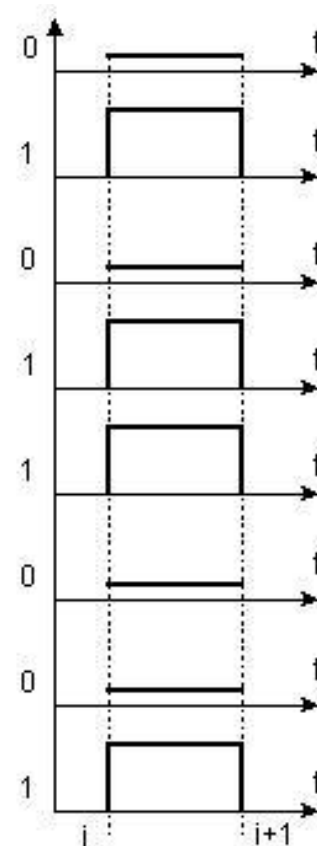
Вычислительная техника и информационные ТЕХНОЛОГИИ

Харина Н.Л., доцент каф.РЭС

Представление информации физическими сигналами



Представление цифровой информации сигналами потенциального типа (последовательный код).



Представление информации параллельным кодом

КЛАССИФИКАЦИЯ ЦУ

По способу ввода и вывода

Устройства
последовательного
действия

Устройства
параллельного
действия

Устройства
смешанного
действия

КЛАССФИКАЦИЯ ЦУ

По способу функционирования

```
graph TD; A[По способу функционирования] --> B[Комбинационные устройства]; A --> C[Последовательностные устройства];
```

Комбинационные
устройства

Последовательностные
устройства

БУЛЕВА АЛГЕБРА

СПОСОБЫ ЗАДАНИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ

- ТАБЛИЦА ИСТИННОСТИ
- БУЛЕВО ВЫРАЖЕНИЕ
- СХЕМА НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ

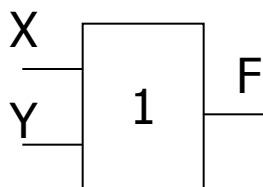
ЛОГИЧЕСКИЕ ФУНКЦИИ

		Условное обозначение	Название
F0	0000	«0»	Константа нуля
F1	0001	«^»(*)	Конъюнкция (И)
F2	0010	$\sim XY$	Запрет X
F3	0011	X	Повторение X
F4	0100	$X\sim Y$	Запрет Y
F5	0101	Y	Повторение Y
F6	0110	$X+Y$	Исключающее ИЛИ
F7	0111	«v»(+)	Дизъюнкция (ИЛИ)

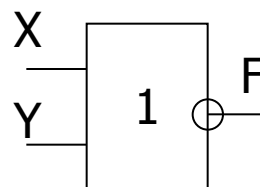
ЛОГИЧЕСКИЕ ФУНКЦИИ

		Условное обозначение	Название
F8	1000	$X \downarrow Y$	Стрелка Пирса (ИЛИ-НЕ)
F9	1001	$X \sim Y$	Равнозначность
F10	1010	$\sim X$	Отрицание X
F11	1011	$X \rightarrow Y$	Импликация от X к Y
F12	1100	$\sim Y$	Отрицание Y
F13	1101	$Y \rightarrow X$	Импликация от Y к X
F14	1110	$X \uparrow Y$	Штрих Шеффера (И-НЕ)
F15	1111	«1»	Константа единицы

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ



Логический элемент ИЛИ
 $F = X + Y$

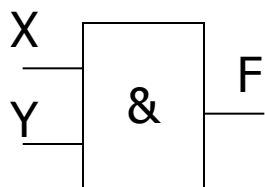


Логический элемент ИЛИ-НЕ
 $F = X + Y$

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	1

X	Y	F
0	0	1
0	1	0
1	0	0
1	1	0

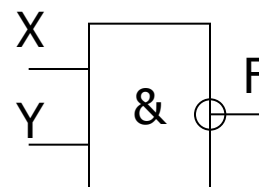
БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ



Логический элемент И

$$F = X \cdot Y$$

X	Y	F
0	0	0
0	1	0
1	0	0
1	1	1

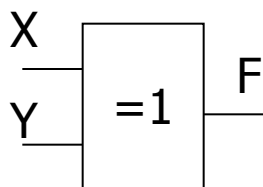


Логический элемент И-НЕ

$$F = \overline{X \cdot Y}$$

X	Y	F
0	0	1
0	1	1
1	0	1
1	1	0

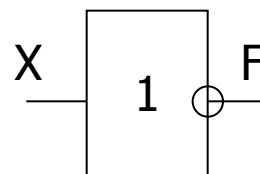
БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ



Логический элемент
исключающее ИЛИ

$$F = X \oplus Y$$

X	Y	F
0	0	0
0	1	1
1	0	1
1	1	0

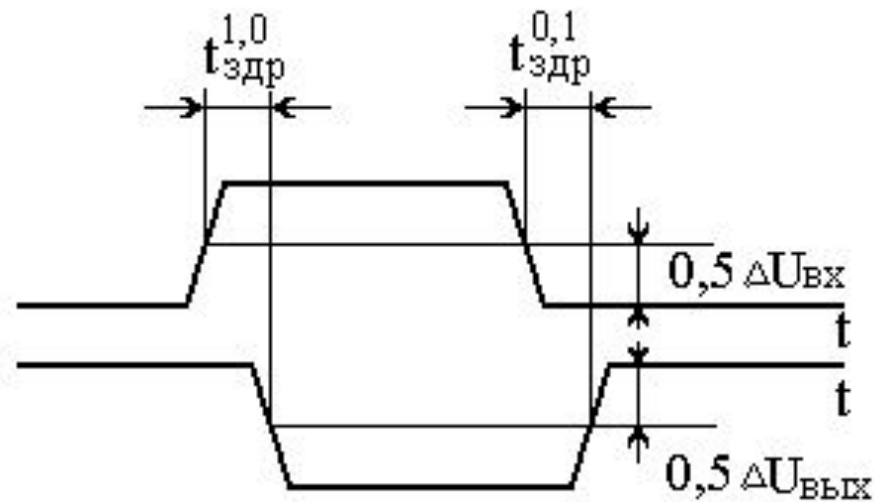


Логический элемент инвертор

$$F = \overline{X}$$

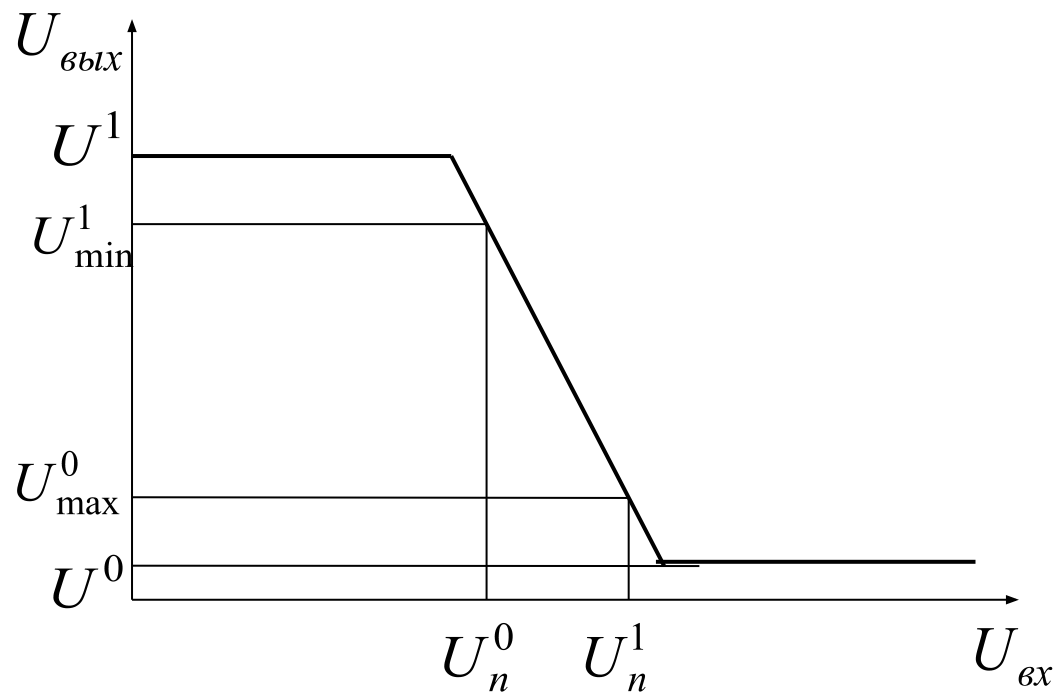
X	F
0	1
1	0

Средняя задержка распространения сигнала



$$t_{здр.ср.} = 0.5 \left(t_{здр.}^{1,0} + t_{здр.}^{0,1} \right)$$

Передаточная характеристика



ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

Аксиомы операций конъюнкции и
дизъюнкции:

- 1а) $0 \cdot 0 = 0$ 1б) $1 \vee 1 = 1$
- 2а) $1 \cdot 0 = 0 \cdot 1 = 0$ 2б) $0 \vee 1 = 1 \vee 0 = 1$
- 3а) $1 \cdot 1 = 1$ 3б) $0 \vee 0 = 0$

ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

- Переместительный закон

$$a) a \cdot b = b \cdot a \quad б) a \vee b = b \vee a$$

- Сочетательный закон

$$a) a(bc) = (ab)c = abc$$

$$б) a \vee (b \vee c) = (a \vee b) \vee c = a \vee b \vee c$$

- Закон тавтологии

$$a) a \cdot a = a \quad б) a \vee a = a$$

ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

- Закон обращения: если $a=b$, то $\sim a=\sim b$
- Закон двойной инверсии: $\sim\sim a=a$
- Закон нулевого множества
- а) $a \cdot 0=0$ б) $a \vee 0=a$
- Закон универсального множества
- а) $a \cdot 1=a$ б) $a \vee 1=1$

ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

- Закон дополнительности

а) $a \cdot \sim a = 0$ б) $a \vee \sim a = 1$

- Распределительный закон

а) $a(b \vee c) = ab \vee ac$

б) $a \vee (bc) = (a \vee b)(a \vee c)$

- Закон поглощения

а) $a \vee ab = a$ б) $a(a \vee b) = a$

ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ

- Закон склеивания

$$а) (a \vee b)(a \vee \sim b) = a$$

$$б) a * b \vee a * \sim b = a$$

- Закон инверсии (закон Де Моргана)

$$а) \sim(a * b) = \sim a \vee \sim b \quad б) \sim(a \vee b) = \sim a * \sim b$$

- или после инвертирования

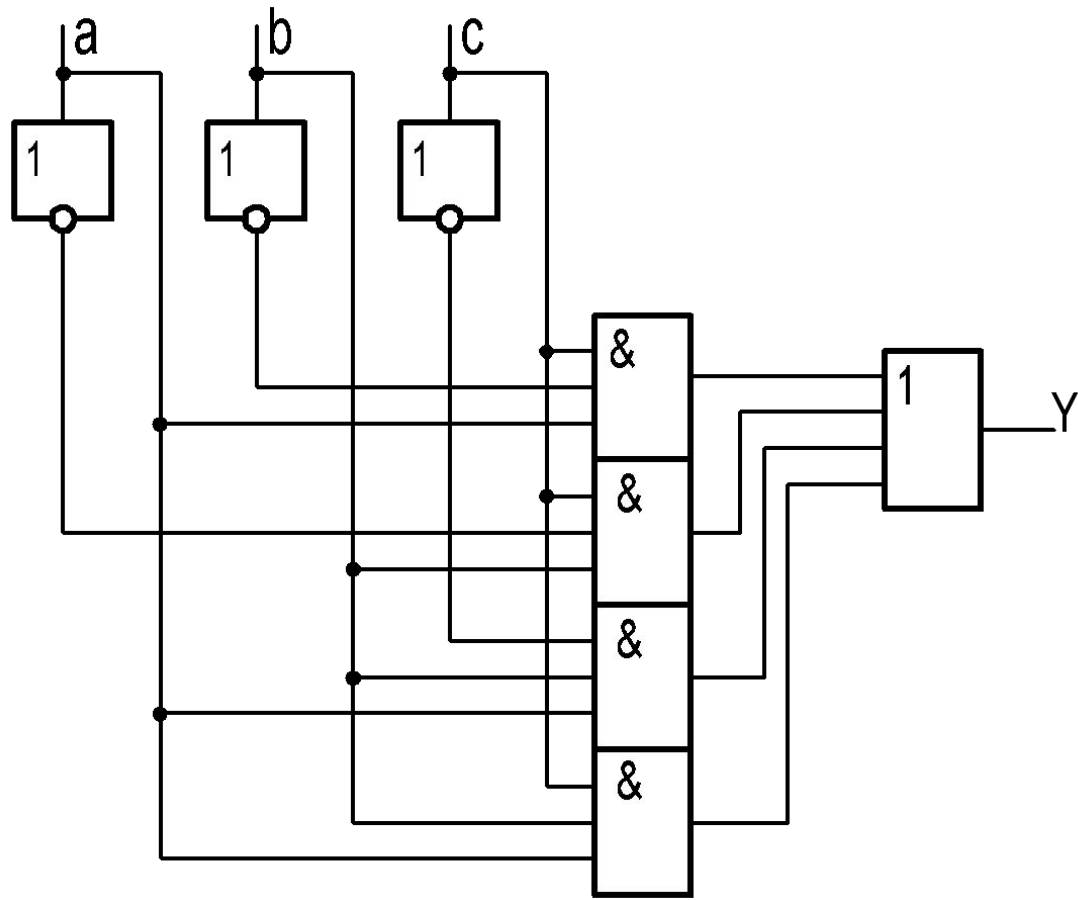
$$в) a * b = \sim(\sim a \vee \sim b) \quad г) a \vee b = \sim(\sim a * \sim b)$$

Произвольные функции и ЛОГИЧЕСКИЕ СХЕМЫ

№	Аргументы			Ф-я	№	Аргументы			Ф-я
	a	b	c	y		a	b	c	y
0	0	0	0	0	4	1	0	0	0
1	0	0	1	0	5	1	0	1	1
2	0	1	0	0	6	1	1	0	1
3	0	1	1	1	7	1	1	1	1

$$Y = \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee a\bar{b}\bar{c} \vee abc$$

Логическая схема

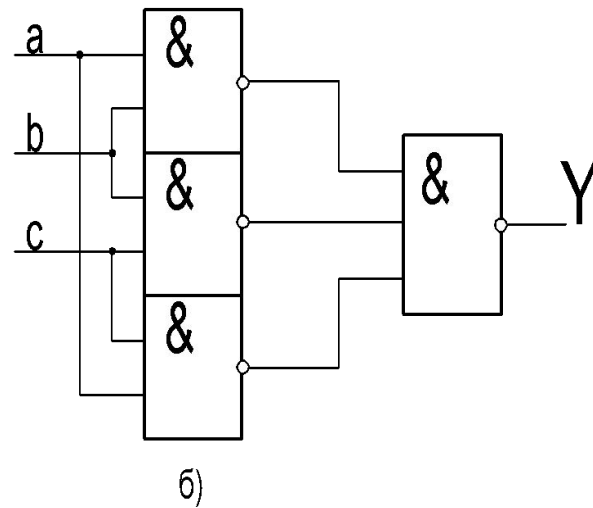
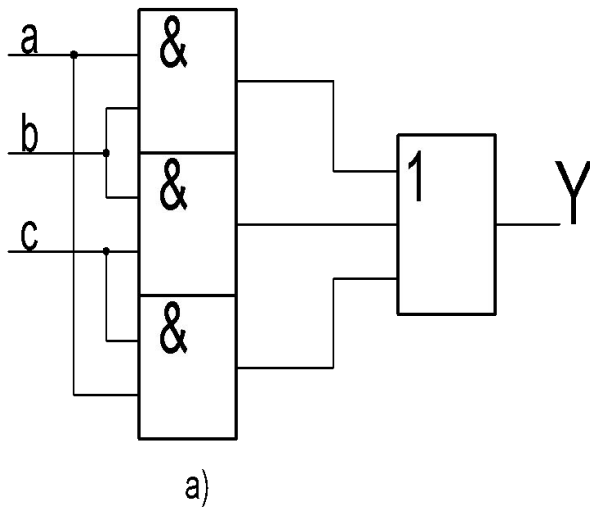


Минимизация функций

$$Y = \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee a\bar{b}\bar{c} \vee abc$$

$$\begin{aligned} Y &= \bar{a}\bar{b}c \vee \bar{a}b\bar{c} \vee a\bar{b}\bar{c} \vee abc \vee abc \vee abc \vee abc = \\ &= (\bar{a}\bar{b}c \vee abc) \vee (\bar{a}b\bar{c} \vee abc) \vee (a\bar{b}\bar{c} \vee abc) = \\ &= ac(b \vee \bar{b}) \vee bc(a \vee \bar{a}) \vee ab(c \vee \bar{c}) = \\ &= ac \vee bc \vee ab \end{aligned}$$

Минимизация функций



Схема, реализующая выражение
а) в булевском базисе; б) в базисе И-НЕ.

Минимизация функций (карта Карно)

	x2	0	1
x1			
0		f(0,0)	f(0,1)
1		f(1,0)	f(1,1)

Карта Карно для функции
двух переменных

	x2,x3	00	01	11	10
x1					
0		f(0,0,0)	f(0,0,1)	f(0,1,1)	f(0,1,0)
1		f(1,0,0)	f(1,0,1)	f(1,1,1)	f(1,1,0)

Карта Карно для функции
трех переменных

Минимизация функций (карта Карно)

	x_3, x_4	00	01	11	10
x_1, x_2					
00		$f(0,0,0,0)$	$f(0,0,0,1)$	$f(0,0,1,1)$	$f(0,0,1,0)$
01		$f(0,1,0,0)$	$f(0,1,0,1)$	$f(0,1,1,1)$	$f(0,1,1,0)$
11		$f(1,1,0,0)$	$f(1,1,0,1)$	$f(1,1,1,1)$	$f(1,1,1,0)$
10		$f(1,0,0,0)$	$f(1,0,0,1)$	$f(1,0,1,1)$	$f(1,0,1,0)$

Карта Карно для функции
четырех переменных

Примеры карт Карно

	x ₃ ,x ₄	00	01	1	10
x ₁ ,x ₂					
00	0	1	0	0	
01	0	1	0	1	
11	0	1	0	0	
10	0	1	0	0	

а)

	x ₃ ,x ₄	00	01	11	10
x ₁ ,x ₂					
00	0	0	1	0	
01	1	0	0	1	
11	1	0	0	1	
10	0	0	1	0	

б)

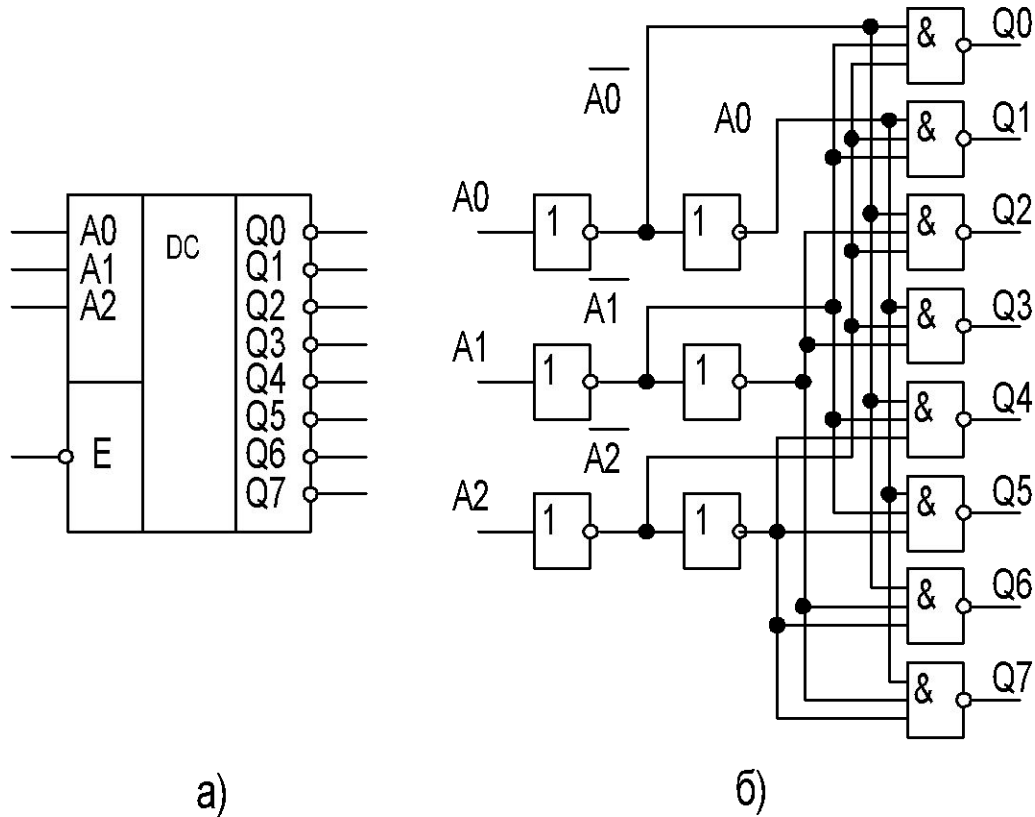
	x ₃ ,x ₄	00	01	11	10
x ₁ ,x ₂					
00	1	0	0	1	
01	0	0	0	0	
11	0	0	0	0	
10	1	0	0	1	

в)

Типовые комбинационные устройства

- преобразователи кодов;
- коммутаторы;
- арифметические устройства;
- постоянные запоминающие устройства (ПЗУ).

Дешифратор



Дешифратор "1 из 8" с инверсными выходами

Дешифратор

E	A2	A1	A0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
1	*	*	*	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1	1	0

$$Q0 = \overline{\overline{A2 * \overline{A1 * \overline{A0}}}}$$

$$Q1 = \overline{\overline{A2 * \overline{A1 * A0}}}$$

$$Q2 = \overline{\overline{A2 * A1 * \overline{A0}}}$$

$$Q3 = \overline{\overline{A2 * \overline{A1 * A0}}}$$

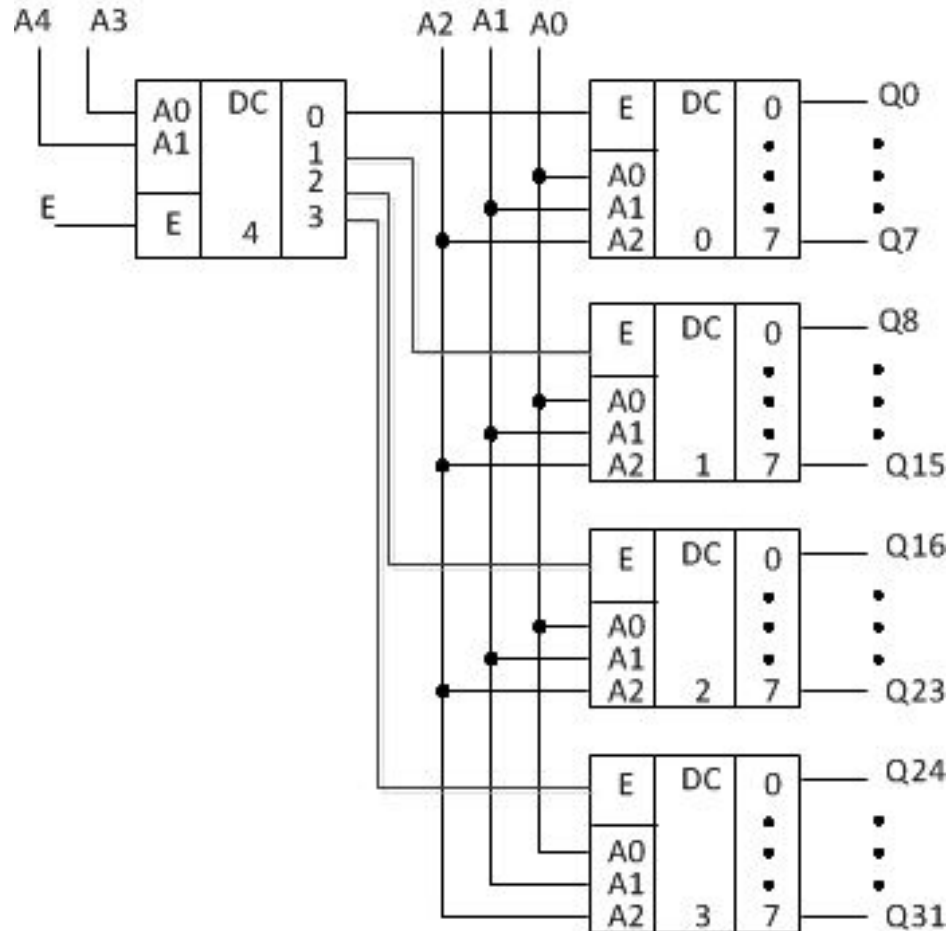
$$Q4 = \overline{\overline{A2 * \overline{A1 * \overline{A0}}}}$$

$$Q5 = \overline{\overline{A2 * \overline{A1 * A0}}}$$

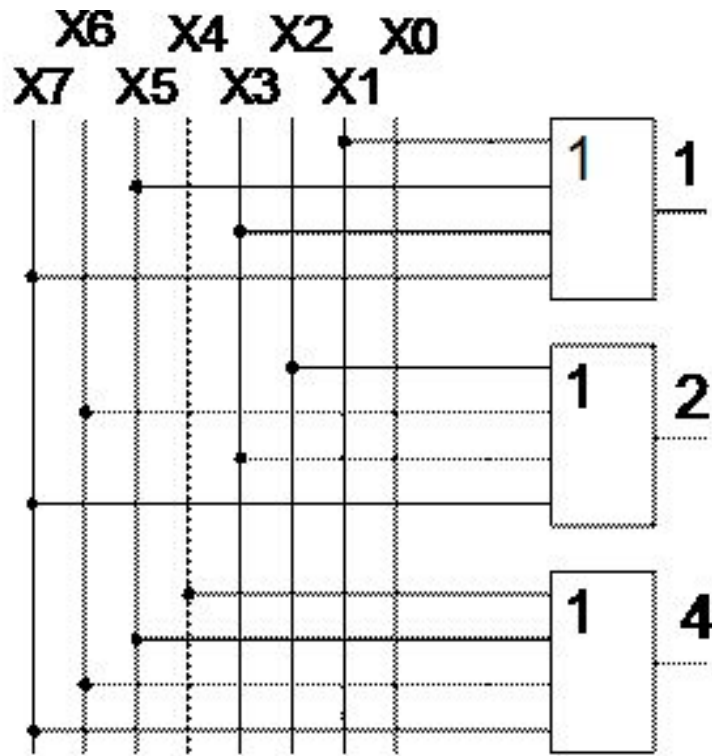
$$Q6 = \overline{\overline{A2 * A1 * \overline{A0}}}$$

$$Q7 = \overline{\overline{A2 * \overline{A1 * A0}}}$$

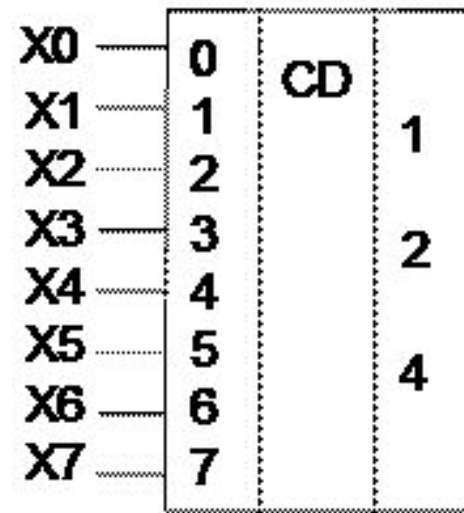
Каскадное соединение дешифраторов



Шифратор



а)



б)

Шифратор

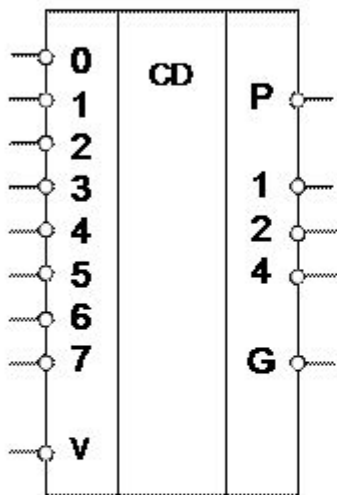
	X0	X1	X2	X3	X4	X5	X6	X7	Y0(4)	Y1(2)	Y2(1)
	1	0	0	0	0	0	0	0	0	0	0
	0	1	0	0	0	0	0	0	0	0	1
	0	0	1	0	0	0	0	0	0	1	0
	0	0	0	1	0	0	0	0	0	1	1
	0	0	0	0	1	0	0	0	1	0	0
	0	0	0	0	0	1	0	0	1	0	1
	0	0	0	0	0	0	1	0	1	1	0
	0	0	0	0	0	0	0	1	1	1	1

$$Y_0 = X_4 + X_5 + X_6 + X_7$$

$$Y_1 = X_2 + X_3 + X_6 + X_7$$

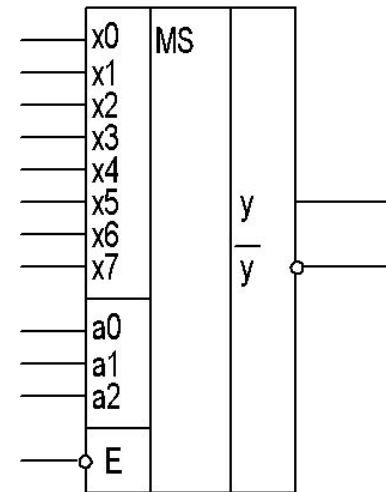
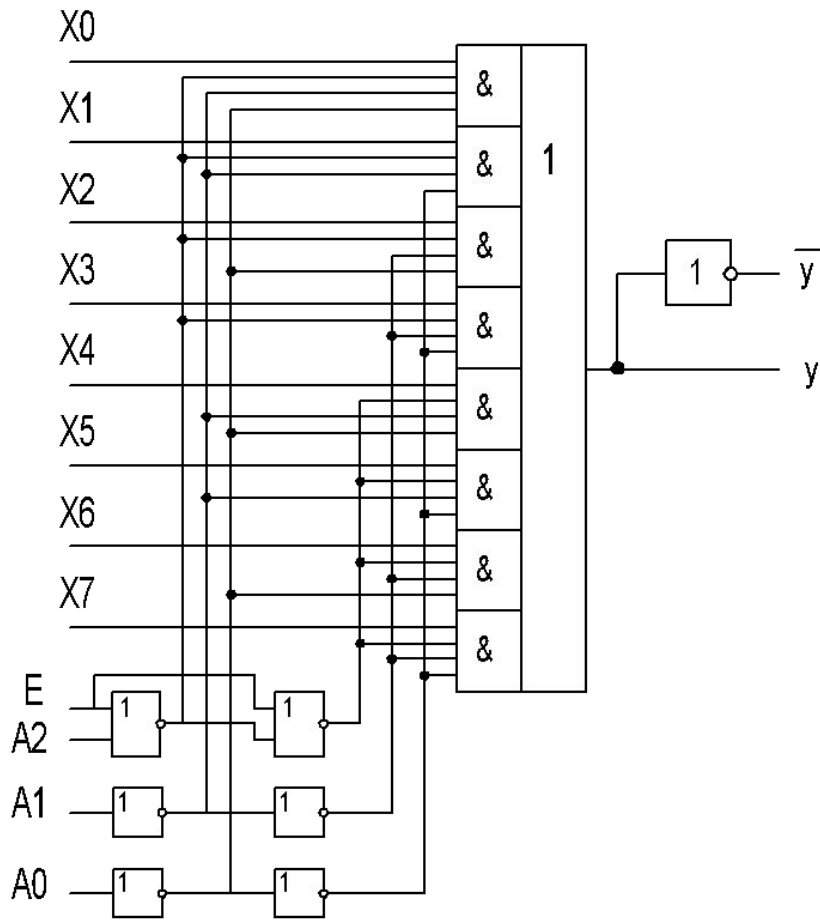
$$Y_2 = X_1 + X_3 + X_5 + X_7$$

Приоритетный шифратор



	X0	X1	X2	X3	X4	X5	X6	X7	Y0(4)	Y1(2)	Y2(1)
	0	1	1	1	1	1	1	1	1	1	1
	Φ	0	1	1	1	1	1	1	1	1	0
	Φ	Φ	0	1	1	1	1	1	1	0	1
	Φ	Φ	Φ	0	1	1	1	1	1	0	0
	Φ	Φ	Φ	Φ	0	1	1	1	0	1	1
	Φ	Φ	Φ	Φ	Φ	0	1	1	0	1	0
	Φ	Φ	Φ	Φ	Φ	Φ	0	1	0	0	1
	Φ	Φ	Φ	Φ	Φ	Φ	Φ	0	0	0	0

Мультиплексор

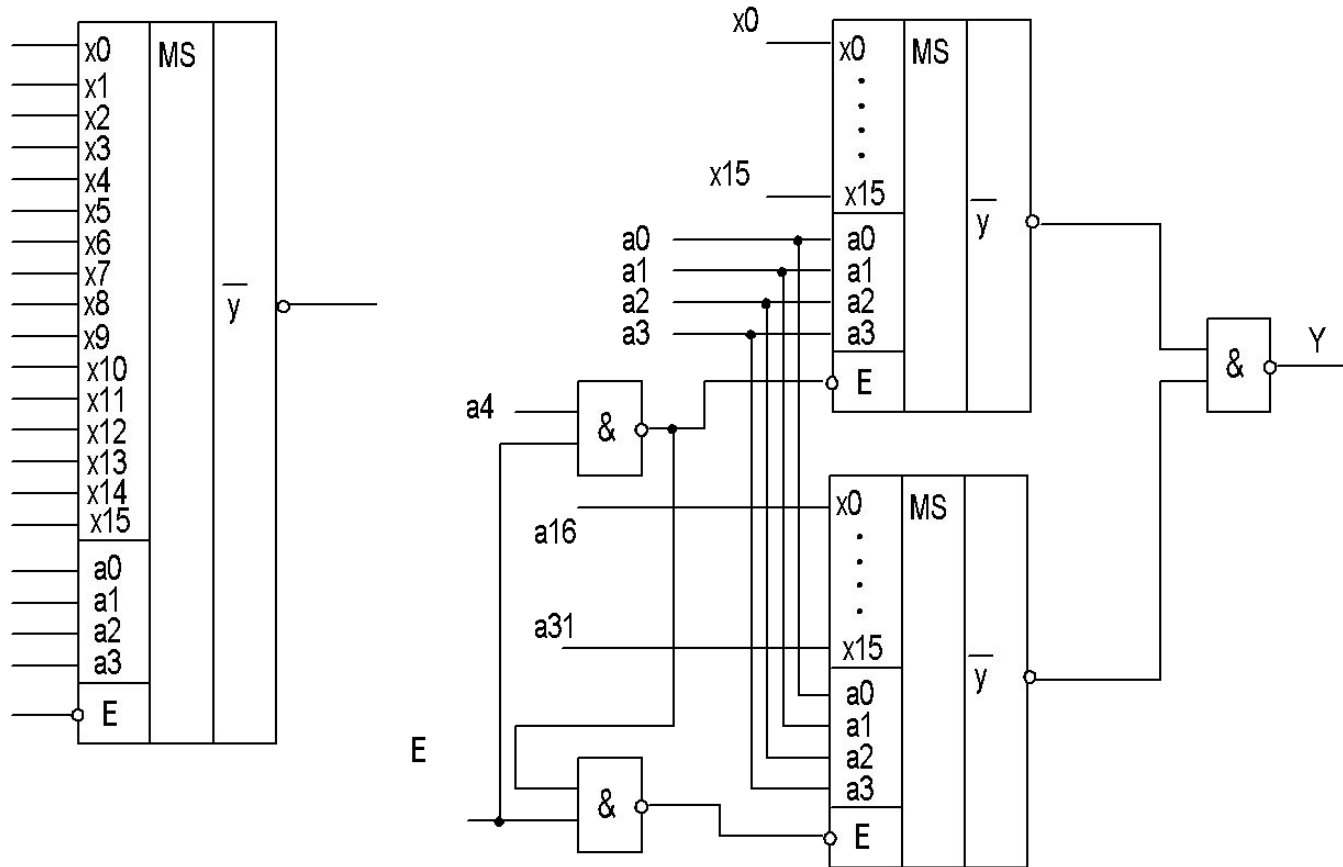


Мультиплексор

E	A2	A1	A0	Y
1	*	*	*	0
0	0	0	0	X0
0	0	0	1	X1
0	0	1	0	X2
0	0	1	1	X3
0	1	0	0	X4
0	1	0	1	X5
0	1	1	0	X6
0	1	1	1	X7

$$Y = \bar{E} \left(\bar{A2} \cdot \bar{A1} \cdot \bar{A0} \cdot X0 \vee \bar{A2} \cdot \bar{A1} \cdot A0 \cdot X1 \vee \bar{A2} \cdot A1 \cdot \bar{A0} \cdot X2 \vee \bar{A2} \cdot A1 \cdot A0 \cdot X3 \vee A2 \cdot \bar{A1} \cdot \bar{A0} \cdot X4 \vee A2 \cdot \bar{A1} \cdot A0 \cdot X5 \vee A2 \cdot A1 \cdot \bar{A0} \cdot X6 \vee A2 \cdot A1 \cdot A0 \cdot X7 \right)$$

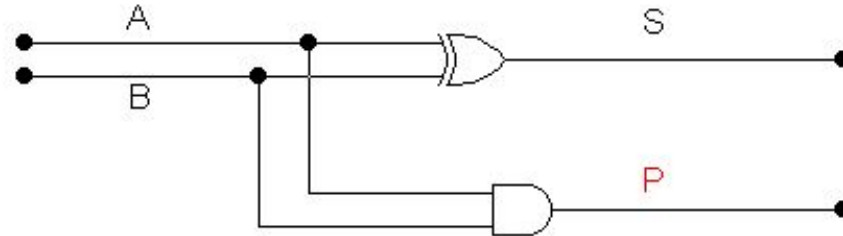
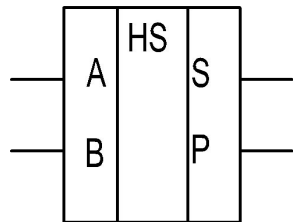
Наращивание мультиплексоров



Мультиплексор К155КП1 а) и 32-входовой мультиплексор б)

АРИФМЕТИЧЕСКИЕ УСТРОЙСТВА

ПОЛУСУММАТОР

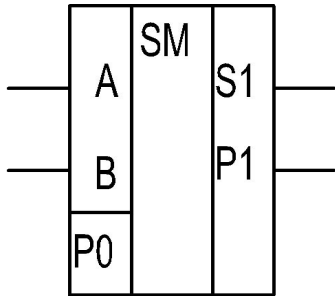


$$S = A \oplus B,$$

$$P = AB$$

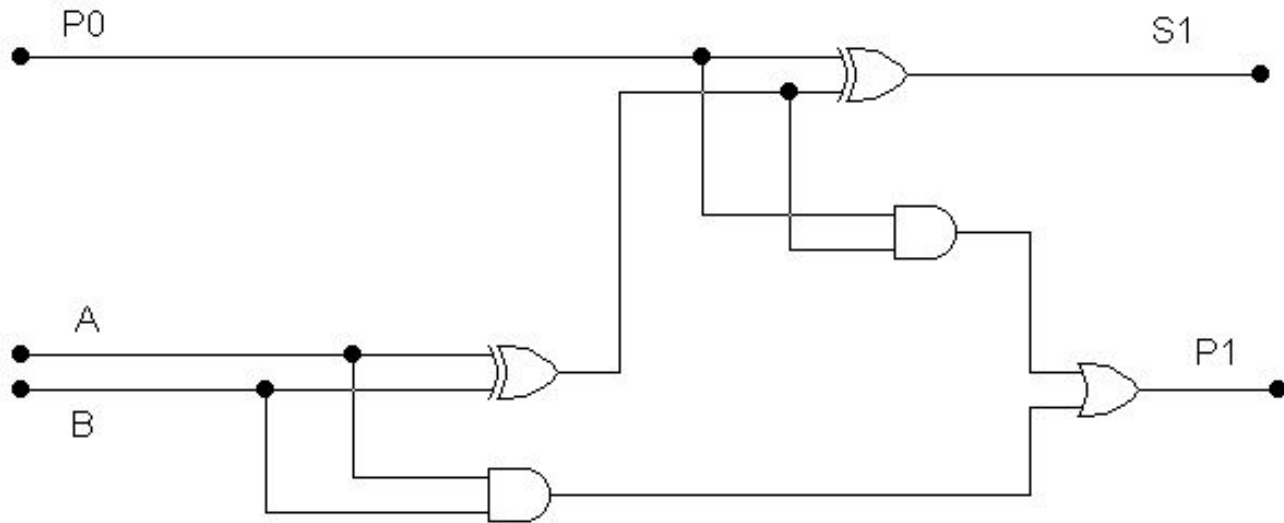
B	A	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Сумматор

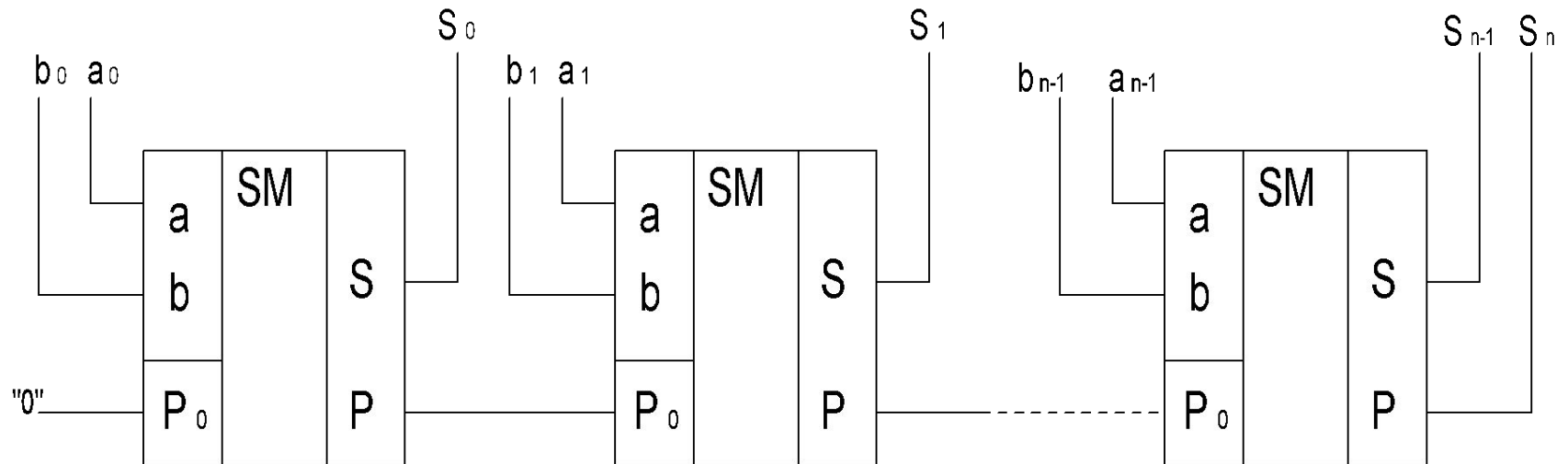


P0	B	A	S1	P1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Сумматор



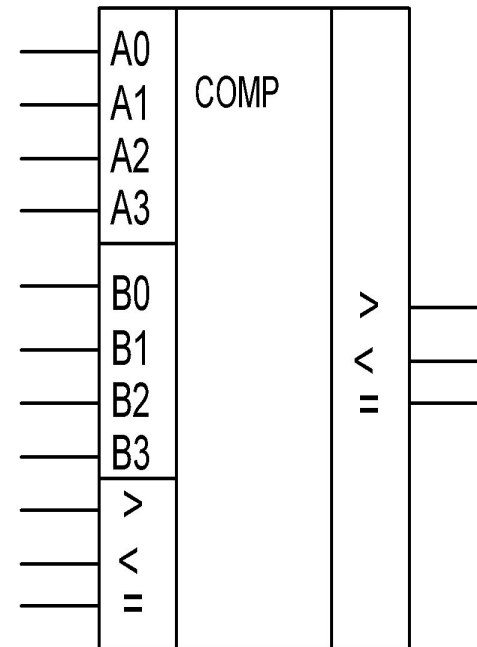
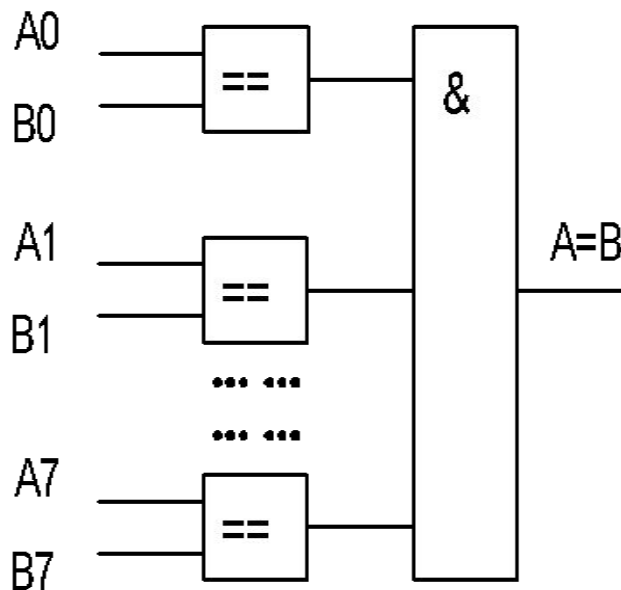
Сумматор с последовательным переносом



Цифровой компаратор

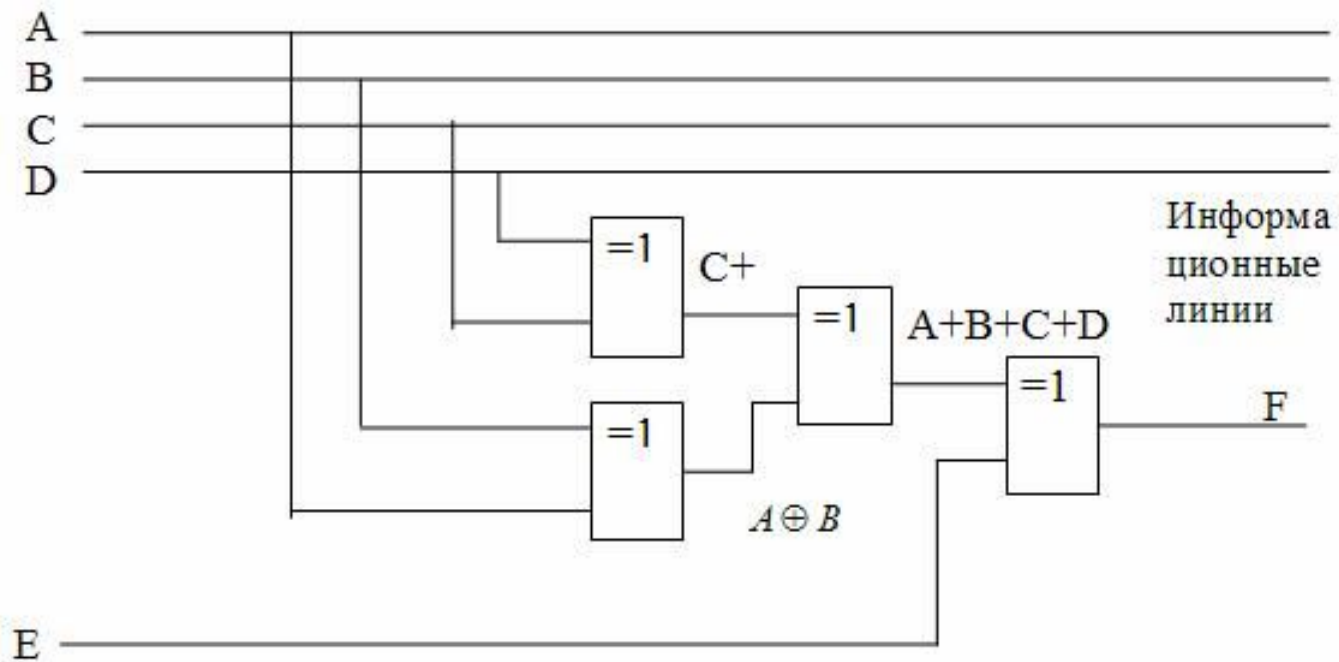
$$\bigwedge_{i=0}^7 (a_i \equiv b_i) = \bigvee_{i=0}^7 \overline{(a_i \equiv b_i)} = \bigvee_{i=0}^7 (a_i \oplus b_i)$$

K555СП1

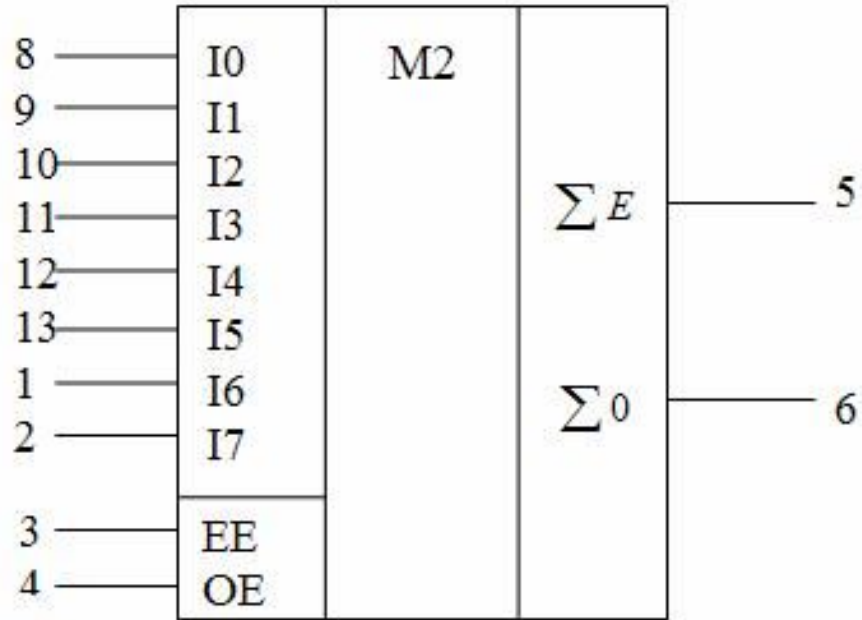


Контроль четности

К примеру, в числе 0111 число единиц нечетно.
00111 - нечетный паритет;
10111 - четный паритет.

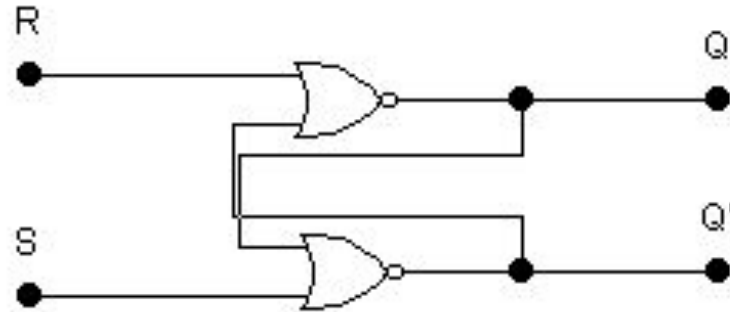
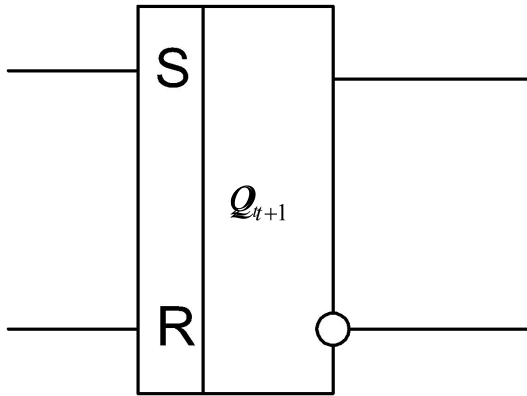


Контроль четности



Условное изображение микросхемы К155ИП2.

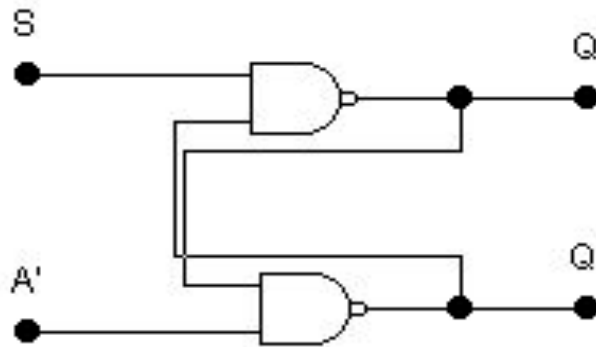
Асинхронный RS-триггер



R	S		Режим работы
0	0		Хранение
0	1	1	Установка «1»
1	0	0	Установка «0»
1	1	—	Запрещенное состояние

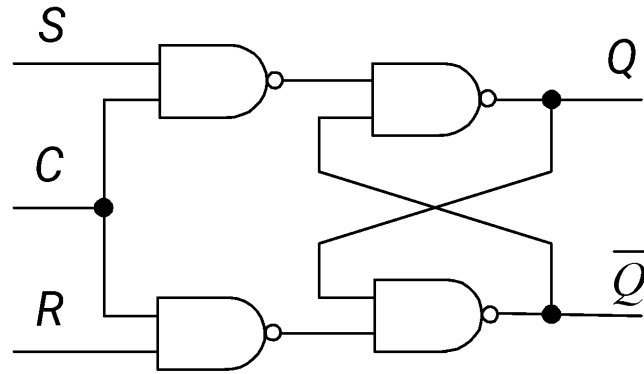
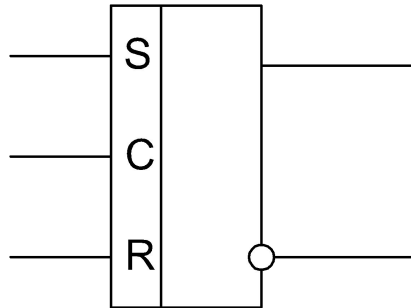
$$Q_{t+1} = \bar{R}S \vee \bar{R}Q_t = \bar{R}(S \vee Q_t).$$

Асинхронный RS-триггер с инверсными входами



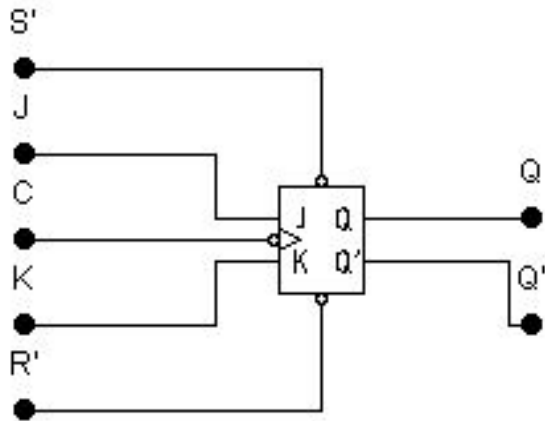
R	S	Q_i	Режим работы
1	1		Хранение
1	0	1	Установка «1»
0	1	0	Установка «0»
0	0	—	Запрещенное состояние

Синхронный RS-триггер



C	R	S		Режим работы
0	x	x		Хранение
1	0	0		Хранение
1	0	1	1	Установка «1»
1	1	0	0	Установка «0»
1	1	1	–	Запрещенное состояние

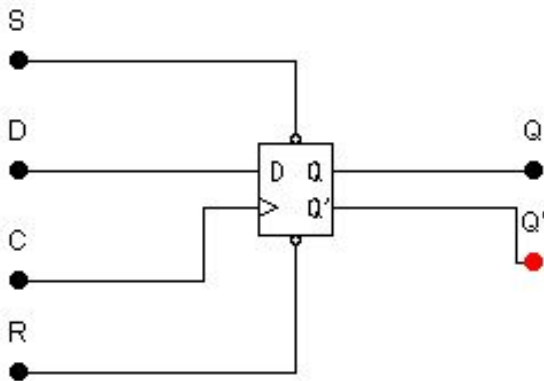
JK-триггер



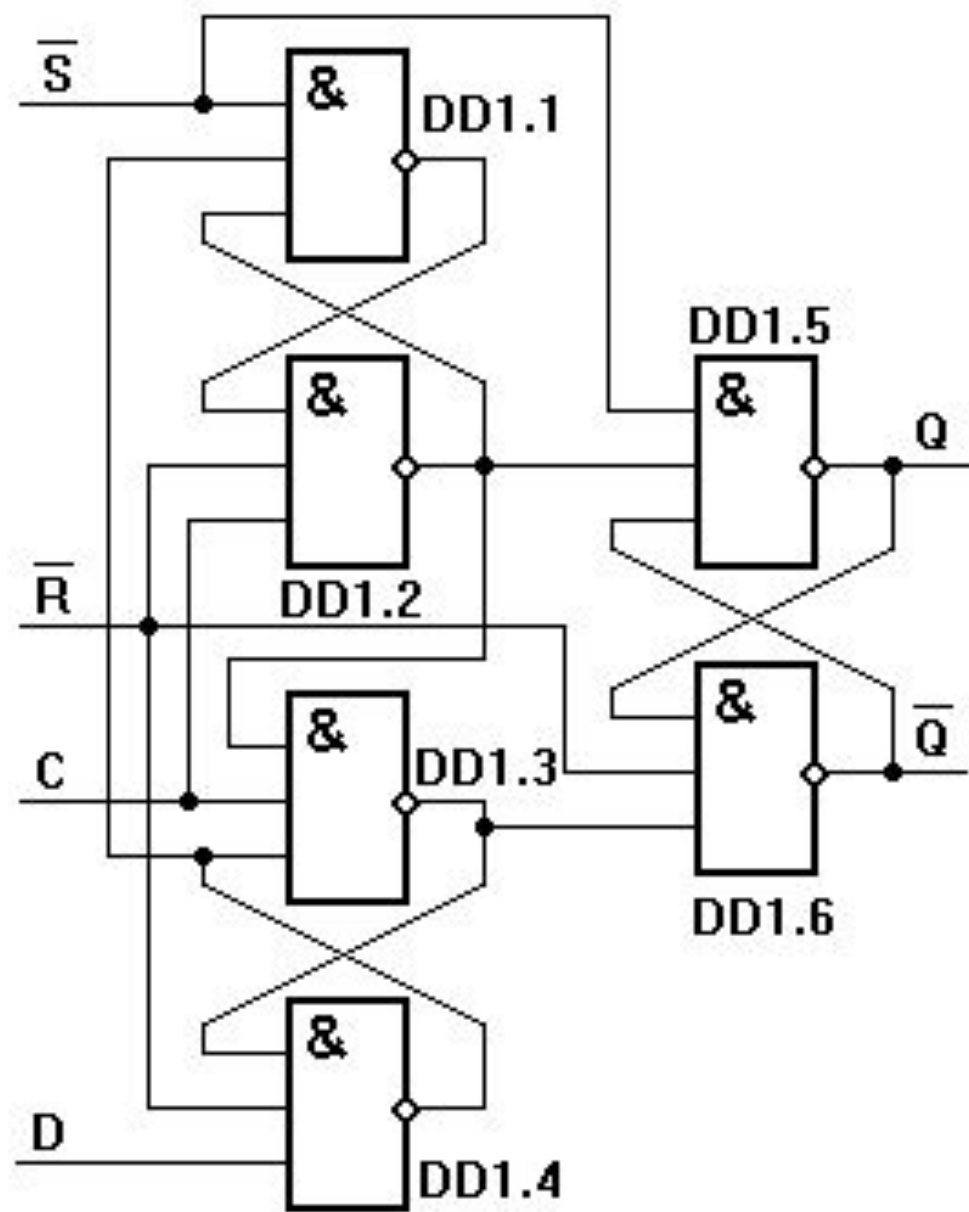
$$Q_{t+1} = J_t \overline{Q_t} \vee Q_t K_t.$$

$\sim R$	$\sim S$	C	J	K		Режим работы
0	0	×	×	×	-	Запрещенное состояние
0	1	×	×	×	0	Асинхронная установка «0»
1	0	×	×	×	1	Асинхронная установка «1»
1	1	0	×	×		Хранение
1	1	1	0	0		Хранение
1	1	1	0	1	0	Установка «0»
1	1	1	1	0	1	Установка «1»
1	1	1	1	1		Переключение (противоположное состояние)

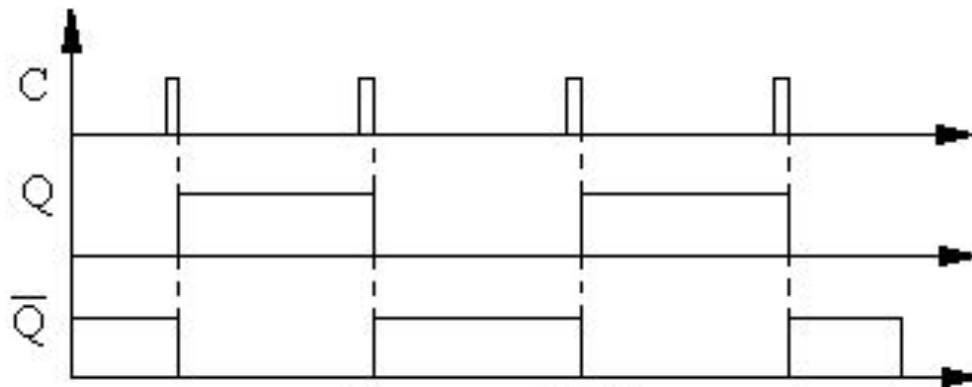
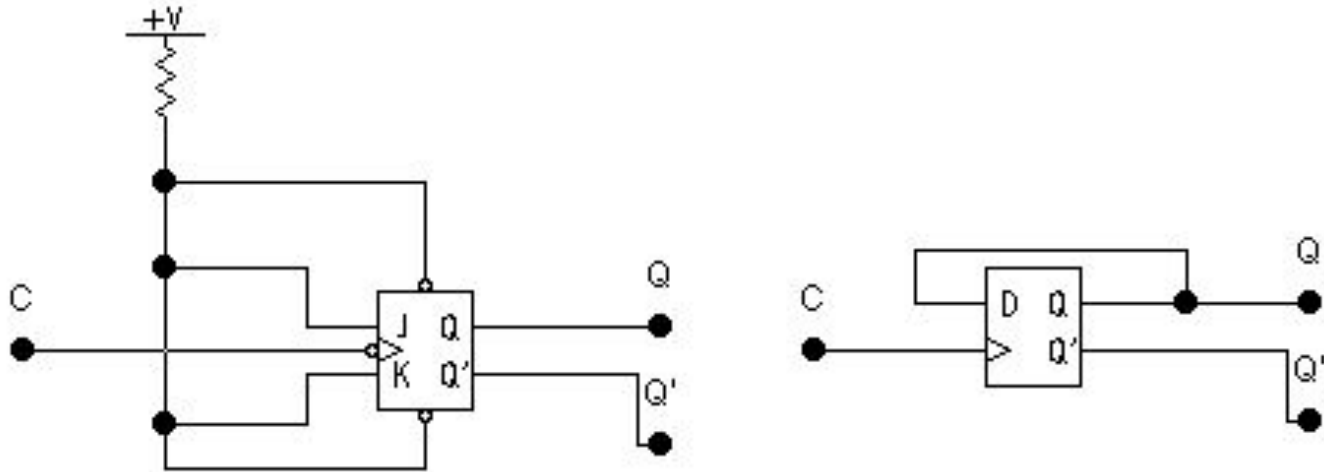
D-триггер



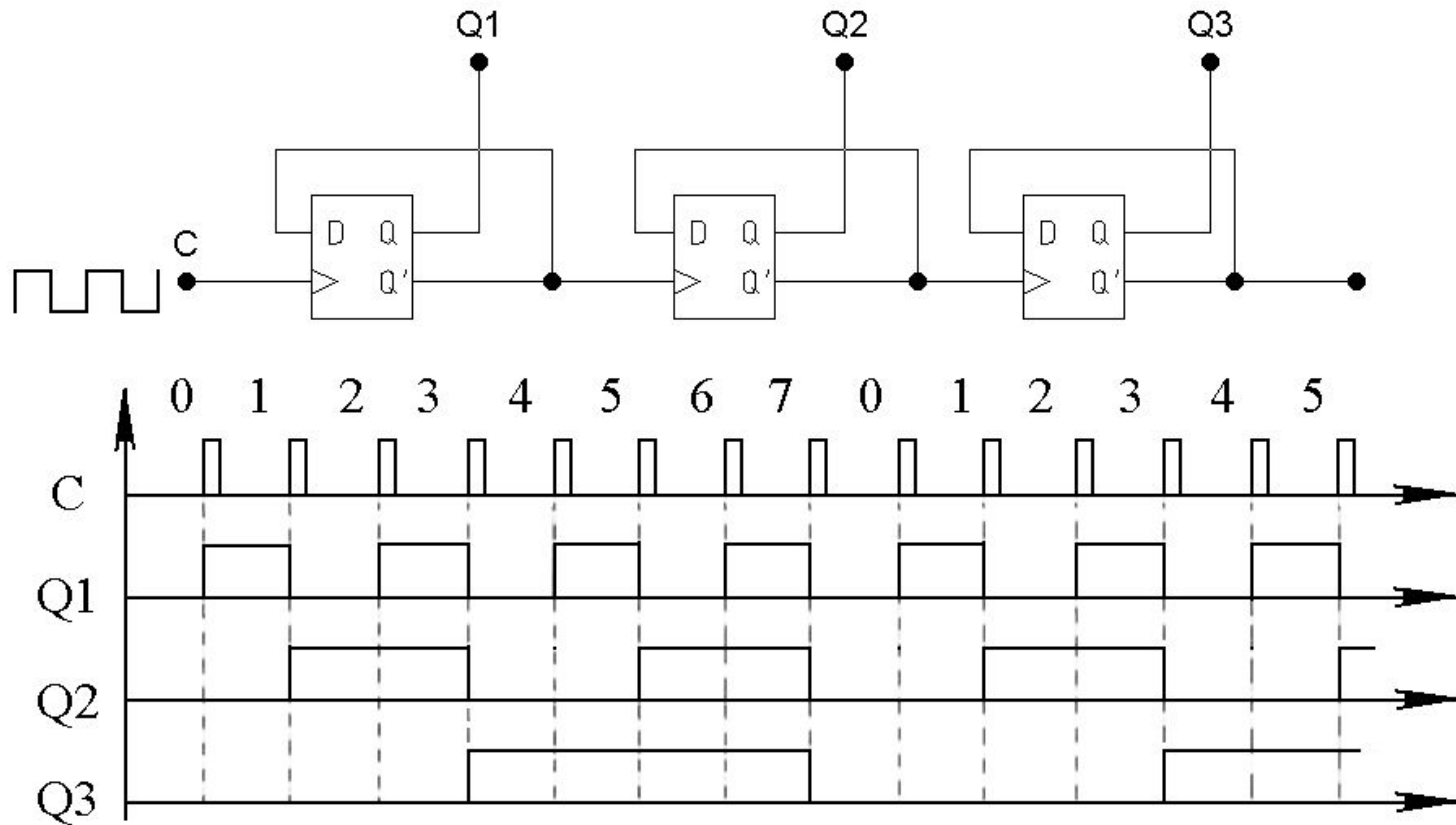
$\sim R$	$\sim S$	C	D		Режим работы
0	0	×	×	-	Запрещенное состояние
0	1	×	×	0	Асинхронная установка «0»
1	0	×	×	1	Асинхронная установка «1»
1	1	0	×		Хранение
1	1	1	0	0	Установка «0»
1	1	1	1	1	Установка «1»



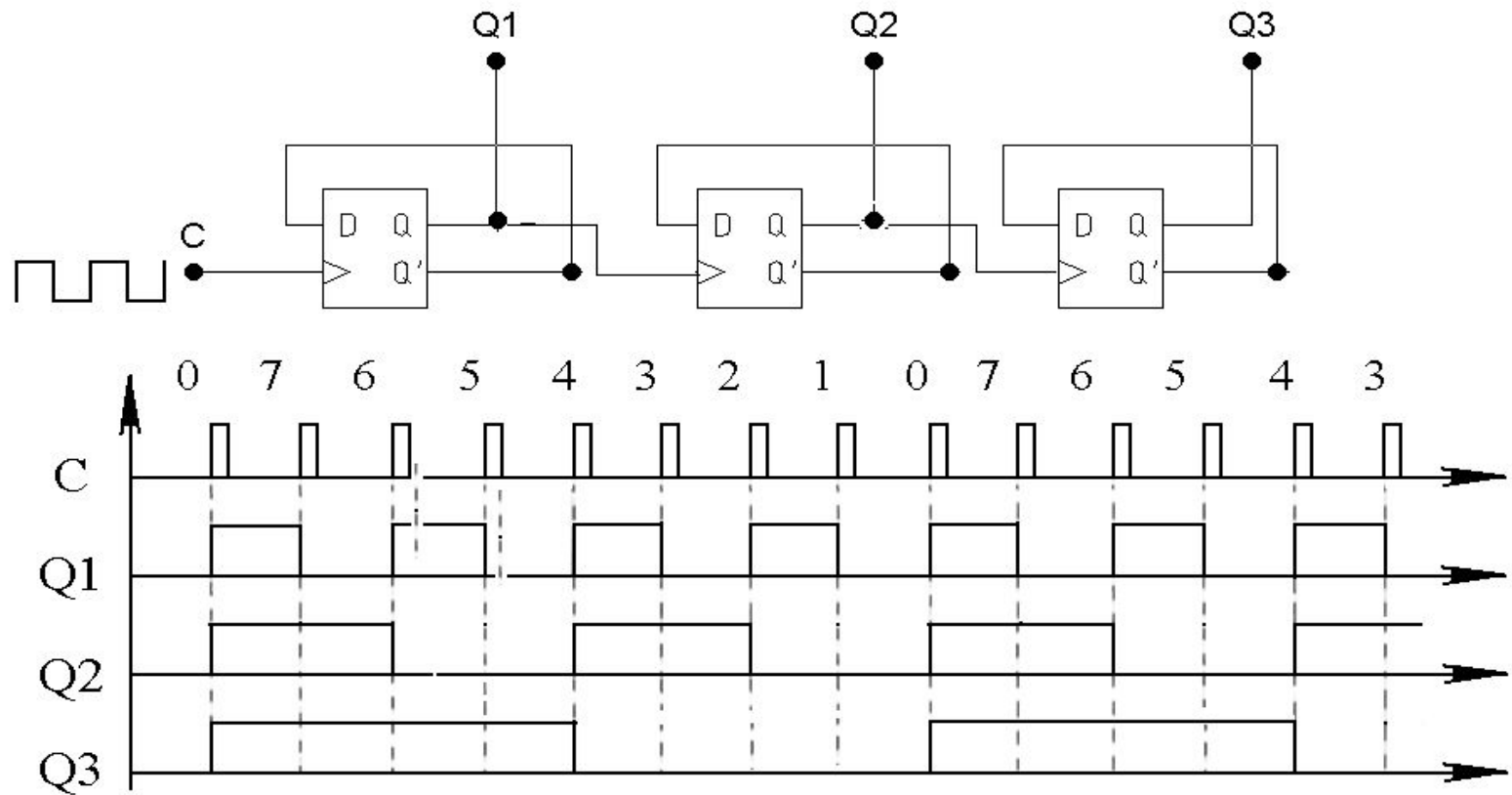
T-триггер (счетный триггер)



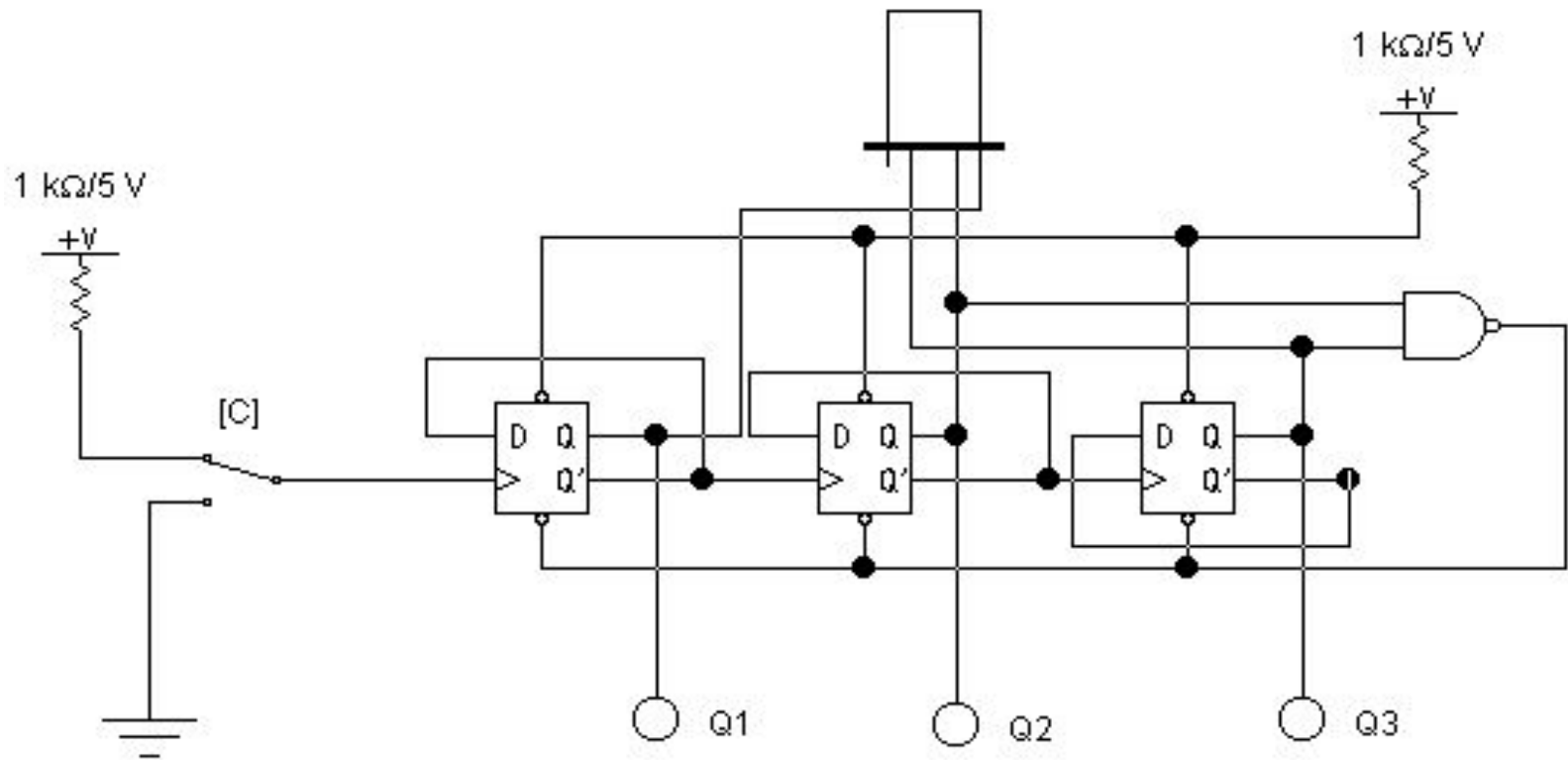
Счетчик (суммирующий)



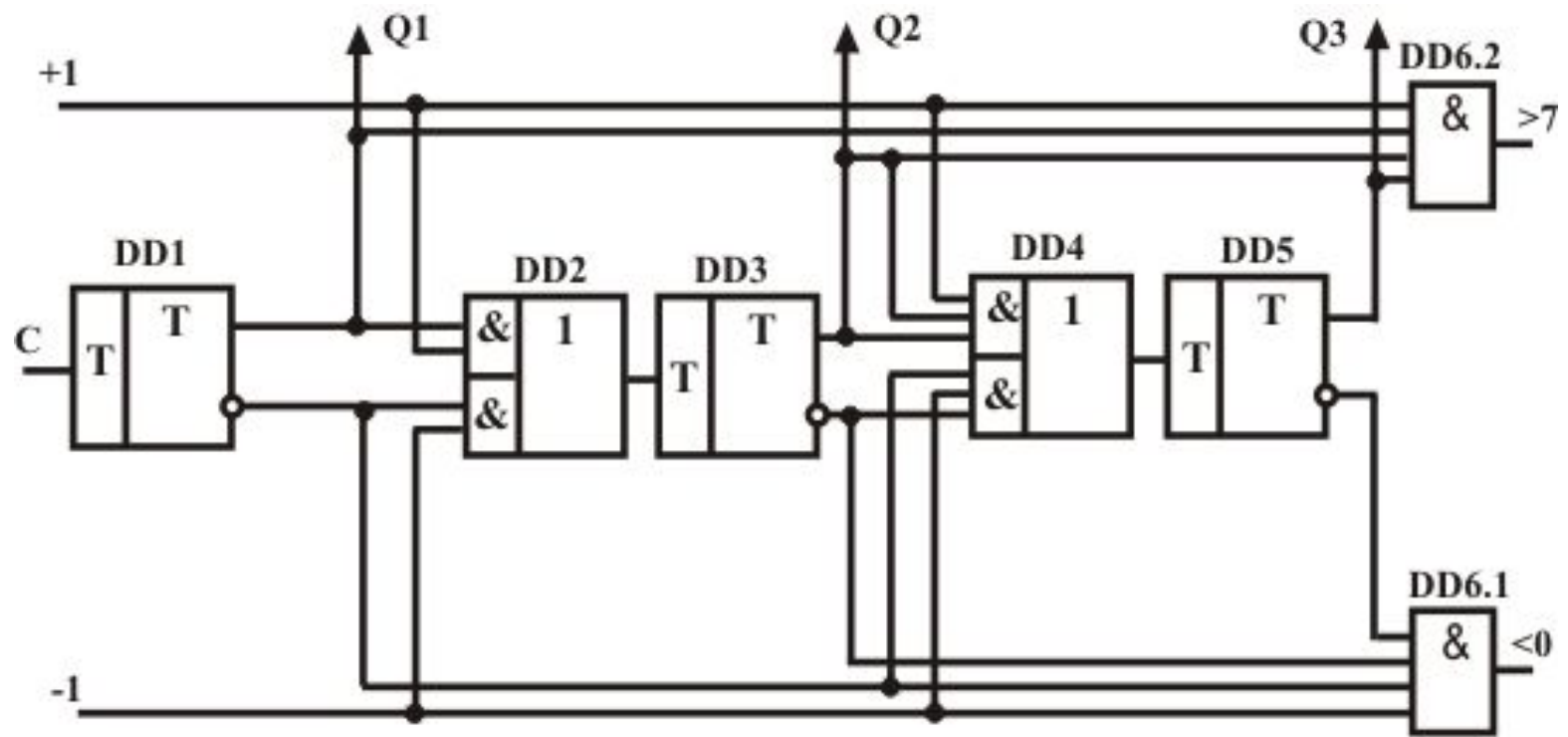
Счетчик (вычитающий)



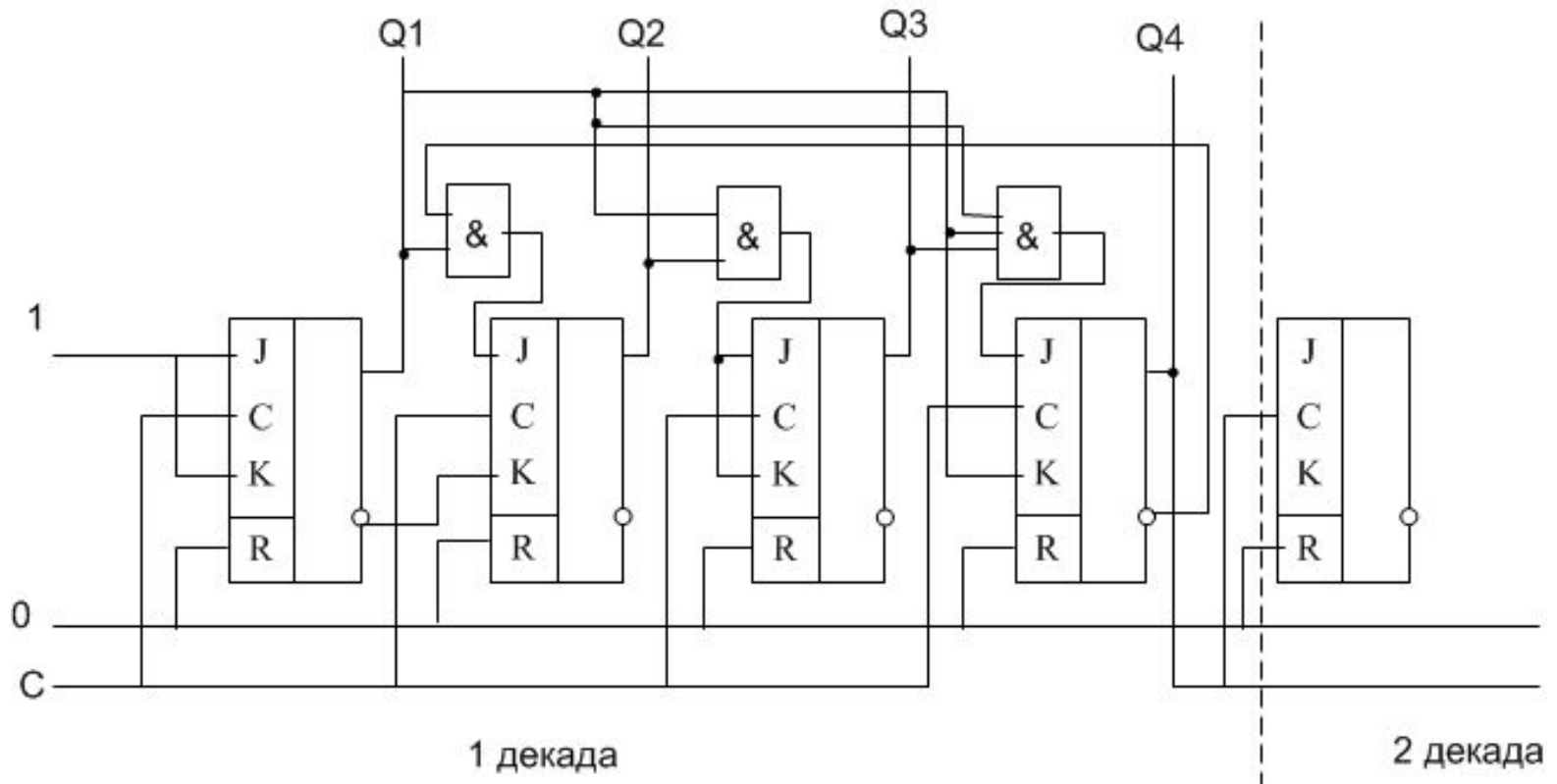
Счетчик с измененным коэффициентом счета



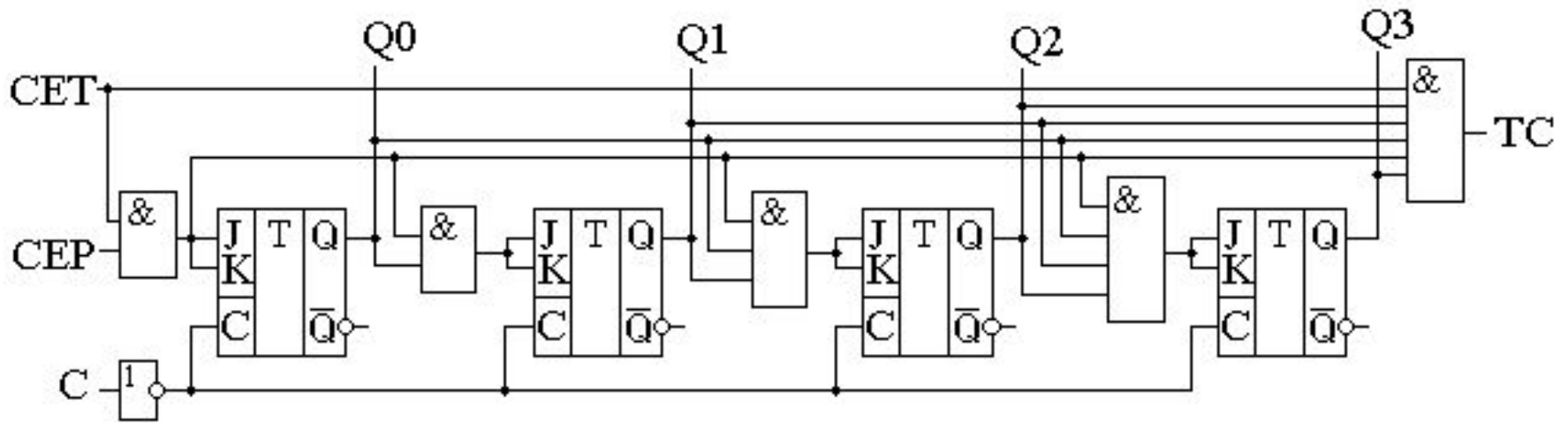
Реверсивный счетчик

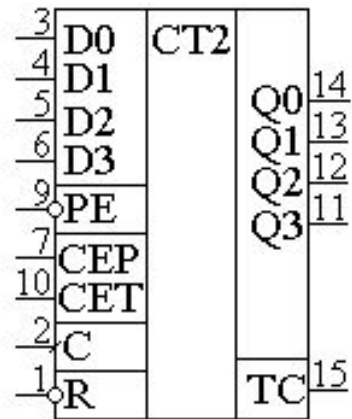


Двоично-десятичный декадный счетчик

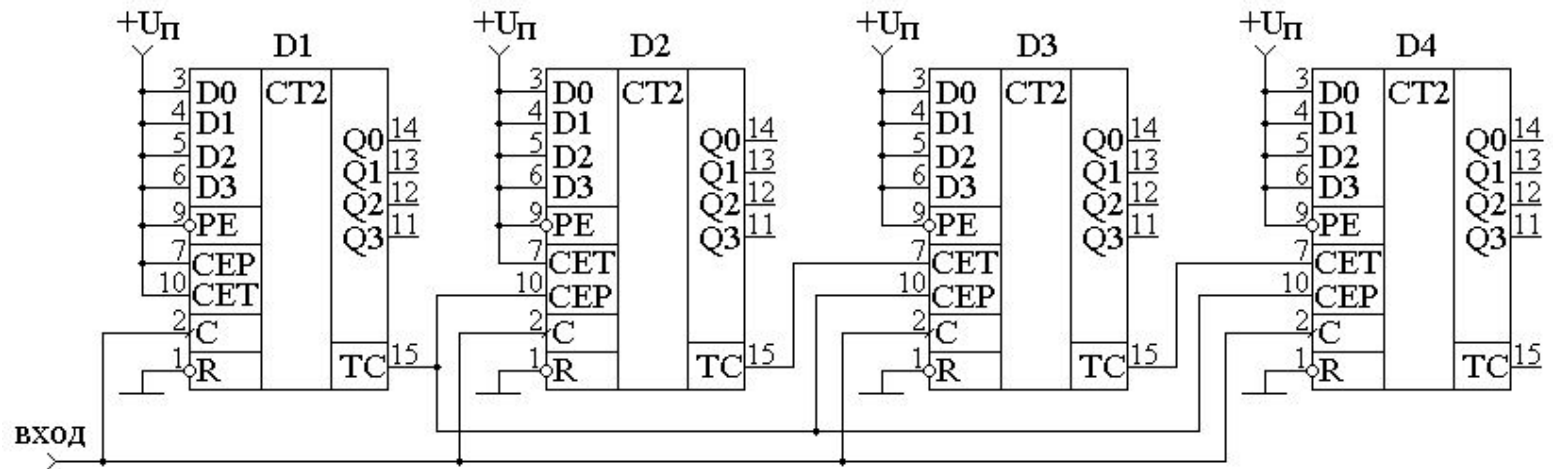


Синхронный счетчик

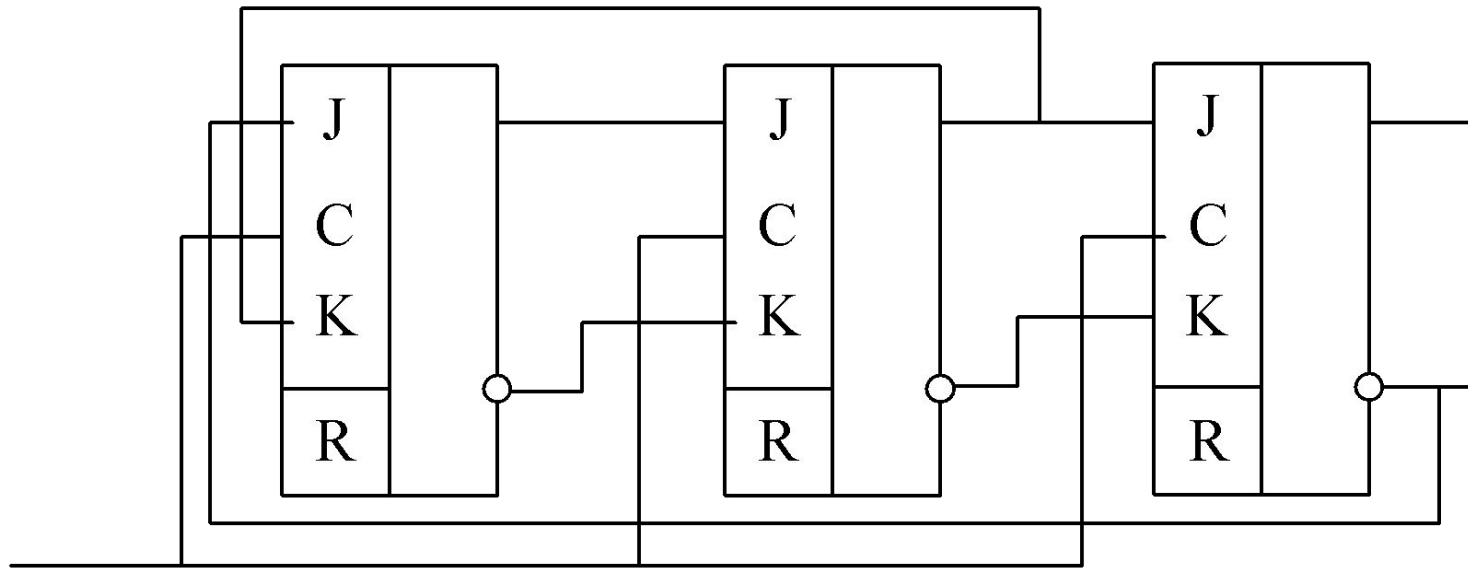




K1533IE10

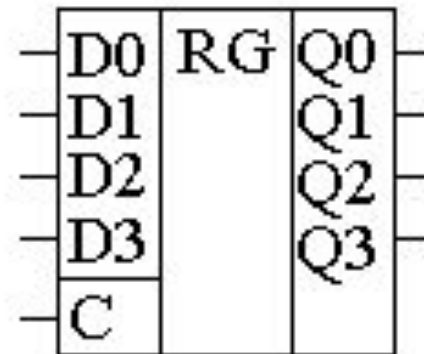
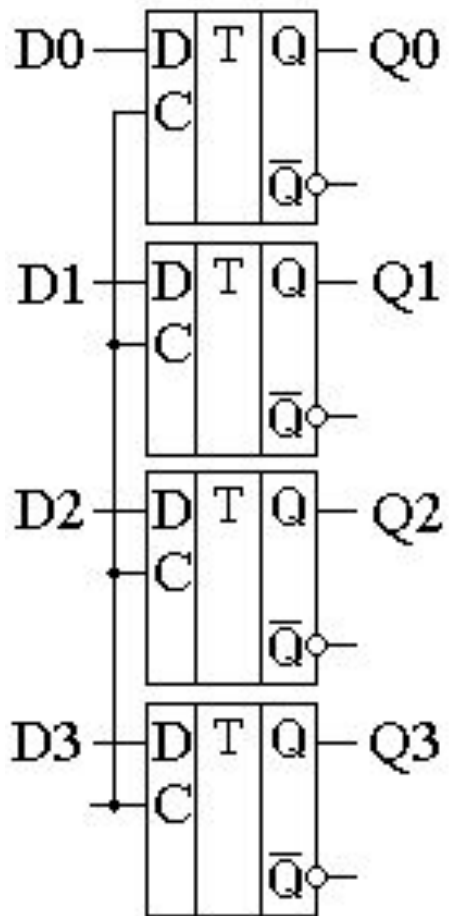


Делители частоты

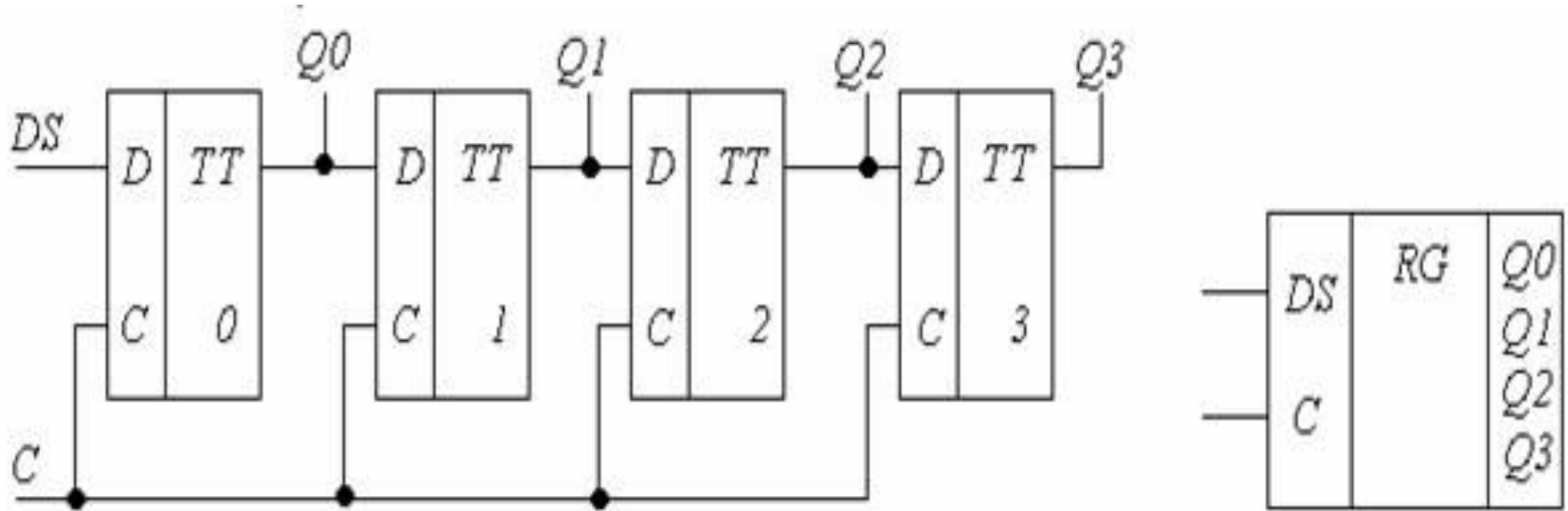


$N=5$

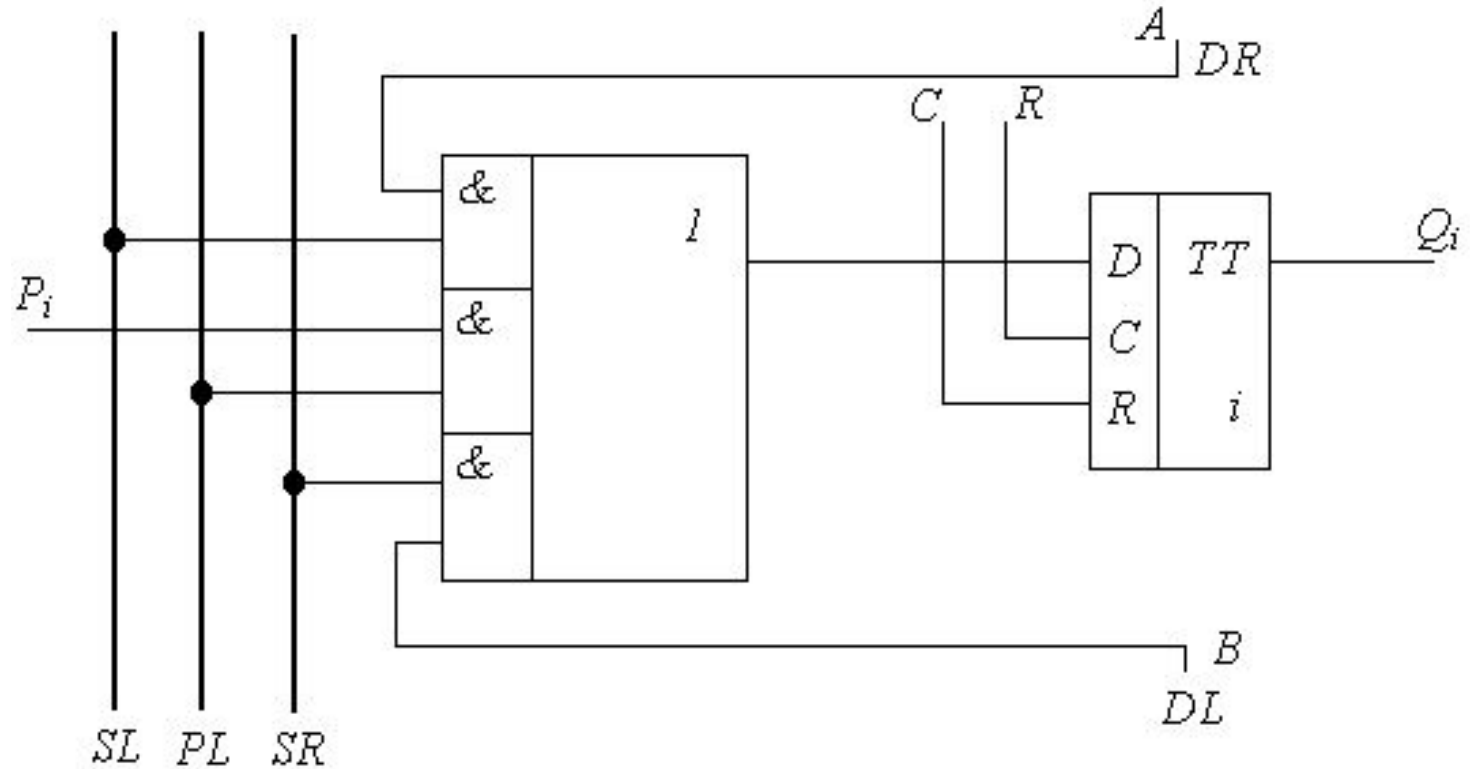
Параллельный регистр



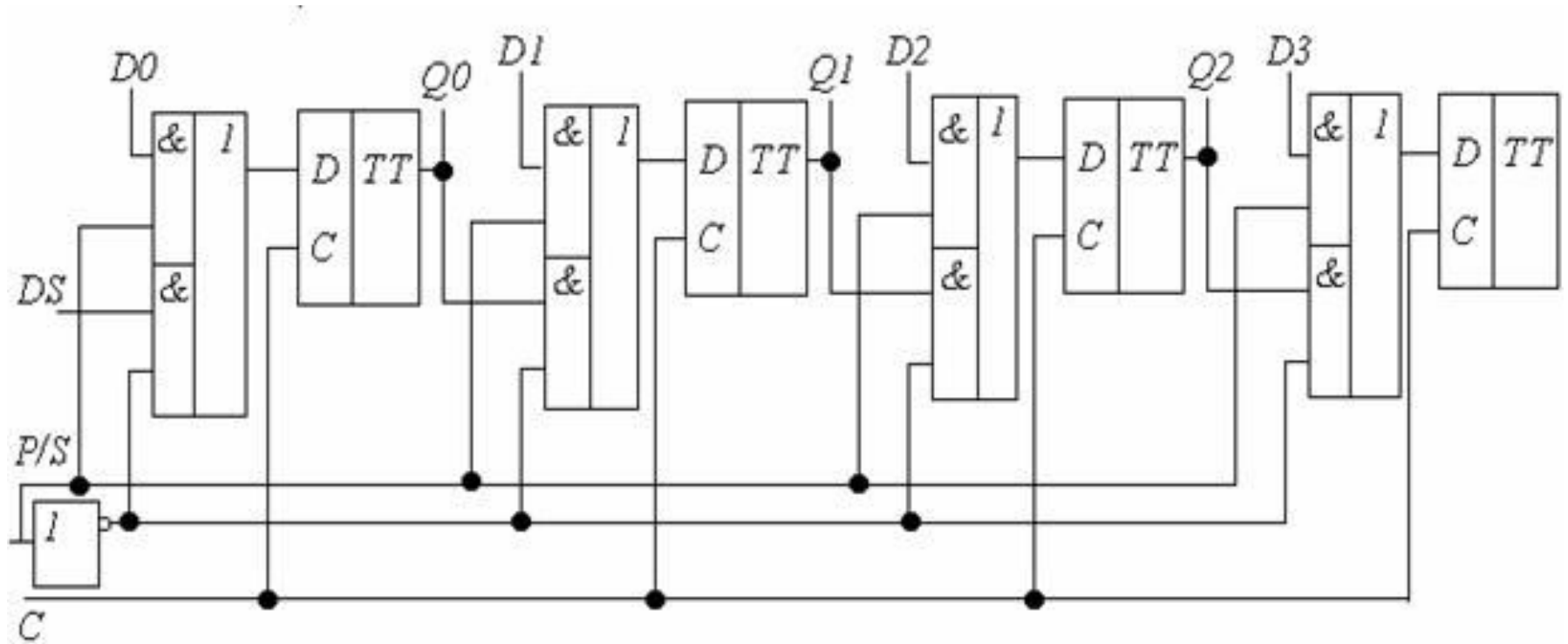
Регистры сдвига



Реверсивные регистры сдвига



Сдвиговой регистр с параллельным и последовательным вводом данных



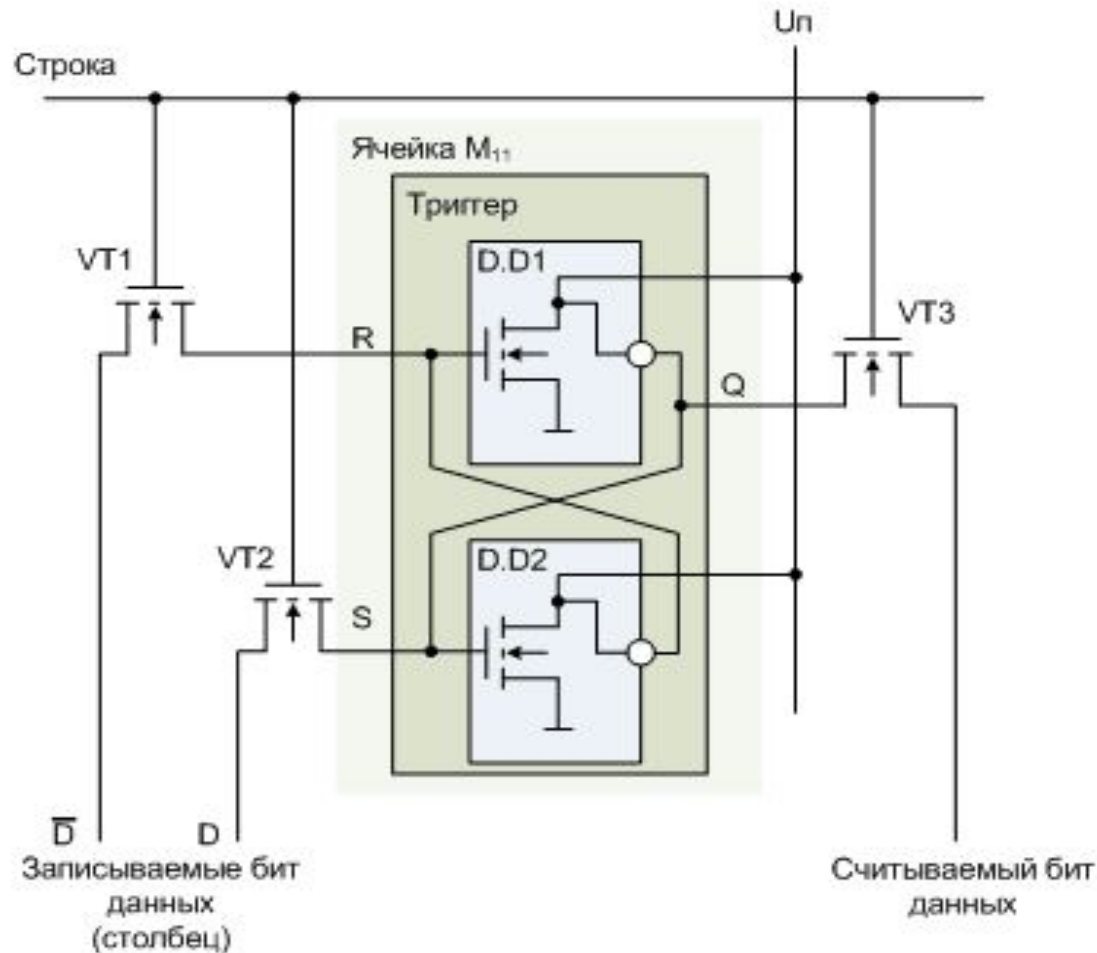
Типы ОЗУ

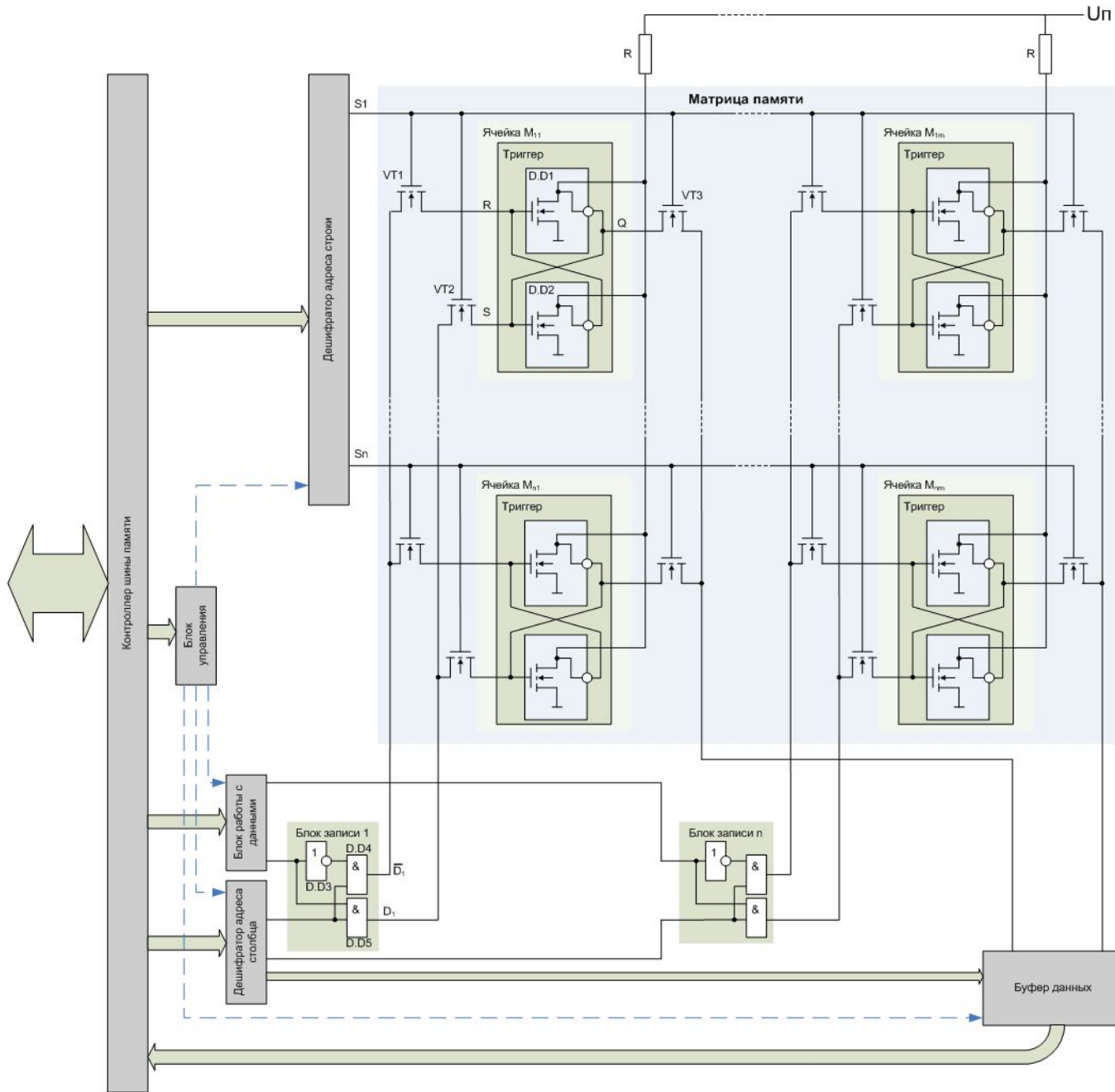
1. Динамическая память (DRAM) – энергозависимая полупроводниковая память с произвольным доступом, в которой каждый разряд хранится в конденсаторе, требующем постоянной регенерации для сохранения информации.
2. Статическая память (SRAM) – энергозависимая полупроводниковая память с произвольным доступом, в которой каждый разряд хранится в триггере, позволяющем поддерживать состояние разряда без постоянной перезаписи.
3. Магниторезистивная оперативная память (MRAM) – это энергонезависимое запоминающее устройство с произвольным доступом, сохраняющее информацию при помощи магнитных моментов, а именно, направления намагниченности ферромагнитного слоя ячейки памяти.

Перспективные разработки ОЗУ

- FRAM (Ferroelectric Random Access Memory) – сегнетоэлектрическая память, основывающаяся на сегнетоэлектриках – диэлектриках, способных менять дипольный момент под действием температуры и внешнего электрического поля;
- PCM (Phase Change Memory) – память, основанная на изменении фазового состояния вещества (Халькогенида) с кристаллического на аморфный и обратно;
- PMC (Programmable Metallization Cell) – память на базе программируемой металлизации ячейки, основанной на изменении положения атомов под действием электрического заряда;
- RRAM (Resistive Random-Access Memory) – резистивная память, построенная на основе элементов, способных изменять свое сопротивление, в зависимости от величины пропущенного через них тока;

Устройство ячейки статической памяти





Достоинства и недостатки статической памяти

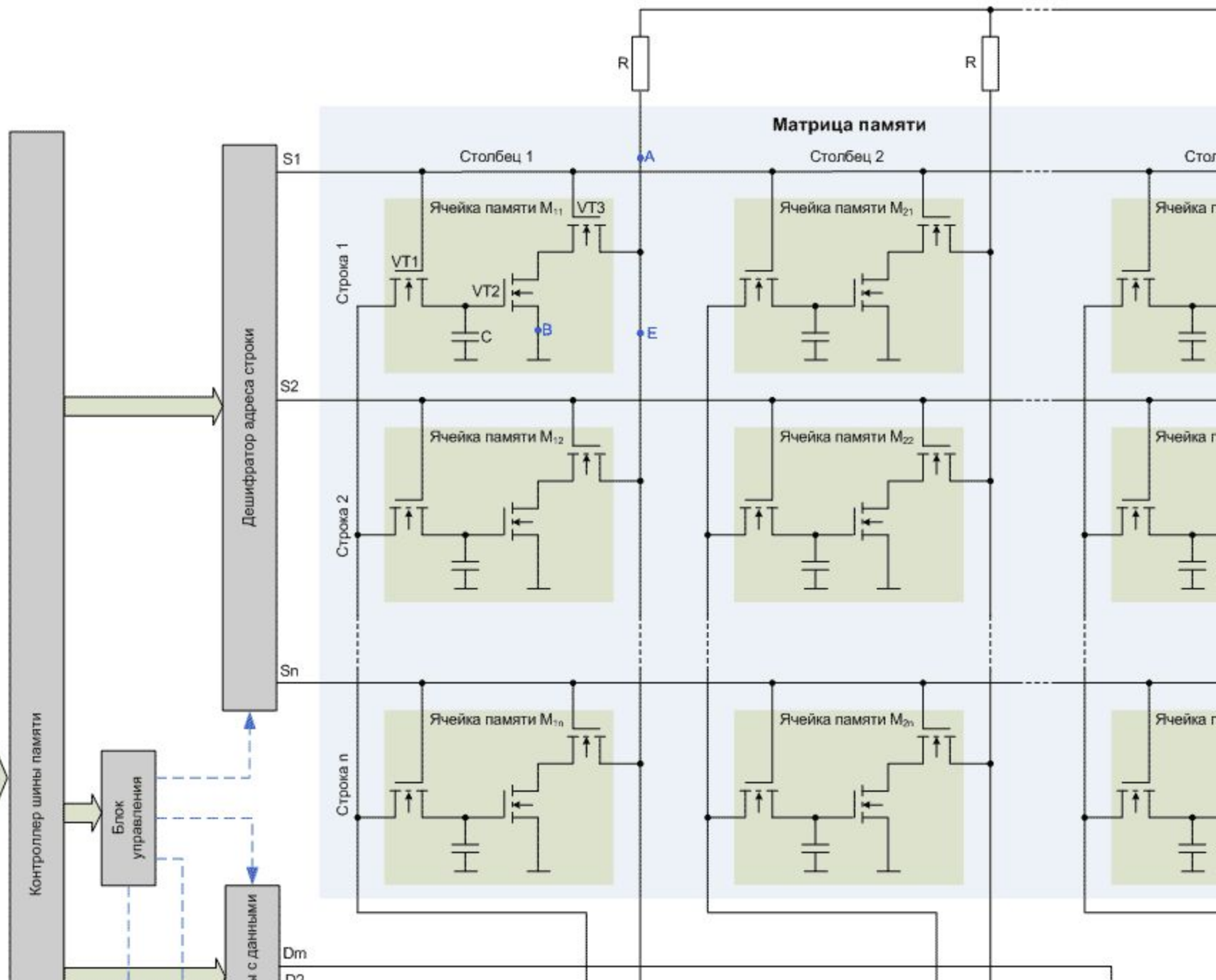
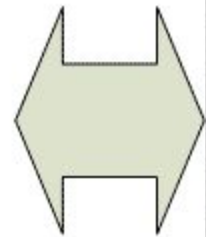
Достоинства:

высокая скорость работы;
нет необходимости регенерации ячеек.

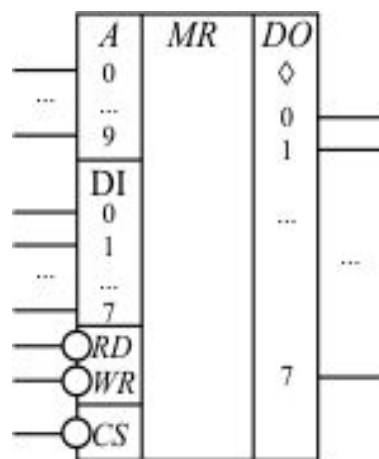
Недостатки:

высокая цена;
низкая плотность упаковки;
небольшой объем;
высокое энергопотребление.

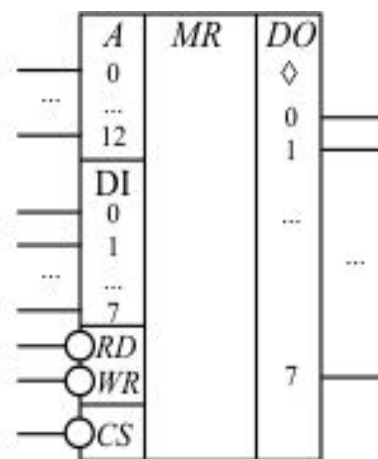
Устройство динамической
оперативной памяти
(DRAM – Dynamic Random
Access Memory)



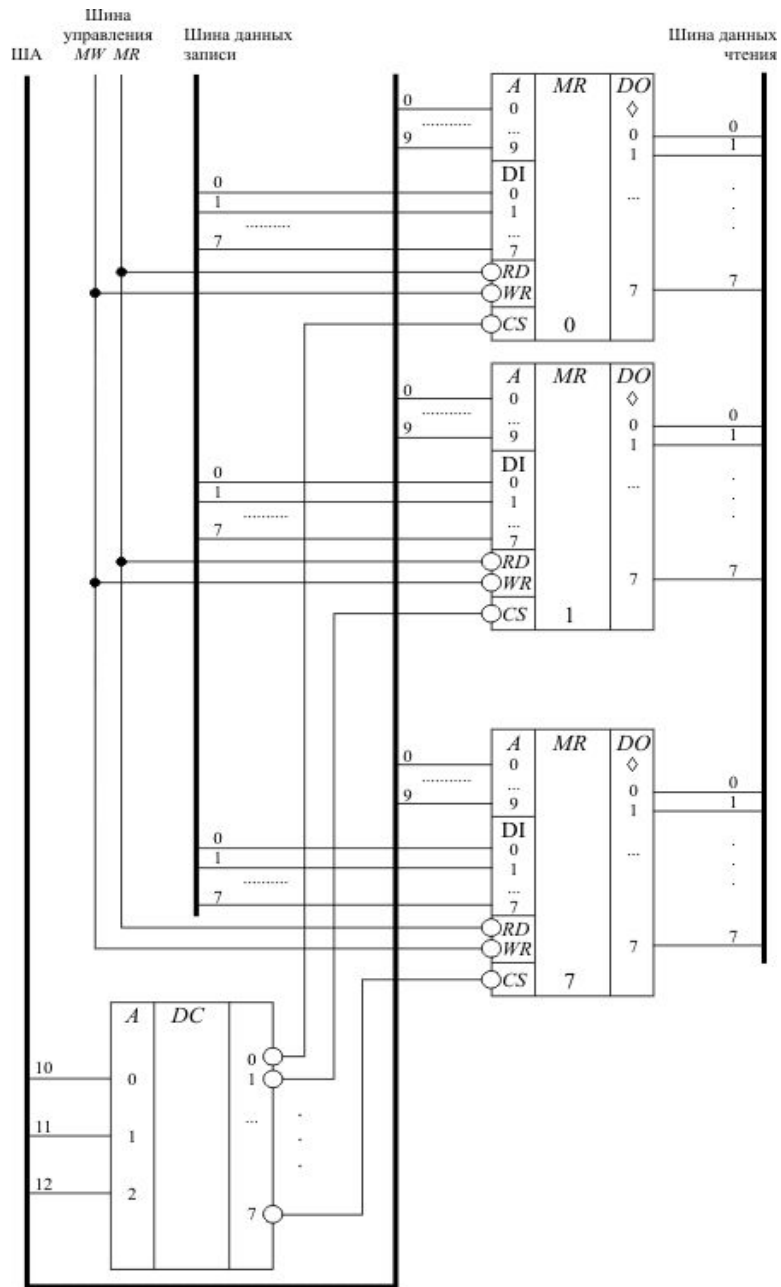
Условно-графические обозначения запоминающих устройств с различной организацией: а - 1К*8 разрядов; б - 8К*8 разрядов



а)



б)



Достоинства и недостатки динамической памяти

Преимущества динамической памяти:

низкая себестоимость;

высокая степень упаковки, позволяющая создавать чипы памяти большого объема.

Недостатки динамической памяти:

относительно невысокое быстродействие, так как процесс зарядки и разрядки конденсатора, пусть и микроскопического, занимает гораздо больше времени, чем переключение триггера;

высокая латентность, в основном, из-за внутренней шины данных, в несколько раз более широкой, чем внешняя, и необходимости использования мультиплексора/демультиплексора;

необходимость регенерации заряда конденсатора, из-за его быстрого саморазряда, ввиду микроскопических размеров.

Этапы модернизации динамической оперативной памяти

PM DRAM – Page Mode DRAM - страничная память

FPM DRAM (Fast Page Mode DRAM) – быстрая страничная память

EDO-DRAM (Extended Data Out DRAM) – динамическая память с усовершенствованным выходом

SDRAM (Synchronous DRAM) – синхронная динамическая память с произвольным доступом

DDR SDRAM (Double Data Rate SDRAM) – синхронная динамическая память с произвольным доступом и удвоенной частотой передачи данных (DDR2 SDRAM; DDR3 SDRAM)

Основные параметры DDR3 SDRAM

Стандарт	Частота внутренней шины, МГц	Частота внешней шины, МГц	Количество транзакций в секунду, МТр	Стандартные тайминги*	Теоретическая пропускная способность, Мб/с
DDR3-800	100	400	800	6-6-6-18	6400
DDR3-1066	133	533	1066	7-7-7-21	8533
DDR3-1333	166	667	1333	8-8-8-24	10667
DDR3-1600	200	800	1600	8-8-8-24	12800
DDR3-1866	233	933	1866	9-9-9-27	14930
DDR3-2000	250	1000	2000	9-9-9-27	16000
DDR3-2133	266	1066	2133	9-11-9-28	17066
DDR3-2200	275	1100	2200	10-10-10-30	17600
DDR3-2400	300	1200	2400	9-11-9-28	19200

Тайминги	Значение	Расшифровка
Tcl	2.5	CAS Latency – задержка в тактах между выдачей в память адреса столбца, когда нужная строка уже открыта, и началом выдачи данных из памяти.
Trcd	3	Row to CAS Delay – задержка в тактах между открытием строки и разрешением доступа к столбцам или, другими словами, задержка между подачей номера строки и номера столбца.
Trp	3	Row Precharge Time – время в тактах, требуемое на закрытие одной строки и открытие другой, или, другими словами, задержка между чтением последней ячейки памяти и подачей номера новой строки.
Tras	7	Tras (Active to Precharge Delay) – минимальное время между подачей номера строки и подачей команды подзарядки ячеек строки (PRECHARGE), то есть количество тактов, затрачиваемое памятью на чтение данных.

Магниторезистивная оперативная память

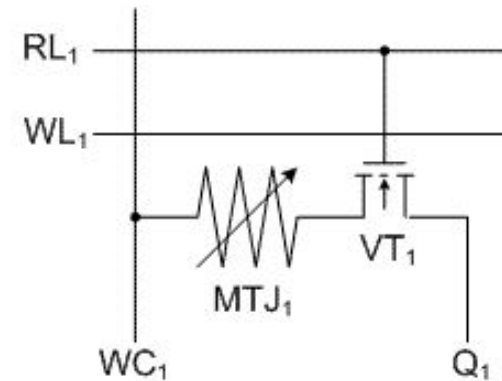
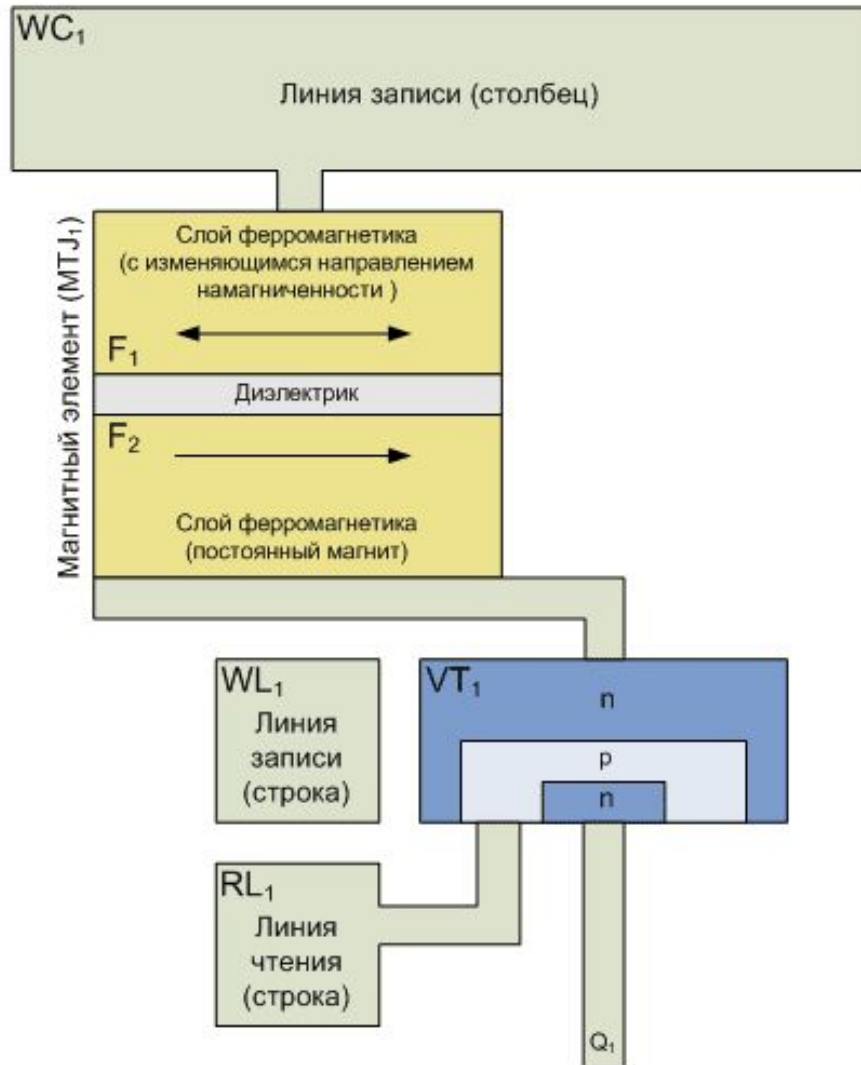


Рисунок 2. Схематичное изображение ячейки магниторезистивной памяти (MRAM).

Достоинства:

энергонезависимость;
высокое быстродействие (быстрее DRAM, но медленнее SRAM);
не требуется регенерация ячеек.

Недостатки:

сложности с существующими способами записи;
большой размер ячейки памяти, из-за технологии записи;
высокое энергопотребление по той же причине.