

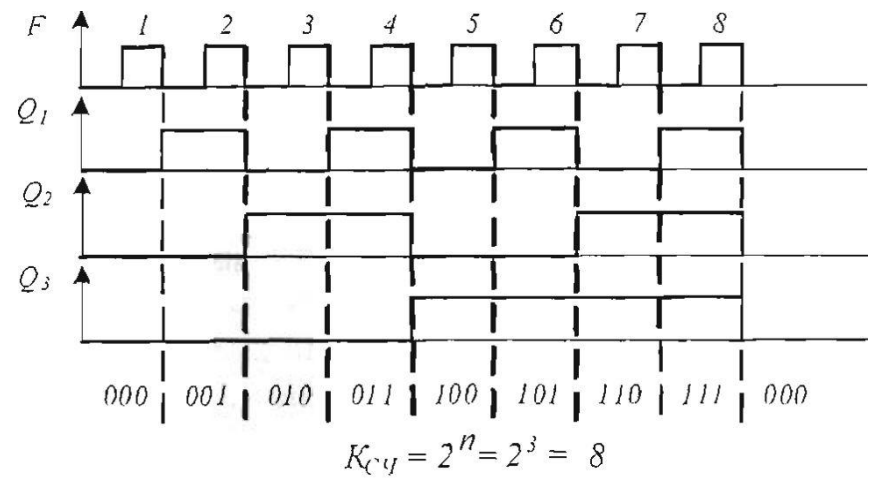
# Счетчики импульсов

Счетчик - устройство, на выходах которого получается двоичный (двоично-десятичный) код, определяемый числом поступивших импульсов. Счетчики строятся на Т-триггерах.

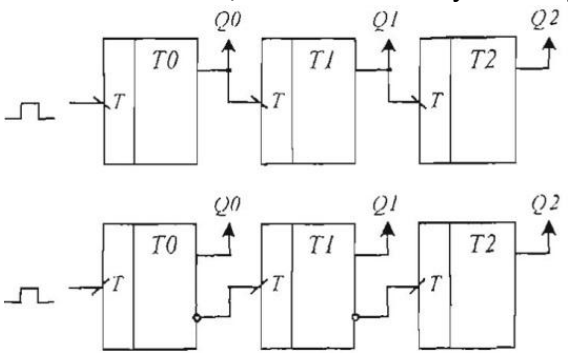
Основной параметр счетчика - модуль счета - максимальное число единичных сигналов, которое может быть сосчитано счетчиком. Счетчики обозначают через СТ (от англ. counter).

Счетчики классифицируют:

1. По модулю счета:
  - двоично-десятичные;
  - двоичные;
  - с произвольным постоянным модулем счета;
  - с переменным модулем счета;
2. По направлению счета:
  - суммирующие;
  - вычитающие;
  - реверсивные;
3. По способу формирования внутренних связей:
  - с последовательным переносом;
  - с параллельным переносом;
  - с комбинированным переносом;
  - кольцевые.



В суммирующем счетчике состояние счетчика (двоичный код на его выходах) с каждым импульсом увеличивается на единицу.



$N_{имп}$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0
9	0	0	1

Через  $K_{сч}$  обозначен коэффициент счета импульсов. Состояние левого триггера соответствует младшему разряду двоичного числа, а правого - старшему разряду. В исходном состоянии на всех триггерах установлены лог.0. Каждый триггер меняет свое состояние в момент отрицательного перепада напряжения. Т.о., данный счетчик реализует суммирование входных импульсов. Частота каждого последующего импульса в два раза меньше, чем предыдущая, т. е. каждый триггер делит частоту входного сигнала на два, что используется в делителях частоты.

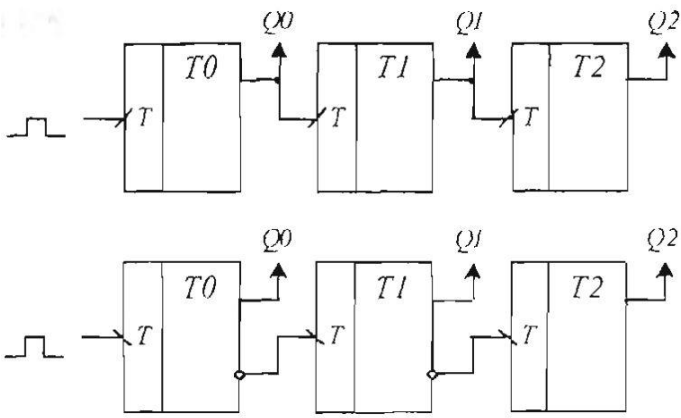
# Счетчики импульсов

В вычитающем счетчике состояние счетчика (двоичный код на его выходах) с каждым импульсом уменьшается на единицу. Принцип построения и таблица истинности вычитающего счетчика приведены на рис. В чистом виде Т-триггеров в интегральном исполнении нет. Т-триггеры получают путем преобразования D и JK-триггеров. Как следует из таблиц, трехразрядный счетчик одно значно отображает число поступивших импульсов  $K = 8$ .

Если количество триггеров в счетчике ограничено и равно  $n$ , а число поступающих импульсов не ограничено, то двоичный код, формируемый на выходах суммирующего счетчика, будет меняться от минимального значения (0) до максимального ( $2^{n-1}$ ), повторяясь периодически через  $2^n$  импульсов.

При использовании вычитающего счетчика его состояние в пределах цикла будет уменьшаться от ( $2^{n-1}$ ) до нуля. Для однозначного фиксирования числа поступивших импульсов количество триггеров в

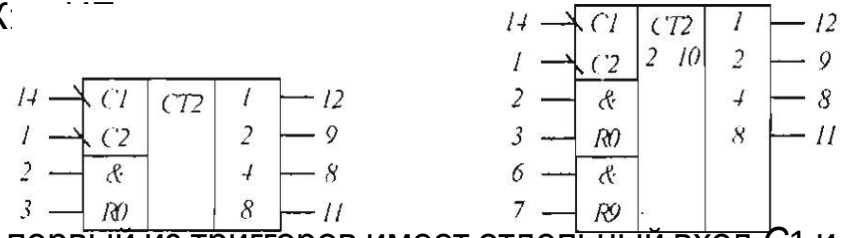
## Вычитающий



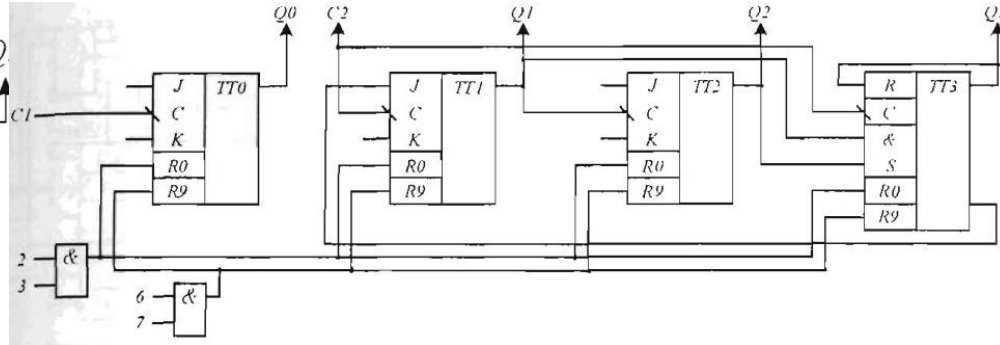
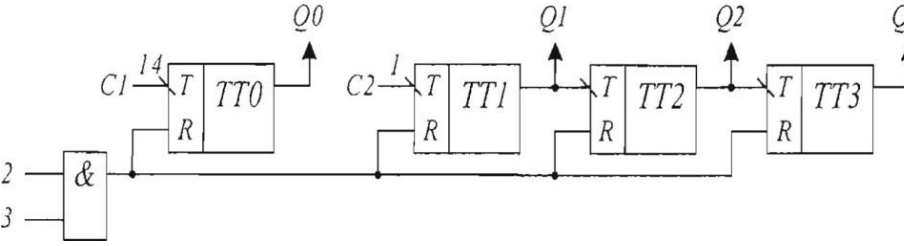
N имп	Q2	Q1	Q0
0	0	0	0
1	1	1	1
2	1	1	0
3	1	0	1
4	1	0	0
5	0	1	1
6	0	1	0
7	0	0	1
8	0	0	0
9	1	1	1

Рассмотрим счетчики K155IE2 и

K:

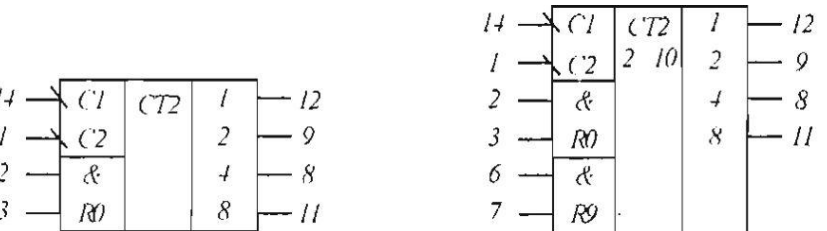


Счетчики доступны в различных вариантах исполнения. В каждой ИС первый из триггеров имеет отдельный вход C1 и свой выход. Триггеры в цепочке триггера соединены между собой так, что образуют делитель на 8 в ИС типа ИЕ2 и на 16 в ИС типа ИЕ4. При соединении выходов первого триггера с входом C2 цепочки из трех триггеров образуются четырехразрядные счетчики, позволяющие производить деление частоты входного сигнала C1 соответственно на 16 и 10.

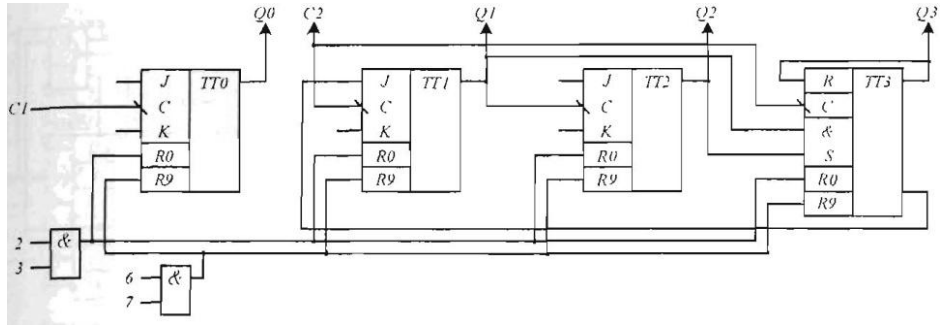
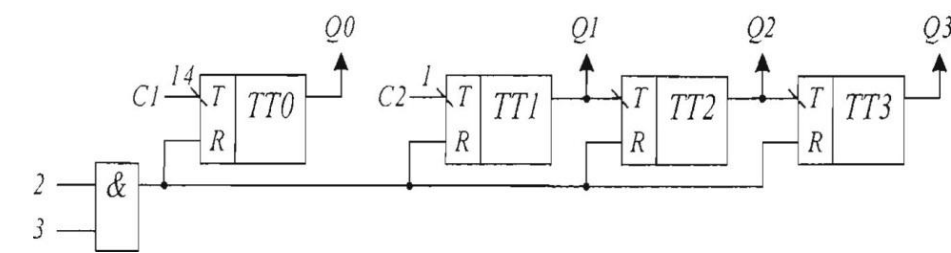


# Счетчики импульсов

Рассмотрим счетчики К155ИЕ2 и



Счетчики построены следующим образом: в каждой ИС 1-ый из триггеров имеет отдельный вход C1 и прямой выход, три остальных триггера соединены между собой так, что образуют делитель на 8 в ИС типа ИЕ5 и на 5 - в ИС типа ИЕ2. При соединении выхода 1-го триггера с входом C2 цепочки из 3-х триггеров образуются 4-разрядные счетчики, позволяющие деление частоты вх. сигнала C1



соответственно два входа R0 установки в 0, объединенные по схеме "И". Сброс триггеров производится при подаче уровней лог. 1 на оба входа R0. ИС типа ИЕ2 имеет, кроме того, входы установки триггеров счетчика в состояние 9. При воздействии на оба эти входа лог. 1 1-ый и 4-ый триггеры переходят в 1, а остальные - в 0. Входы R0 и R9 изменяют состояние триггеров счетчика независимо от того, действует синхроимпульс или нет.

Наличие входов установки, объединенных по схеме "И", позволяет строить делители частоты с различными коэффициентами деления в пределах от 2 до 16 без использования дополнительных логических элементов.

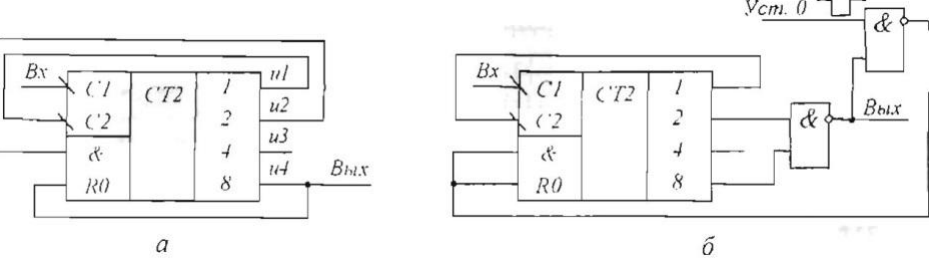
Принцип построения делителя частоты на N следующий:

- число N представляется в двоичном коде (для примера возьмем  $N = 9_{10} = 1001_2$ );
- определяются номера триггеров, которые необходимо установить в единичное состояние (третий и нулевой);
- выходы третьего и нулевого триггеров соединяются с входами R0.

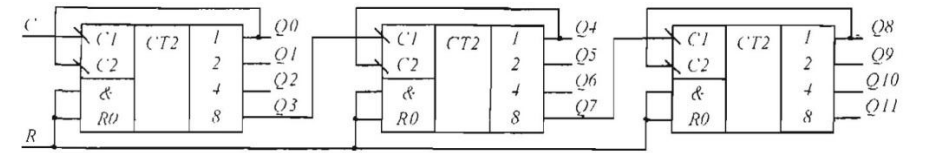
В этом случае до прихода 9-го импульса счетчик работает в обычном режиме подсчета входных импульсов (состояние счетчика увеличивается на 1 с каждым входным импульсом). 9-ый импульс переводит счетчик в состояние 9, при котором на выходах 3-го и 0-го триггеров формируются уровни лог.1. Эти выходы соединены с входами R0, поэтому происходит обнуление всех триггеров счетчика. Поэтому при непрерывной подаче входных импульсов счетчик работает в сокращенном числе от 0 до 9 (0 - состояние до сброса).

# Счетчики импульсов

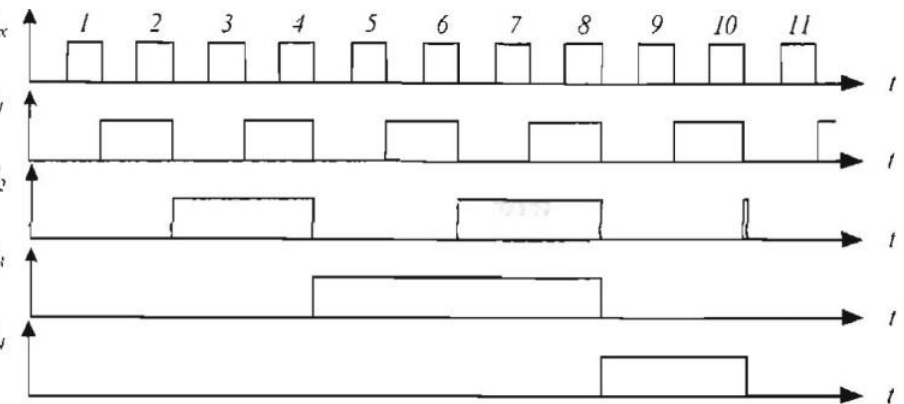
Во многих случаях желательно обеспечивать отображение информации в десятичной системе счисления. В этом случае наиболее удобно использовать счетчики типа ИЕ2 с коэффициентом деления 10 (декады). При их отсутствии возможно



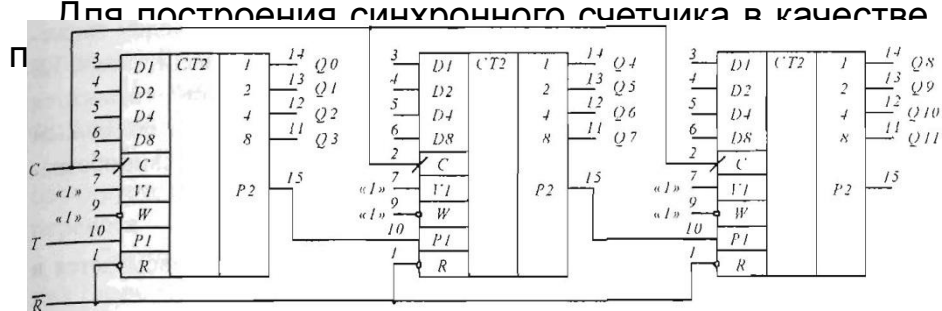
ИС позволяют наращивать разрядность счетчика и реализовывать как синхронный, так и асинхронный режимы работы счетчиков (рис.).



Временные графики работы декады на основе ИС типа ИЕ4, ИЕ5



При разработке схем следует учитывать, что максимальное время переключения синхронного счетчика определяется временем переключения одной ИС (если  $Q0 = Q1 = Q2 = Q3 = Q4 = Q5 = Q6 = Q7 = 1$  все три ИС начинают переключаться одновременно), а в асинхронном счетчике суммой времен переключения ИС. Максимальное время переключения 12-разрядного счетчика в три раза больше времени переключения 4-разрядного.



Назначение входов ИС следующее:

- V1- вход стробирования переноса;
- P1 - вход переноса;
- P2 - выход, на котором при условии, что счетчик находится в 15-м состоянии, формируется сигнал переноса в следующий счетчик;
- C - прямой динамический синхровход;
- R- инверсный статический вход обнуления;
- W- вход управления режимом работы счетчика.

Если  $W= 0$ , триггеры счетчика устанавливаются в состояние, определяемое входами D при поступлении синхроимпульса (по фронту). Если  $W= 1$  и  $V1 =P1 = 1$ , происходит счет количества синхроимпульсов.

# Счетчики импульсов

## Реверсивные счетчики

Реверсивные счетчики могут работать как в режиме сложения, так и в режиме вычитания. Как следует из рис. для изменения режима работы необходимо подключать или прямой, или инверсный выход предыдущего триггера, входящего в счетчик, к Т-входу последующего.

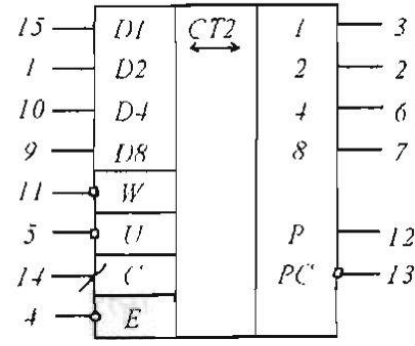
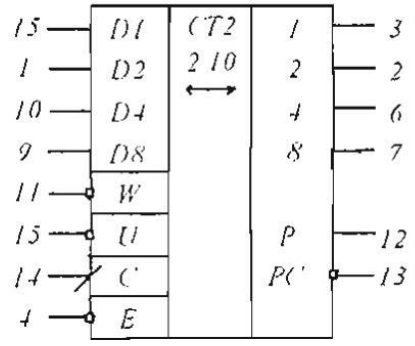
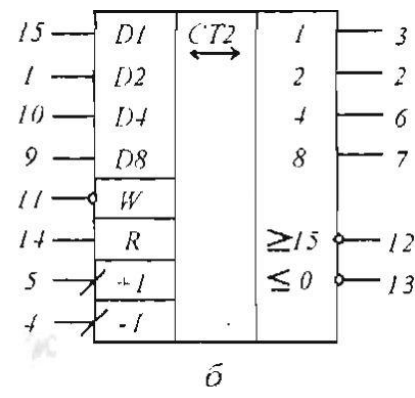
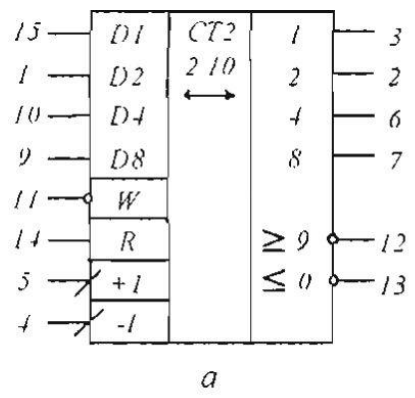
Если за период времени  $T$  поступит  $K$  импульсов при работе счетчика в режиме суммирования и  $N$  импульсов при работе счетчика в режиме вычитания, то состояние счетчика будет равно  $K-N$  (при условии, что число импульсов  $K$  и  $N$  может однозначно подсчитываться счетчиком).

Число  $K-N$  может быть как положительным, так и отрицательным. Часто необходимо знать знак числа. Для этого необходимо образовать дополнительный выход - знаковый. Реверсивные счетчики разделяются на счетчики с общим входом сложения-вычитания «С» и с отдельными входами сложения «+1», вычитания «-1».

Условные графические обозначения реверсивных счетчиков приведены на рис. а, б, в, г.

Назначение входов счетчиков:

- $D1 - D4$  - двоичный код, подаваемый на эти входы, записывается в триггеры счетчика в режиме «установка»;
- $W$ - вход управления работой счетчика: при  $W= 0$  - установка триггеров счетчика в состояние, определяемое входами  $D$ ; при  $W = 1$  - счет входных импульсов;
- $R$  - прямой вход обнуления, обнуление



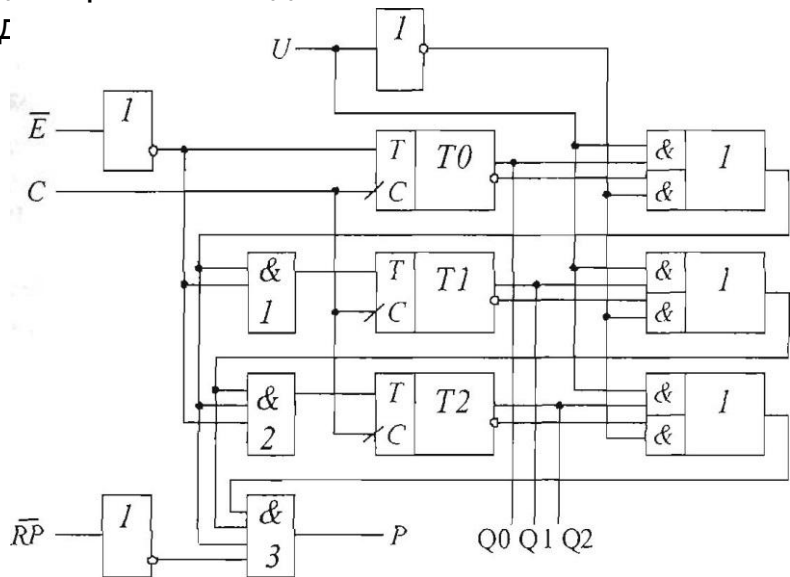
- «+1», «-1» - входы «+1» и «-1» служат для подачи счетных импульсов; «+1» - при суммировании; «-1» - при вычитании;
- «>15» - на выходах переноса «15(9)» появляется «0», если счетчик находится в состоянии 15(9) и поступит импульс на вход «+1»;
- «< 0» - на выходе переноса «< 0» появляется «0», если счетчик находится в 0-ом состоянии и поступит импульс на вход «-1»;
- $P$  - выход переноса,  $P = 1$ , когда на всех выходах счетчика уровень либо лог.1, либо лог.0;

# Счетчики импульсов

- $PC$  - синхронный выход переноса, аналогичен выходу  $P = 1$ . Отличие в том, что  $P = 1$  появится только при  $C = 1$ ;
- $U$  - вход управления режимом работы счетчика, при  $U = 0$  - режим суммирования, а при  $U = 1$  - режим вычитания;
- $E, RP$  - входы стробирования счета ( $E$ ) и переноса ( $RP$ ). При  $E = 1$  блокируется поступление входных импульсов. При  $RP = 1$  блокируется выход переноса -  $P = 0$ .

Счетчики типа в, г - реверсивные счетчики с общим входом сложения/вычитания ( $U$ ). Такие счетчики не имеют входа обнуления  $R$ , обнуление можно производить, подавая нулевые уровни на вход  $W$  и входы  $D1, D2, D4, D8$ .

Функциональная схема реверсивного счетчика с общим прямым входом сложения - вычитания



В такой схеме при  $U=1$  реализуется режим суммирования, так как на выходе цепочки ЛЭ "2И-2И-2ИЛИ", "И" сформируется лог.1, если все триггеры, расположенные до нее, будут в единичном состоянии. Это вызовет переключение следующего триггера при подаче синхроимпульса. Например, состояние триггеров  $Q0 = 1, Q1 = 1, Q2 = 0$ . Все триггеры переключатся в противоположное состояние  $Q0 = 0, Q1 = 0, Q2 = 1$ , т.е. состояние счетчика изменилось с 3-го на 4-е.

При  $U=0$  переключение будет происходить, если все предыдущие триггеры находились в 0-ом состоянии, что соответствует реализации режима вычитания. Для ИС типа в, г вход сложения/вычитания инверсный.

ЛЭ 3 формирует сигнал переноса  $P = 1$ , если в режиме суммирования все триггеры находятся в 1-ом состоянии и  $RP = 0$ , а также  $P = 1$  в режиме вычитания, если все триггеры находятся в 0-вом состоянии и  $RP = 0$ . Эти два случая соответствуют переносу 1 в следующий разряд и заёму 1.

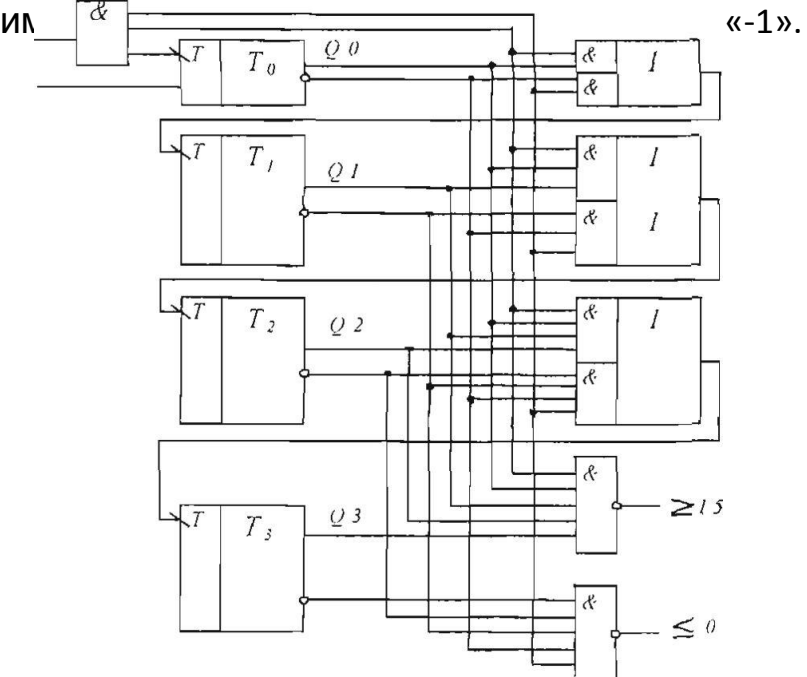
ЛЭ 1,2 реализуют параллельный перенос между триггерами. Максимальное время переключения равно сумме времен переключения ЛЭ "2И-2И-2ИЛИ", «И» и триггера.

Счетчики типа а, б - реверсивные счетчики с отдельными входами «+1», «-1» и с синхронной предустановкой. При  $W=1, R=0$  счетчик подсчитывает количество импульсов, поступающих на входы «+1» и «-1». При  $W = 0, R = 0$  двоичный код со входов  $B$  по

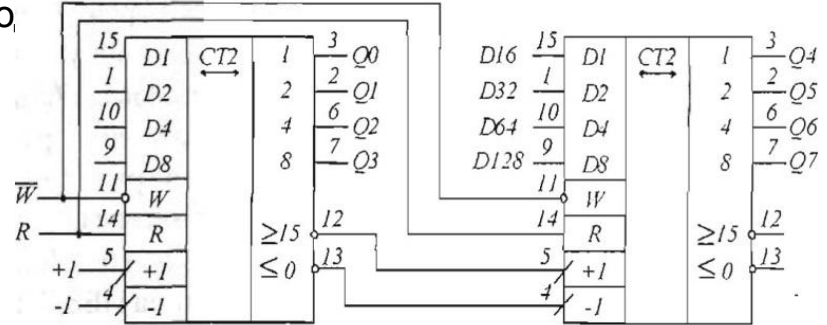
# Счетчики импульсов

Функциональная схема реверсивного счетчика с отдельными входами сложения - вычитания представлена на рис. В этом случае состояние счетчика увеличивается на 1 с каждым импульсом, поступающим на вход «+1», и уменьшается на 1 с каждым импульсом, поступающим на вход «-1». При выполнении условий переключения импульс с входов «+1» или «-1» поступает на вход Т-триггера и вызывает его переключение. Импульсы должны быть короткими и нулевыми.

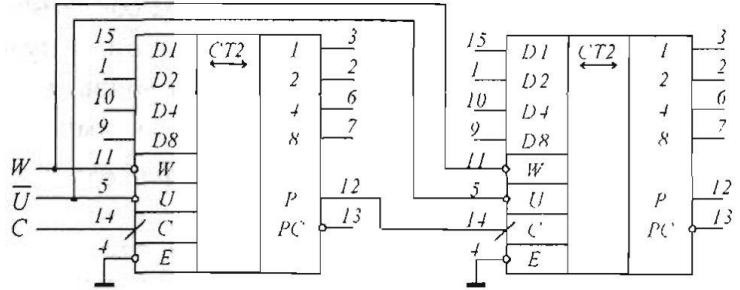
Параллельный перенос реализуется сразу в ЛЭ. Сигналы переноса 15 и заёма 0 формируются отдельно. Длительность импульсов переноса и заёма определяется соответственно длительностью



Для получения многоразрядных счетчиков на основе ИС типа а, б требуется объединить входы управления W каждой ИС, а также входы R. Выход переноса «>15» (> 9) предыдущей ИС соединить с входом «+1» последующей, а выход заёма «0» - со вхо

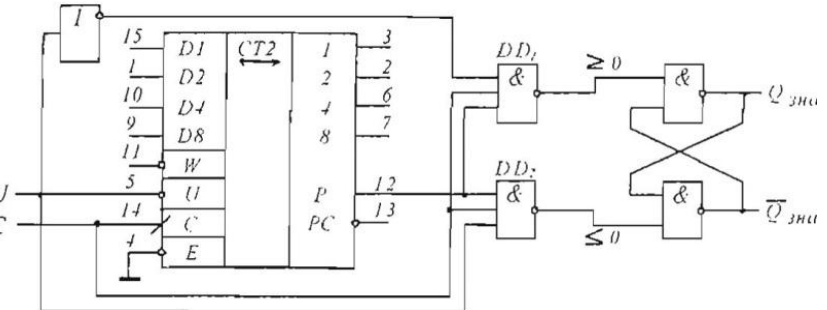


При построении многоразрядных счетчиков на основе ИС типа ИЕ12, ИЕ13, ИЕ16, ИЕ17 (рис.) необходимо объединить соответствующие входы управления ИС, а выход переноса предыдущей ИС соединить с синхровходом С последующей.



# Счетчики импульсов

Для счетчиков типа в, г знаковый выход строится согласно рис.

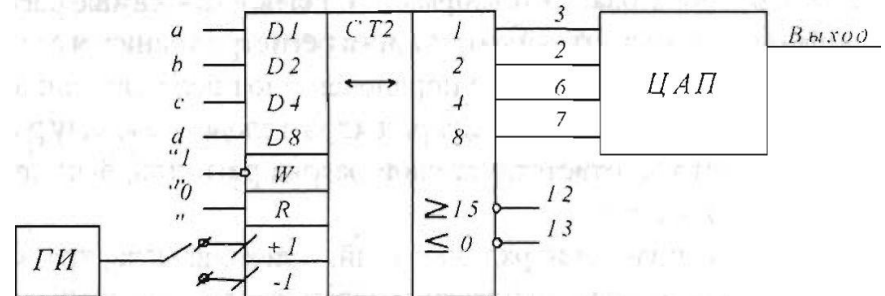


Число поступающих импульсов фиксируется счетчиком в дополнительном коде, т.е.  $Q_{\text{знак}} = 1$ , если число отрицательное, и равно 0, если число положительное. Знаковый разряд фиксирует переход нулевого состояния в положительную или отрицательную сторону. При поступлении импульса на вход С, если счетчик находится в 0-вом состоянии ( $P = 1$ ),  $U = 1$  (режим сложения), на выходе ЛЭ DD2 появляется уровень лог.0, который устанавливает  $Q_{\text{знак}} = 1$  и  $Q_{\text{знак}} = 0$ . При  $U=0$  аналогично произойдет установка  $Q_{\text{знак}} = 1$ .

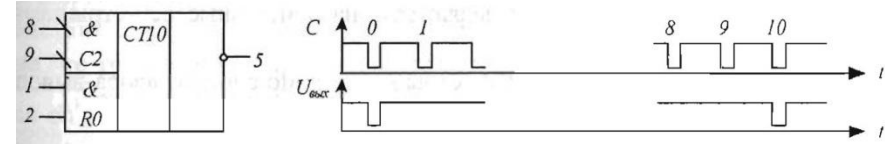
Счетчики-делители формируют на выходе один из каждых N входных импульсов. Счетчики-делители представлены ИС двух типов (ИЕ1 и ИЕ8). ИС типа ИЕ1 - делитель на 10. Установка ее триггеров в 0-ое состояние осуществляется подачей высокого уровня на входы 1 и 2, объединенные схемой "И". Счетные импульсы подаются на вход 8 или 9 (на другом входе должен быть высокий уровень) или одновременно на оба входа. При этом на выходе ИС через каждые 10 входных импульсов формируются отрицательные импульсы такой же длительности, что и входные

Генератор линейного напряжения на основе реверсивных счетчиков (рис.) вырабатывает возрастающее напряжение при подключении генератора прямоугольных импульсов (ГИ) к входу "+1" и убывающее напряжение - к входу "-1". В процессе работы двоичный код на выходах счетчика будет меняться по циклу от 0 до 15 (при подключении к входу «+1») или от 15 до 0 (при подключении к входу «-1»). При этом напряжение на выходе ЦАП будет изменяться скачками от  $U_{\text{0ВЫХ}}$  до  $U_{\text{15ВЫХ}}$ . Величина скачка  $dU$  определяется разрядностью счетчика.

Длительность линейного напряжения равна  $T = 2^n T_1$ , где  $T_1$  - период повторения входных импульсов.



Если ступенчатое изменение напряжения не устраивает, то необходимо на выходе ЦАП поставить фильтр низких частот, который произведет сглаживание ступенек.





# Регистры

Регистрами называются устройства, выполняющие функции приема, хранения, передачи и преобразования информации. Регистры - самые распространенные узлы цифровых устройств. Информация в регистре хранится в виде двоичного кода. Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове. Каждому разряду числа, записанного в регистр, соответствует свой разряд регистра, выполненного, как правило, на основе D-триггера.

Над словами выполняется ряд операций: прием, выдача, хранение, сдвиг в разрядной сетке, поразрядные логические операции, преобразование информации из одного вида в другой (последовательного кода в параллельный и наоборот).

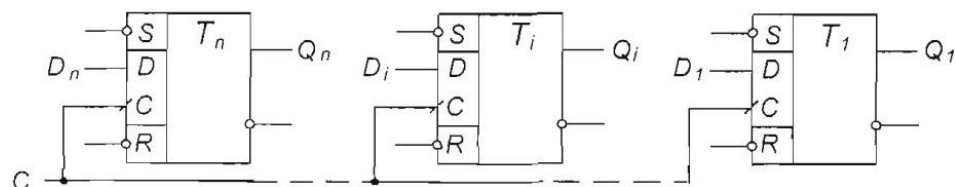
Основным признаком, по которому различают регистры, является способ записи информации или кода в регистр. По этому признаку можно выделить регистры трех типов: параллельные, последовательные и параллельно-последовательные.

В параллельные регистры запись числа осуществляется параллельным кодом (во все разряды одновременно). Последовательные регистры характеризуются последовательной записью кода числа, начиная с младшего или старшего разряда, путем сдвига кода тактирующими импульсами. Регистры параллельно-

По назначению регистры подразделяются на накопительные (регистры памяти, хранения) и сдвигающие.

В свою очередь сдвигающие регистры делятся: по способу ввода-вывода информации на параллельные, последовательные и комбинированные; по направлению передачи информации на однонаправленные и реверсивные регистры. Как правило, сдвигающие регистры выпускаются многофункциональными.

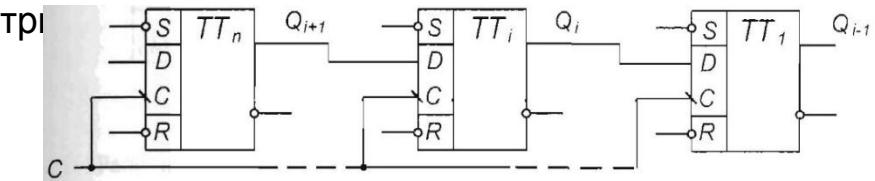
Основой построения регистров являются D-триггеры. Принцип построения простейшего параллельного  $n$ -разрядного регистра показан на рис.



В параллельном регистре цифры кода подаются на D-вход соответствующих триггеров. Запись осуществляется при подаче логической единицы на вход C. Код снимается с выходов Q. Параллельные регистры служат только для хранения информации в виде параллельного двоичного кода и для преобразования прямого кода в обратный и, наоборот.

# Регистры

Последовательные регистры, помимо хранения информации, способны преобразовывать последовательный код в параллельный и наоборот. При построении последовательных регистров триггеры соединяются последовательно путем подключения выхода  $Q$   $i$ -го триггера к входу  $D$   $i$ -го триггера.

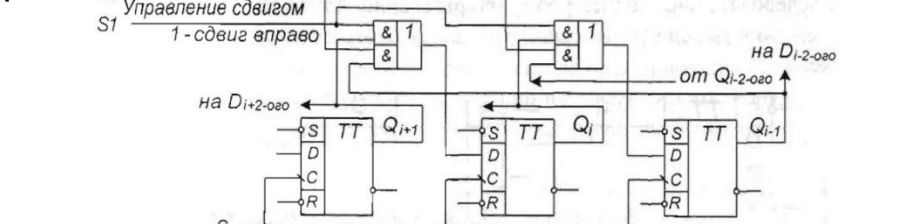


В последовательных регистрах принципиально необходимо, чтобы новый сигнал на выходе  $Q$   $n$ -го триггера возникал только после окончания синхросигнала. Для выполнения этого условия в последовательных регистрах необходимо применять двухступенчатые триггеры.

При действии каждого очередного тактового импульса код, содержащийся в регистре, сдвигается на 1 разряд. Для схемы, приведенной на рис., сдвиг кода происходит вправо (в сторону младших разрядов). Действительно, сигнал выхода  $Q$   $i+1$ -го триггера действует на вход  $D$   $i$ -го триггера, а сигнал выхода  $Q$   $i$ -го триггера действует на вход  $D$   $i-1$ -го триггера. При действии синхросигнала  $i$ -й триггер примет состояние  $i+1$ -го, а  $i$ -й - состояние  $i$ -го триггера, т.е., произойдет сдвиг кода вправо на один разряд.

Параллельный двоичный код одновременно снимается с выходов триггеров. Для сдвига кода влево необходимо, чтобы сигнал с выхода  $Q$   $i-1$ -го триггера подавался на вход  $D$   $i$ -го (старшего)

Реверсивные регистры должны содержать логические схемы управления, обеспечивающие прохождение сигнала с выхода  $Q$   $i$ -го триггера на вход  $D$   $i-1$ -го триггера при сдвиге кода вправо и прохождение этого же сигнала на вход  $D$   $i+1$ -го при сдвиге кода влево.



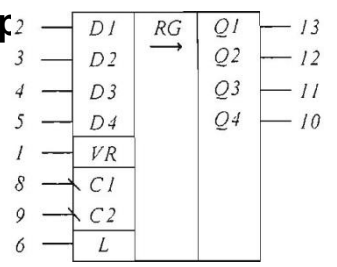
Направление сдвига определяется подачей требуемых сигналов управления на соответствующие входы. При подаче на вход  $S0$  напряжения лог.1 сдвиг кода будет происходить влево, поскольку логическая схема управления 2И-2И-2ИЛИ будет разрешать прохождение сигналов с выходов  $Q$   $i$ -го триггера на вход  $D$   $i$ -го триггера, и наоборот, при подаче на вход  $S1$  напряжения лог.1 будет разрешено прохождение сигнала с выхода  $Q$   $i$ -го триггера на вход  $D$   $i+1$ -го триггера - будет реализовываться сдвиг кода вправо.



- $D1 - DN$  - входы D-триггеров;
- $Q1 - QN$  - прямые выходы Q-триггеров;
- $S0, S1$  - входы управления направлением сдвига;
- $VR$  - вход последовательного кода при сдвиге вправо ( $R$  - от англ. Right), при сдвиге кода влево применяется обозначение  $VL$  (Left).

# Регистры

## Сдвиговые



Рассмотрим работу сдвиговых регистров на примере микросхемы K155IP1

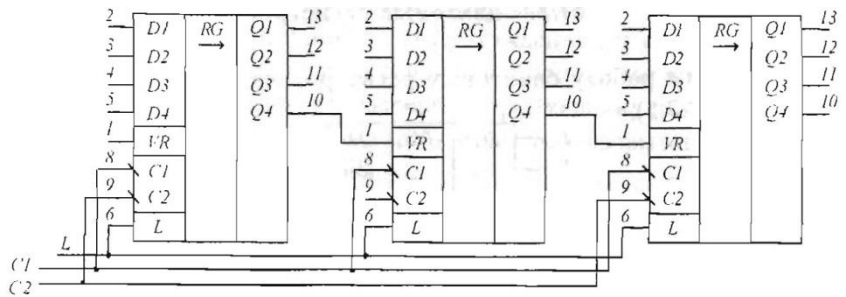
Рабочий режим регистра задается уровнем сигнала на входе  $L$ . Ввод информации последовательным кодом, а также сдвиг ее вправо производится при  $L = 0$ . Входная информация подается на вход  $VR$ , а тактовые импульсы на вход  $C1$ . Сдвиг вправо на один разряд происходит при действии среза тактового импульса. Информация после четырех тактовых импульсов может быть считана с выходов  $Q1 - Q4$ .

Ввод информации параллельным кодом осуществляется при  $L=1$ . Тактовые импульсы подаются на вход  $C2$ . По срезу тактового импульса информация с входов  $D1 - D4$  переписывается на соответствующие выходы  $Q1 - Q4$ . Состояние входов  $VR$  и  $C1$  при этом не имеет значения.

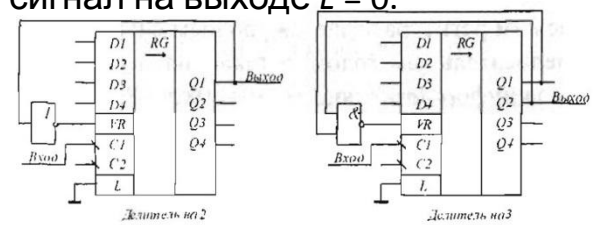
При  $L=1$  можно реализовать преобразование последовательного кода в параллельный со сдвигом влево. Для этого необходимо соединить выходы  $Q4, Q3, Q2$  с входами  $D3, D2, D1$ , соответственно, а информацию вводить в регистр через вход  $D4$ . Сдвиг кода влево на один разряд происходит при действии среза каждого тактового импульса, подаваемого на синхровход  $C2$ .

Во избежание сбоев в работе регистра смена состояний входа  $L$  должна происходить только при  $C1 = C2 = 0$ . Кроме того, на информационных входах сигналы должны обновляться до прихода фронта тактового импульса.

Используя универсальный сдвигающий регистр типа IP1, можно строить многоразрядные регистры, для чего необходимо выход последнего разряда одного универсального регистра подключить к входу  $VR$  последующего универсального регистра. Пример двенадцатиразрядного сдвигающего регистра на рис.



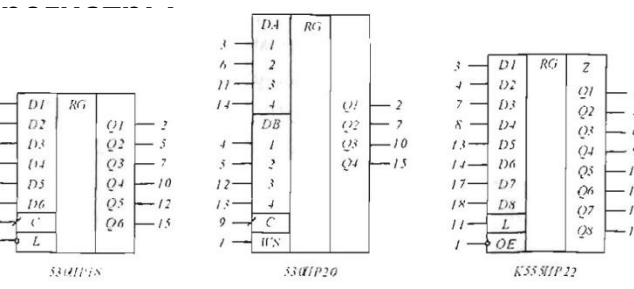
Применяя дополнительный внешний инвертор, можно осуществить деление частоты. На рис. приведены примеры построения делителей частоты на 2 и 3. При этом сигнал на выходе  $L = 0$ .



Импульсы, подлежащие делению по частоте повторения, поступают на вход синхронизации  $C1$ , а выходные импульсы снимаются с выходов  $Q$ , соединенных через инверторы обратной связи с

# Регистры

## Параллельные



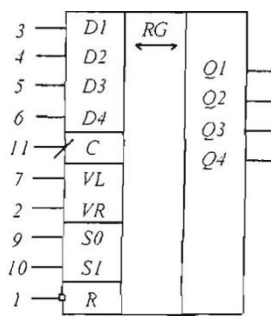
Рассмотрим три интегральных микросхемы параллельных регистров.

**530IP18.** Регистр предназначен для хранения 6-разрядного слова, записываемого и считываемого в виде параллельного кода. Запись кода осуществляется синхронно по фронту тактового импульса и при действии напряжения лог.0 на инверсном входе L. При действии лог.1 на входе L ввод кода запрещается и действие входных сигналов на выходах Q не отражается.

**530IP20.** Регистр представляет собой 4-разрядный 2-канальный мультиплексор, управляемый по входу WS. При действии напряжения лог.0 на WS по фронту тактового импульса на выходах Q фиксируется информация с входов DA, при действии напряжения лог.1 - с входов DB.

**K555IP22.** Регистр предназначен для хранения 8 разрядного слова, записываемого и считываемого в виде параллельного кода. Запись кода производится асинхронно при действии напряжения лог.1 на входе L. При записи на выходах Q формируется записываемый код. Для перевода регистра в режим хранения необходимо на вход L подать напряжение лог.0. При записи кода и его хранении на входе OE должно действовать напряжение лог.0.

Перевод регистра в 3-е состояние выходов Z (состояние высокого импеданса) осуществляется подачей напряжения лог.1 на инверсный вход OE, при этом состояние всех остальных входов безразлично.



Рассмотрим работу реверсивных регистров на примере двух ИМС. Реверсивный регистр КМ555ИР11 (рис.) реализует 4 режима работы: хранение 4-хразрядного кода, сдвиг кода влево, сдвиг кода вправо, параллельный ввод и вывод кода.

Режимы работы задаются двухразрядным кодом, подаваемым на входы управления S0, S1.

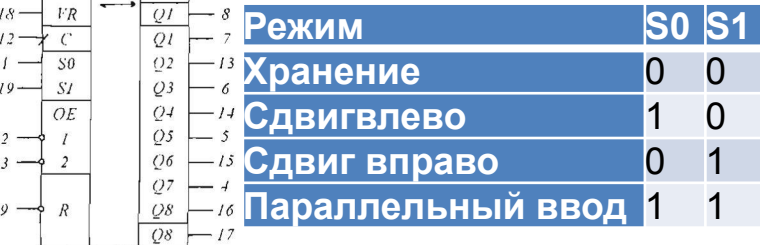
Режим	S0	S1
Хранение	0	0
Сдвиг влево	0	1
Сдвиг вправо	1	0
Параллельный ввод	1	1

Параллельный ввод информации с входов D1-D4 происходит по фронту тактового импульса на входе C. При этом на инверсный вход R должен быть подан лог. 0, а состояния входов VR и VL- произвольные. Сдвиг информации, поступающей в виде последовательного кода на вход VR и VL, также совершается под действием фронтов тактовых импульсов. Состояния входов D, а также одного из VR или VL (в зависимости от направления сдвига), могут быть произвольными.

# Регистры

## Реверсивный регистр

КР1533ИР24



Режим	S0	S1
Хранение	0	0
Сдвиг влево	1	0
Сдвиг вправо	0	1
Параллельный ввод	1	1

КР1533ИР24

Регистр предназначен для хранения 8-разрядного слова, а также преобразования параллельного кода в последовательный и наоборот. Регистр функционирует в следующих синхронных режимах:

- параллельный ввод кода,
- последовательный ввод кода со сдвигом вправо,
- последовательный ввод кода со сдвигом влево.

Задаёт режим двухразрядный код, действующий на входах S1, S0 (таблица).

Особенностью регистра является двунаправленная восьмиразрядная шина данных, направление передачи данных задается состояниями OE и этим же задается режим третьего состояния выходов Z (режим высокоимпедансного состояния). Состояния шины в зависимости от состояний указанных входов приведены в след. таблице.

Фиксация и сдвиг кода происходят по фронту импульса, поступающего на вход С, при этом на инверсном входе R должно действовать напряжение лог. 1. Сброс регистра в нулевое состояние производится асинхронно подачей на инверсный

В режиме хранения (S1 = S0 = лог. 0) запись, сдвиг кода и обнуление регистра невозможны. При включении режима высокого импеданса (OE1=лог.1, состояние входов OE2, S1, S2 - безразлично) можно производить параллельную запись кода, сдвиг вправо или влево, хранение информации и обнуление регистра.

Режим	OE1	OE2	S1	S0
Вывод:	0	0	X	0
Q1-Q8 – выходы	0	0	0	X
Ввод:	X	X	1	1
Q1-Q8 - входы	X	1	X	X
Q1-Q8 = Z	1	X	X	X

Дополнительные выходы Q1 и Q8 предназначены для считывания последовательного кода при сдвиге его вправо или влево. При сдвиге кода влево с выхода Q1 считывается последовательный код младшим разрядом вперед, при сдвиге кода вправо с выхода Q8 считывается последовательный код старшим разрядом вперед.

# Полупроводниковые запоминающие устройства

Цифровые запоминающие устройства (ЗУ) предназначены для записи, хранения и выдачи информации, представленной в виде цифрового кода. ЗУ - один из основных функциональных блоков ЭВМ, в них хранятся числа, над которыми должны быть выполнены определенные действия, и числа, которые являются кодами команд, определяющие характер этих действий. Используемые вначале исключительно в ЭВМ, ЗУ в настоящее время широко применяется в различных электронных устройствах - от автоматики до телевидения. Основными характеристиками ЗУ являются их информационная емкость, быстродействие и время хранения информации.

Классификацию ЗУ можно выполнить по ряду признаков:

- иерархии;
- способу обращения к ячейкам памяти;
- функциональному назначению;
- способу хранения информации;
- технологическому исполнению.

В иерархии памяти ЭВМ ЗУ подразделяются на следующие уровни.

*Регистровые ЗУ* находятся в составе процессора. Наименьший объем и наибольшее быстродействие.

*Кэш-память.* Предназначена для хранения промежуточной информации для текущих операций. Небольшой объем и высокое быстродействие.

*Основная память.* В ней хранятся данные и программы, выполняемые в данный момент процессором. Работает в режиме обмена с процессором.

*Специализированная память.* Применяется для специальных архитектур, например видеопамяти, в которой хранится информация, индицируемая на мониторе компьютера

*Внешняя память* - магнитные, оптические диски и т.д.

По способу обращения к ячейкам памяти ЗУ подразделяются на адресные, последовательные и ассоциативные.

*Адресные ЗУ* позволяют обращаться к любой ячейке в адресном пространстве. Все ячейки равнодоступны. Эти ЗУ наиболее распространены.

*Последовательные ЗУ* осуществляют считывание информации из очереди слово за словом либо в порядке записи, либо в обратном порядке.

*Ассоциативные ЗУ* реализуют поиск информации по некоторому признаку, а не по ее расположению в памяти.

# Полупроводниковые запоминающие устройства

Основная техническая классификация ЗУ базируется на функциональном признаке. По функциональному назначению ЗУ можно разделить на следующие группы.

*Оперативные ЗУ* (ОЗУ, или RAM-random access memory) - устройства памяти цифровой информации, которые обеспечивают запись, хранение и считывание цифровой информации в процессе ее обработки. Современные ОЗУ, как правило, не обладают энергонезависимостью. Новые перспективные ОЗУ, находящиеся в процессе разработки, позволят решить эту проблему.

*Постоянные ЗУ* (ПЗУ, или ROM - read-only memory) - матрицы элементов памяти, предназначенные для хранения и воспроизведения неизменной информации, заносимой в матрицу при изготовлении.

Программируемые постоянные запоминающие устройства (ППЗУ, или PROM) - ПЗУ с возможностью однократного электрического программирования. Этот вид памяти позволяет пользователю однократно запрограммировать микросхему памяти.

*Репрограммируемые постоянные запоминающие устройства* (РПЗУ, или EEPROM) - ПЗУ с возможностью многократного электрического программирования. Они отличаются от ПЗУ тем, что допускают многократную электрическую запись информации.

*Репрограммируемые постоянные запоминающие устройства с ультрафиолетовым стиранием* (РПЗУ УФ, или EPROM) отличаются от РПЗУ только способом стирания информации с помощью ультрафиолетовых лучей. Для этого в корпусе микросхемы сделано специальное окно.

*FLASH-память* принципиально подобна РПЗУ, но эта память имеет структурные и технологические особенности, позволяющие выделить ее в отдельный вид.

По способу хранения информации ОЗУ делятся на статические (SRAM) и динамические (DRAM). В статических ОЗУ запоминающими элементами являются триггеры, сохраняющие свое состояние, пока схема находится под напряжением питания. В динамических ОЗУ данные хранятся в виде зарядов конденсаторов, образуемых элементами МОП-транзисторов. Саморазряд конденсаторов ведет к потере данных, поэтому они должны периодически регенерироваться. Это является недостатком динамических ОЗУ. К достоинствам можно отнести то, что плотность упаковки элементов динамической памяти в несколько раз выше, чем у статических ОЗУ. По этой причине динамические ОЗУ имеют более высокую информационную емкость и меньшую цену. Достоинство статических ОЗУ - большее быстродействие. Динамические ОЗУ используются как основная память ЭВМ. Быстродействующие статические ОЗУ в основном применяются в кэш-памяти, последовательных ЗУ и т.п.

# Полупроводниковые запоминающие устройства

В настоящее время разработаны динамические ОЗУ, имеющие внутреннюю встроенную систему регенерации, причем у этих ЗУ внешние характеристики становятся аналогичными свойствам статических ЗУ. Такие ЗУ получили название квазистатических.

По технологии изготовления ЗУ делятся на биполярные (ТТЛ, ТТЛШ, ЭСЛ, И<sup>2</sup>Л технологии) и униполярные (n-МОП, КМОП технологии).

Различают энергозависимую и энергонезависимую память. В энергонезависимой памяти данные при отключении питания не разрушаются. Поэтому ЭВМ и МП системы должны иметь хотя бы малую энергонезависимую память для запоминания коротких программ, по которым программе МП может переписать в основную память команды из энергонезависимой внешней памяти.

Любое ЗУ, не зависимо от его выполнения и назначения, характеризуется рядом параметров. Рассмотрим основные из них.

*Информационная емкость* определяет максимально возможный объем хранимой в нем информации.

Единицей измерения количества информации является один бит или слово (в частности, байт). Бит хранится запоминающим элементом (ЗЭ), а слово - запоминающей ячейкой (ЗЯ), к которым возможно лишь одновременное обращение. Емкость ЗУ принято определять в битах или количестве кодовых слов с указанием их разрядности.

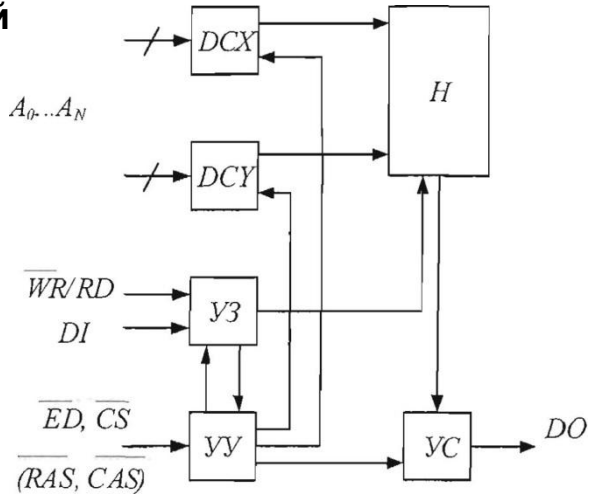
Для определения больших объемов информации используют приставки кило и мега, означающие соответственно  $2^{10} = 1024$  бит = 1 Кбит и  $2^{20} = 1048576$  бит = 1 Мбит.

Организация ЗУ ( $N * L$ ) показывает число кодовых слов ( $N$ ), хранимых в ЗУ с указанием из длины (разрядности) ( $L$ ). Емкость ЗУ соответственно равна  $M = NL$ . При одном и том же объеме памяти хранимой информации память может иметь разную организацию. Примеры организации памяти: 32x8, 128Kx8, 1Mx1. Динамические характеристики ЗУ в общем случае определяются большим числом различных временных параметров, основными среди которых являются времена считывания, записи, длительности циклов чтения и записи. Время считывания - интервал между моментами появления сигнала чтения и слова на выходе ЗУ. Время записи - интервал после появления сигнала записи, достаточный для установления ЗЯ в состояние, задаваемое входным словом. Цикл - минимально допустимый интервал между последовательными повторными операциями чтения или записи. Длительности циклов превышают времена чтения и записи, т.к. после этих операций до начала следующей может потребоваться время для восстановления необходимого начального состояния ЗУ.



# Полупроводниковые запоминающие устройства

## Структуры запоминающих устройств

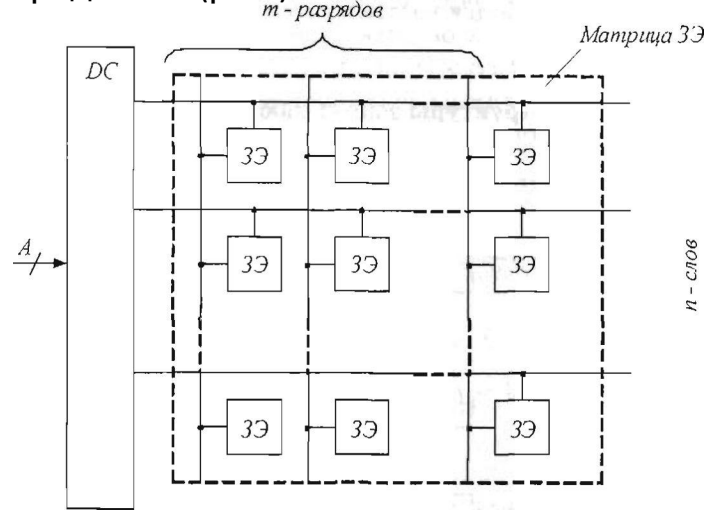


В ее состав входят: дешифратор строк DCX и столбцов DCY, накопитель H, устройство записи УЗ и устройство управления. В зависимости от типа ЗУ те или иные узлы могут отсутствовать или меняться их схемотехника.

Основной составной частью ЗУ является матрица накопителя, которая представляет собой массив запоминающих элементов, объединенных в матрицу. ЗЭ может хранить один бит информации. ЗЭ могут быть объединены в ЗЯ, которая хранит слово, состоящее из 8, 16 бит. Для обращения к ЗЭ или ЗЯ необходимо выбрать ее с помощью кода адреса (каждая ячейка имеет свой уникальный адрес).

Статические ОЗУ и ПЗУ имеют аналогичные структуры, динамические ОЗУ имеют свои особенности структуры. Наиболее характерные структуры ЗУ подразделяют на структуры с одномерной (словарной) адресацией - 2D, 2DM и

**Структура 2D** представляет собой матрицу размерностью  $M = m * n$ , где  $n$  - число хранимых слов,  $m$  - их разрядность (рис.).

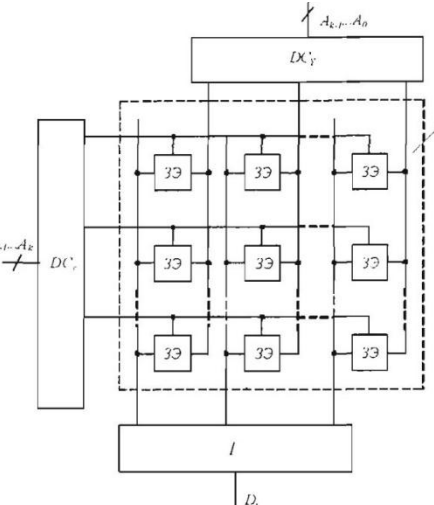


Дешифратор DC служит для выбора заданного слова, разрешая доступ ко всем элементам выбранной строки, хранящей слово, адрес которого соответствует номеру строки. Выбор режима чтения или записи осуществляется воздействием сигнала чтение/запись.

ЗУ типа 2D применяется лишь для памяти малого объема, основным недостатком этой структуры является чрезмерное усложнение дешифратора при наращивании объема памяти. Число выводов дешифратора равно числу хранимых слов. Так, для ЗУ с организацией 256\*4 необходим дешифратор с 256 выходами, что чрезмерно усложняет аппаратную реализации схемы.

# Полупроводниковые запоминающие устройства

**Структура 3D** применяется для упрощения дешифрации адреса с помощью двухкоординатной выборки 3Э (рис).

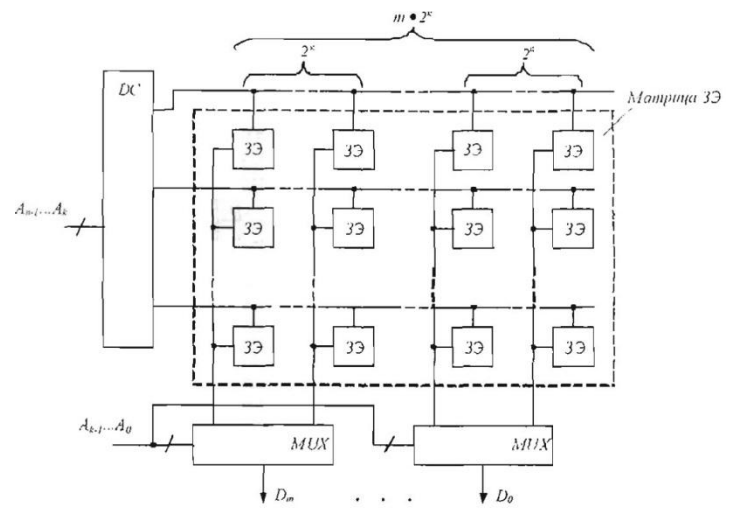


Код адреса разрядностью  $m$  делится на 2 половины ( $A_{k-1}...A_k, A_{k-1}...A_0$ ), одна служит для определения строки, 2-ая - для определения столбца. Таким образом, выбирается один бит нужного слова, который находится в 3Э на пересечении активных выходов обоих дешифраторов. Суммарное число необходимых дешифраторов гораздо меньше, чем в структуре 2D.

Для структуры 2D при хранении 1024 слов требуется дешифратор с 1024 выходами, для структуры 3D нужны 2 дешифратора с 32 выходами у каждого.

При построении 3У для многоразрядных слов к дешифраторам строки и столбца могут подключаться параллельно несколько матриц, число которых равно разрядности хранимых слов. Каждая матрица выдает один бит адресованного слова.

Недостатком структуры 3D является усложнение элементов памяти, имеющих двухкоординатную выборку. В структуре 2D для выбора строки матрицы и мультиплексоры для выбора разрядов слова. Эта структура похожа на структуру 2D - активный выход дешифратора выбирает целую строку. Отличие: длина строки не равна разрядности хранимых слов, гораздо длиннее ее. Т. о. уменьшается количество строк матрицы и, соответственно, уменьшается количество необходимых выходов дешифратора (рис.).



Для выбора строки используется только часть разрядов адресного кода  $A_{k-1}...A_k$ . Остальные разряды адресного кода  $A_{k-1}...A_0$  используются для выборки необходимого слова из всего объема слов, содержащихся в строке.

Для этого используются мультиплексоры, адресные входы которых соединены с шинами  $A_{k-1}...A_0$ . На выходах мультиплексоров формируется выходное слово, каждый разряд которого выбирается из отрезка строки длиной  $m \cdot 2^k$ , где  $m$  - разрядность хранимых слов. На выходах  $m$  мультиплексоров формируется выходное слово, каждый разряд которого выбирается из отрезка строки длиной  $2^k$ .

Для примера, в 3У типа 2DM 256x4 используется матрица 32 x 32, для обращения к каждому 3Э необходимо восьмиразрядное адресное слово. Пять разрядов этого слова поступают на дешифратор и выбирают одну из 32 строк матрицы 3Э. Три оставшихся разряда адресного слова поступают на адресные входы четырех мультиплексоров и выбирают из отрезков  $23 = 8$  разрядов один бит каждого слова.

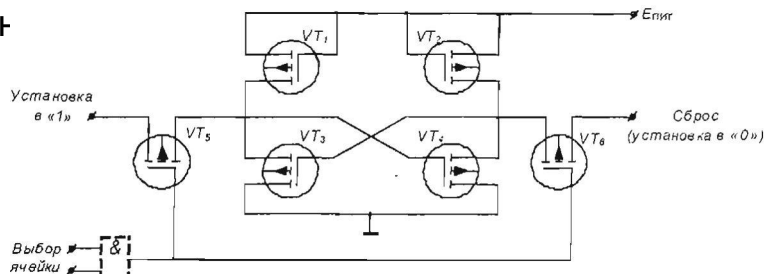
# Полупроводниковые запоминающие устройства

## Оперативные запоминающие устройства

ОЗУ подразделяются на статические и динамические. Запоминающие элементы статических ОЗУ - триггеры с цепями установки и сброса. Статические ОЗУ могут быть реализованы по любой технологии - ТТЛ, ТТЛШ, КМОП и др. Сейчас наиболее распространенной стала технология КМОП благодаря своей технологичности.

Статические ОЗУ имеют высокой быстродействию, вследствие чего они широко используются в быстродействующей кэш-памяти, ЗУ последовательного типа, в микроконтроллерах для реализации небольших по объему блоков памяти.

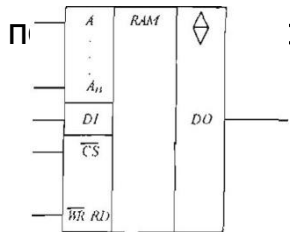
Запоминающий элемент на *n*-МОП транзисторах содержит 2 инвертора VT3 и VT4 на ключах с



Подача нуля на вход "установка в "1" снижает стоковое напряжение транзистора VT3, что запирает транзистор VT4 и повышает напряжение на его стоке. Это открывает транзистор VT3 и фиксирует созданный на его стоке низкий уровень напряжения даже после снятия сигнала записи. Таким образом, триггер устанавливается в состояние логической единицы. Точно так же нулевым сигналом по шине "установка в "0" можно установить триггер в нулевое

Эти состояния могут длиться сколь угодно долго, пока включено питание схемы. При выборе строки со своими шинами столбцов соединяются все ее триггеры, но с выходными цепями записи связываются только те ячейки, которые активизированы сигналом "выбор ячейки".

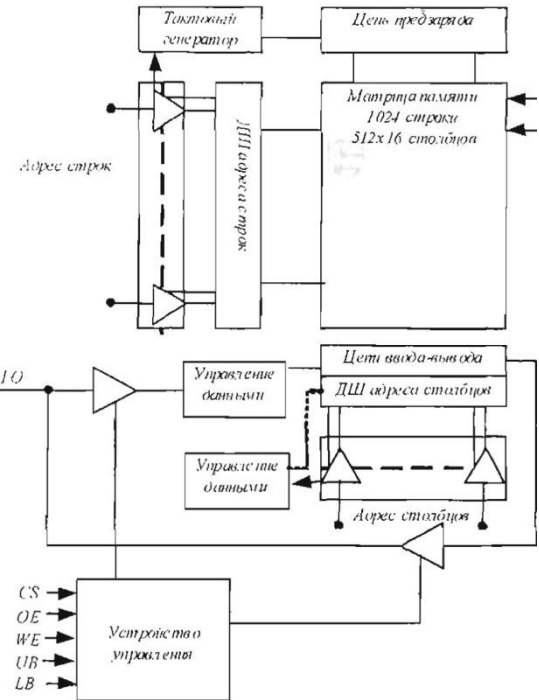
Данный ЗЭ позволяет производить чтение-запись информации по одним и тем же выводам. Для считывания информации, записанной в ЗЭ, нужно подать сигнал "выбор ячейки". При этом оба транзистора VT5 и VT6 открываются и через транзистор, подключенный к триггеру с положительным напряжением, протекает ток, соответствующий разрядности.



изображение ИС статического ОЗУ приведено на рис. (организация микросхемы 16Кх1), структурная схема совпадает со схемой на рис.1.

# Полупроводниковые запоминающие устройства

Структурная схема и схема расположения выводов статического ОЗУ K6X8016 фирмы Samsung Electronics, информационной емкостью 8Мбит с организацией 512Kx16.



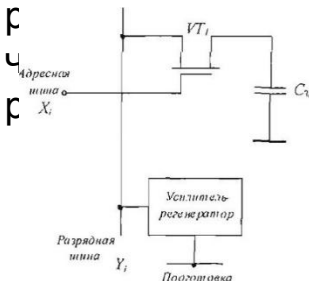
- Vcc-питание; Vss - общий;
- Ub - выбор старшего байта; Lb - выбор младшего байта;
- CS - выбор кристалла;
- OE - чтение;
- WE - запись;
- A0 – A18 - адрес;
- I/O1 - I/O16 - вход/выход данных.

В этой микросхеме запись/чтение осуществляется по одной шине, работу с младшими и старшими

Динамические ОЗУ хранят информацию в виде заряда конденсатора. ЗЭ ДЗУ проще, чем статического, что позволяет разместить на кристалле больше ЗЭ, что обуславливает высокую информационную емкость ДЗУ.

По сравнению со статическими, динамические имеют меньшее быстродействие, но они проще, дешевле и имеют высокую степень интеграции, что дает высокую информационную емкость. В настоящее время выпускаются динамические ОЗУ емкостью до 8 Гбит.

Любой конденсатор обладает собственным саморазрядом. В связи с этим в ДЗУ требуется периодическое восстановление (регенерация) заряда на конденсаторах. Для этого информация с ЗЭ периодически считывается и затем повторно записывается с восстановлением требуемого уровня напряжения. В реально выпускаемых ОЗУ



да конденсаторов выполняется 1 кр. (рис). Хранение информации происходит на емкости  $C_{31}$  полевого транзистора, который также выполняет роль ключа выборки.

Сохранность информации при выборке и хранении обеспечивается при помощи усилителя-регенератора.

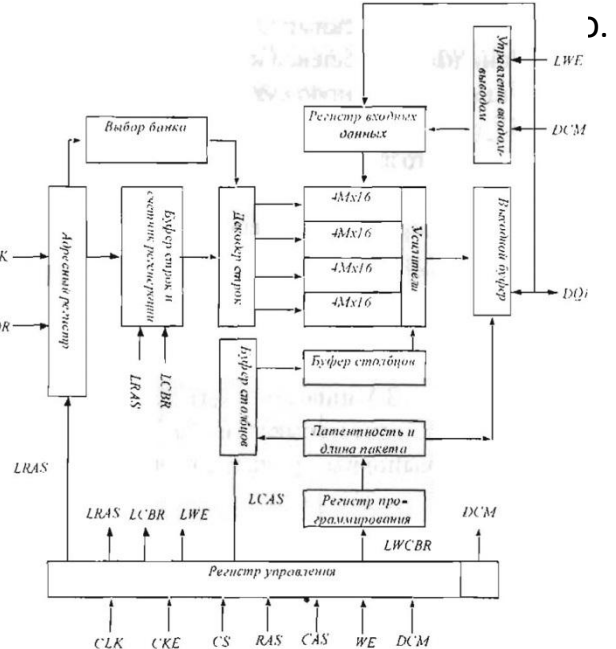
Режим хранения обеспечивается периодической регенерацией заряда емкости  $C_{31}$  с частотой несколько сотен герц. В процессе регенерации

# Полупроводниковые запоминающие устройства

Особенностью почти всех динамических ОЗУ является мультиплексирование шины адреса. Адрес делится на два полуадреса, один из которых представляет собой адрес строки, второй - адрес столбца. Оба полуадреса подаются на одни и те же адресные выходы ИС поочередно. Такое мультиплексирование необходимо для уменьшения числа выводов корпуса ИС, что особенно актуально для динамических ОЗУ, имеющих большую емкость и большую разрядность адресов. Такое построение ИС динамического ОЗУ обеспечивает меньшее

Микросхема управляется следующими основными сигналами.

- CLK - синхросигнал;
- CS - разрешает или запрещает декодирование команд;
- SKE- разрешает или запрещает внутреннее тактирование и функционирование входных и выходных буферов;
- A0-A12 - адрес столбцов (RA0 - RA12)/колонок (CA0 - CA8);
- BS0, BS - выбор банка памяти;
- RAS - строб адреса строк;
- CAS - строб адреса столбцов;
- DQM- маскирование данных ввода/вывода;
- DQ0 - DQ15 - входные/выходные данные;
- WE - разрешение записи.



На рис. приведена схема ИС динамического ОЗУ фирмы AMIC Technology A43L4616 емкостью-256 Мбит с информационной организацией 16Mx16 бит.

Микросхема имеет четыре банка памяти организацией 4Mx16 бит. Адресная информация состоит из трех частей: адреса банка; адреса колонки и столбца, которые подаются последовательно в соответствии с сигналами RAS и CAS.

Буфер адреса строк содержит счетчик адресов, используемый для регенерации данных с помощью перебора строк в режиме чтения.

Микросхема работает с тактовой частотой 143 МГц. В схеме реализована авторегенерация, частота регенерации составляет 8 кГц. ИМС выполнена в корпусе с 54 выводами.

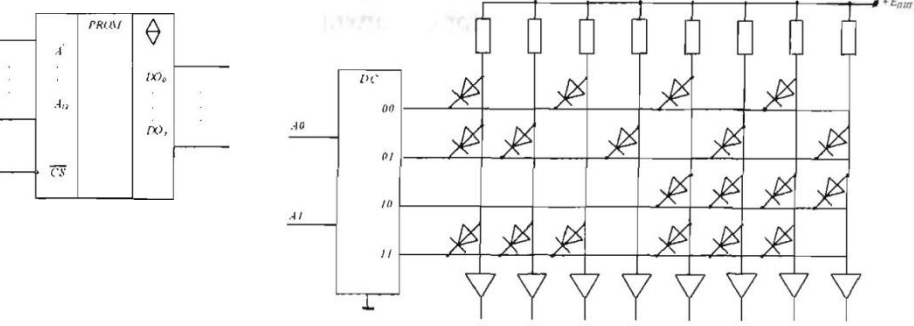
# Полупроводниковые запоминающие устройства

## Постоянные запоминающие устройства

### (ПЗУ)

ПЗУ - память, информация в которой, будучи однажды записанной, изменению не подлежит. Например, программа загрузки в ОЗУ микропроцессорной системы информации из внешней памяти. Все типы ПЗУ используют один и тот же принцип построения схемы. Информация в ПЗУ представляется в виде наличия или отсутствия соединения между шинами адреса и данных.

Условное графическое обозначение ПЗУ.



На рис. приведена схема простейшего ПЗУ. Для реализации ПЗУ достаточно использовать дешифратор, диоды, набор резисторов и шинные формирователи. Рассматриваемое ПЗУ содержит 4x8 разрядных слова, т.е. его общий объем составляет 32 бита. Количество столбцов определяет разрядность слова, а количество строк - количество 8 разрядных слов. Диоды устанавливаются в тех местах, где должны храниться биты, имеющие значение лог. "0" (дешифратор подает 0 на выбранную строку). В настоящее время вместо диодов ставят МОП-транзисторы.

Слово	Двоичное представление								
АО	A1	D1	D2	D3	D4	D5	D6	D7	D8
0	0	0	1	0	1	0	1	0	1
0	1	0	0	1	0	1	0	1	0
1	0	1	1	1	1	0	0	0	0
1	1	0	0	0	1	0	0	0	1

ПЗУ имеют многоразрядную организацию со структурой 2DM. Технологии изготовления - КМОП, n-МОП, ТТЛ(Ш) и диодные матрицы.

ПЗУ можно разделить на группы: программируемые при изготовлении (масочные), с однократным программированием и перепрограммируемые.

*В запоминающих устройствах, программируемых при изготовлении (ПЗУ или ROM), информация записывается непосредственно в процессе их изготовления с помощью фотошаблона (маской), на завершающем этапе технологического процесса. Такие ПЗУ называемые масочными, построены на диодах, биполярных или МОП транзисторах.*

Область использования масочных ПЗУ - хранение стандартной информации, например знакогенераторы (коды букв латинского и русского алфавита), таблицы типовых функций (синусы, квадратичные функции), стандартное программное обеспечение.

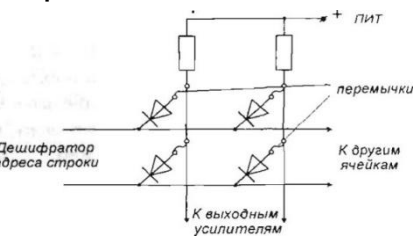
*Программируемые постоянные запоминающие устройства (ППЗУ, или PROM) - ПЗУ с возможностью однократного электрического*

# Полупроводниковые запоминающие устройства

ИС ППЗУ построены на запоминающих ячейках с плавкими перемычками. Процесс программирования заключается в избирательном пережигании плавких перемычек с помощью импульсов тока достаточной амплитуды и длительности. Плавкие перемычки включаются в электроды диодов или транзисторов.

На рис. схема ППЗУ с плавкими

перемычками.



Оно изготавливается со всеми диодами и перемычками (в матрице все 0), а при программировании пережигаются те перемычки, в ячейках

**Репрограммируемые запоминающие устройства** (РПЗУ и РПЗУ УФ) - ПЗУ с возможностью многократного электрического программирования. В ИС РПЗУ УФ (EPROM) информация стирается с помощью УФ лучей, для чего в корпусе микросхемы имеется прозрачное окошко; в РПЗУ (EEPROM) - с помощью электрических сигналов.

Запоминающие ячейки РПЗУ строятся на n-МОП или КМОП транзисторах. Для построения ЗЭ используются различные физические явления хранения заряда на границе между двумя диэлектрическими средами или проводящей и диэлектрической средой. В 1-ом варианте диэлектрик под затвором МОП транзистора делают из 2-х слоев: нитрида кремния и двуокиси кремния. Этот транзистор называется МНОП: металл-нитрид

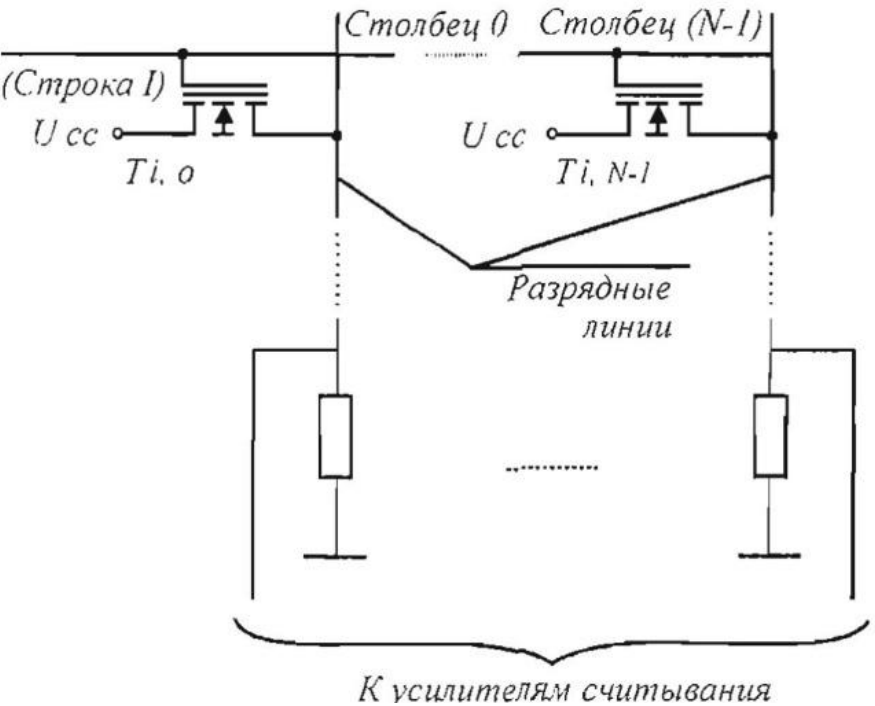
На границе диэлектрических слоев возникают центры захвата зарядов. Благодаря туннельному эффекту носители заряда могут проходить сквозь тонкую пленку окисла и скапливаться на границе раздела слоев. Этот заряд, являющийся носителем информации, хранимой МНОП-транзистором, приводит к изменению порогового напряжения транзистора. При этом пороговое напряжение возрастает настолько, что рабочее напряжение на затворе транзистора не в состоянии его открыть. Транзистор, в котором заряд отсутствует, легко открывается. Одно из состояний определено как лог.1 второе - 0.

Во 2-ом варианте затвор МОП транзистора делают плавающим, т.е. не связанным с другими элементами схемы. Такой затвор заряжается током лавинной инжекции при подаче на сток транзистора высокого напряжения. В результате заряд на плавающем затворе влияет на ток стока, что используется при считывании информации, как и в предыдущем варианте с МНОП транзистором. Такие транзисторы получили название ЛИЗМОП (МОП транзистор с лавинной инжекцией заряда). Так как затвор транзистора окружен изолятором, ток утечки очень мал и информация может храниться достаточно долго (десятки лет). В РПЗУ с электрическим стиранием над плавающим затвором транзистора размещают 2-ой - управляющий затвор. Подача напряжения на него вызывает рассасывание заряда на плавающем затворе за счет туннельного эффекта. РПЗУ имеют следующие преимущества:

# Полупроводниковые запоминающие устройства

ЗУ с электрическим стиранием практически вытеснили ЗУ с ультрафиолетовым стиранием.

Фрагмент схемы РПЗУ с использованием 2-хзатворных транзисторов типа ЛИЗМОП показан на рис. Запись лог. 0 осуществляется в режиме программирования с помощью заряда плавающего затвора. Стирание информации, т.е. разряд плавающего затвора, означает запись лог. 1. В этом случае при подаче сигнала по линии выборки опрашиваемые транзисторы открываются и передают напряжение  $U_{ПИТ}$  на линии считывания. Современные РПЗУ имеют информационную



## Flash-память

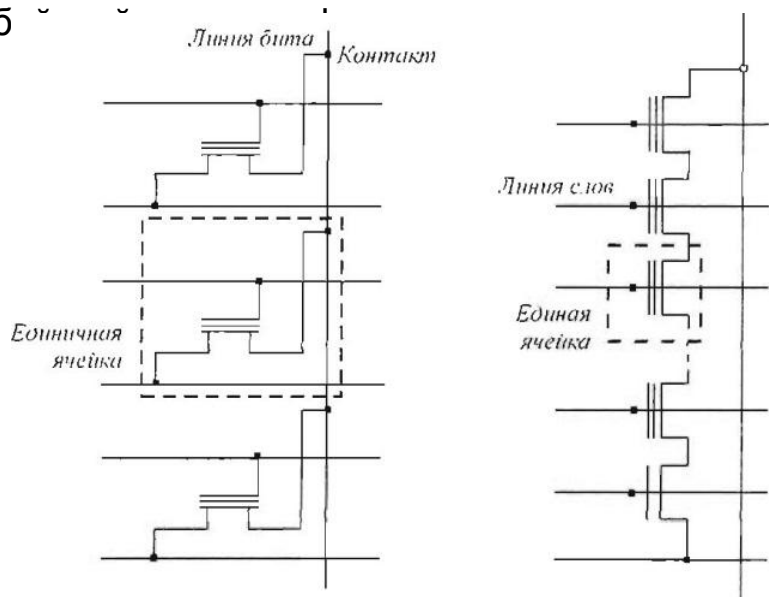
Основные принципы работы и тип запоминающих элементов Flash-памяти аналогичны ППЗУ с электрической записью и стиранием информации, построенной на транзисторах с плавающим затвором. Благодаря своим особенностям, Flash-память выделяют в отдельный класс. В ней производится стирание или всей записанной информации одновременно, или больших блоков информации, а не стирание отдельных слов. Это позволяет исключить схемы управления записью и стиранием отдельных байтов, что дает возможность значительно упростить схему ЗУ и достичь высокого уровня интеграции и быстродействия при снижении стоимости.

Потребность в энергонезависимой Flash-памяти растет пропорционально степени продвижения компьютерных систем в сферу мобильных приложений. Надежность, малое энергопотребление, небольшие размеры и незначительный вес являются преимуществами носителей на основе Flash-памяти в сравнении с дисковыми накопителями. С учетом постоянного снижения стоимости хранения единицы информации в Flash-памяти, носители на её основе предоставляют все больше преимуществ и функциональных возможностей мобильным платформам и портативному оборудованию, использующему такую память. Среди многообразия типов памяти, Flash-память на основе ячеек NAND



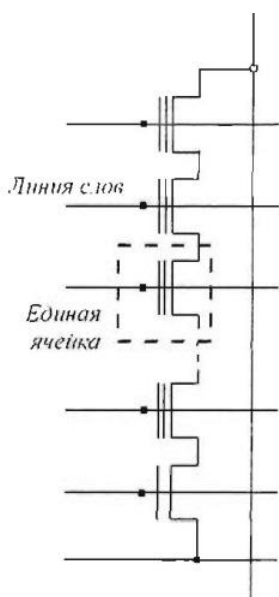
# Полупроводниковые запоминающие устройства

В настоящее время можно выделить две основных структуры построения флэш-памяти: память на основе ячеек NOR (ИЛИ-НЕ) и NAND (И-НЕ). Структура NOR (рис. а) состоит из параллельно включенных элементарных ячеек хранения информации. Такая организация ячеек обеспечивает возможность произвольного доступа к данным и поб



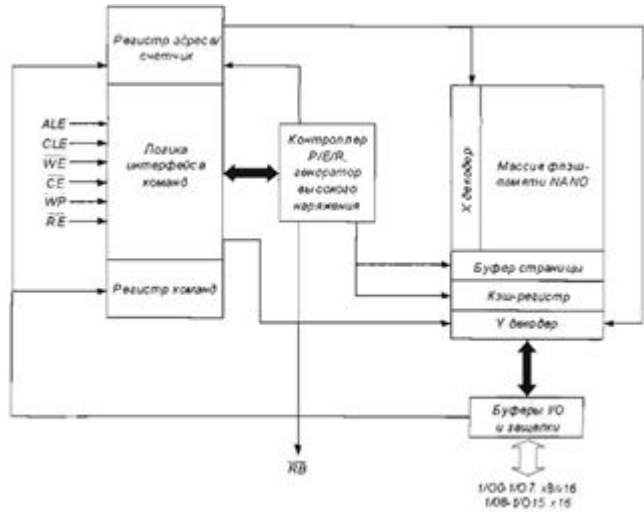
В основе структуры NAND (рис. б) лежит принцип последовательного соединения элементарных ячеек, образующих группы (в одной группе 16 ячеек), которые объединяются в страницы, а страницы - в блоки. При таком построении массива памяти обращение к отдельным ячейкам невозможно. Программирование выполняется одновременно только в пределах одной страницы, а при стирании обращение производится к блокам или к группам блоков

В результате различия в организации структуры между памятью NOR и NAND находят свое отражение в их характеристиках. При работе со сравнительно большими массивами данных процессы записи/стирания в памяти NAND выполняются значительно быстрее памяти NOR. Поскольку 16 прилегающих друг другу ячеек памяти NAND соединены последовательно друг с другом без каких-либо контактных промежутков, достигается высокая площадь размещения ячеек на кристалле, что позволяет получить большую емкость при одинаковых технологических нормах. В основе программирования флэш-памяти NAND лежит процесс туннелирования электронов. А поскольку он используется как для программирования, так и для стирания, достигается низкое энергопотребление микросхемы памяти. Последовательная структура организации ячеек позволяет получить высокую степень масштабируемости, что делает NAND-Flash лидером в гонке наращивания объемов памяти. Ввиду того, что туннелирование электронов осуществляется через всю площадь канала ячейки, интенсивность захвата заряда на единицу площади у NAND-Flash ниже, чем в других технологиях Flash-памяти, в результате чего она имеет более высокое количество циклов программирования/стирания. Программирование и чтение выполняются посекторно или постранично, блоками по 512 байт, для эмуляции общераспространенного размера сектора дисковых накопителей.



# Полупроводниковые запоминающие устройства

Особенности микросхем Flash-памяти можно рассмотреть на примере кристаллов серии HY27xx(08/16)1G1M фирмы Hynix. На рис. показана внутренняя структура и назначение выводов этих приборов.

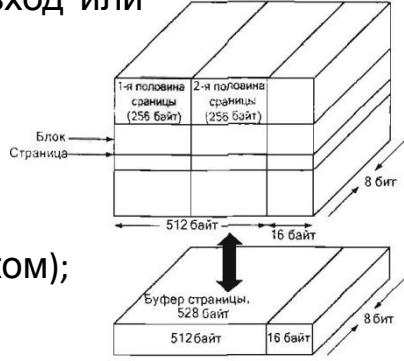


- $I/O_{8-15}$  - вход/выход данных для x16 устройств;
- $I/O_{0-7}$  - вход/выход данных, адресный вход или вход команд для x8 и x16 устройств;
- *ALE* - включение адресной защелки;
- *CLE* - включение защелки команд;
- *CE* - выбор кристалла;
- *RE* - разрешение чтения;
- *RB* - чтение/занят (выход с открытым стоком);
- *WE* - разрешение записи;
- *Wp* - защита от записи
- *Vcc* - напряжение питания;
- *Vss* - общий вывод.

Линии адреса мультиплексированы с линиями ввода/вывода данных количество используемых выводов и делает возможным переход к микросхемам большей емкости без изменения печатной платы. Каждый блок может быть запрограммирован и стерт 100000 раз. Микросхемы имеют выход "чтение/занят" с открытым стоком, который может использоваться для идентификации активности контроллера PER (Program/Erase/Read). Поскольку выход сделан с открытым стоком, существует возможность подключать несколько таких выходов от разных микросхем памяти вместе через один "подтягивающий" резистор к положительному выводу источника питания.

Массив памяти NAND-структуры организован в виде блоков, каждый из которых содержит 32 страницы. Массив разделен на главную область и запасную

(рис. 1) УСТРОЙСТВА блок=32 страницы Страницы=528 байт(512+16)



используется для хранения данных, в то время как запасная область обычно задействована для хранения кодов коррекции ошибок (ECC), программных флагов и идентификаторов негодных блоков (Bad Block) основной области. В 8-битных устройствах страницы в главной области разделены на две полустраницы по 256 байт каждая, плюс 16 байт запасной области. В 16-битных устройствах страницы разделены на главную область объемом 256 слов и запасную объемом

# Полупроводниковые запоминающие устройства

Память на основе ячеек NOR имеет сравнительно большие времена стирания и записи, но обладает доступом к каждому биту на чтение. Данное обстоятельство позволяет применять такие микросхемы для записи и хранения программного кода, который не требует частого перезаписывания. Такими применениями могут быть, например, BIOS для встраиваемых компьютеров или ПО для телевизионных приставок.

Свойства NAND-Flash определили область ее применения: карты памяти и иные устройства хранения данных. Сейчас данный тип памяти применяется почти повсеместно в мобильных устройствах, фото- и видеокамерах и т.д. NAND-Flash лежит в основе практически всех типов карт памяти: SmartMedia, MMC, SecureDigital, MemoryStick.

Достигнутая в настоящее время информационная емкость Flash-памяти достигает 8ГБит, типовая совокупная скорость программирования и стирания составляет до 33.6 мС / 64 кБ при тактовой частоте до 70 МГц.

Двумя основными направлениями эффективного использования Flash-памяти являются хранение редко изменяемых данных и замена памяти на магнитных дисках. Для первого направления используется Flash-память с адресным доступом, а для второго - файловая память.

## **ОЗУ типа FRAM**

FRAM - оперативное энергонезависимое ЗУ, сочетающее высокое быстродействие и малую потребляемую мощность, присущие ОЗУ, со свойством хранения данных при отсутствии приложенного напряжения.

В сравнении с EEPROM и Flash-памятью время записи данных в ЗУ этого типа и потребляемая мощность намного меньше (менее 70нс против нескольких миллисекунд), а ресурс по циклам записи намного выше (не менее  $10^{11}$  против  $10^5 \dots 10^6$  циклов для EEPROM).

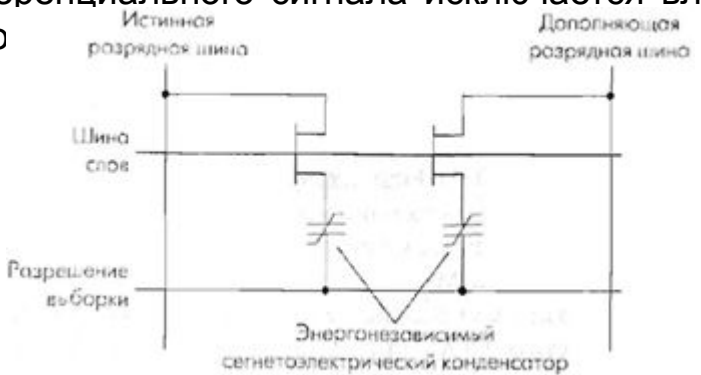
FRAM должна стать в ближайшем будущем самой популярной памятью в цифровых устройствах. FRAM будет отличаться не только быстродействием на уровне DRAM, но и возможностью сохранять данные при отключении энергии. FRAM может вытеснить не только медленную Flash, но и обычную ОЗУ типа DRAM. Сегодня ферроэлектрическая память находит ограниченное применение, к примеру, в RFID-тэгах. Ведущие компании, в числе которых Ramtron, Samsung, NEC, Toshiba, активно развивают FRAM.

Указанные свойства FRAM обеспечивает сегнетоэлектрик (перовскит), используемый в качестве диэлектрика накопительного конденсатора ячейки памяти. При этом сегнетоэлектрическое ЗУ хранит данные не только в виде заряда конденсатора (как в традиционных ОЗУ), но и в виде электрической поляризации кристаллической структуры сегнетоэлектрика. Сегнетоэлектрический

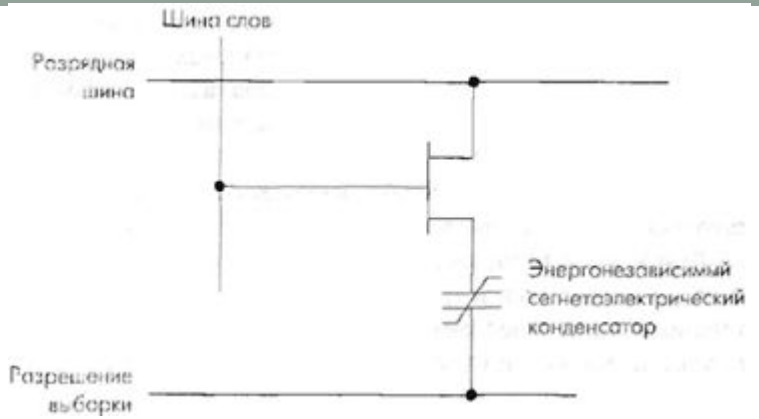
# Полупроводниковые запоминающие устройства

Термин FRAM еще не устоялся. Первые FRAM получили название - ферродинамические ОЗУ. Однако в настоящее время в качестве запоминающих ячеек используется сегнетоэлектрик и сейчас FRAM часто называют сегнетоэлектрическим ОЗУ.

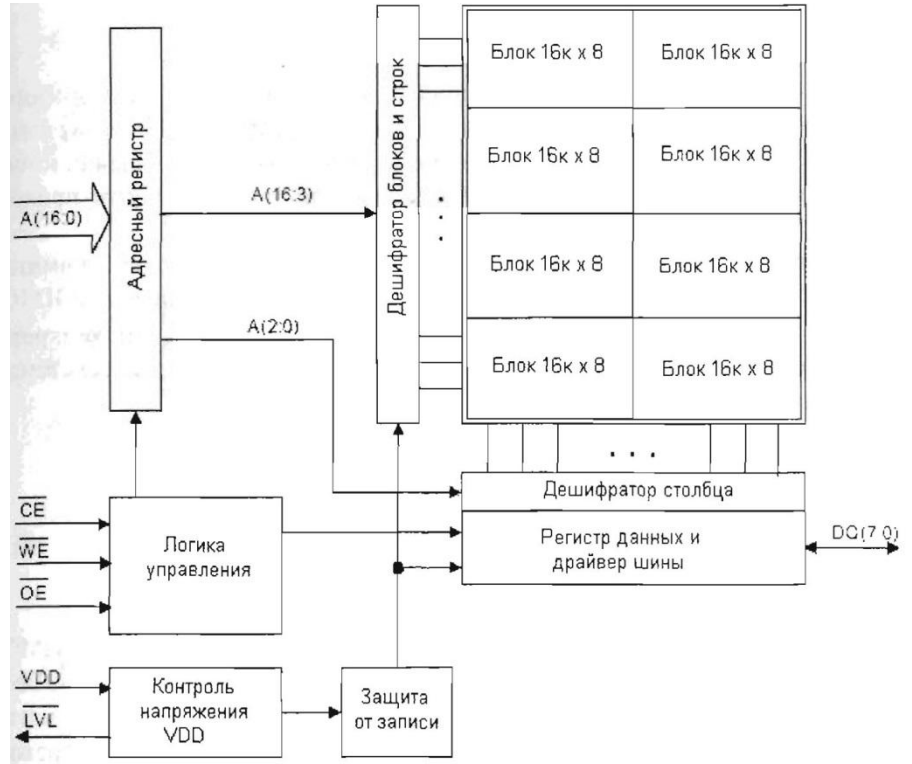
Первые FRAM имели 2Т/2С-архитектуру (рис), на основе которой выполняется и большинство современных микросхем сегнетоэлектрической памяти. Ячейка такого типа, в которой каждому биту соответствует индивидуальный опорный бит, позволяет определить разницу зарядов с высокой точностью. А благодаря считыванию дифференциального сигнала исключается влияние разброс



Позже появились FRAM с архитектурой 1Т/1С (рис.). Достоинство микросхем с такой архитектурой - меньшая, чем в обычных схемах площадь ячейки и, следовательно, меньшая стоимость микросхемы в пересчете на единицу информационной емкости.



На рис. приведена структурная схема ОЗУ (FRAM) объемом 1 Мбит и параллельным интерфейсом доступа FM20L08 фирмы Ramtron.



# Полупроводниковые запоминающие устройства

## Построение плат памяти

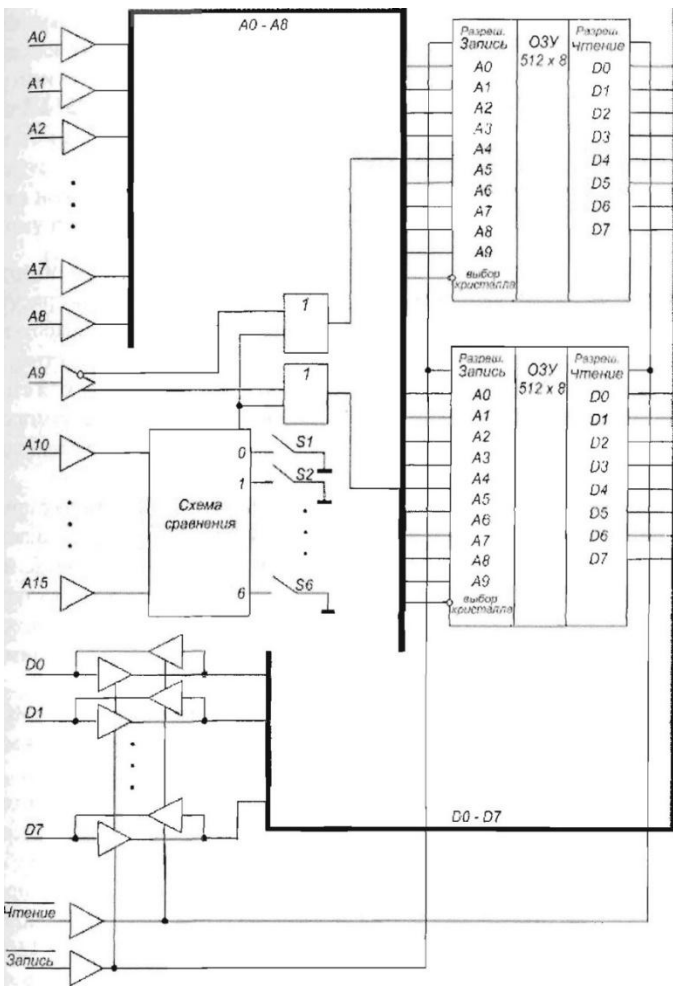
Емкость микросхемы памяти оценивается числом бит (или байт) информации, которую она может хранить. Это число соответствует количеству комбинаций, которое можно выставить на ее адресных входах. В большинстве случаев емкости одной микросхемы недостаточно, так что используется несколько микросхем.

На рис. представлена структурная схема памяти МП системы. Для построения памяти 1кБ применены 2 ИМС по 512x8 разрядных слов каждая. В зависимости от структуры шины конкретной МП системы, примененных схем памяти для построения реальной системы (платы памяти) требуется дополнительные ИМС.

Все адресные сигналы подлежат буферированию, что выполнено на ИМС ТТЛ. А0 – А8 - адресная шина с буферами непосредственно на ИМС памяти. А9 служит для выбора одной из двух ИМС памяти. Следовательно, адресуемая ячейка находится в одной из двух 512 битовых областей памяти. А9 поступает через схему ИЛИ на одну из ИМС памяти, а А9 через вторую схему ИЛИ на вторую схему памяти, следовательно, когда выбрана одна из ИМС, доступ ко второй закрыт. Адреса А10-А15 сравниваются с набором данных адресов, набранного посредством тумблеров S1-S6.

Выходной сигнал схемы сравнения содержит информацию о том, имеет ли место обращение к данной памяти.

Если адресные сигналы совпадают с адресом, полученным набором тумблеров, то на выходе схемы сравнения формируется сигнал лог.0, который разрешает выбор кристалла на данной плате памяти. Если не совпадают сигналы А10 - А15 с S1 - S6, то на выходе схемы сравнения формируется сигнал лог. 1, запрещающий обращение к данной плате памяти. Если на линиях S1 - S6 все 0, то плата памяти будет реагировать на адреса от 0 до 1кБ, если S1 = 1, S2 - S6 = 0 - на адреса 1кБ - 2кБ и т.д. Следовательно, наращивание памяти возможно до 64 кБ с помощью тумблеров S1- S6. Линии D0 - D7 связаны с кристаллами с



имеет ли место обращение к данной памяти.