

# АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

## РАЗДЕЛ 1 ТЕРМИНОЛОГИЯ КЛАССИФИКАЦИОННЫЕ ПРИНЦИПЫ

**ВЫЧИСЛИТЕЛЬНАЯ МАШИНА (ВМ)** - комплекс программных и аппаратных средств, предназначенный для автоматической обработки информации и содержащий один или несколько процессоров, взаимодействующих с общей памятью

**ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА (ВС, ВК)** - множество программно и структурно специализированных ВМ, совместно выполняющих информационно-вычислительный процесс (ПРС)

**МНОГОМАШИННАЯ АССОЦИАЦИЯ (ММА)** - объединение нескольких ВМ для выполнения совместной обработки информации по согласованному протоколу вне зависимости от территориального размещения ВМ

#### **ВИДЫ ММА:**

**ВС** - сосредоточенные ММА

**ТК** - рассредоточенные ММА

**ЛС** - рассредоточенные ММА,

объединенные выделенными (специальными) каналами (КНЛ) связи

**ГС** - рассредоточенные ММА, объединенные КНЛ связи общего применения



#### **Достоинства ММА:**

- объединение нескольких ВМ в ВС

- надежность решения задачи

- выравнивание нагрузки на ВМ

- объединение преимуществ различных ВМ членов ММА (информации, ПО, АС)

- перестройка, наращивание, разделение издержек и проблем эксплуатации

- огромный сервис для пользователя

**АРХИТЕКТУРА** – искусство строить сооружения, неразрывно сочетая решение практических и эстетических задач

**АРХИТЕКТУРА ВС** - комплекс оптимальных решений, принятых при проектировании ВС в :

- структурной и поведенческой организации Аппаратных средств (АО)
- системе программирования (СПРГ)
- операционной системе (ОС)

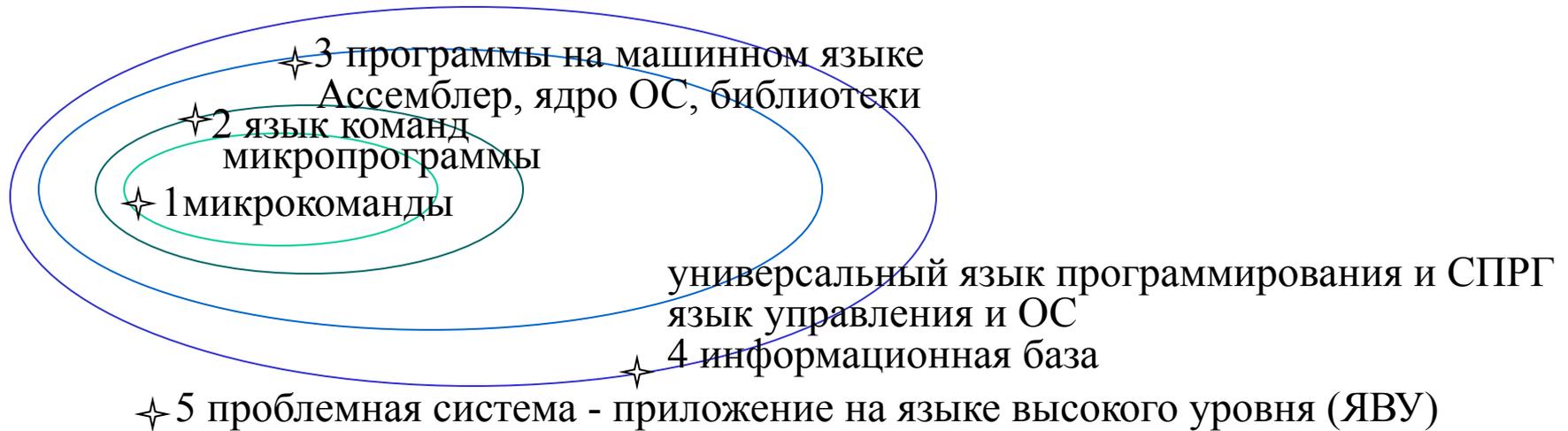
**СПРГ** – совокупность средств автоматизации разработки ПО: компиляторы, трансляторы, интерпретаторы, редакторы, загрузчики, отладчики, тестеры, документаторы, библиотеки

**ОС** – комплекс программ, обеспечивающий:

- Автоматизацию выполнения вычислительных процессов ВС в различных режимах Монопольном, Пакетной обработки, Разделения времени, Реального времени ...
- Автоматизацию распределения ресурсов ВС между вычислительными процессами :  
время, память, периферия
- Автоматический контроль и защиту вычислительных процессов от взаимовлияний
- Автоматический диалог с пользователем
- Автоматический обмен с Окружением по фиксированным Интерфейсу и Протоколу

**СТРУКТУРА** – организация аппаратных средств

## РАСПРЕДЕЛЕНИЕ ФУНКЦИЙ ВС ПО УРОВНЯМ

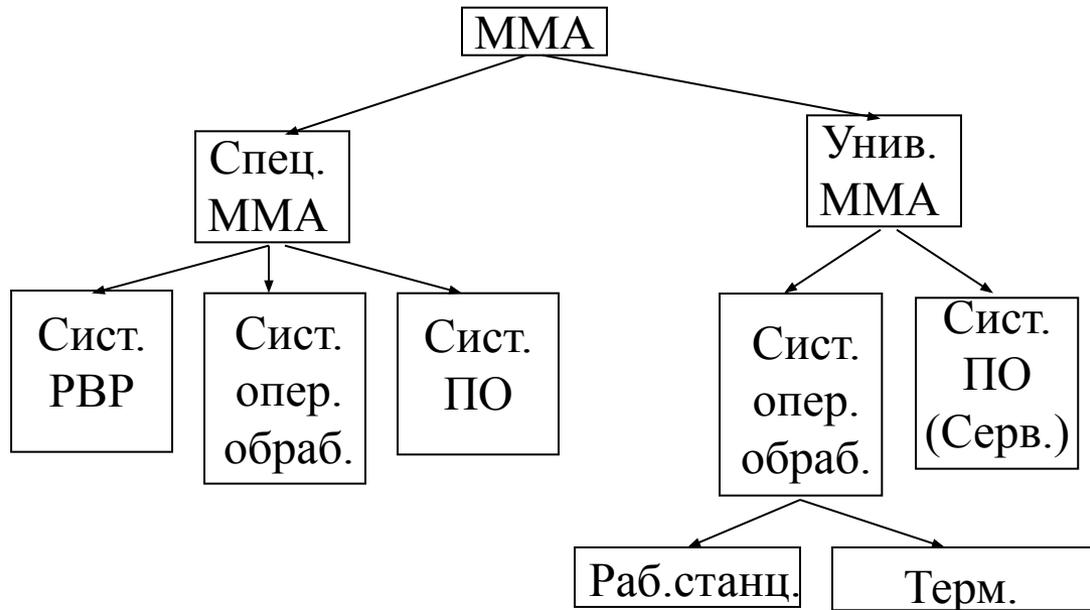


## КЛАССИФИКАЦИЯ ВС ПО ПОКОЛЕНИЯМ

(принцип классификации по основным характеристикам в:)

	I	II	III	IV
1. Элементная база	лампа 1 вент	полупроводн 1 триггер	МИС, СИС, БИС $10^2 - 10^4$	СБИС $10^5 - 10^7$
2. Структура АО	фон-Нейман	фон-Нейман +ОШ	фон-Нейман + МОШ +конвейер + предвыб. + кэш	ММА: RISK, S/Scalar, Vector, WLIW
3. Архитектура (платформа)	фон-Нейман +Ямаш+БСП	фон-Нейман +ЯВУ+монЗД	фон-Нейман+ЯВУ +многозадОС+БД	ММА+ЯВУ+БД/З +сетевОС+CASE

# КЛАССИФИКАЦИЯ ПО НАЗНАЧЕНИЮ



**СИСТЕМЫ ЗАПРОС-ОТВЕТ** - системы оперативного обслуживания (обработки), Для них характерно ограничение на среднее время ответа .

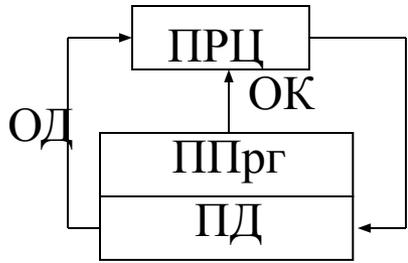
**СИСТЕМЫ РЕАЛЬНОГО ВРЕМЕНИ (RT)** - системы с абсолютным ограничением на время ответа

**СИСТЕМЫ РАЗДЕЛЕНИЯ ВРЕМЕНИ (RVR)** - системы коллективного пользования с преимущественным обслуживанием коротких заявок над длинными.

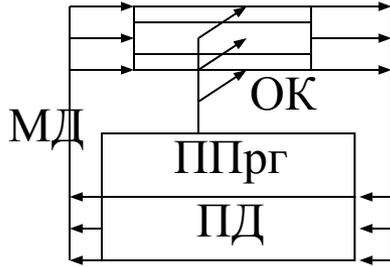
**СИСТЕМЫ ПАКЕТНОЙ ОБРАБОТКИ (ПО)** - системы обслуживания пакета заданий с высоким коэффициентом загрузки аппаратных средств и минимальным временем обслуживания пакета

# КЛАССИФИКАЦІЯ ВС ПОТОКАМ ПК/ПД (Flynn)

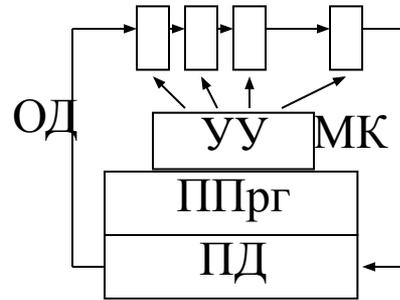
## ОКОД/SISD



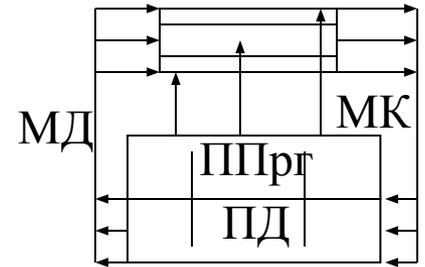
## ОКМД/SIMD



## МКОД/MISD



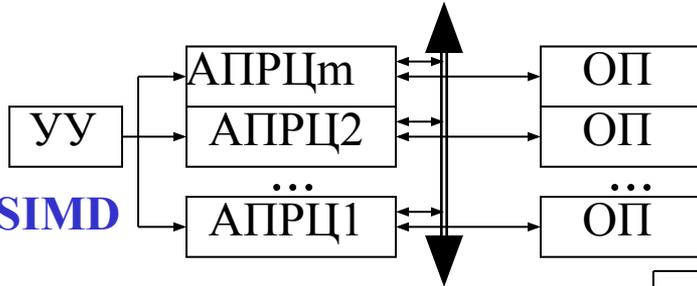
## МКМД/MIMD



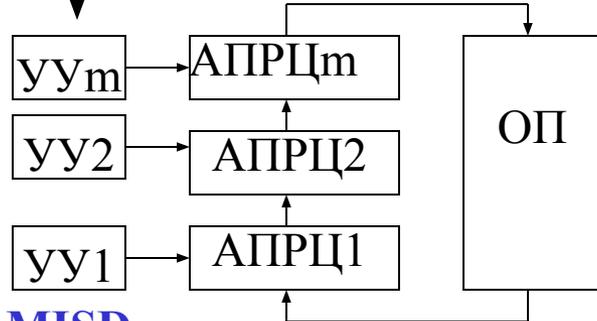
## SISD



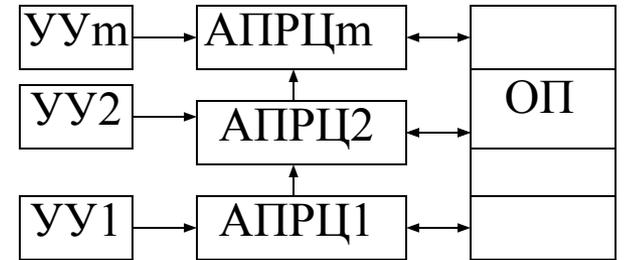
## SIMD



## MISD



## MIMD



## КЛАССЫ КЛАССИФИКАЦИИ ПО ПОТОКАМ

- **SISD** – фон-Неймановская архитектура: каждая команда арифметической обработки инициирует выполнение одной арифметической операции:
  - ▶ Единое вычислительное устройство из ПРЦ, ОП, последовательного УУ
  - ▶ Линейная структура адресации памяти (ОП – вектор слов)
  - ▶ Низкий уровень машинного языка – отсутствие типов слов
- **SIMD** – векторная архитектура:
  - ▶ Векторная команда обеспечивает одновременное выполнение операций в нескольких (**m**) арифметических ПРЦ
  - ▶ ОП должна быть либо в **m** раз скорее, либо расслоена (разделена) на **m** секций с независимым доступом
- **MISD** – конвейерная архитектура:
  - ▶ Обеспечивает одновременное выполнение множества операций одной формулы, связанных по промежуточным результатам
  - ▶ Одновременное выполнение множества операций не связанных промежуточными результатами и принадлежащих либо разным формулам, либо независимо вычисляемым фрагментам одной формулы
- **MIMD** – архитектура многопроцессорной матрицы

# КЛАССИФИКАЦІЯ ВС ПОТОКАМ ПК/ПД (Flynn)

SIMD	Load	Load	Mul	Sum	Sum	Sum
ПРЦ1	$a_1 \rightarrow r_1$	$b_1 \rightarrow r_2$	$r_2 * r_1 \rightarrow s$	$s + s^{(2)} \rightarrow s$	$s + s^{(3)} \rightarrow s$	$s + s^{(4)} \rightarrow s$
ПРЦ2	$a_2 \rightarrow r_1$	$b_2 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$			
ПРЦ3	$a_3 \rightarrow r_1$	$b_3 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$			
ПРЦ4	$a_4 \rightarrow r_1$	$b_4 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$			

$e (a_i * b_i)$   
 $i=1..4$

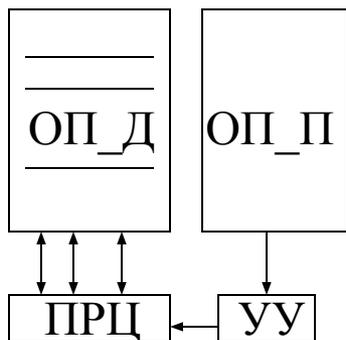
MISD	1	2	3	4	5	6
Load	$a_1 \rightarrow r_1$	$b_1 \rightarrow r_3$	$a_2 \rightarrow r_1$	$b_2 \rightarrow r_3$	$a_3 \rightarrow r_1$	$b_3 \rightarrow r_3$
Mov		$r_1 \rightarrow r_2$		$r_1 \rightarrow r_2$		$r_1 \rightarrow r_2$
Mul			$r_3 * r_2 \rightarrow r_4$		$r_3 * r_2 \rightarrow r_4$	
Sum				$s + r_4 \rightarrow s$		$s + r_4 \rightarrow s$

MIMD	Load	Load	Mul	Sum	Sum
ПРЦ1	$a_1 \rightarrow r_1$	$b_1 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$	$s + s^{(2)} \rightarrow s$	$s + s^{(3)} \rightarrow s$
ПРЦ2	$a_2 \rightarrow r_1$	$b_2 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$		
ПРЦ3	$a_3 \rightarrow r_1$	$b_3 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$	$s + s^{(4)} \rightarrow s$	
ПРЦ4	$a_4 \rightarrow r_1$	$b_4 \rightarrow r_2$	$r_1 * r_2 \rightarrow s$		

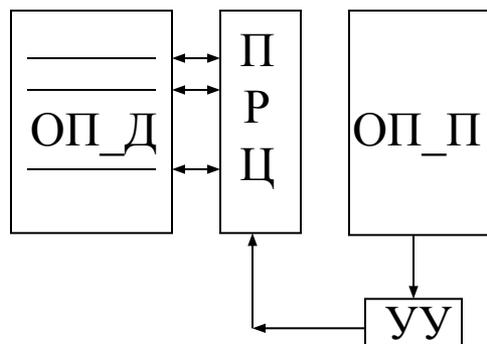
Time  


# КЛАССИФИКАЦИЯ ШОРА

## I - SISD/W

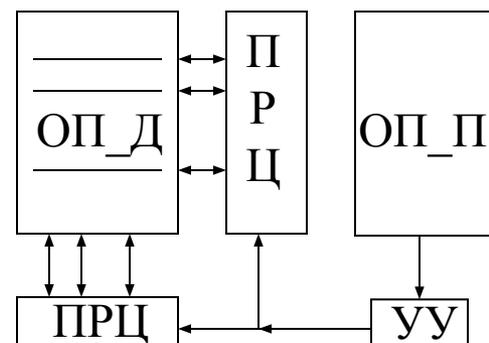


## II - SIMD/b



АССОЦИАТИВНАЯ СИСТЕМА

## III - SISD/W+SIMD/b

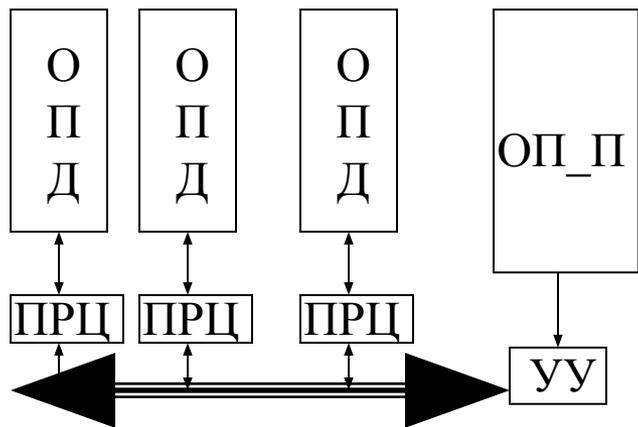


# КЛАССЫ КЛАССИФИКАЦИИ ШОРА

- **I** – обычная ВМ с последовательной обработкой слов и параллельной обработкой разрядов слов (считывание данных – параллельная выборка всех разрядов слова)
- **II** – система с параллельной обработкой слов и последовательной обработкой разрядов в ассоциативном (вертикальном) ПРЦ за одну команду осуществляет параллельную обработку 1 разряда всех слов ОП (или разрядного среза). За счет этого поразрядно осуществляется параллельный поиск или обработка всех слов ОП одновременно. Адресация и выбор данных осуществляется по разрядам, выделенным маской и удовлетворяющим отношению из множества  $\{ = \neq < \leq > \geq \min \max \}$   
Достигается высокая скорость выполнения логических операций и их последовательностей, скорость выполнения арифметических операций ниже, чем в **I**.
- **III** - ортогональная система объединяет преимущества машин **I** и **II**. Обеспечивается эффективный поиск данных при обработке разрядных срезов в вертикальном ПРЦ и эффективная обработка найденных слов в горизонтальном ПРЦ

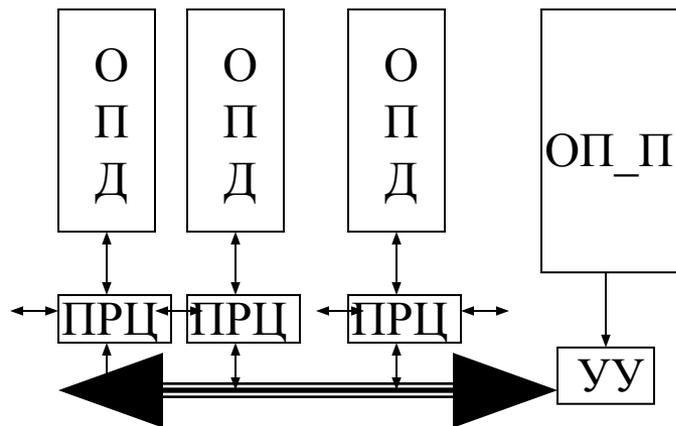
# КЛАССИФИКАЦИЯ ШОРА

## IV- SIMD/W/LC



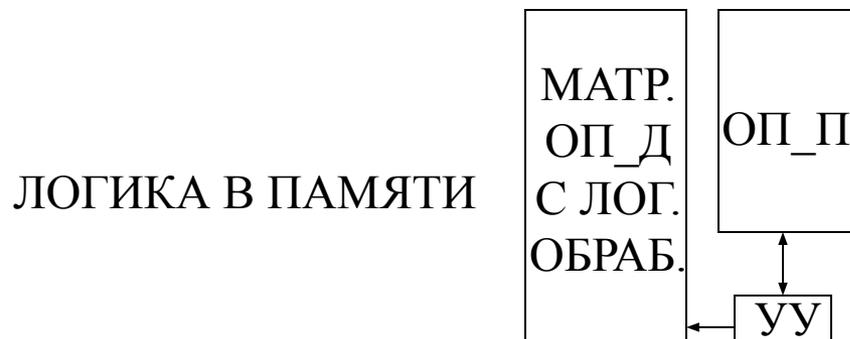
АНСАМБЛЬ ПРОЦЕССОРОВ

## V- SIMD/W/HC



МАТРИЧНАЯ СИСТЕМА

## VI - SIMD/b + SIMD/W/HC

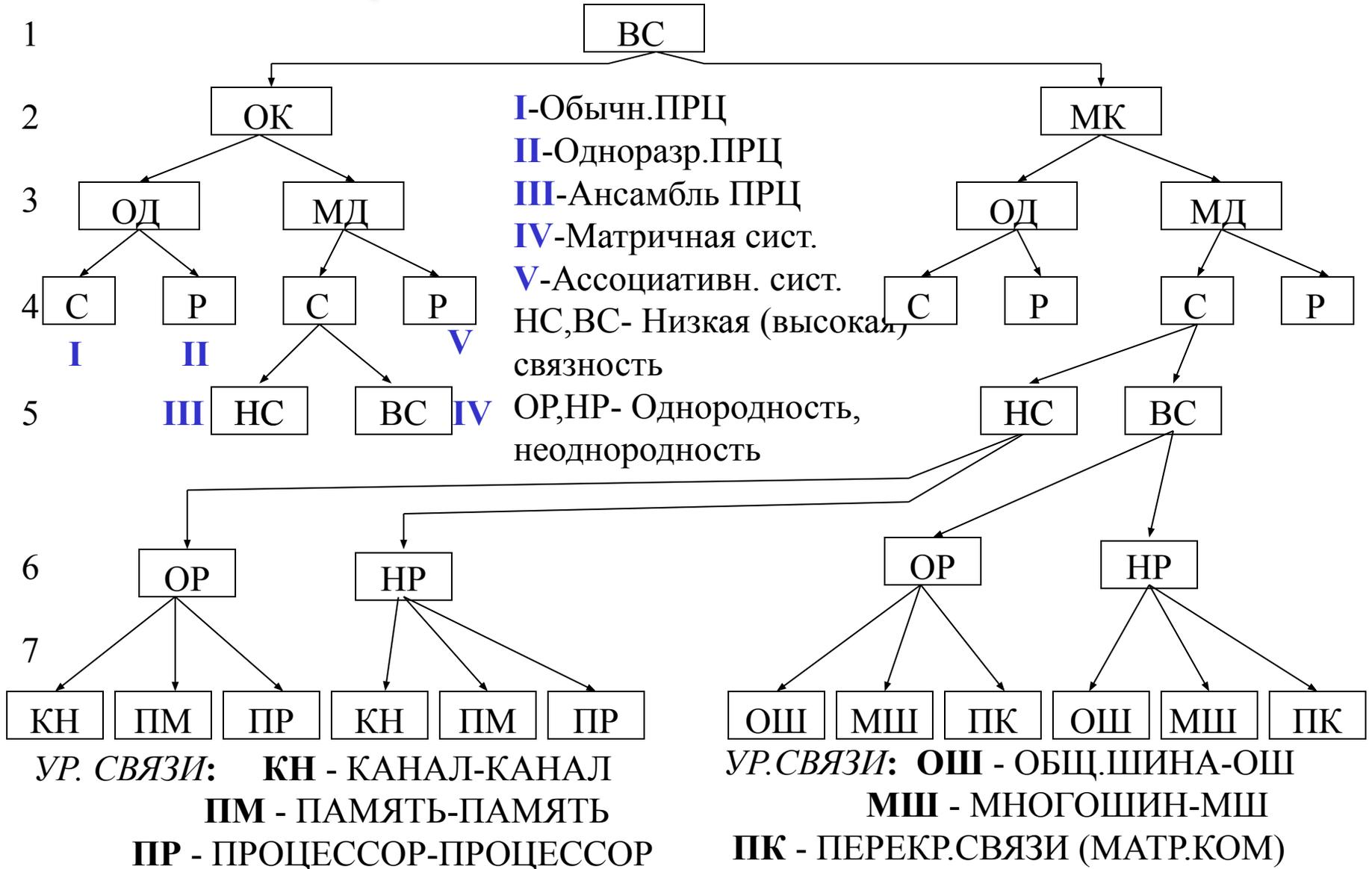


ЛОГИКА В ПАМЯТИ

## КЛАССЫ КЛАССИФИКАЦИИ ШОРА

- **IV** – ансамбль ПРЦ получается путем интеграции модулей машины **I** в единую вычислительную структуру с общей шиной. Эта структура эффективна для обработки векторов, но по сравнению с машиной **I** скорость обработки  $< \lg_2 M$
- **V** – матричная структура, получается введением наряду с ОШ прямых связей между соседними ПРЦ. Структура эффективна для обработки векторов и матриц, по сравнению с машиной **I** скорость обработки  $\sim \lg_2 M$
- **VI** – объединяет логическую обработку с ассоциативным поиском прямо в ОП, поскольку в матричной ОП содержатся элементы логической обработки, которые осуществляют логические операции на проходе при доступе к ячейкам ОП

# КЛАССИФИКАЦИЯ ПО СТЕПЕНИ ПАРАЛЛЕЛИЗМА ОБРАБОТКИ

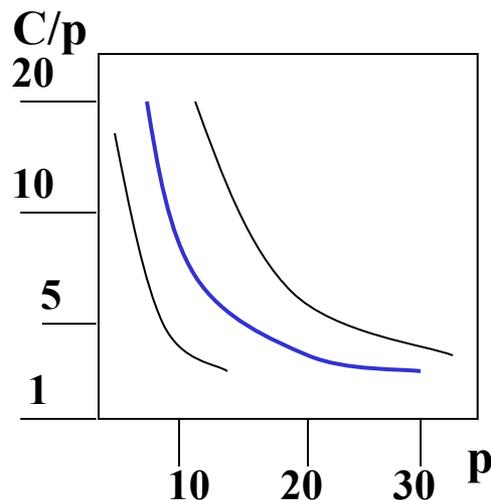
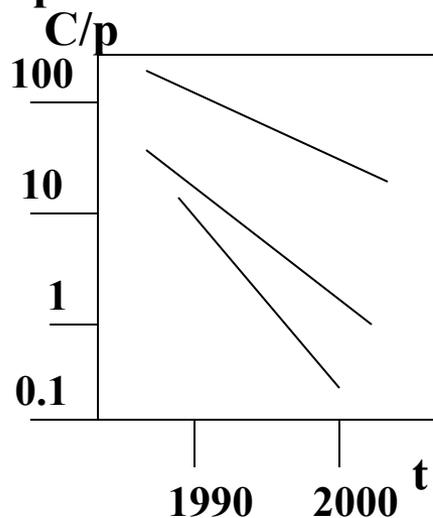


# ЗАКОНЫ ПРОИЗВОДИТЕЛЬНОСТИ

**Закон Мура** – **Вычислительная мощность за данную цену удваивается каждые 18 месяцев**

**Общая оценка ВС – Производительность/Стоимость**  
или **Стоимость единицы производительности**

**Закон Гроша:** Производительность и стоимость ВС связаны квадратичным законом:  $p \sim C^2$



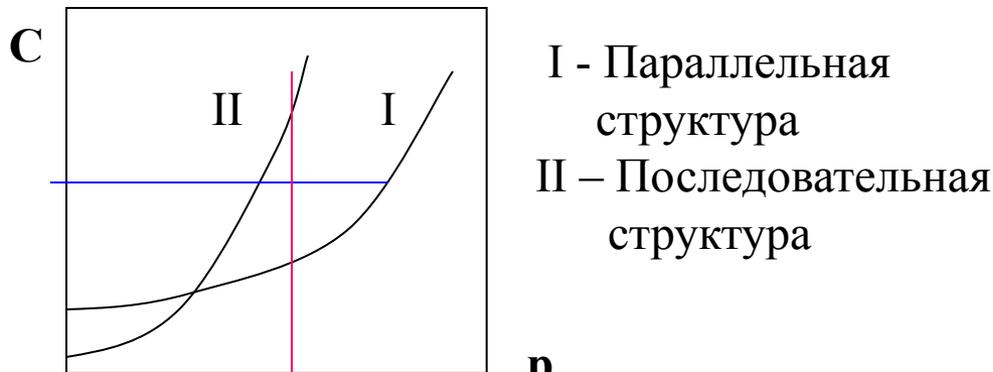
“Как бы ни старались разработчики HW, разработчики SW всегда сведут их усилия на нет. И это не предел.” Д.Платт

Стоимость единицы производительности со временем падает

Стоимость единицы производительности мощной ВМ всегда дешевле менее мощной для машин одного класса (сервера, рабочие станции, notebook)

# ЗАКОНЫ ПАРАЛЛЕЛЬНОЙ АРХИТЕКТУРЫ

1. Параллельная ВС имеет более высокую производительность, чем последовательная при одинаковой стоимости.
2. Соотношение Стоимость/Производительность при одной и той же производительности всегда выше у последовательной ВС, чем у параллельной



3. Нарастаемость и расширяемость многопроцессорной архитектуры выше за счет модульности и простого подключения дополнительных процессоров
4. Отказоустойчивость многопроцессорной архитектуры выше за счет реконфигурации и восстанавливаемости

**Закон Джина Амдала** – Любой поддающийся распараллеливанию процесс содержит часть, которая выполняется параллельно, и часть, которая выполняется последовательно. Если последовательная часть составляет долю  $X$ , то на бесконечном числе процессоров максимальное распараллеливание ограничено  $1/X$ . При доле 0.1 распараллеливание не больше, чем 10. Но на больших задачах, где доля последовательных компонент  $\ll$  параллельных, это ограничение влияет слабо.

# ЗАКОНЫ ПАРАЛЛЕЛЬНОЙ АРХИТЕКТУРЫ

**Закон Джина Амдала** в более точной формулировке:

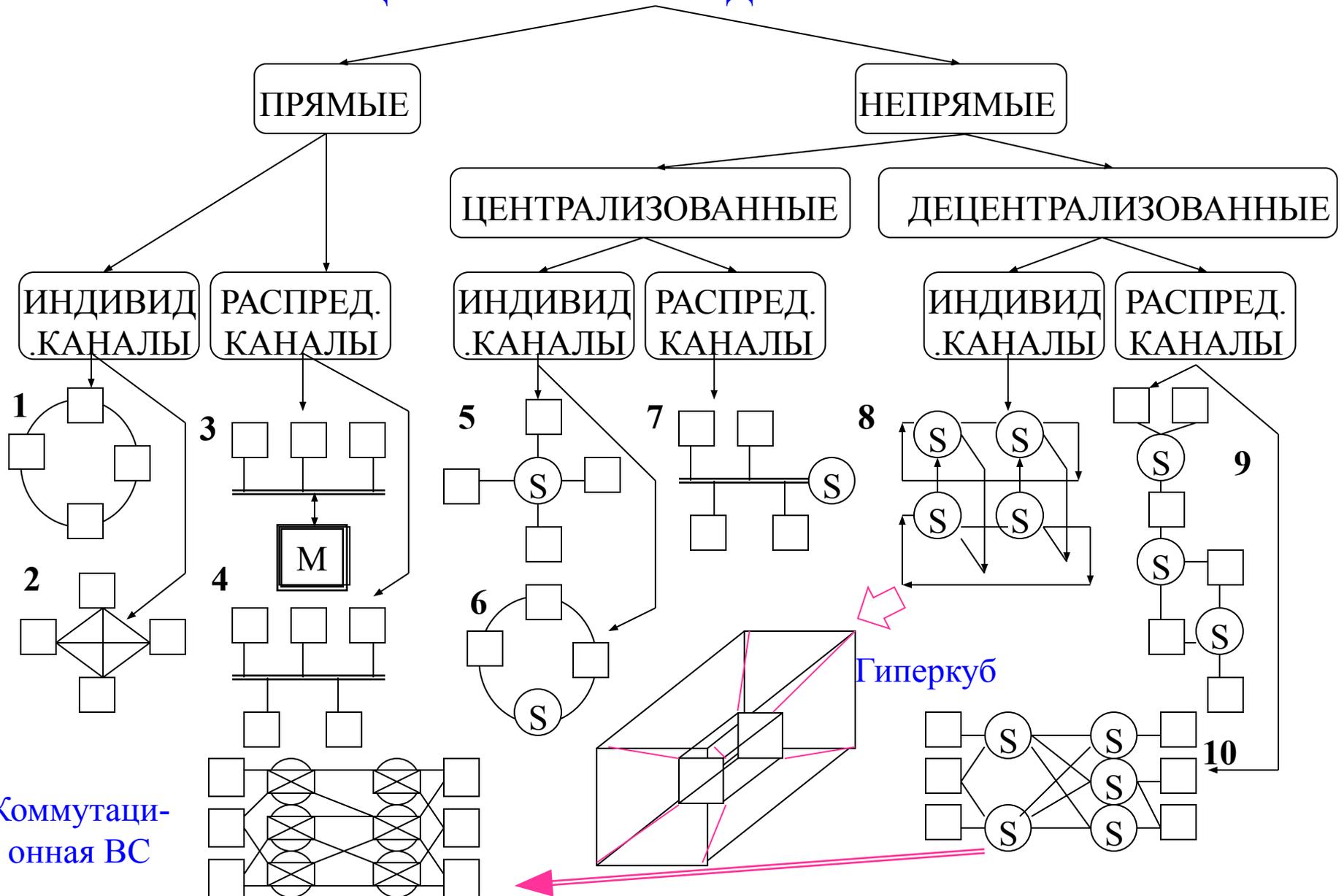
$$P = N / (X * N + 1 - X),$$

где  $X$  – последовательная часть вычислений,

$N$  – число обработчиков (процессоров),

$P$  – степень распараллеливания.

# КЛАССИФИКАЦИЯ СВЯЗЕЙ МЕЖДУ ЭЛЕМЕНТАМИ ММА



Коммутационная ВС

Гиперкуб

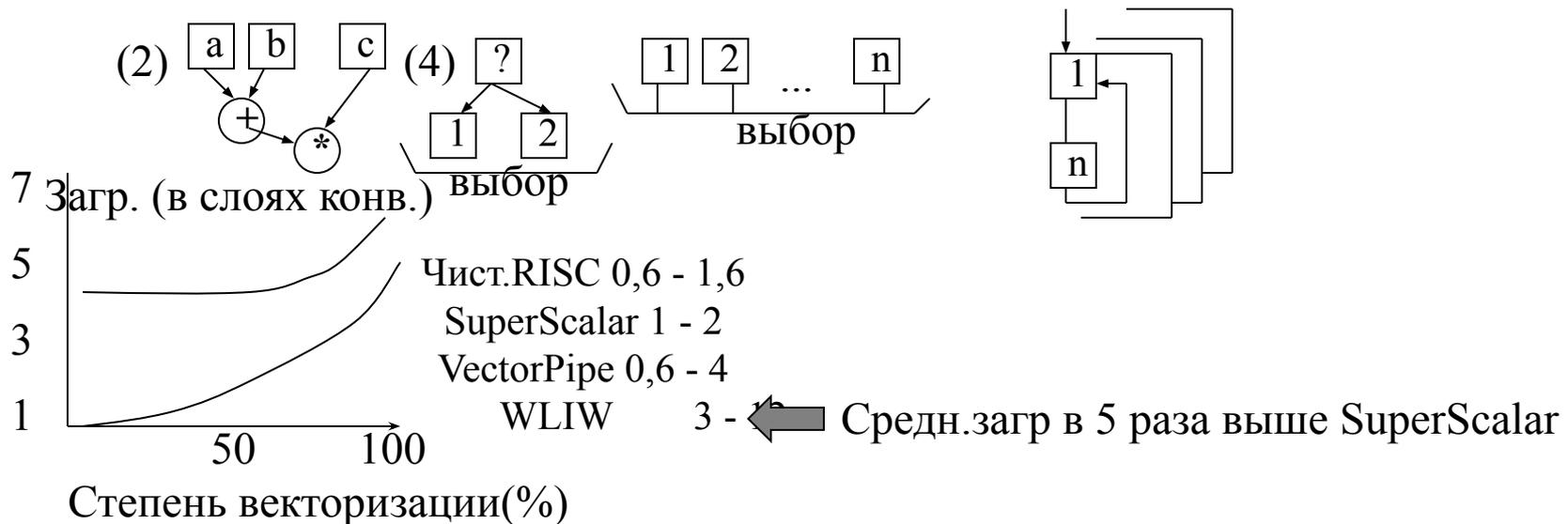
# КЛАССИФИКАЦИЯ СВЯЗЕЙ МЕЖДУ ЭЛЕМЕНТАМИ ММА

Имя структуры связей	Модуль-ность	Надежность	Скорость передачи
<b>1. Кольцевая без элементов коммутации</b>	модуль-ная.	невысок, огр. ПРЦ транзитом	невысокая огр. ПРЦ трнз
<b>2. Полносвязная</b>	немодуль-ная	высокая	высокая
<b>3. Шина с разделением общей памяти</b>	модуль-ная	невысок, огр. доступ. к ОП	средняя, огр. доступ. к ОП
<b>4. Общая шина без арбитра</b>	модуль-ная	высокая	высокая огр. ОШ
<b>5. Звезда с центральным коммутатором</b>	модуль-ная	высокая, огр. коммутатор.	высокая
<b>6. Кольцо с центральным коммутатором</b>	модуль-ная	невысокая, огр. ПРЦ транзитом	невысокая, огр. ПРЦ трнз
<b>7. Общая шина с арбитром</b>	модуль-ная	средняя, огр. арбитром	высокая, огр. ОШ и арбитр.
<b>8. Регулярная структура</b> (Гиперкуб – представитель рег. структуры)	модуль-ная	высокая	высокая
<b>9. Нерегулярная, специализированная структура</b>	модуль-ная	высокая, огр. элем. коммутац.	высокая, огр. элем. коммут.
<b>10. Структура с коммутацией каналов</b> (Коммутационная машина)	модуль-ная	высокая, огр. элем. коммутац.	высокая, огр. элем. коммут

# ЧТО ПОСЛЕ СУПЕРСКАЛЯРНОЙ АРХИТЕКТУРЫ

Суперскалярная архитектура обеспечивает параллелизм для традиционных последовательностей операций. Как ее улучшить:

1. Снять зависимость от избыточных обращений к памяти при промежуточных вычислениях Ю вести вычисления в регистрах (от 10 Pг Ю 100-1000 Pг )
2. Вычислять статически адреса a, b, c и сохранять их в стеке данных
3. Предсказывать переходы и заранее считывать программу и данные
4. Вычислять все ветки альтернатив и отбрасывать несостоявшиеся при вычислении условия(спекулятивные вычисления)
5. Подготовку всех статических вычислений поручить транслятору, а динамику вычислять аппаратно с использованием тегов.



# ЧТО ПОСЛЕ СУПЕРСКАЛЯРНОЙ АРХИТЕКТУРЫ

- СУПЕРСКАЛЯРНУЮ АРХИТЕКТУРУ сменит Мультимашинная (MultyCore)

# Обзор процессора Tulsa (MP)



Контроллер-концентратор

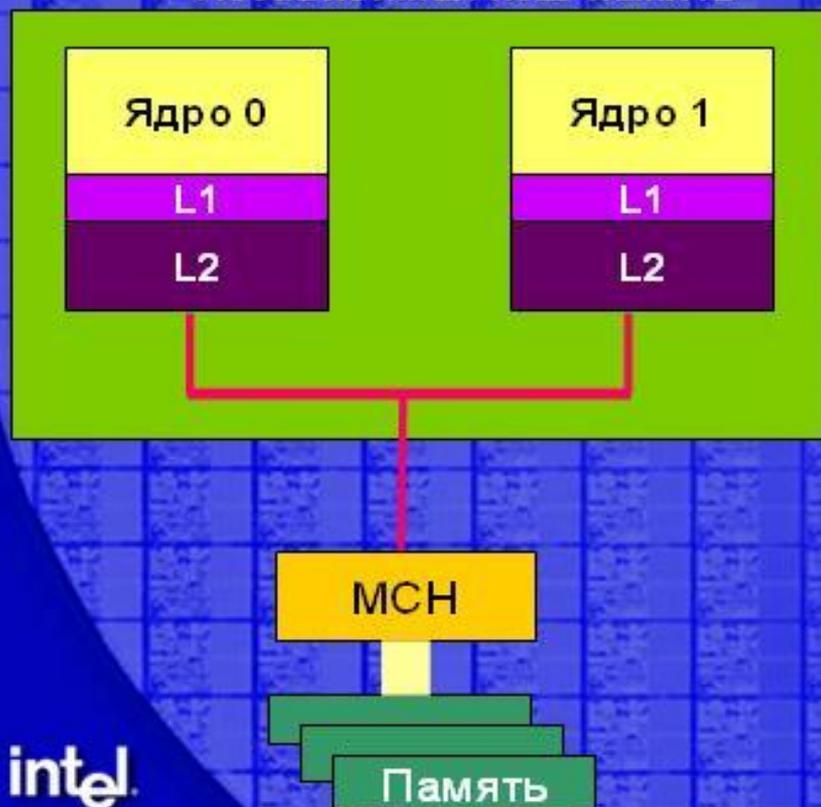
## Характеристики процессора Tulsa (MP)

Технология производства	65-нм
Технология Hyper-Threading	Есть
Независимая кэш-память 2-го уровня	2 x 1 МБ
Совместно используемая кэш-память 3-го уровня	16 МБ
Технология Intel® EM64T	Есть
Частота шины	800 МГц
Доступность	2006 г.

# Сравнение схем независимой и общей кэш-памяти

- Обмен данными между блоками независимой кэш-памяти осуществляется через системную шину
- Общая кэш-память 2-го уровня позволяет использовать каждым ядром один и тот же экземпляр данных
- Общая кэш-память позволяет напрямую передавать данные между блоками кэш-памяти 1-го уровня или между кэш-памятью второго и первого уровней

## Независимая кэш-память



## Общая кэш-память



# Интерфейс шины многопроцессорной платформы на базе Paxville и Tulsa

- Набор микросхем поддерживает до четырех двудерных процессоров
  - Поддерживается два разъема на шину
- Выбор загрузочного процессора зависит от конфигурации
  - Меняется при изменении числа и расположения процессоров
  - Может также меняться при модернизации

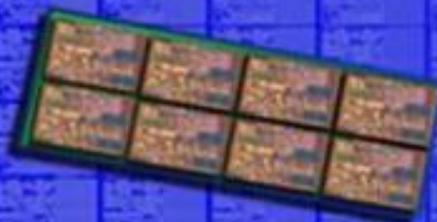


# Эволюция настраиваемой архитектуры

Большие скалярные ядра для повышения однопоточной производительности

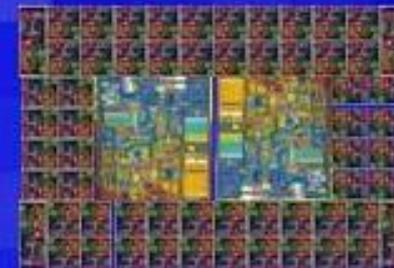


Двухъядерность  
• Симметричная многопоточность



Многоядерный массив  
• Многоядерный процессор ~10 ядер

Скалярная многоядерность для существенно многопоточных задач



Многоядерный массив

- Процессор с десятками и сотнями ядер с низким энергопотреблением
- Скалярные ядра
- Производительность порядка терафлопс и выше
- Полная система на микропроцессоре, рабочие станции, встроенные системы ...



# Тест 1

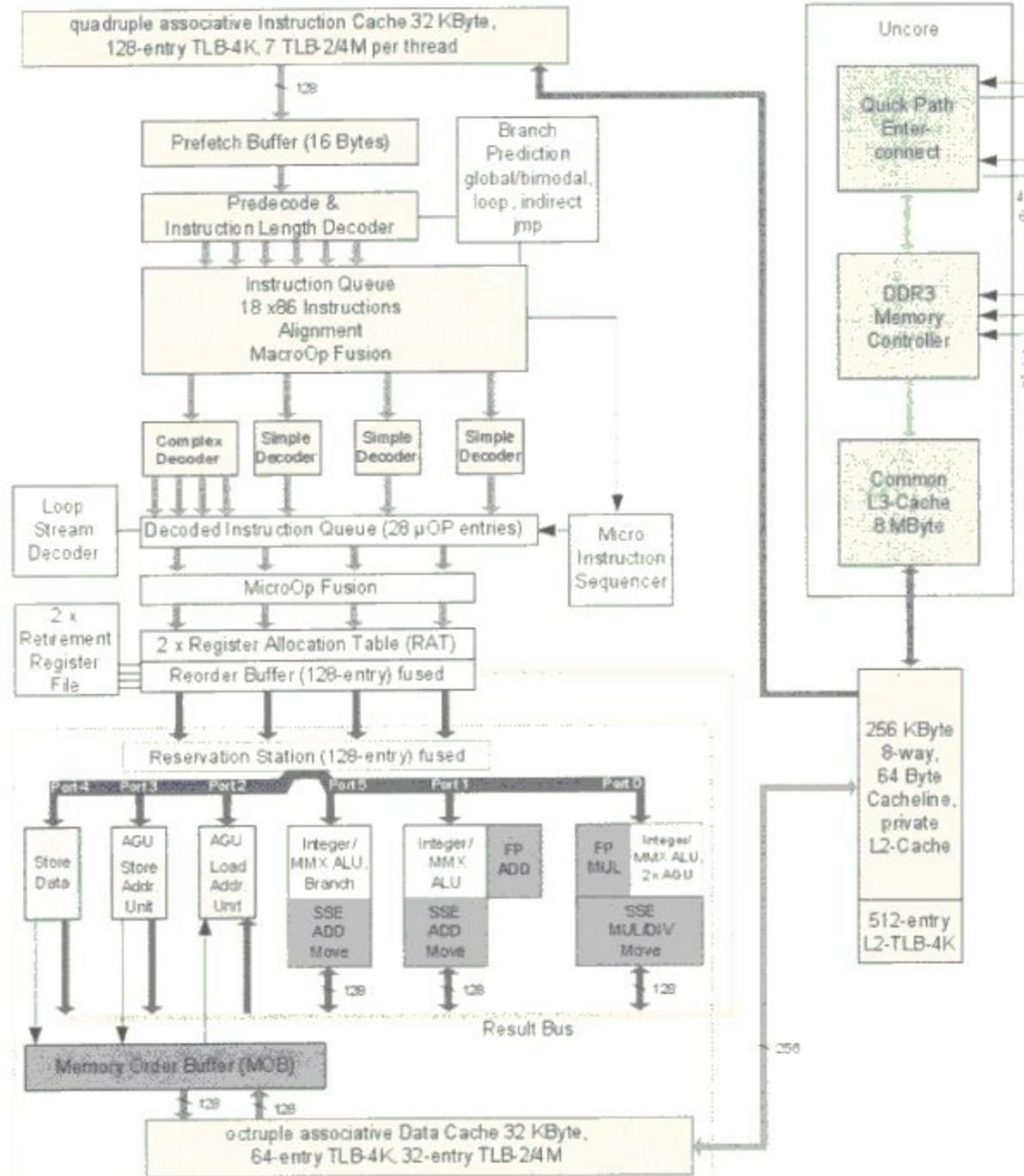
Найти в интернете и распечатать описания архитектур современных ВС известных фирм:

- Intel
- Sun
- IBM
- HP
- ...

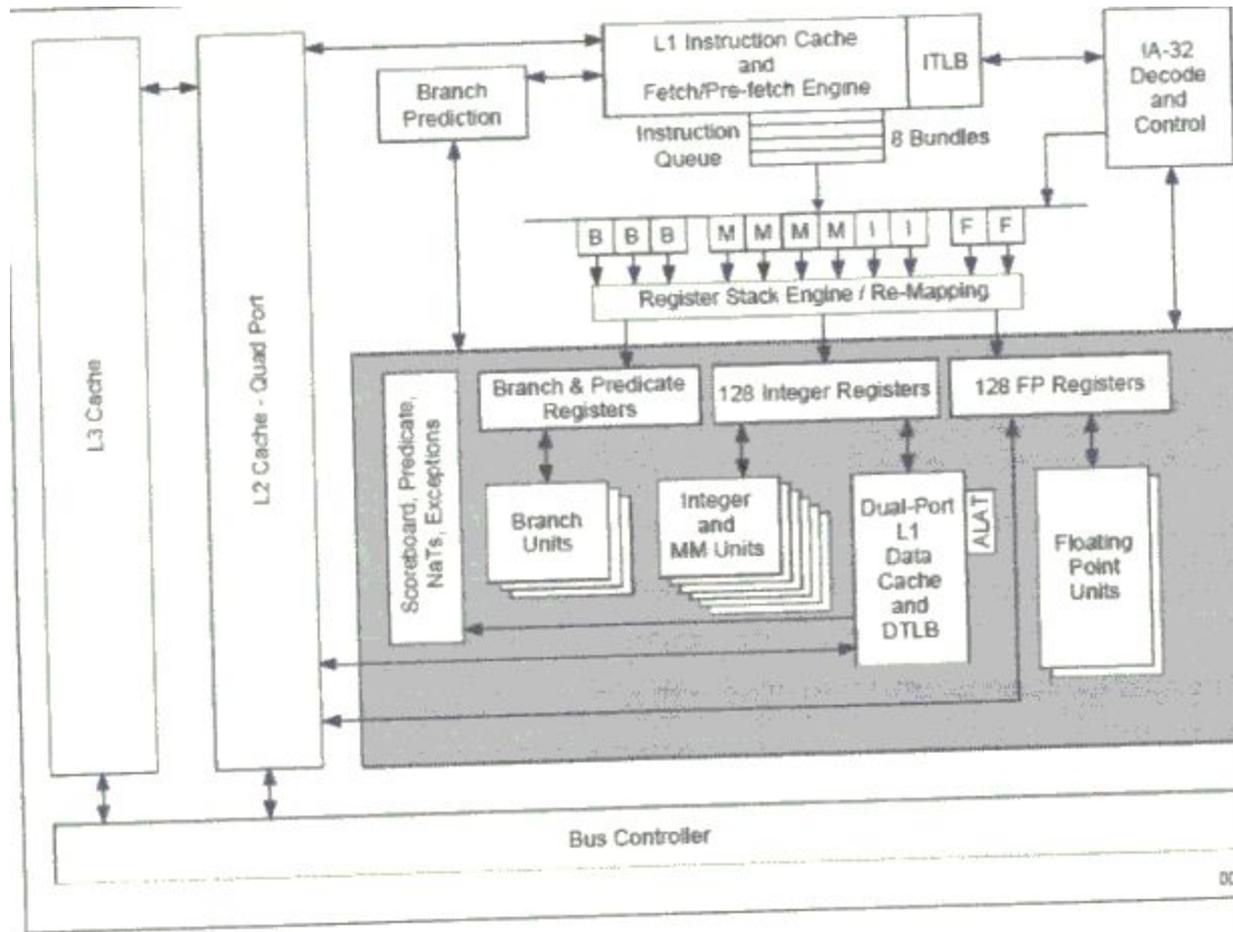
и подготовиться классифицировать архитектуры по степени параллелизма обработки и типам связей в соответствии с выданным заданием

# Intel Itanium

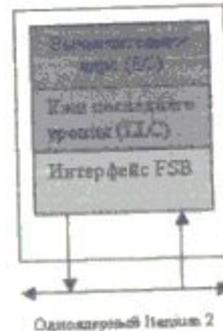
Intel Nehalem microarchitecture



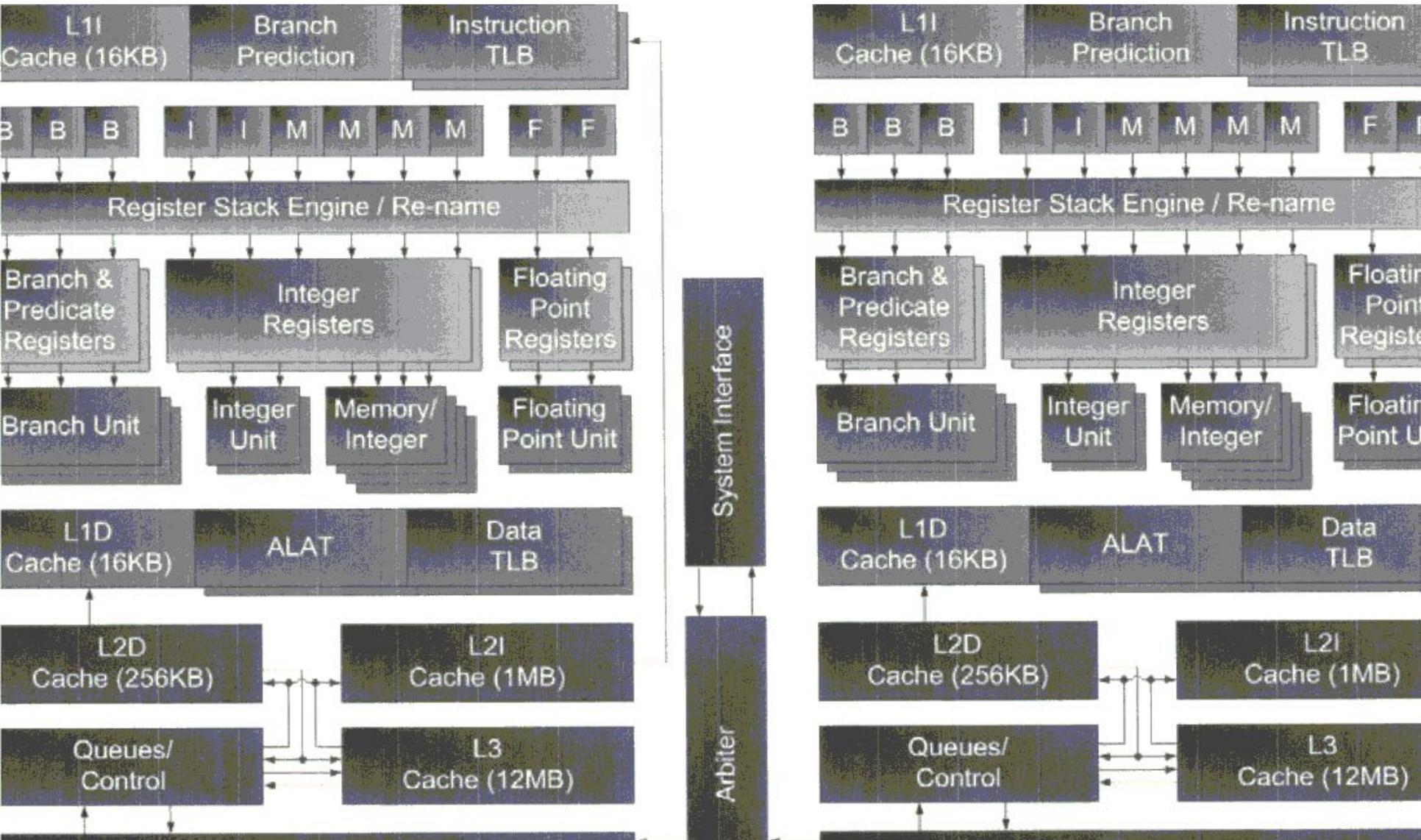
# Intel Itanium 2



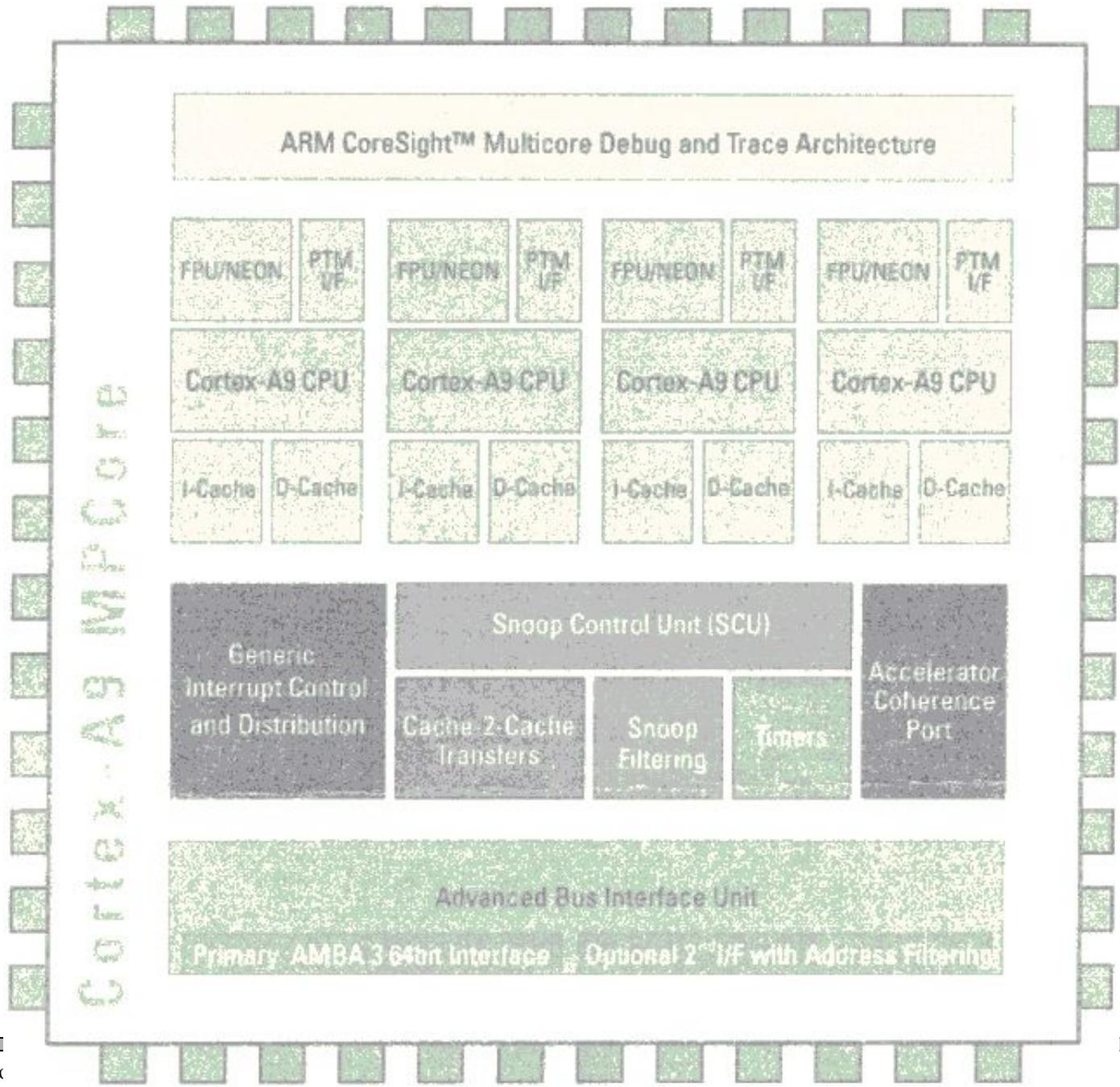
Принципиальная схема одноядерного Itanium2.



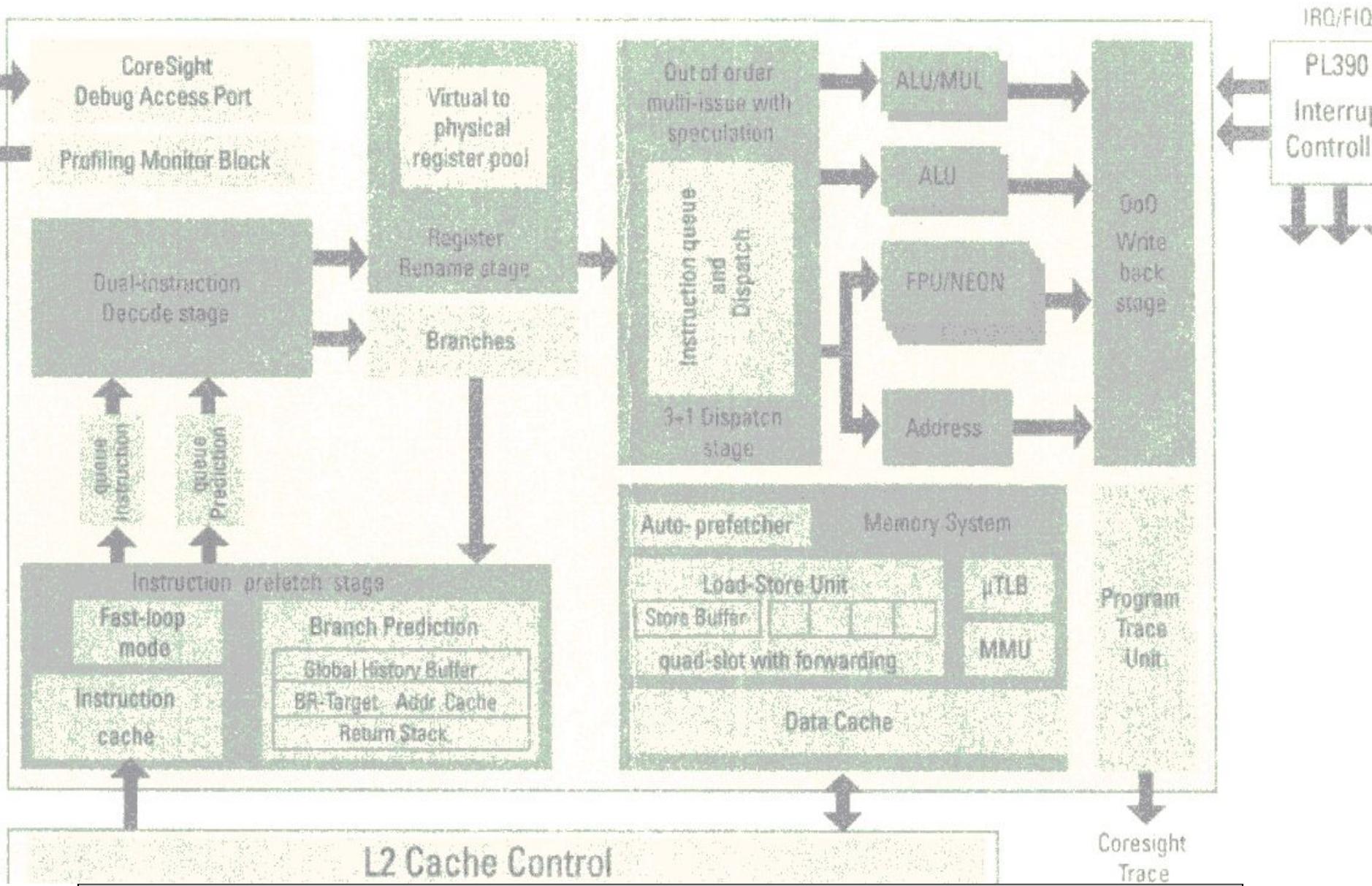
# Intel Itanium 2 Montecito



# ARM

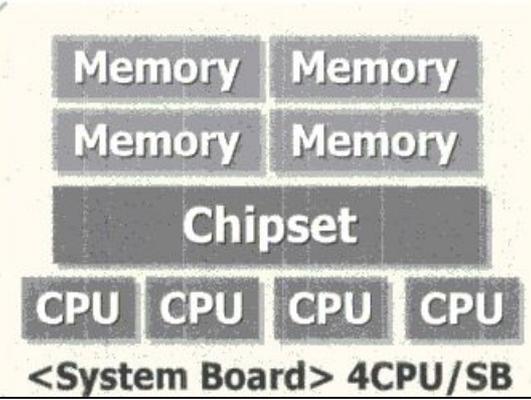
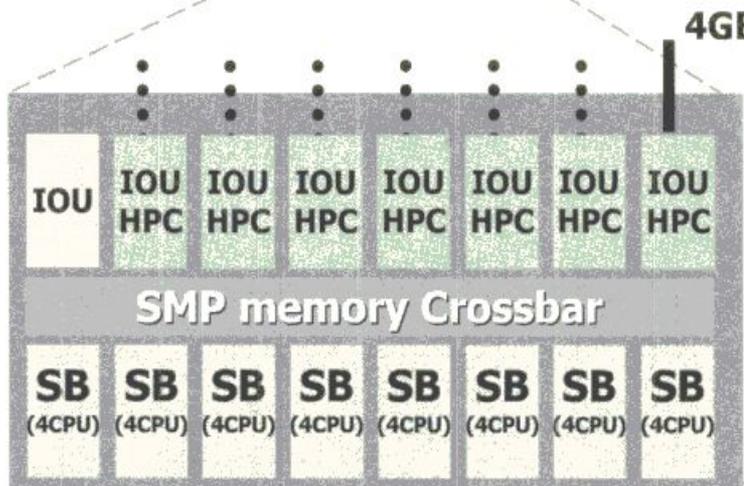
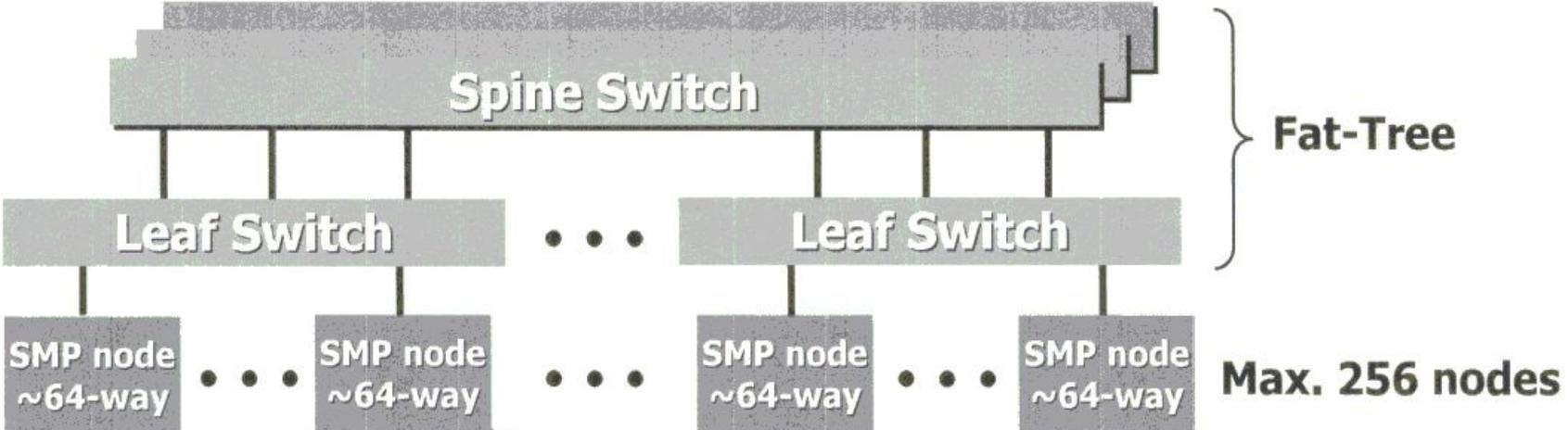


# ARM



# PRIMEQUEST - Multiple-node Configuration -

Up to 256 nodes through high speed interconnection

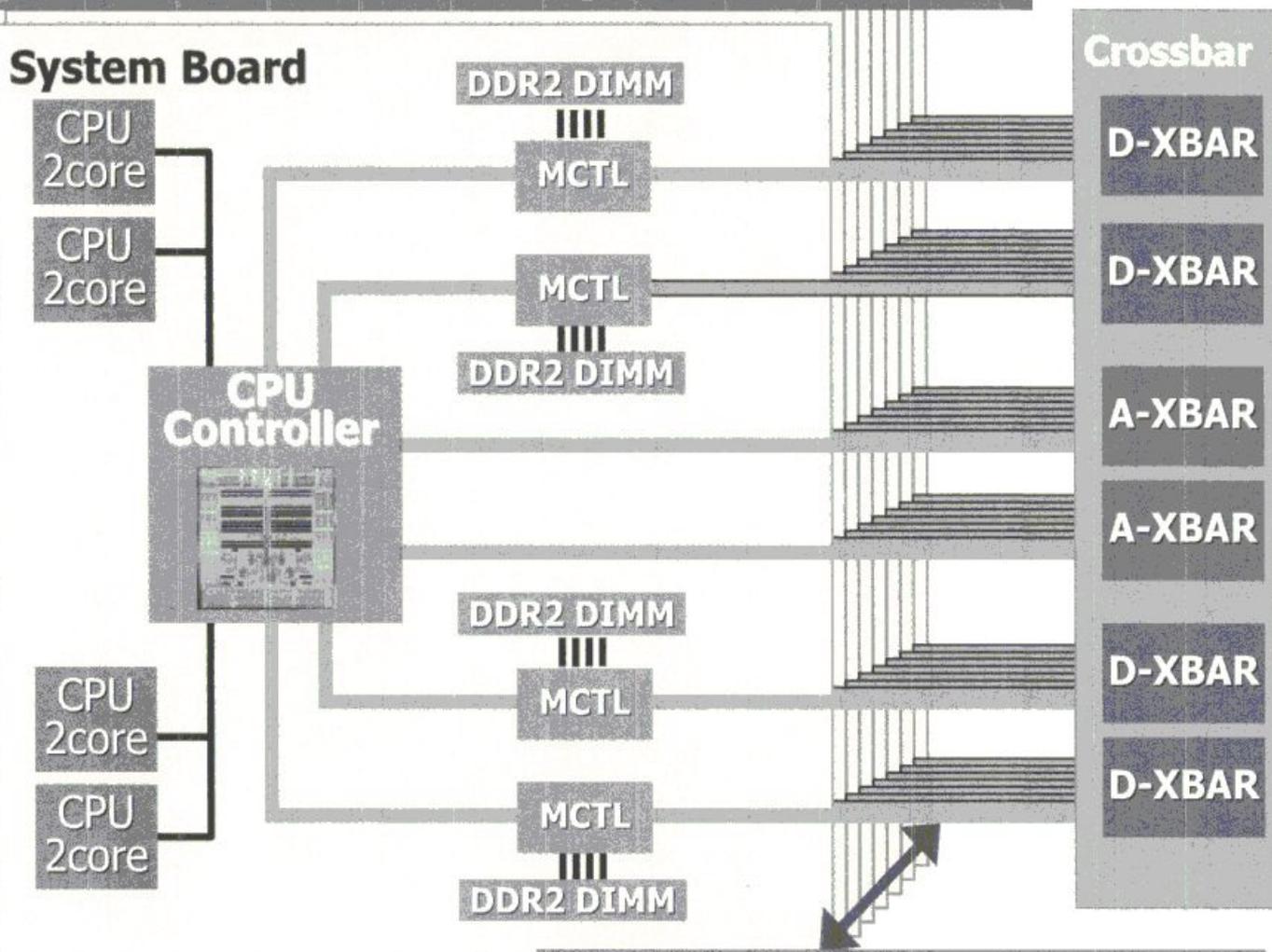


# PRIMEQEUST - System Block Diagram -

**Fujitsu original chipset achieves high memory BW and low latency – a true SMP**

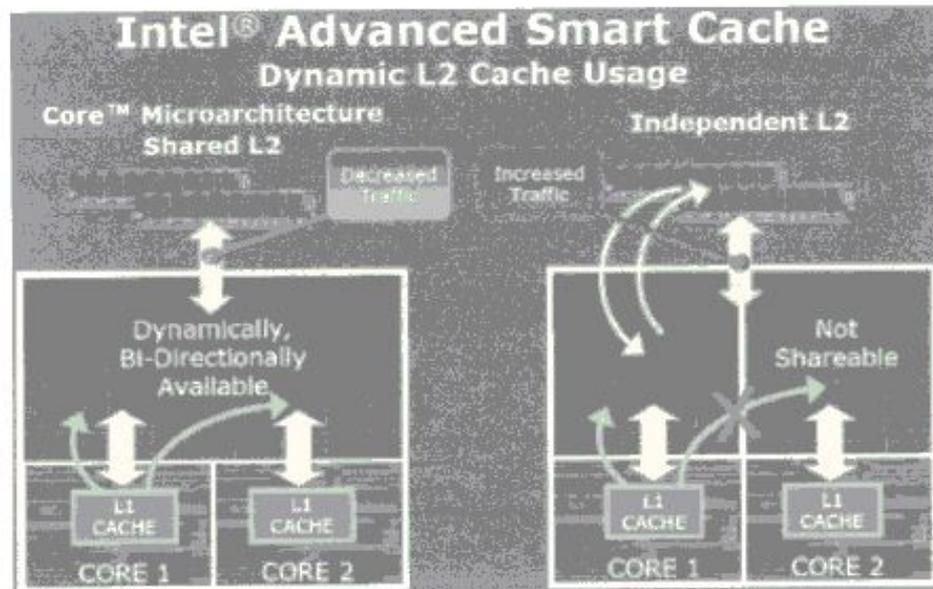
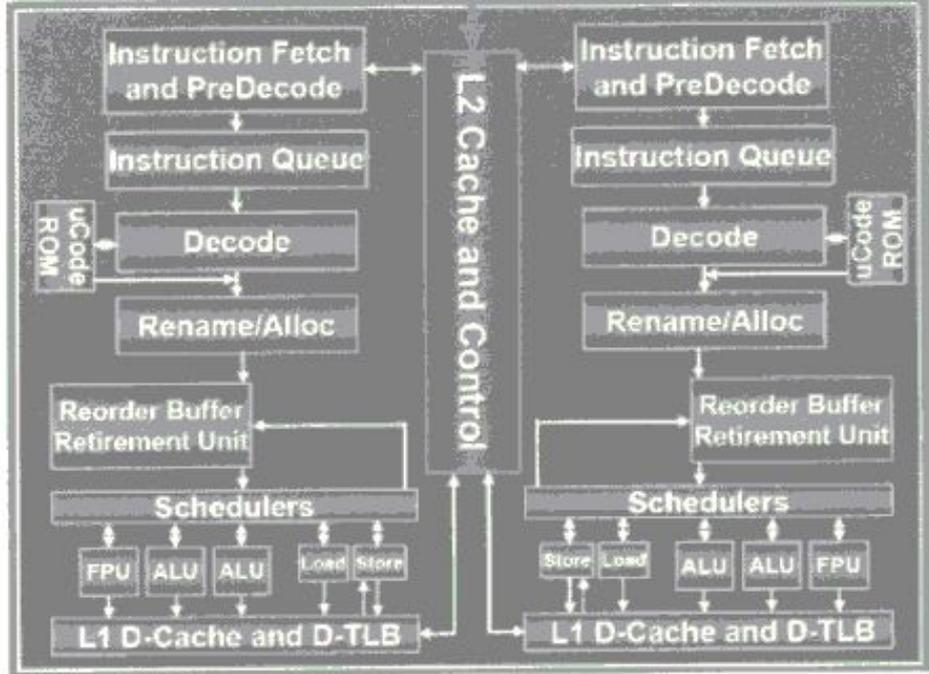
- 4 CPU chips per System Board
- 32 DDR2 DIMMs per System Board
- High speed memory crossbar
- Extended memory interleaving
  - Assigning address extended to System Board
- Ultra-high speed synchronized bus

MCTL: Memory Controller  
D-XBAR: Data Crossbar  
A-XBAR: Address Crossbar

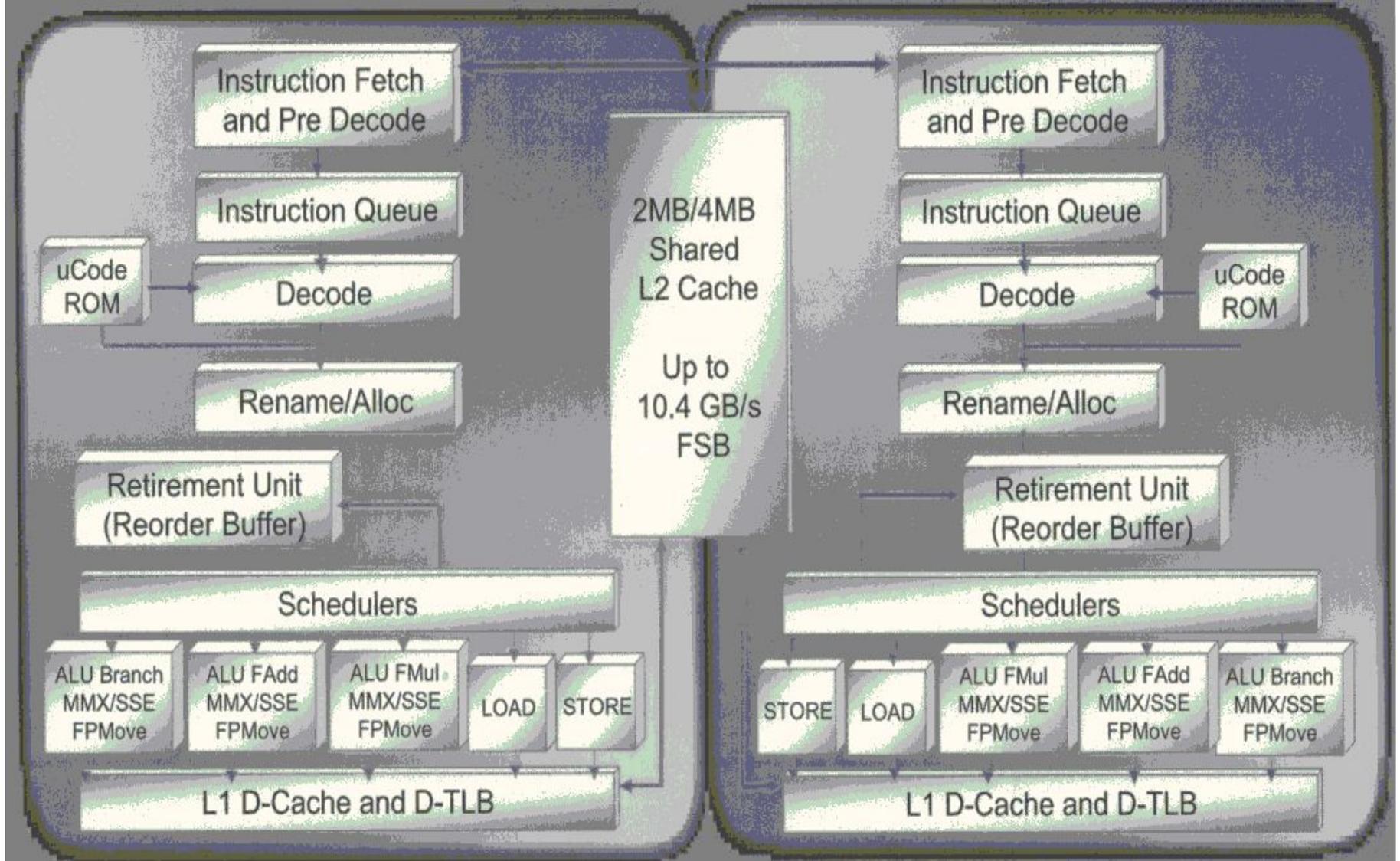


# Core 2 Micro architecture

**TLB** – Translation  
Lookaside Buffer,  
Таблица стр ВА->ФА



# Core™2 Micro architecture



# Intel Itanium VLIW Architecture

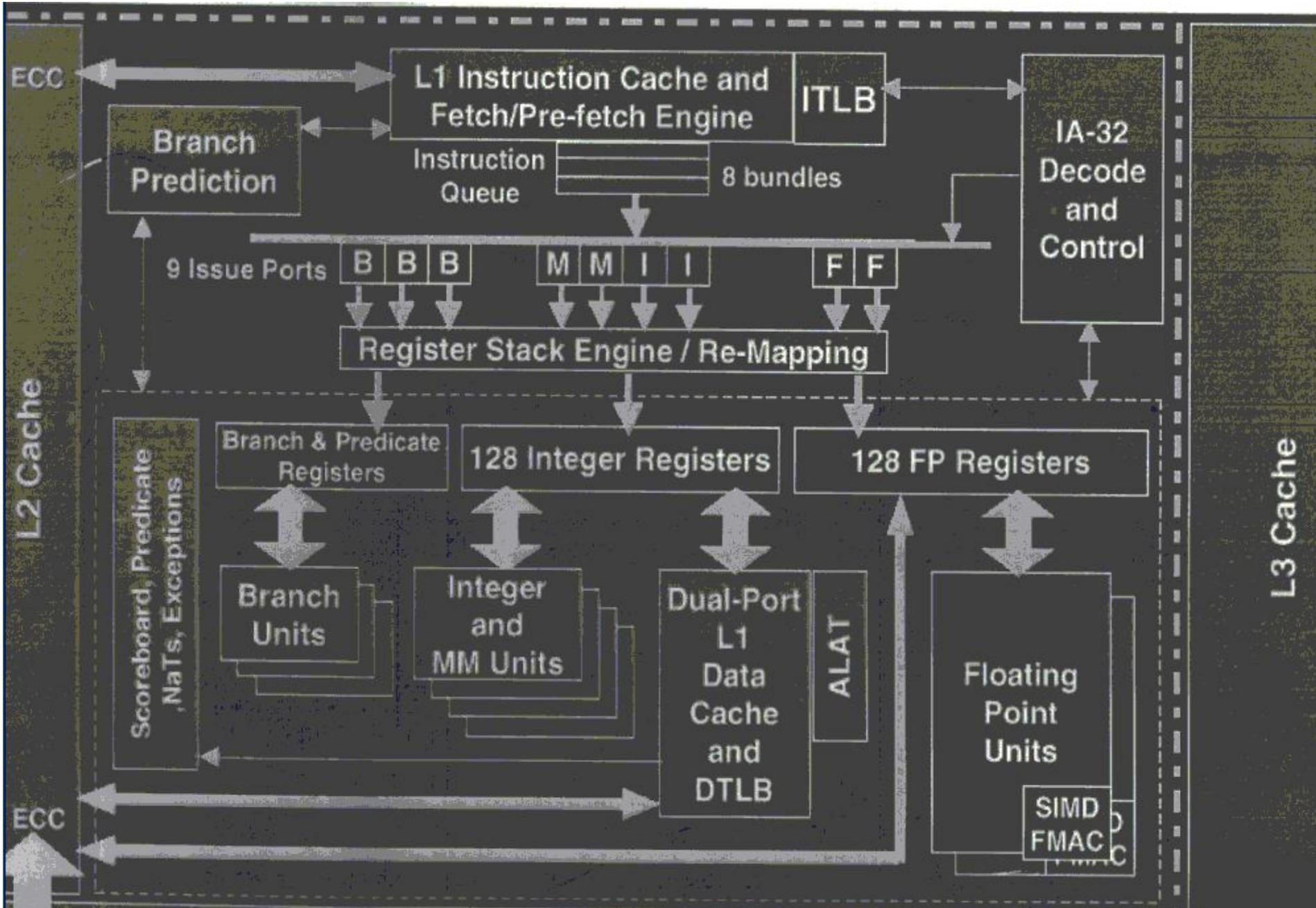
## Intel Itanium

Архитектура IA-64 обеспечивает явный параллелизм команд (EPIC - Explicitly Parallel Instruction Computing)

Явный параллелизм представлен уже на уровне команд, управляющих одновременной работой функциональных исполнительных устройств

127                      87 86                      46 45                      5 4                      0

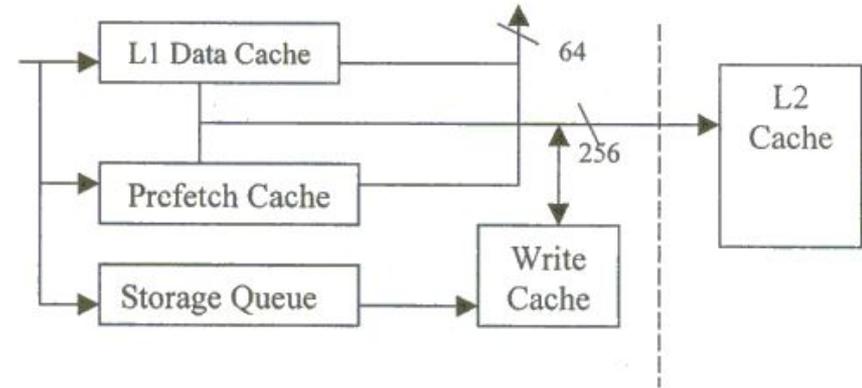
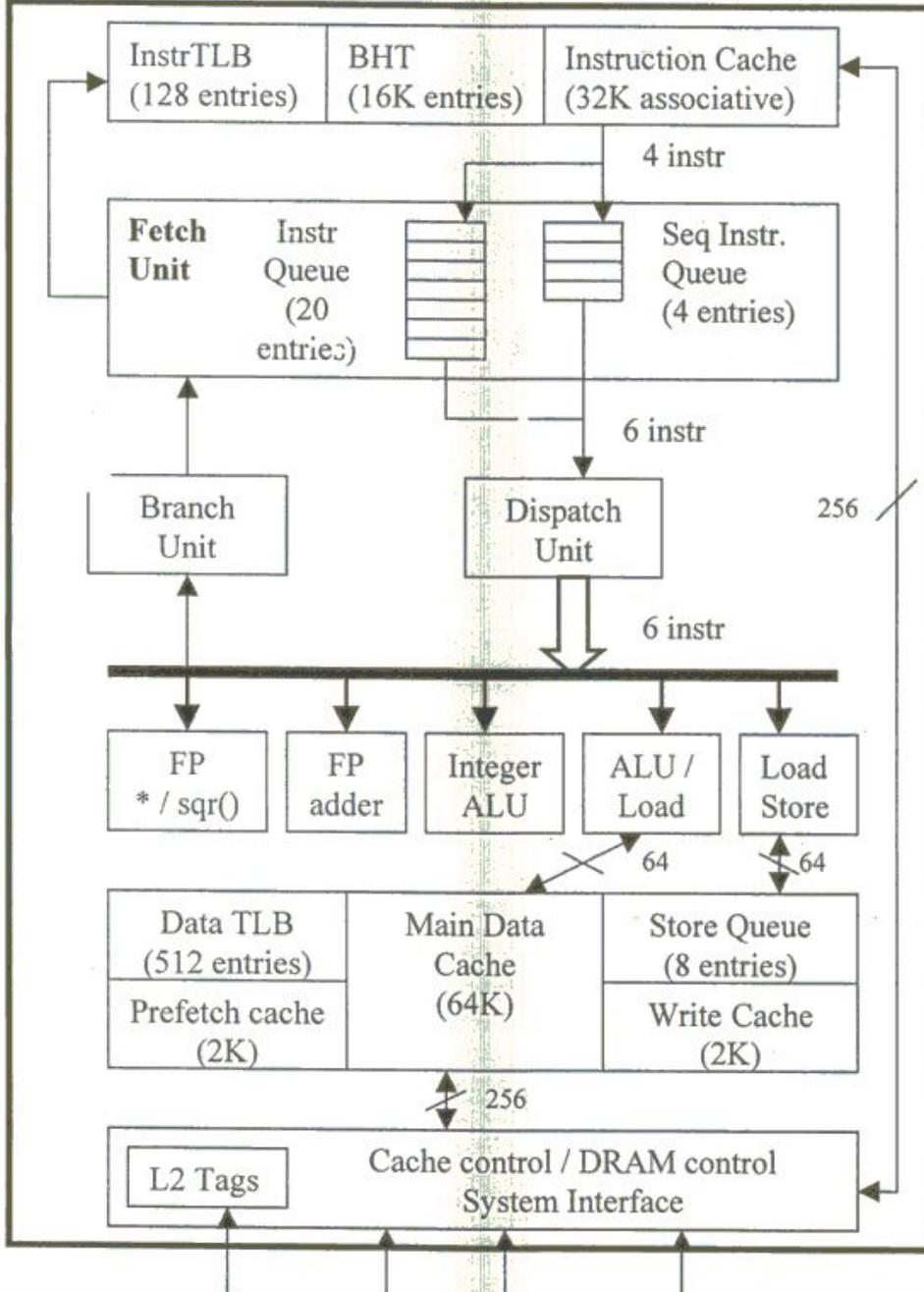
Команда2	Команда1	Команда0	Маска
----------	----------	----------	-------



# UltraSPARC III

- шесть исполнительных устройств (4 целочисленных и 2 плавающих);
- кэш-памяти команд и данных объемом 32 КБ и 64 КБ соответственно;
- кэши предвыборки и записи объемом по 2 КБ каждый;
- системный интерфейс;
- контроллер основной памяти;
- контроллер кэша второго уровня (L2 кэш);
- Таблица истории ветвлений (ВНТ)
- таблица тэгов L2 кэш.

# SUN Ultra SPARC



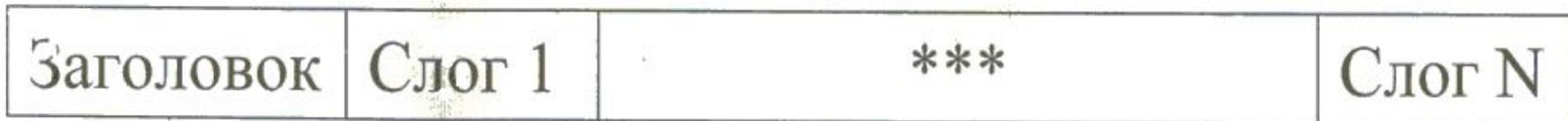
данные записываются в L1 кэш и, одновременно, в кэш записи. При этом, если происходит непопадание в L1 кэш, то его содержимое не обновляется

**TLB** – таблица ВИА -> ФА  
**BHT** – Branch History Table – предсказание ветвлений по истории (цикл – повторяется...) и вероятности

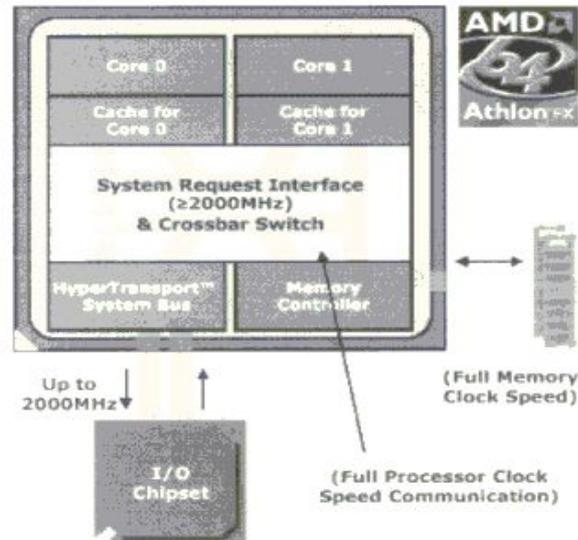
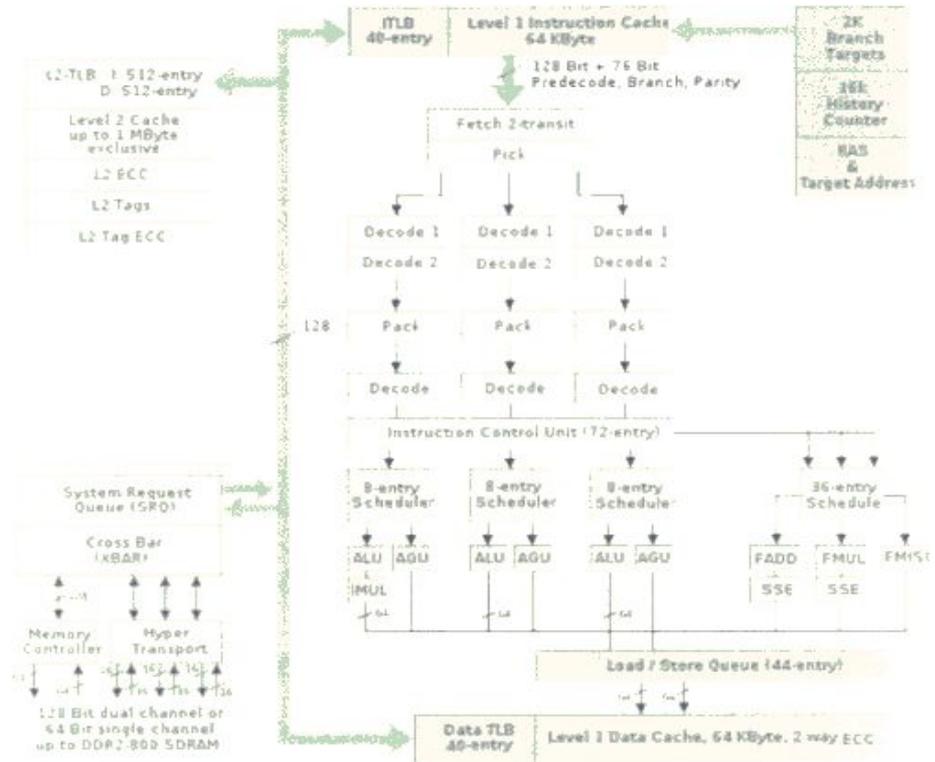
# Elbrus 2K

архитектура VLIW (Very Large Instruction World – сверхбольшое командное слово).

Команда E2K состоит из слогов длиной 32 разряда каждый. Число этих слогов может меняться от 2 до 16, причем данную архитектуру можно еще расширить – до 32 слогов.



# AMD 64 Athlonex



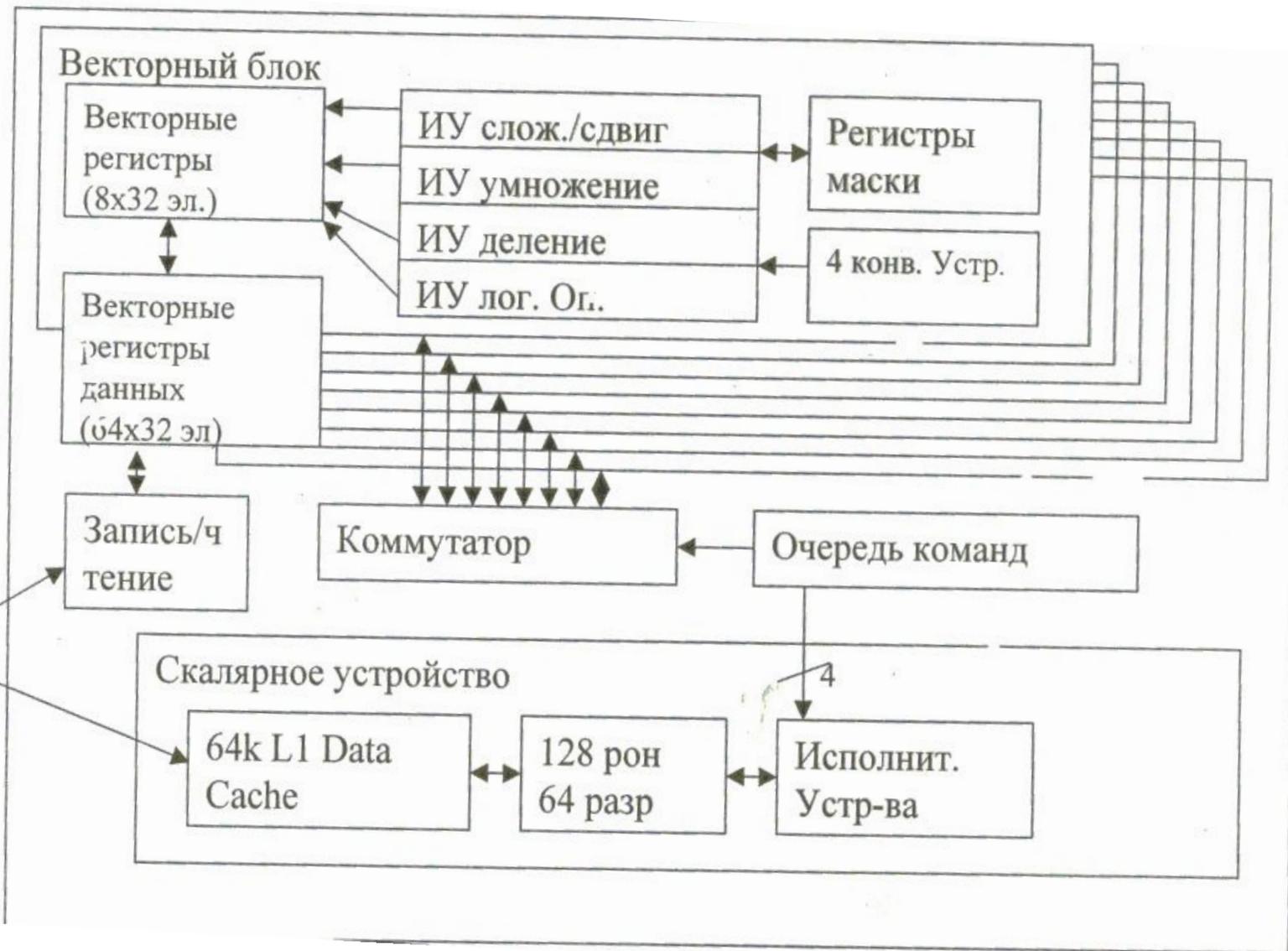
# Сравнение характеристик

CPU	SPEC		Частота	Технология	Число
	int 95	fp 95	МГц	Мкм	транзисторов
21264	32.1	53,7	667	0.35	15.2 млн
21364	70	120	1000	0.18	100 млн
Ultra Spark III	35	60	600	0.25	16 млн
Elbrus E2k	135	350	1200	0.18	28 млн
Athlon	41	29	800	0.25	22 млн
Itanium	45	70	800		

# NEC

SX5

ОП/  
КЭШ  
L2



# Характеристики

	Младшие модели		Средние модели		Саршие модели	
	NEC SX-5M	NEC SX-4/C	NEC SX-5-16	NEC SX-4	NEC SX-5	NEC SX-4
Число ЦП	4-8	1-4	8-16	4-32	16-512	32-512
Пиковая производительность ЦП, GFLOPS	8	2	8	2	8	2
Емкость ОП, Гбайт	64	2	128	8	4096	128
Пропускная способность ОП, Гбайт/с	512	64	1024	512	32	192
Пропускная способность ввода-вывода, Гбайт/с	6,2	1,6	12,6	6,4	403	102