

Цифровые вычислительные устройства и микропроцессоры приборных комплексов

Микропроцессоры
MIPS, SPARC, PowerPC

Соловьёв Сергей Юрьевич, канд. техн. наук, доцент кафедры 303
Ушаков Андрей Николаевич, ассистент кафедры 303

Микропроцессоры MIPS, SPARC, PowerPC

- Микропроцессоры MIPS
- Микропроцессоры SPARC
- Микропроцессоры PowerPC
 - См. также прилагаемые материалы по теме лекции.

Микропроцессоры MIPS. История

- В 1981 г. команда Стендфордского университета, возглавляемая Джоном Хенесси (John Hennessy) начала работу над проектом, который впоследствии привел к появлению первого MIPS-процессора.
- Базовая концепция заключалась в значительном повышении производительности за счет существенного упрощения архитектуры процессора, в основу которой была положена идея конвейеризации. При этом была решена проблема блокировок или вынужденных остановок конвейера, называемых interlocks, которая считалась главным препятствием распространению идеи конвейерного вычисления. Именно это свойство и дало название архитектуре MIPS: Microprocessor without Interlocked Pipeline Stages.
- Такая идеология потребовала исключить много полезных инструкций, требующих нескольких тактов на выполнение, однако общая производительность системы существенно увеличилась за счет повышения рабочей частоты процессора.

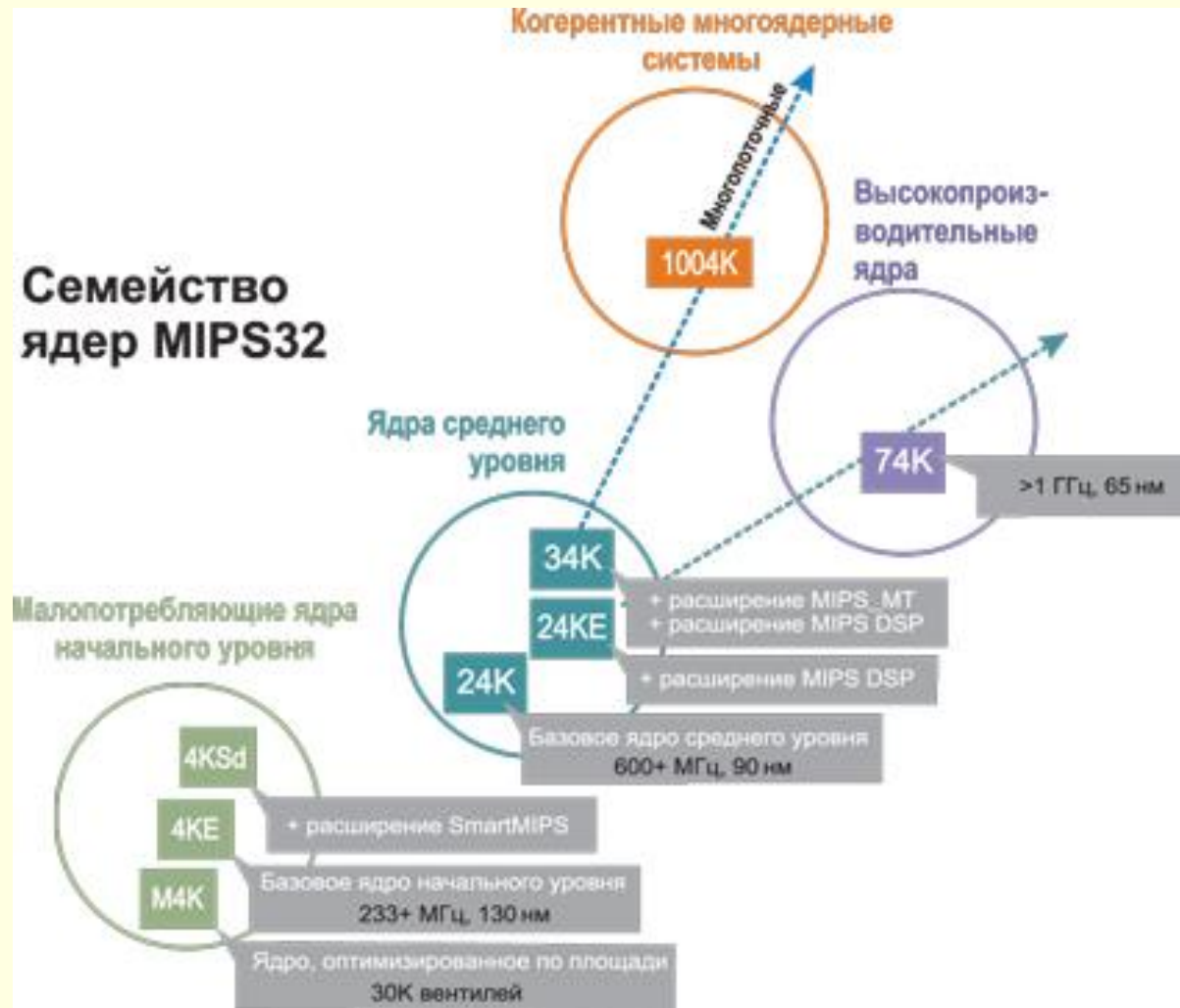
Микропроцессоры MIPS. История (2)

- В 1984 г. Джон Хенесси покинул Стенфордский университет и основал компанию MIPS Computer Systems.
- В 1985 г. на рынок был выпущен первый коммерческий микропроцессор R2000, а в 1988 г. — его улучшенная версия R3000. Эти 32-разрядные процессоры в основном применялись в рабочих станциях компании Silicon Graphics Inc. (SGI).
- В 1991 г. MIPS Computer Systems разработала 64-разрядный микропроцессор R4000, который стал первым коммерческим 64-разрядным RISC-микропроцессором, однако при выводе его на рынок возникли финансовые проблемы. Для сохранения компании и данного проекта в 1992 г. фирма SGI, для которой проект R4000 был жизненно важен, купила компанию MIPS Computer Systems, впоследствии переименованную в MIPS Technologies, Inc. (MTI).

Эволюция архитектуры MIPS

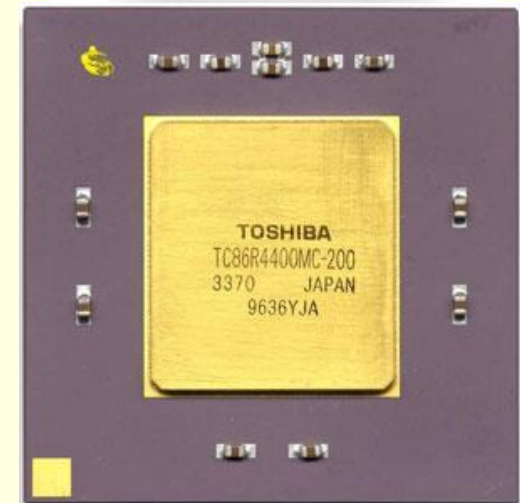
- С момента своего появления в 1985 г. архитектура MIPS непрерывно развивалась. Вслед за спецификацией MIPS-I, на основе которой разработаны процессоры R2000 и R3000, появилась спецификация MIPS-II, реализованная в микропроцессоре R6000. В 1992 г. была представлена 64-битная версия архитектуры MIPS-III, впервые реализованная в микропроцессорах серии R4000, на смену которой пришли версии MIPS-IV (микропроцессор R8000) и MIPS-V.
- Такое обилие версий архитектуры создавало путаницу у потребителей и проблемы с переносом системного ПО, поэтому в 1999 г. MIPS Technologies представила две базовые спецификации архитектуры, покрывающие все предыдущие: MIPS32, основанную на MIPS-I,-II с элементами MIPS-III, которой должны соответствовать все новые 32-разрядные микропроцессоры, и архитектуру MIPS64, являющуюся надмножеством MIPS32 и распространяющуюся на 64-разрядные микропроцессоры.

Развитие семейства ядер MIPS32

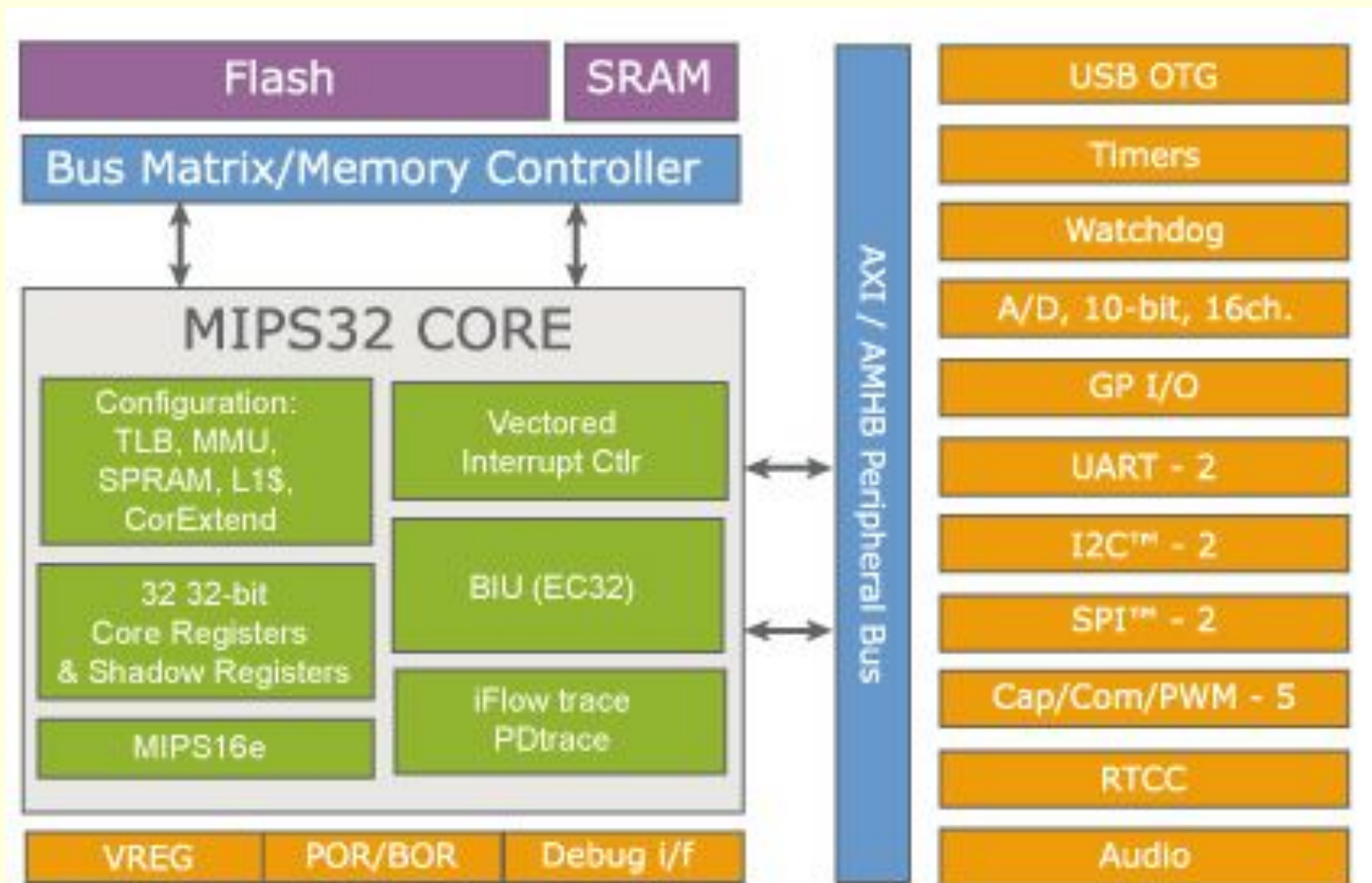


Семейство процессоров с архитектурой MIPS

- R1000 (не выпускался: лабораторный образец). У него отсутствовало умножение и деление (они выполнялись программно)
- R2000
- R3000
- R4000
- R5000
- RM7000
- RM9000
- R8000
- R10000 (последний созданный MIPS); его дальнейшие модификации с увеличенным кэшем и частотой:
 - R12000
 - R14000
 - R16000
- существуют различные модификации других фирм.



Ядро MIPS32 и периферия



Микропроцессоры SPARC. История

- Основоположником архитектуры SPARC является **Sun Microsystems**. Сама компания была основана в 1982 году с принципиально новой идеей производства сетевых рабочих станций из стандартных компонентов.
- Девиз компании **Sun** с 1987 года гласит: "Сеть – это компьютер". Смысл, который вкладывает в нее **Sun Microsystems**: "Настоящим компьютером может считаться только сеть компьютеров".
- Компания совершила большой рывок, перейдя на RISC-архитектуру и разработав свой собственный процессор. Технология получила название **SPARC**. После этой революционной разработки Sun потребовалось найти себе постоянного производителя. Их было несколько, но основными являлись два: **Fujitsu** и **Texas Instruments**.

Микропроцессоры SPARC. История (2)

- Из-за низкой тактовой частоты процессоры не могли сравниться с интеловскими гигантами.
- Впрочем, компания не собиралась ни с кем конкурировать, сделав смелый шаг в неизвестность – новая линейка microSPARC была создана для построения недорогих Unix-станций. Результат – Sun выпустила ряд производительных станций, которые лидировали на компьютерном рынке.
- Вначале это были RISC-станции SPARCstation 1 и 2 на архитектуре SPARC V7, затем, к 1990 году, появился **SPARCstation 10 (SPARC V8)**. Частота на этих серверах составляла 40-50 МГц. Intel в то же время только начал выпускать процессоры 80386.

Микропроцессоры SPARC. История (3)

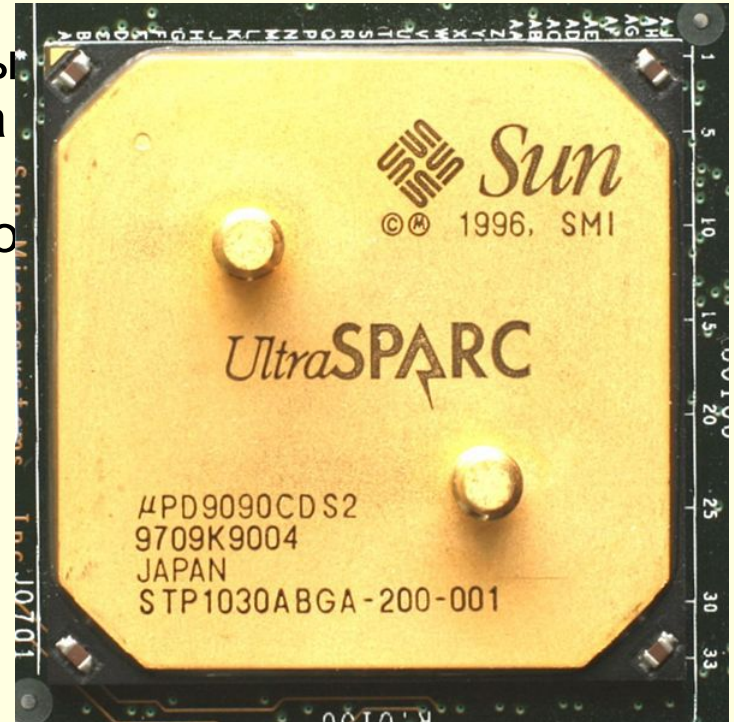
- MicroSPARC был выпущен в качестве недорогой альтернативы SuperSPARC (на базе которого в то время собирались RISC-станции). Цена на альтернативные серверы была в два раза ниже (для сравнения, microSPARC стоил \$5000, SuperSPARC - \$10000-\$15000). Достигли этого некоторым уменьшением кэша, вследствие чего производительность чуть-чуть уменьшилась.
- В 1995 году появилась революционная линейка UltraSPARC, ставшая логическим продолжением microSPARC. Революционность разработки заключалась в переходе на 64-разрядную платформу. Когда Intel и не помышлял о таком переходе, Sun рискнула это сделать. Причем осуществила разработку так умело, что впоследствии занял треть Unix-рынка.

Процессоры компании Sun

- Все процессоры, выпущенные компанией, делятся на так называемые семейства. Вот они:
 - **S** - расшифровывается как **Server** или **Scalable**. Это наши основные процессоры, на которых собираются "флагманские" машины. В них предусмотрена масштабируемость больше сотни процессоров в одной машине, имеется большой кэш второго уровня (8 Мб).
 - **I** - от слова **Integrated**, в этих девайсах кэш второго уровня немного меньше (1 Мб) и размещен на кристалле. Кроме этого, на этом же кристалле установлен контроллер ввода/вывода и еще некоторые модули, позволяющие делать машины дешевле. Используется шина JBus, поддерживающая в системах до 4 процессоров.
 - **H** - от **Horizontal**, предназначены для однопроцессорных систем типа blade-серверов. Процессоры этого семейства появятся в 2004-2005 году и будут многоядерными и многопоточковыми (существует проект Niagara, где на кристалле будет находиться целых 8 ядер по 4 потока в каждом).
- Причина такой градации в том, что одним процессором закрыть все задачи нерационально. Компьютеры будут неизбежно делиться на тяжелые многопроцессорные машины баз данных и легкие веб- и прокси-серверы.

Процессоры UltraSPARC

- **UltraSPARC** относился к так называемому **S-семейству (Scalable)**, на которых предполагалось собирать крупные многопроцессорные машины. На этот процессор возлагались поистине огромные надежды: это и обработка графики, и расчеты, веб-программирование, и, наконец, базы данных (список довольно обширный). Что касается основных задач, то сетевые вычисления являются главным направлением деятельности компании Sun.



Процессоры UltraSPARC (2)

- В UltraSPARC используется серверная технология SMP, в то время как все производители перешли к технологии NUMA. В Sun не ошиблись, делая упор не только на вычислительную производительность, но и на способность обрабатывать и передавать большие потоки данных.
- С тактовой частотой у Ultra-ветки никаких проблем не было, вследствие чего они спокойно могли конкурировать с **PA-RISC (HP)**, **Power (IBM)** и другими производителями.



Процессоры UltraSPARC (3)

- Процессор **UltraSPARC III** появился в 2001 году, хотя идея его создания витала с 1999 года. Его ядро имело площадь кристалла 225 мм^2 . Процессор наделялся 14-ступенчатым конвейером и, конечно же, 64 разрядами.
- Конвейер позволяет обрабатывать 4 различных инструкции за один такт. При этом он может использовать широкий спектр частот без изменения архитектуры (последний процессор имеет тактовую частоту 1200 МГц). 64 разряда дали возможность поддерживать 576 Гбайт оперативной памяти (ошеломляющий размер). Реализация многопроцессорности также удалась – в UltraSPARC существует поддержка кэш-когерентности. Попросту, кэши настроены на одну частоту в рамках одной системной платы (широковещательная когерентность), а для согласования между платами используется когерентность точка-точка. Таким образом реализуется настоящая многопроцессорность.

SPARC и ОС Solaris

- Стоит выделить еще одну особенность UltraSPARC. Процессор отточен лишь для одной операционной системы – **Solaris**.
- **Solaris** и **SPARC** – две стороны одной медали. Так уж получилось, что процессор оттачивался под ОС, а ОС писалась для наилучшей производительности с процессором. **Solaris** поддерживает многопоточность, масштабируемость до сотни процессоров и многое другое.

Микропроцессоры PowerPC. История

- История PowerPC начинается с прототипа чипа 801, созданного в IBM в конце 1970-х на основе идей Джона Кока о RISC-архитектуре. Далее она была продолжена 16-регистровым дизайном IBM/RT в 1980-х годах, который в дальнейшем развился в архитектуру POWER, представленную RISC System/6000 в начале 1990-х. Дизайн POWER был основан на архитектуре RISC-процессоров типа IBM 801 и архитектуре MIPS.
- Настоящий микропроцессор POWER, одно из первых суперскалярных воплощений архитектуры RISC, был высокопроизводительным и многоядерным. В IBM скоро поняли, что им требуется однокиповый дизайн, в котором не были бы воплощены некоторые инструкции POWER, чтобы линия процессоров RS/6000 включала решения всех уровней производительности, и работа над однокиповым микропроцессором POWER началась.

Микропроцессоры PowerPC. История (2)

- IBM предложила Apple сотрудничество в разработке семейства одночиповых процессоров, основанных на архитектуре POWER. Вскоре после этого Apple, как один из крупнейших заказчиков микропроцессоров класса настольных систем Motorola, попросила Motorola присоединиться к этому сотрудничеству, так как Apple считала, что Motorola, с её длинной историей работы с Apple, будет способна производить большие количества микропроцессоров, чем IBM. Этот тройственный союз стал известен как AIM, по первым буквам Apple, IBM, Motorola.
- Для Motorola вступление в этот союз было чрезвычайно выгодным. Это позволяло им продавать хорошо протестированный и мощный RISC-процессор, не тратя денег на его разработку. У них также был крупный покупатель этих процессоров — Apple, и ещё один — потенциальный — в лице IBM, которая могла бы не производить свои младшие версии POWER, а покупать их у Motorola.

Микропроцессоры PowerPC. История (3)

- У Motorola уже был собственный RISC-дизайн, 88000, продававшийся чрезвычайно плохо. Одной из причин его провала была плохая совместимость с предыдущей версией, популярной серией 68000, также использовавшейся в компьютерах Apple Macintosh. Основными же причинами были — задержка вывода на рынок из-за проблем с дизайном и изготовлением, из-за которой Motorola упустила возможность успешно конкурировать.
- Тем не менее, производство 88000 началось. У Apple уже был работающий прототип компьютера с 88к. Было решено сделать новый однокиповый POWER-процессор совместимым по шине с 88000, что позволило бы Apple и Motorola начать продавать машины намного быстрее, не занимаясь переделкой материнских плат.

Микропроцессоры PowerPC. История (4)

- В результате сочетания всех этих требований появилась спецификация PowerPC (Performance Computing). В выигрыше были все:
 - IBM получила желанный одночиповый процессор, практически бесплатно.
 - Apple получила один из самых мощных RISC-процессоров на рынке, а заодно бесплатную рекламу в виде имени IBM в публикациях.
 - Motorola бесплатно получила современный чип RISC, помощь в дизайне которого оказывала ей IBM, и возможность продавать его множеству компаний — включая Apple и IBM.

Конструкция микропроцессоров PowerPC

- PowerPC сконструированы в соответствии с принципами RISC, в рамках концепции возможна суперскалярная реализация. Существуют версии дизайна как для 32-х, так и для 64-х разрядных вариантов. Помимо базовых спецификаций POWER, PowerPC обладает:
 - Возможностью работы в двух (big-endian и little-endian) режимах; PowerPC может переключаться между режимами во время вычислений. Этой возможности нет в PowerPC G5.
 - Однопроходными формами некоторых инструкций для вычислений с плавающей точкой, в дополнение к двухпроходным.
 - Дополнительными инструкциями для вычислений с плавающей точкой, разработанные Кейтом Дифендорфом в Apple
 - Обратной совместимостью с 32-разрядным режимом в 64-разрядных версиях.
 - Отсутствием некоторых особо специфических команд POWER, некоторые из которых могут эмулироваться операционной системой, если понадобятся.

Микропроцессоры PowerPC общего назначения

- 601 MPC601 50 и 66 МГц
- 602, потребительский (объединённая шина данных/адресов)
- 603 для ноутбуков
- 603e
- 604
- 604e
- 620 — первая 64-битная реализация
- x704 BiCOMOS, воплощение PowerPC от Exponential Technologies
- 750 (**PowerPC G3**) (1997) 233 МГц и 266 МГц, 740, 745, 755
- 7400 (**PowerPC G4**) (1999) 350 МГц, 7410 с поддержкой AltiVec, SIMD-расширением спецификаций PPC
- 750FX, представленный IBM в 2001 и появившийся на рынке в начале 2002 с частотой 1 ГГц
- Семейство 7450
- 970 (**PowerPC G5**) (2003) 64-бит, основанный на IBM POWER4, оснащённом дополнительно VMX (AltiVec-совместимыми SIMD-расширениями), на частотах 1,4 ГГц, 1,6 ГГц, 1,8 ГГц, 2,0 ГГц и 2,5 ГГц
- Gekko 485 МГц (используется в игровых приставках Nintendo GameCube)
- Broadway — 729 МГц процессор. Разработан IBM совместно с Nintendo для игровой приставки Nintendo Wii.

Процессоры на основе PowerPC

- Процессоры Power PC также используются в многоядерных процессорах в качестве управляющих ядер, например:
 - Kiloscore — совместная разработка IBM и Rapport Inc;
 - Cell — совместная разработка IBM, Sony и Toshiba;
 - Xenon — 3,2 ГГц процессор разработки IBM для игровой приставки Microsoft Xbox 360.

Архитектура POWER

- Архитектура POWER во многих отношениях представляет собой традиционную RISC-архитектуру. Она придерживается наиболее важных отличительных особенностей RISC:
 - фиксированной длины команд,
 - архитектуры регистр-регистр,
 - простых способов адресации,
 - простых (не требующих интерпретации) команд,
 - большого регистрового файла,
 - трехоперандного (неразрушительного) формата команд.
- Однако архитектура POWER имеет также несколько дополнительных свойств, которые отличают ее от других RISC-архитектур.

Особенности архитектуры POWER

- Во-первых, набор команд был основан на идее суперскалярной обработки.
- В базовой архитектуре команды распределяются по трём независимым исполнительным устройствам:
 - устройство переходов,
 - устройство с фиксированной точкой,
 - устройство с плавающей точкой.
- Команды могут направляться в каждое из этих устройств одновременно, где они могут выполняться одновременно и заканчиваться не в порядке поступления. Для увеличения уровня параллелизма, который может быть достигнут на практике, архитектура набора команд определяет для каждого из устройств независимый набор регистров. Это минимизирует связи и синхронизацию, требуемые между устройствами, позволяя тем самым исполнительным устройствам настраиваться на динамическую смесь команд.

Особенности архитектуры POWER (2)

- Любая связь по данным, требующаяся между устройствами, должна анализироваться компилятором, который может ее эффективно спланировать. Следует отметить, что это только концептуальная модель. Любой конкретный процессор с архитектурой POWER может рассматривать любое из концептуальных устройств как множество исполнительных устройств для поддержки дополнительного параллелизма команд. Но существование модели приводит к согласованной разработке набора команд, который естественно поддерживает степень параллелизма по крайней мере равную трём.

Особенности архитектуры POWER (3)

- Во-вторых, архитектура POWER расширена несколькими "смешанными" командами для сокращения времен выполнения. Возможно единственным недостатком технологии RISC по сравнению с CISC, является то, что иногда она использует большее количество команд для выполнения одного и того же задания.
- Было обнаружено, что во многих случаях увеличения размера кода можно избежать путем небольшого расширения набора команд, которое вовсе не означает возврат к сложным командам, подобным командам CISC. Например, значительная часть увеличения программного кода была обнаружена в кодах пролога и эпилога, связанных с сохранением и восстановлением регистров во время вызова процедуры.

Особенности архитектуры POWER (4)

- Чтобы устранить этот фактор IBM ввела команды "групповой загрузки и записи", которые обеспечивают пересылку нескольких регистров в/из памяти с помощью единственной команды. Соглашения о связях, используемые компиляторами POWER, рассматривают задачи планирования, разделяемые библиотеки и динамическое связывание как простой, единый механизм. Это было сделано с помощью косвенной адресации посредством таблицы содержания (TOC - Table Of Contents), которая модифицируется во время загрузки. Команды групповой загрузки и записи были важным элементом этих соглашений о связях.

Особенности архитектуры POWER (5)

- Третьим фактором, который отличает архитектуру POWER от многих других RISC-архитектур, является отсутствие механизма "задержанных переходов".
- Обычно этот механизм обеспечивает выполнение команды, следующей за командой условного перехода, перед выполнением самого перехода. Этот механизм эффективно работал в ранних RISC-машинах для заполнения "пузыря", появляющегося при оценке условий для выбора направления перехода и выборки нового потока команд. Однако в более продвинутых, суперскалярных машинах, этот механизм может оказаться неэффективным, поскольку один такт задержки команды перехода может привести к появлению нескольких "пузырей", которые не могут быть покрыты с помощью одного архитектурного слота задержки.

Особенности архитектуры POWER (6)

- Почти все такие машины, чтобы устранить влияние этих "пузырей", вынуждены вводить дополнительное оборудование (например, кэш-память адресов переходов). В таких машинах механизм задержанных переходов становится не только мало эффективным, но и привносит значительную сложность в логику обработки последовательности команд.
- Вместо этого архитектура переходов POWER была организована для поддержки методики "предварительного просмотра условных переходов" (branch-lookahead) и методики "свертывания переходов" (branch-folding).

Реализация архитектуры POWER

- Первая реализация архитектуры POWER появилась на рынке в 1990 году. С тех пор компания IBM представила на рынок еще две версии процессоров POWER2 и POWER2+, обеспечивающих поддержку кэш-памяти второго уровня и имеющих расширенный набор команд.
- По данным IBM процессор POWER требует менее одного такта для выполнения одной команды по сравнению с примерно 1.25 такта у процессора Motorola 68040, 1.45 такта у процессора SPARC, 1.8 такта у Intel i486DX и 1.8 такта Hewlett-Packard PA-RISC. Тактовая частота архитектурного ряда в зависимости от модели меняется от 25 МГц до 62 МГц.

Реализация архитектуры POWER (2)

- Многокристальный набор POWER2 состоит из восьми полузаказных микросхем (устройств):
 - Блок кэш-памяти команд (ICU) - 32 Кбайт, имеет два порта с 128-битовыми шинами;
 - Блок устройств целочисленной арифметики (FXU) - содержит два целочисленных конвейера и два блока регистров общего назначения (по 32 32-битовых регистра). Выполняет все целочисленные и логические операции, а также все операции обращения к памяти;
 - Блок устройств плавающей точки (FPU) - содержит два конвейера для выполнения операций с плавающей точкой двойной точности, а также 54 64-битовых регистра плавающей точки;
 - Четыре блока кэш-памяти данных - максимальный объем кэш-памяти первого уровня составляет 256 Кбайт. Каждый блок имеет два порта. Устройство реализует также ряд функций обнаружения и коррекции ошибок при взаимодействии с системой памяти;
 - Блок управления памятью (MMU).

Эволюция архитектуры POWER к архитектуре PowerPC

- Компания IBM распространяет влияние архитектуры POWER в направлении малых систем с помощью платформы PowerPC. Архитектура POWER в этой форме может обеспечивать уровень производительности и масштабируемость, превышающие возможности современных персональных компьютеров.
- PowerPC базируется на платформе RS/6000 в дешевой конфигурации. В архитектурном плане основные отличия этих двух разработок заключаются лишь в том, что системы PowerPC используют однокристалльную реализацию архитектуры POWER, изготавливаемую компанией Motorola, в то время как большинство систем RS/6000 используют многокристалльную реализацию.

Эволюция архитектуры POWER к архитектуре PowerPC (2)

- Имеется несколько вариаций процессора PowerPC, обеспечивающих потребности портативных изделий и настольных рабочих станций, но это не исключает возможность применения этих процессоров в больших системах.
- Первым на рынке был объявлен процессор 601, предназначенный для использования в настольных рабочих станциях компаний IBM и Apple. За ним последовали кристаллы 603 для портативных и настольных систем начального уровня и 604 для высокопроизводительных настольных систем. Наконец, процессор 620 разработан специально для серверных конфигураций и ожидается, что со своей 64-битовой организацией он обеспечит исключительно высокий уровень производительности.

Эволюция архитектуры POWER к архитектуре PowerPC (3)

- При разработке архитектуры PowerPC для удовлетворения потребностей трёх различных компаний (Apple, IBM и Motorola) при сохранении совместимости с RS/6000, в архитектуре POWER было сделано несколько изменений в следующих направлениях:
 - упрощение архитектуры с целью приспособления её для реализации дешёвых однокристальных процессоров;
 - устранение команд, которые могут стать препятствием повышения тактовой частоты;
 - устранение архитектурных препятствий суперскалярной обработке и внеочередному выполнению команд;
 - добавление свойств, необходимых для поддержки симметричной многопроцессорной обработки;
 - добавление новых свойств, считающихся необходимыми для будущих прикладных программ;
 - ясное определение линии раздела между "архитектурой" и "реализацией";
 - обеспечение длительного времени жизни архитектуры путем её расширения до 64-битовой.

- Архитектура PowerPC поддерживает ту же самую базовую модель программирования и назначение кодов операций команд, что и архитектура POWER. В тех местах, где были сделаны изменения, которые могли потенциально препятствовать процессорам PowerPC выполнять существующие двоичные коды RS/6000, были расставлены "ловушки", обеспечивающие прерывание и эмуляцию с помощью программного обеспечения. Такие изменения вводились, естественно, только в тех случаях, если соответствующая возможность либо использовалась не очень часто в кодах прикладных программ, либо была изолирована в библиотечных программах, которые можно просто заменить.

PowerPC 601

- Первый микропроцессор PowerPC, PowerPC 601, в настоящее время выпускается как компанией IBM, так и компанией Motorola. Он представляет собой процессор среднего класса и предназначен для использования в настольных вычислительных системах малой и средней стоимости. Он был разработан в качестве переходной модели от архитектуры POWER к архитектуре PowerPC и реализует возможности обеих архитектур. При этом двоичные коды RS/6000 выполняются на нем без изменений, что дало дополнительное время разработчикам компиляторов для освоения архитектуры PowerPC, а также разработчикам прикладных систем, которые должны перекомпилировать свои программы, чтобы полностью использовать возможности архитектуры PowerPC.

PowerPC 601 (2)

- Процессор 601 базировался на однокристальном процессоре IBM, который был разработан к моменту создания альянса трех ведущих фирм. Но по сравнению со своим предшественником, PowerPC 601 претерпел серьезные изменения в сторону повышения производительности и снижения стоимости. Например, в его состав было включено более сложное устройство переходов, расширенные возможностями мультипроцессорной работы, включая интерфейс шины высокопроизводительного процессора 88110 компании Motorola. В Power 601 реализована суперскалярная обработка, позволяющая выдавать на выполнение в каждом такте 3 команды, возможно не в порядке их расположения в программном коде.



PowerPC 603

- PowerPC 603 является первым микропроцессором в семействе PowerPC, который полностью поддерживает архитектуру PowerPC. Он включает пять функциональных устройств: устройство переходов, целочисленное устройство, устройство плавающей точки, устройство загрузки/записи и устройство системных регистров, а также две, расположенных на кристалле кэш-памяти для команд и данных, емкостью по 8 Кбайт. Поскольку PowerPC 603 - суперскалярный микропроцессор, он может выдавать в эти исполнительные устройства и завершать выполнение до трех команд в каждом такте. Для увеличения производительности PowerPC 603 допускает внеочередное выполнение команд. Кроме того он обеспечивает программируемые режимы снижения потребляемой мощности, которые дают разработчикам систем гибкость реализации различных технологий управления питанием.

PowerPC 603 (2)

- При обработке в процессоре команды распределяются по пяти исполнительным устройствам в заданном программой порядке. Если отсутствуют зависимости по операндам, выполнение происходит немедленно. Целочисленное устройство выполняет большинство команд за один такт. Устройство плавающей точки имеет конвейерную организацию и выполняет операции с плавающей точкой как с одинарной, так и с двойной точностью.
- Команды условных переходов обрабатываются в устройстве переходов. Если условия перехода доступны, то решение о направлении перехода принимается немедленно, в противном случае выполнение последующих команд продолжается по предположению (спекулятивно).
- Команды, модифицирующие состояние регистров управления процессором, выполняются устройством системных регистров.
- Наконец, пересылки данных между кэш-памятью данных, с одной стороны, и регистрами общего назначения и регистрами плавающей точки, с другой стороны, обрабатываются устройством загрузки/записи.

- В случае промаха при обращении к кэш-памяти, обращение к основной памяти осуществляется с помощью 64-битовой высокопроизводительной шины, подобной шине микропроцессора MC88110.
- Для максимизации пропускной способности и, как следствие, увеличения общей производительности кэш-память взаимодействует с основной памятью главным образом посредством групповых операций, которые позволяют заполнить строку кэш-памяти за одну транзакцию.

PowerPC 603 (4)

- После окончания выполнения команды в исполнительном устройстве ее результаты направляются в буфер завершения команд (completion buffer) и затем последовательно записываются в соответствующий регистровый файл по мере изъятия команд из буфера завершения.
- Для минимизации конфликтов по регистрам, в процессоре PowerPC 603 предусмотрены отдельные наборы из 32 целочисленных регистров общего назначения и 32 регистров плавающей точки.



PowerPC 604

- Суперскалярный процессор PowerPC 604 обеспечивает одновременную выдачу до четырех команд. При этом параллельно в каждом такте может завершаться выполнение до шести команд. Процессор включает шесть исполнительных устройств, которые могут работать параллельно:
 - устройство плавающей точки (FPU);
 - устройство выполнения переходов (BPU);
 - устройство загрузки/записи (LSU);
 - три целочисленных устройства (IU):
 - два одноктактных целочисленных устройства (SCIU);
 - одно многотактное целочисленное устройство (MCIU).

PowerPC 604 (2)

- Такая параллельная конструкция в сочетании со спецификацией команд PowerPC, допускающей реализацию ускоренного выполнения команд, обеспечивает высокую эффективность и большую пропускную способность процессора.
- Применяемые в процессоре 604 буфера переименования регистров, буферные станции резервирования, динамическое прогнозирование направления условных переходов и устройство завершения выполнения команд существенно увеличивают пропускную способность системы, гарантируют завершение выполнения команд в порядке, предписанном программой, и обеспечивают реализацию модели точного прерывания.

PowerPC 604 (3)

- В процессоре 604 имеются отдельные устройства управления памятью и отдельные по 16 Кбайт внутренние кэши для команд и данных. В нем реализованы два буфера преобразования виртуальных адресов в физические TLB (отдельно для команд и для данных), содержащие по 128 строк. Оба буфера являются двухканальными множественно-ассоциативными и обеспечивают переменный размер страниц виртуальной памяти. Кэш-памяти и буфера TLB используют для замещения блоков алгоритм LRU.

PowerPC 604 (4)

- Процессор 604 имеет 64-битовую внешнюю шину данных и 32-битовую шину адреса. Интерфейсный протокол процессора 604 позволяет нескольким главным устройствам шины конкурировать за системные ресурсы при наличии централизованного внешнего арбитра. Кроме того, внутренние логические схемы наблюдения за шиной поддерживают когерентность кэш-памяти в мультипроцессорных конфигурациях. Процессор 604 обеспечивает как одиночные, так и групповые пересылки данных при обращении к основной памяти.

