

Раздел II

БАЗОВЫЕ ЦИФРОВЫЕ МИКРОСХЕМЫ

Лекция 6. ЭЛ. ХАРАКТЕРИСТИКИ И ВАРИАНТЫ ЛОГИЧЕСКИХ МИКРОСХЕМ ТТЛ.

Интегр. микросхема – неделимый компонент ЦУ со своими **функциональными** (спецификация выводов и функц. описание) и **электрическими** характеристиками.

1. Электрические характеристики

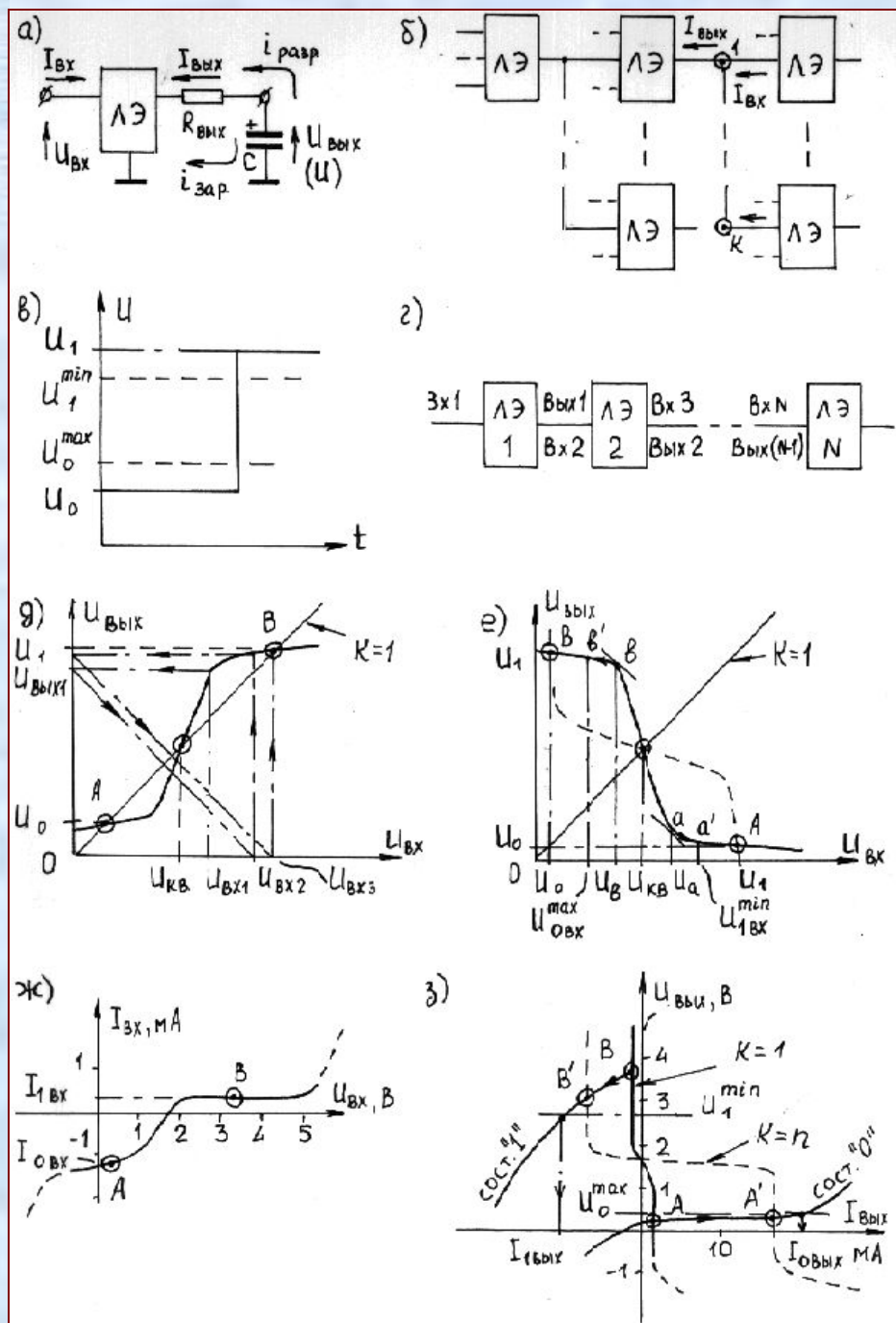
Выбранная система эл. х-к: **амплитудно-передаточная** $U_{\text{ВЫХ}} = f(U_{\text{ВХ}})$, **входная** $I_{\text{ВХ}} = f(U_{\text{ВХ}})$ и **выходная** $U_{\text{ВЫХ}} = f(I_{\text{ВЫХ}})$.

Рис.а) – **полож. направление** I и U .

ЛЭ работают в составе структуры (рис.б). Каждый ЛЭ нагружен на $k = 1 \dots n$ аналогичных. **Необходима стандартизация потенциалов** во всех внутренних точках структуры:

Всегда $U_1 \geq U_1^{\min}$, $U_0 \leq U_0^{\max}$ (рис.в).

Значения U_1^{\min} и U_0^{\max} отвечают работе ЛЭ в **ключевом режиме**.



Амплитудно-передаточная характеристика. Стандартизация сигнальных потенциалов всегда имеет место в цепочке элементов (рис.г), АПХ которых удовлетворяет требованиям (рис.д – неинвертир. ЛЭ, рис.е – инвертир. ЛЭ; $U_{кв}$ – порог квантования):

1. Наличие двух сравнительно пологих участков и одного крутого, где дифференциальный коэффициент усиления $K = |dU_{вых}/dU_{вх}| > 1$.
2. Прямая единичн. усиления $U_{вых} = U_{вх}$ ($K=1$) пересекает крутой участок.

Рабочая точка не должна выходить на крутой участок АПХ. С учетом нестабильностей $U_{п}^+ = U_{вх0}^{max} - U_0^{max}$, $U_{п}^- = U_1^{min} - U_{вх1}^{min}$. Это отвечает условному перемещению точек **b** и **a** в положения **b'** и **a'** (рис.е).

Входная и выходная характеристики (рис.ж,з). Уровни U_1^{min} и U_0^{max} задают справочные значения выходных токов $I_{вых1}$, $I_{вых0}$ (рис.з). Входные токи $I_{вх0}$, $I_{вх1}$ находятся по входной характеристике рис.ж. Указанные токи и значения U_1^{min} , U_0^{max} , относятся к числу статических параметров ЛЭ.

Нагрузочная способность элемента определена условиями $U_{вых1} > U_1^{min}$, $U_{вых0} < U_0^{max}$ как

$$n = \min \left(\left| \frac{I_{вых0}}{I_{вх0}} \right|, \left| \frac{I_{вых1}}{I_{вх1}} \right| \right). \quad 3$$

Сравнение параметров.

Серия	Входные параметры					
	$I_{вх0}$ мА	$U_{вх0}^{max}$ В	$R_{вх0}$ КОМ	$I_{вх1}$ мА	$U_{вх1}^{min}$ В	$R_{вх1}$ КОМ
K155	-0,6	0,8	1	0,04	2	$> \infty$
KP1533	-0,2	0,8	–	0,02	2	–
Серия	Выходные параметры					
	$I_{вых1}$ мА	U_0^{max} В	$R_{вых0}$ ОМ	$I_{вых1}$ мА	U_1^{min} В	$R_{вых1}$ ОМ
K155	16	0,4	10	-0,4	2,4	15
KP1533	4	0,4	–	-0,4	2,5	–

Статическое токопотребление ЛЭ при переходе **от K155 к KP1533** снижается: для состояния 0 – от 22мА до 3 мА, для состояния 1 – от 8мА до 0,85мА. Величина **n** увеличивается с 10 до 20. Значение $U_{п}^{+,-} = 0,4В$.

Условия баланса токов. Все ИС ТТЛ совместимы по логическим уровням, но их входные и выходные токи могут быть разными. Поэтому при совместной работе ЛЭ разных серий для любого элемента:

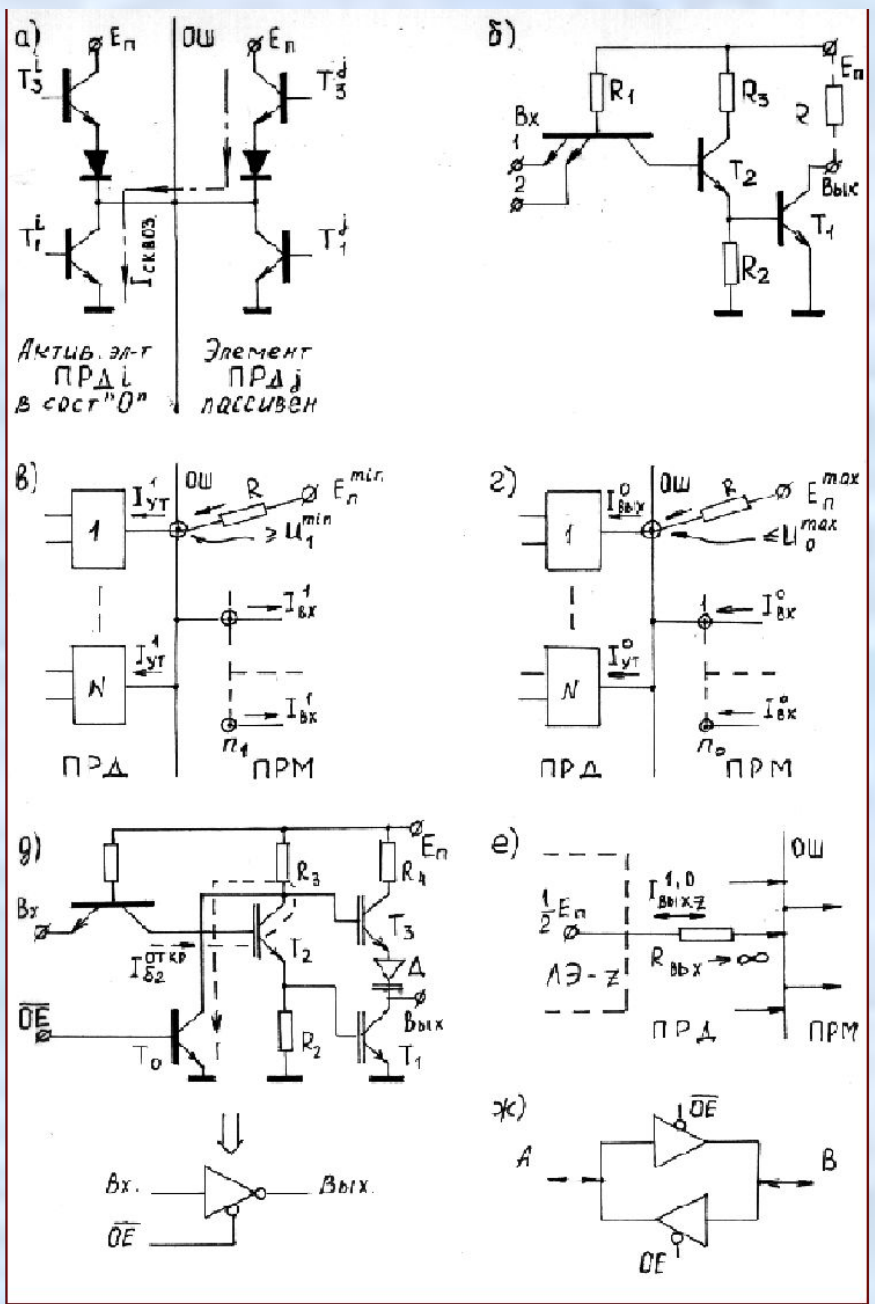
$$|I_{вых}^0| \geq \sum_i |I_{вхi}^0| ; \quad |I_{вых}^1| \geq \sum_j |I_{вхj}^1| .$$

Здесь индексы **i, j** относятся к элементам-нагрузкам. Числа слагаемых в правых частях неравенств различны, если некоторые входы нагрузок объединены. Лучше свободные входы (до 20) подключать к $E_{п}$ через $R=1КОМ$.

Лекция 7. СПЕЦИАЛЬНАЯ ОРГАНИЗАЦИЯ ВЫХОДОВ

Для соврем. микропроц. техники характерен т.н. **магистральный принцип**, когда множество устройств подкл. к общей шине (**ОШ**) своими вых. (**ПРД**) или вх. (**ПРМ**). *В каждый момент времени активен только один передатчик.*

Но объединение выходов актив. и пассив. эл. **ТТЛ** со слож. инвертором недопустимо из-за возможного длит. протекания сравнит. больших **сквозных токов** $I_{сквоз}$ (рис.а). Поэтому в подобных случаях прим. эл. со спец. организацией выходов: *с открытым коллектором (ОК) и на три состояния выхода – 0, 1 и z (высокоимпедансное состояние).*



1. Элементы с открытым коллектором (рис.б)

Один из входов – упр. EI (*enable input* – вход разрешения). Для актив. эл. EI := 1, для пассив. – EI := 0. Требуется установка внеш. резистора R.

При выборе R учитываются допуски на E_п (обычно Δ_п = ±0,5В) и на сигн. потенциалы. Пусть на ОШ – сигнал 1 (рис.в). Тогда E

$$E_{п}^{\min} - [NI_{ут}^1 + n_1 I_{вх}^1] R \geq U_1^{\min}.$$

Для сигнала 0 (рис.г)

$$E_{п}^{\max} - [I_{вых}^0 + (N-1)I_{ут}^0 - n_0 I_{вх}^0] R \leq U_0^{\max}.$$

Соответственно

$$\frac{E_{п}^{\min} - U_1^{\min}}{N I_{ут}^1 + n_1 I_{вх}^1} \geq R \geq \frac{E_{п}^{\max} - U_0^{\max}}{I_{вых}^0 + (N-1)I_{ут}^0 - n_0 I_{вх}^0}.$$

Здесь: N – число ПРД; n₁ и n₀ – числа входов-ПРМ для сигн. 1 и 0. В общем случае n₁ ≥ n₀; I_{ут}¹ и I_{ут}⁰ – токи утечки эл.-ПРД при сигн. 1 и 0 на ОШ.

Ограничение на R – достаточно "жестко". Пусть ПРД – 2 К155ЛА8 (N=8), а ПРМ – 1/2 К155ЛА3 с объедин. вх. (n₁ = 4, n₀ = 2). Для К155ЛА8 I_{ут}¹ ~ 0,25mA, I_{ут}⁰ ~ 0. Тогда 0,38КОм ≤ R ≤ 1,1КОм.

Реализации функции "проводное И" ("монтажное ИЛИ") при объединении вых. эл. с ОК (приоритет 0): $f = \overline{x_1 x_2} \& \overline{x_3 x_4} = \overline{x_1 x_2} \vee \overline{x_3 x_4}$.

2. Элементы на три состояния выхода

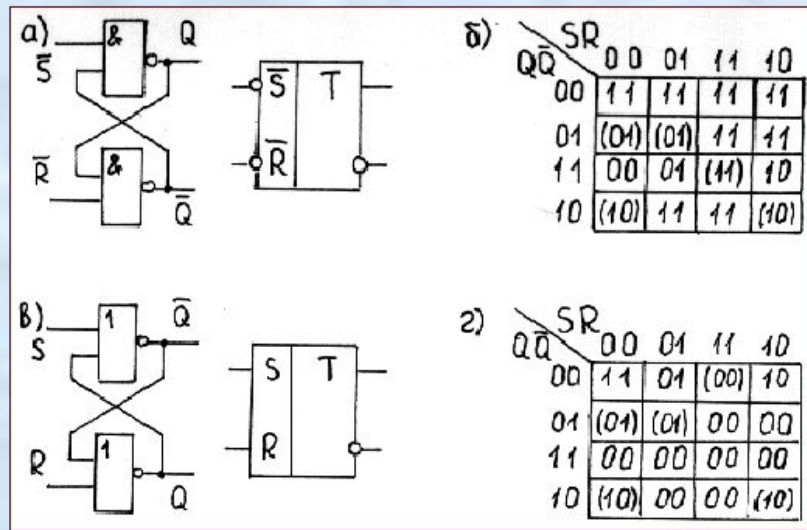
K155: ЛН6 (НЕ); ЛП8,10,11 (БУ); ИП6,7 (ДНШУ). В др. сериях, дополнительно, – ряд микросхем мультиплексоров и регистров. Вход активизации элемента – \overline{OE} (*output enable* – разрешение выхода). При $\overline{OE}=0$ элемент активен. При $\overline{OE}=1 \rightarrow$ в состояние **z** с задержкой $\approx 2t_{з.ср}$.

Пример инвертора K155ЛН6 (рис.д). Пусть $\overline{OE}=1$. Если на входе **0**, то T_2 закрыт. То же – с T_1 и T_3 . Но если – **1**, то $I_{62}^{откр}$ – по цепи: колл. переход T_2 – насыщ. T_0 (рис.д; пунктир). T_1 остается закрытым. Рис.е – эквивалент элемента в состоянии **z**. Сопр-я утечки закрытых T_1 и T_3 – сотни КОм. При этом $I_{ВЫХ Z}^1 = +0,04\text{мА}$, $I_{ВЫХ Z}^0 = -0,04\text{мА}$. Условия баланса токов: $I_{ВЫХ}^0 \geq (N-1)I_{ВЫХ Z}^0 + n_0 I_{ВХ}^0$; $I_{ВЫХ}^1 \geq (N-1)I_{ВЫХ Z}^1 + n_1 I_{ВХ}^1$.

Принцип ДНШУ. Одно и то же устройство в разные моменты времени может быть ПРД или ПРМ. В серии K155(555) имеются микросхемы ДНШУ: с инверсией – ИП6 (АП6) и без инверсии – ИП7 (АП7). Каждая из них включает по 4 канала связи с общим управлением. Состав ДНШУ серии КР1533 более обширен. Среди них имеются и 8-канальные.

На рис.ж: при $\overline{OE}=0$ имеем $A \rightarrow B$. В случае $\overline{OE}=1$ – $B \rightarrow A$.

Лекция 8. ПОНЯТИЕ ТРИГГЕРНОЙ СХЕМЫ



1. Простейшие бистаб. ячейки

Строятся на основе двух И-НЕ (рис. а) либо ИЛИ-НЕ (рис.в) – асинхронные RS-триггеры с инверсным или прямым управлением. S (set) – вход установки, R (reset) – сброса; Q – прямой вых., \bar{Q} – инверсный. В случае инверсного управления активен 0 на вх.: $\bar{S}\bar{R}=01$ –

уст.1; 10 – уст.0. Для прямого – 1: SR = 10 – уст.1; 01 – уст.0. Значение Q показывает состояние триггера. Если (Q) и (\bar{Q}) – логич. функции, то (\bar{Q})= $\overline{(Q)}$ только для устойчивых состояний.

На рис.б,г – таблицы состояний ячеек рис.а,в. Вых. сигналы по цепям ОС подаются на вх., т.е. могут трактоваться и как переменные (без скобок), и как функции (со скобками). Переменные кодируют строки таблиц, а функции (для сх.а: (Q)= $\bar{S}\cdot\bar{Q}$; (\bar{Q})= $Q\cdot\bar{R}$) – проставляются в клетках таблицы. Полное состояние триггера – вектор $\langle S, R, Q, \bar{Q} \rangle$ – устойчиво (выделяется скобками), если содержимое клетки совпадает с кодом строки.

Пусть ячейка находится в некотором *уст. полном состоянии*. Тогда при изменении входных сигналов (\bar{S} , \bar{R} или S , R) в схеме возникает переходный процесс, переводящий ее в *новое уст. полное состояние*. Протекание этого процесса легко проследить по таблице.

Каждая из таблиц содержит по **5 полных уст. состояний**. Но если исключить случай $SR = 11$ ($\bar{S}\bar{R} = 00$), то *это не противоречит бистабильности ячейки*, ибо ее внутр. состояние определяется только вектором $\langle Q, \bar{Q} \rangle$: $Q\bar{Q} = 10$ – состояние **1**; 01 – состояние **0**.

Случай $SR = 00$ ($\bar{S}\bar{R} = 11$) отвечает **режиму хранения**. В этом режиме триггер находится в одном из двух своих уст. внутренних состояний – **0** или **1**. Такой вывод следует из факта *стандартизации сигнальных потенциалов в цепочке однотипных элементов* (БЯ можно рассматривать как бесконечную цепочку элементов).

Одновременная активизация обоих информационных входов **RS**-триггера ($SR=11$ либо $\bar{S}\bar{R}=00$) **не допустима** из-за *логической непредсказуемости ее последующего состояния в режиме хранения*. Здесь все будет зависеть от соотношения задержек элементов

2. Каноническое представление триггерной схемы

В цифровой технике триггером называют схему с некоторым множеством входов $I = \langle x_1, x_2, \dots \rangle$ и, как правило, двумя выходами – *прямым* Q и *инверсным* \bar{Q} . В частных случаях один из выходов может отсутствовать. Допускаются следующие режимы работы этой схемы:

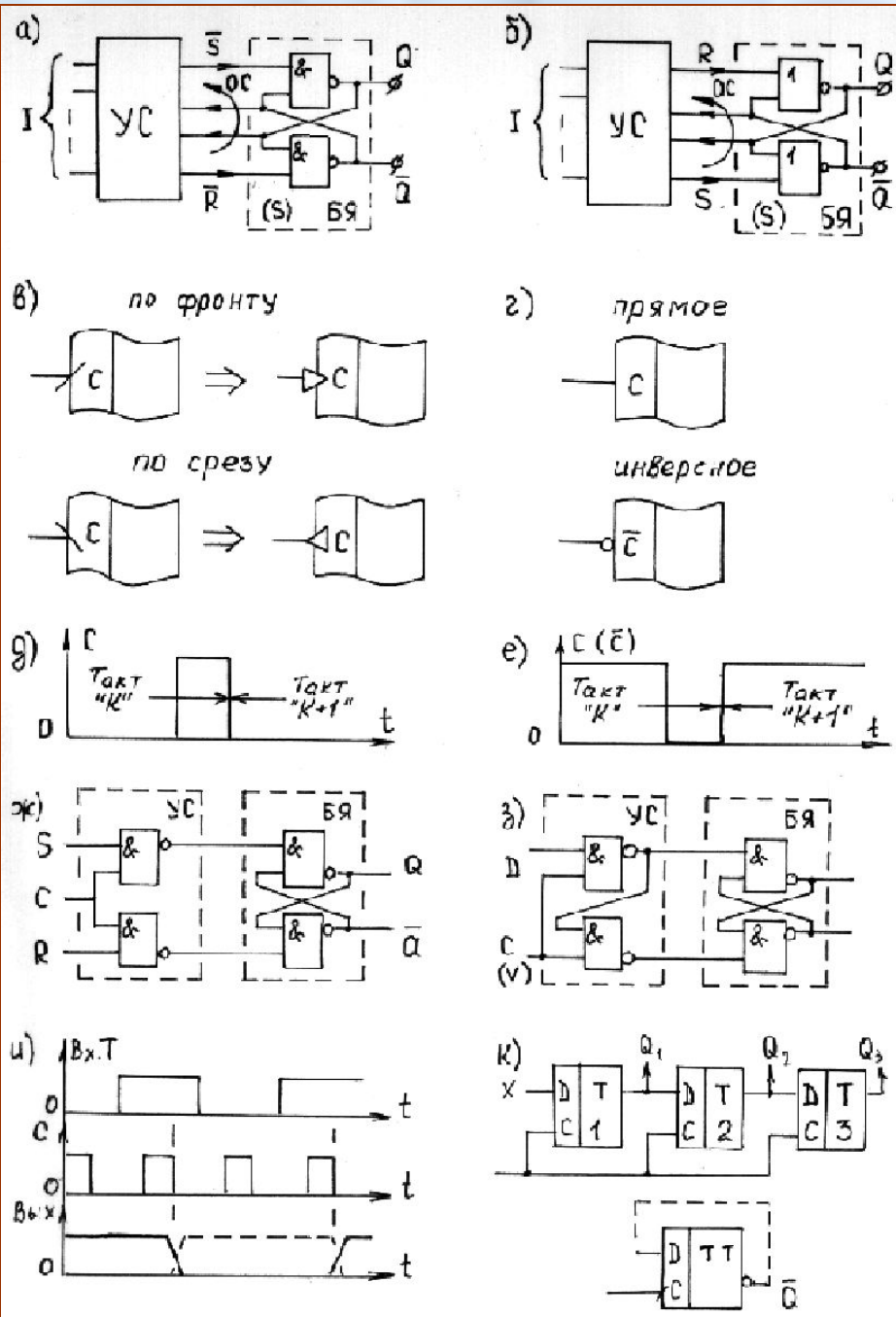
1. Установка состояния **0**.
2. Установка состояния **1**.
3. Изменение состояния.
4. Сохранение состояния (режим хранения).

Каждому режиму отвечает действие *определенной последовательности входных наборов*. В конкретных схемах некоторые из режимов 1 – 3 могут отсутствовать.

Пусть, например, все 4 режима имеют место:

$$\begin{aligned} I = \langle x_1, x_2, x_3 \rangle &= \text{xx0} - 010 - 011 - 010 && \text{– режим 1;} \\ & \text{xx0} - 100 - 101 - 100 && \text{– режим 2;} \\ & \text{xx0} - 110 - 111 - 110 && \text{– режим 3;} \\ & \text{xx0} - \text{xx0} - \text{xx0} - \dots && \text{– режим 4.} \end{aligned}$$

x_1, x_2 – *информац.* входы, x_3 – *управляющий* (синхронизирующий). *Переключение триггера* – только при $x_3 := 1$. Комбинация $x_1x_2 = 01$ – уст. **0**; 10 – уст. **1**; 11 – изменению состояния. *Действие любой вх. последовательности завершается переходом к режиму хранения*



Канонич. блок-схемы триггера – рис. **а,б**. **ОС** – для реализации реж.3.

Снятие ограничения на t_c^{max} – введение в **УС** *основной БЯ* (*М – master*) в дополнение ко *вспомогательной (S – slave)* – **MS-триггер**.

Цикл его работы разбивается на два полутакта: *активный* (есть **СИ**) и *хранения* (нет **СИ**). В активном – *переключение M, S – блокирован*. При хранении – *блокировка M, его состояние – в S*.

Инф. вх. MS-триггера формируются в реж. хранения и неизменны в акт. полутакте.

Изменение выхода – по фронту или срезу СИ – динамическое управление по фронту или срезу СИ – динамическое управление по фронту или срезу (рис. **в**).

В одноступенчатых схемах (без **М**) управление всегда *потенциальное* – *прямое* либо *инверсное* (рис. **г**).

Рис. **д,е** поясняют понятие такта.

Лекция 9. МИКРОСХЕМЫ ТРИГГЕРОВ ТТЛ

1. Разновидности триггерных микросхем

Режим 3 отсутствует в RS- и D(DV)-триггерах. Рис.ж,з – их 1-ступ. варианты. В D-триггере лишь один информац. вход, $Q^{k+1}=D^k$ – элемент задержки на такт (имеется в виду не эл. задержка, а логическая граница между тактами. Если $C = V$, то – асинхронный DV-триггер, или "защелка": по $V := 0$ – "защелкивание" информации, поданной ранее на вход.

Режим 3 имеет место в T- и JK-триггерах. T-триггер работает в реж.3 и 4. Если к приходу СИ значение $T = 1$, то состояние триггера меняется на противоположное (рис.и – случай динамического управления по срезу СИ).

В JK-триггере вход J подобен входу S в, а вход K – входу R в RS-триггере. Но набор JK=11 разрешен – изменение состояния. Полагая $J=K=T$, получаем T-триггер. Если $J=S$, $K=R$ и $JK \neq 11$, то имеем RS-триггер. В случае $J=D$ и $K=\bar{D}$ приходим к D-триггеру. JK-триггер универсален, ибо 1) в нем реализуются все 4 режима и 2) простой внешней коммутацией его можно настроить на реализацию функций других триггеров.

D-триггер типа MS частично универсален: введение ОС (рис.к, пунктир) трансформирует его в T-триггер с $T=1$. MS-построение полезно для любого типа триггера. Рис.к – пример сдвигового регистра на 1-ступ. D-триггерах. Пусть его нач. состояние $Q_1Q_2Q_3=010$, вход $x=1$ и $t_3 \leq t_c \leq 2t_3$, t_3 – задержка триггера. Тогда по окончании СИ вместо $Q_1Q_2Q_3=101$ можем получить 110.

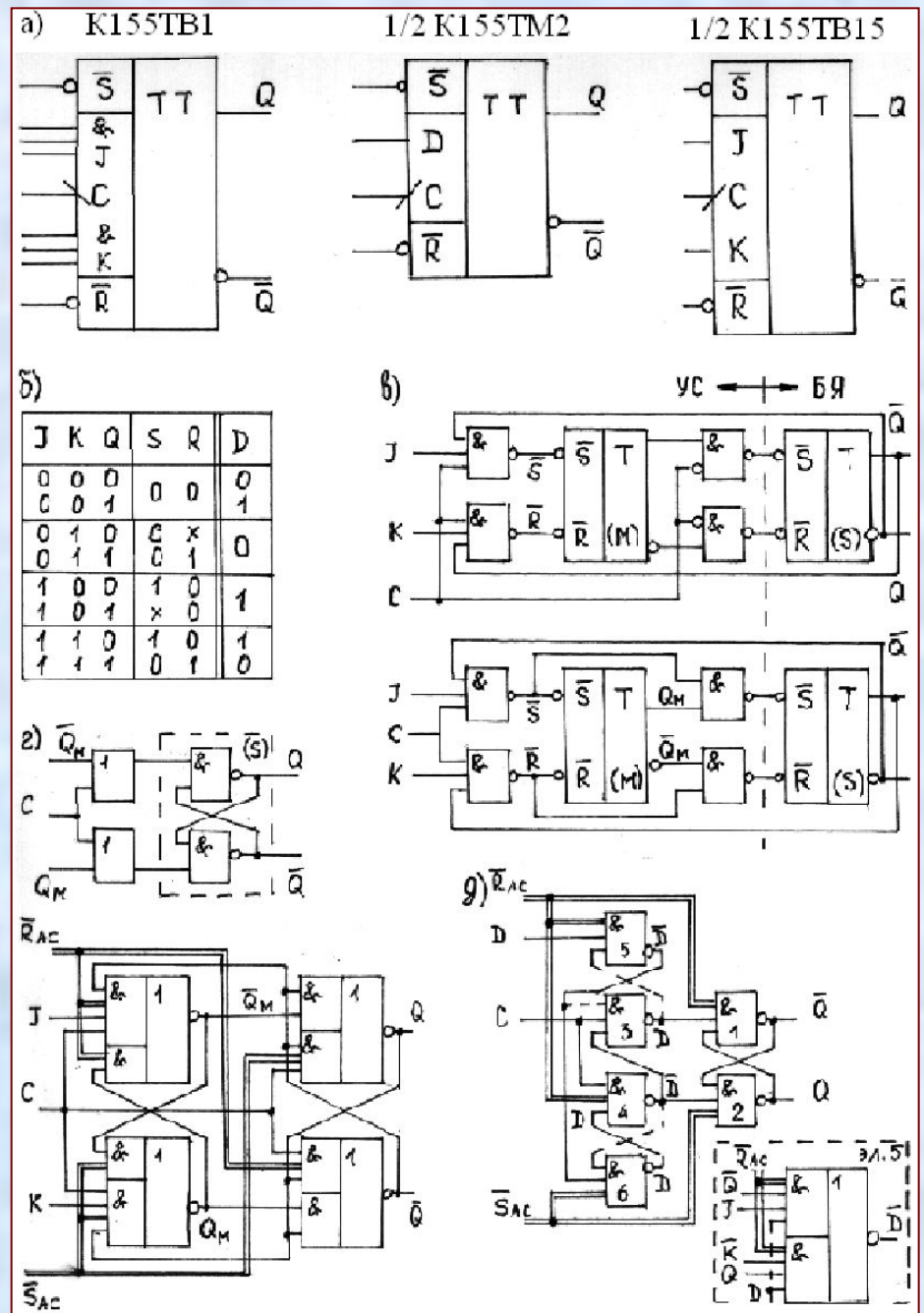
Триггерные микросхемы выпускаются, в основном, двух типов – **JK** и **D**. Все они *синхронные*. Асинхронный принцип реализован лишь в микросхемах **K555**(**КР1533**) **ТР2** типа **RS**. Они применяются в качестве **БЯ** для построения триггерных схем, которых нет в серийных вариантах.

Микросхемы **JK** – 1 либо 2, а **D** – 2, 4 и даже 6 триггеров в корпусе. В ТТЛ: **6** типов **JK** и **5** типов **D**.

Рис.а: JK-триггеры – K155ТВ1 (1 тригг. в корпусе, со слож. вх. логикой

$$J = \bigwedge_i J_i, \quad K = \bigwedge_i K_i, \quad i \in \{1, 3\},$$

K155(**КР1533**) **ТВ15**; **D**-триггер – **ТМ2** (все серии ТТЛ; как и в **ТВ15**, 2 тригг. в корпусе) – *наиболее удачная триггерная микросхема.*



1. Канонические представления JK-триггеров

В качестве триггеров M и S выберем асинхр. RS-триггер с инверсным управлением. Функции возб. \bar{S} и \bar{R} триггера M – из табл. рис.б: $\bar{S} = \overline{JQ}$; $\bar{R} = \overline{KQ}$. Рис.в – возможные варианты блокировок триггеров S и M . Рис.г, *вверху* – лучший вариант блокировки триггера S при $C=1$. Для этой схемы

$$Q = (\overline{Q_M} \vee C)\overline{Q} = \overline{Q_M Q \vee CQ}; \quad \overline{Q} = (\overline{Q_M} \vee C)Q = \overline{Q_M Q \vee CQ}.$$

Рис.г, *внизу* – соответствующая реализация JK-триггера в базисе И-ИЛИ-НЕ. Асинхронная установка $(\bar{S}_{AC}, \bar{R}_{AC})$ – в обоих триггерах (M и S).

2. Принципы построения ТМ2, ТВ15

Рис.д, эл.1-4 – *1-ступ.* D-триггер. Для снижения критичности регистра на его основе к t_c^{\max} введем промеж. эл.5,6. Организуем 2 "защелки" (рис.д; *пунктиры* между эл.3,5 и 4,6). Пусть $D \sim \uparrow \text{СИ}$. Тогда *по оконч. перех. процессов*: 1) на вых. эл.3-6 – сигналы, показ. на рис. 2) сработают "защелки" – на эл.3,5 ($D=0$) либо на эл.4,6 ($D=1$). Дальнейшие изменения D не влияют на сост. триггера до очередного $\uparrow \text{СИ}$. «Интервал прозрачности» определен задержками эл. 3,4.

Полученная схема отвечает триггеру ТМ2. В ТВ15 используется тот же принцип. Здесь вход D логически определен таблицей рис.б, столбец D : $D = \overline{JQ} \vee \overline{KQ}$. Трансформация эл.5 – рис.д, *пунктир* внизу. 15

Лекция 10. ГЕНЕРАТОРЫ ИМПУЛЬСОВ ТТЛ

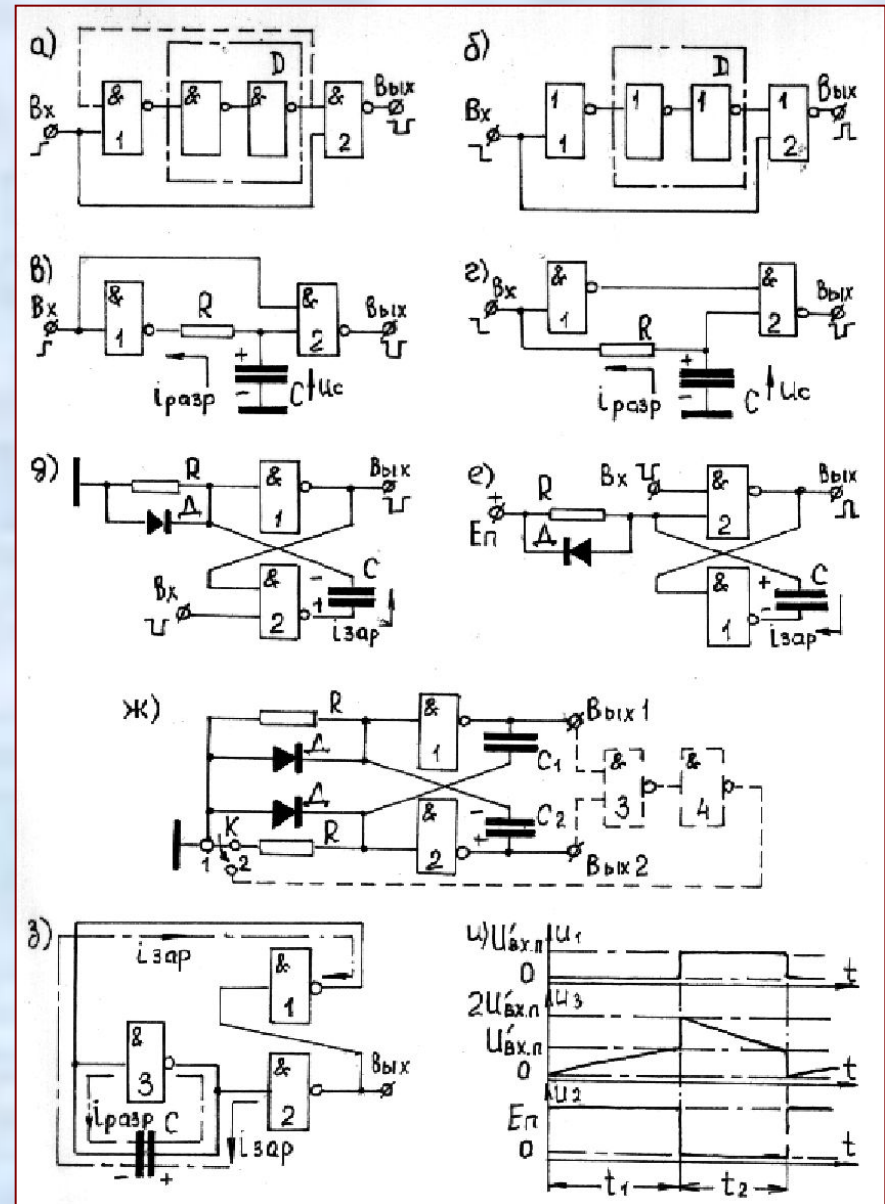
1. Формирователи импульсов

Рис.а(б) – по фронту (срезу). Содержат эл. 1 на входе и эл. 2 на выходе. D – эл. задержки (цепочка из n НЕ, n – чет.). На выходе: $t_{и2} = t_{з.ср} + t_0$, где $t_{з.ср}$ и t_0 – задержки НЕ и D. Рис.а, пунктир – автогенератор с $N = 2$.

Функцию D может выполнять RC-цепь (рис.в,г). В исх. состоянии эл.2 закрыт, емкость C заряжена, $U_c(0) = U_{ВЫХ}$. При $U_{ВХ} \uparrow (\downarrow)$ эл.2 открывается. Начинается разряд емкости. $U_c = U_{ВХ.П}$ → конец формирования,

$$t_{и} = CR \ln \frac{U_{ВЫХ}'' - U_c(\infty)}{U_{ВХ.П}'' - U_c(\infty)}, \quad U_c(\infty) = E_{п} \frac{R}{R + R_1}$$

Величина R ограничена сверху условием закрывания эл.2 по оконч. разряда C. Из $U_c(\infty) < U'_{ВХ.П}$: $R < R_1 / (E_{п} / U'_{ВХ.П} - 1)$



2. Простейшие ждущие релаксаторы.

В схемах (рис. д, е) первонач. эл.1 закрыт, эл.2 открыт, емкость С практически разряжена. Вх. импульс переводит схему во *временнoустойчивое* состояние, длительность которого $t_{и2} > t_{и1}$ определяется *зарядом С*.

$$\text{Для схемы рис. д} \quad t_{и2} = C(R''_{ввк} + R) \ln \left[\frac{U''_{ввк} + U_C(0)}{U''_{вхп}} \frac{R}{R + R''_{ввк}} \right], \quad U_C(0) = E_{п} \frac{R}{R + R_1} < U'_{вхп}.$$

Условие $U_{вх1}(0) > U''_{вхп}$ (открывания эл.1 при $t = 0$) накладывает доп. ограничение на R снизу:

$$\frac{R''_{ввк}}{[U''_{ввк} + U_C(0)]/U''_{вхп} - 1} < R < \frac{R_1}{E_{п}/U'_{вхп} - 1}.$$

В схеме рис. е $t_{и2} = C(R \parallel R_1) \ln \frac{E_{п} - U_C(0)}{E_{п} - U'_{вхп}}$, $U_C(0) = E_{п} - U''_{ввк} < U'_{вхп}$. Восстановление исх. сост. связано с быстрым разрядом С через открытый диод Д.

3. Простейший автогенератор (рис. ж)

Пусть в нач. сост. эл.1 закр., эл.2 откр., C_1 разряж., C_2 заряд. Тогда C_2 быстро разряж. через откр. Д. По мере *заряда* C_1 падает $U_{вх2}$. При $U_{вх2} = U''_{вхп}$ – регенерация. Длительности *временнoуст.* сост. t_1 и t_2 определяются аналогично $t_{и2}$ в сх. рис. д при тех же ограничениях на R. Если $C_1 > C_2$, то C_1 должна успеть разрядиться за время заряда C_2 . Значение $N_{\max} = 1 + (C_1/C_2)_{\max} \leq 20$.

Для искл. сост., когда оба эл. закр. и обе емкости заряд., вводят эл.3 и 4 (рис. ж, *пунктир*; К – в 2). Это гарантирует принудит. открывание эл.2 на время разряда C_2 и дальнейшее нормальное протекание процессов в схеме.

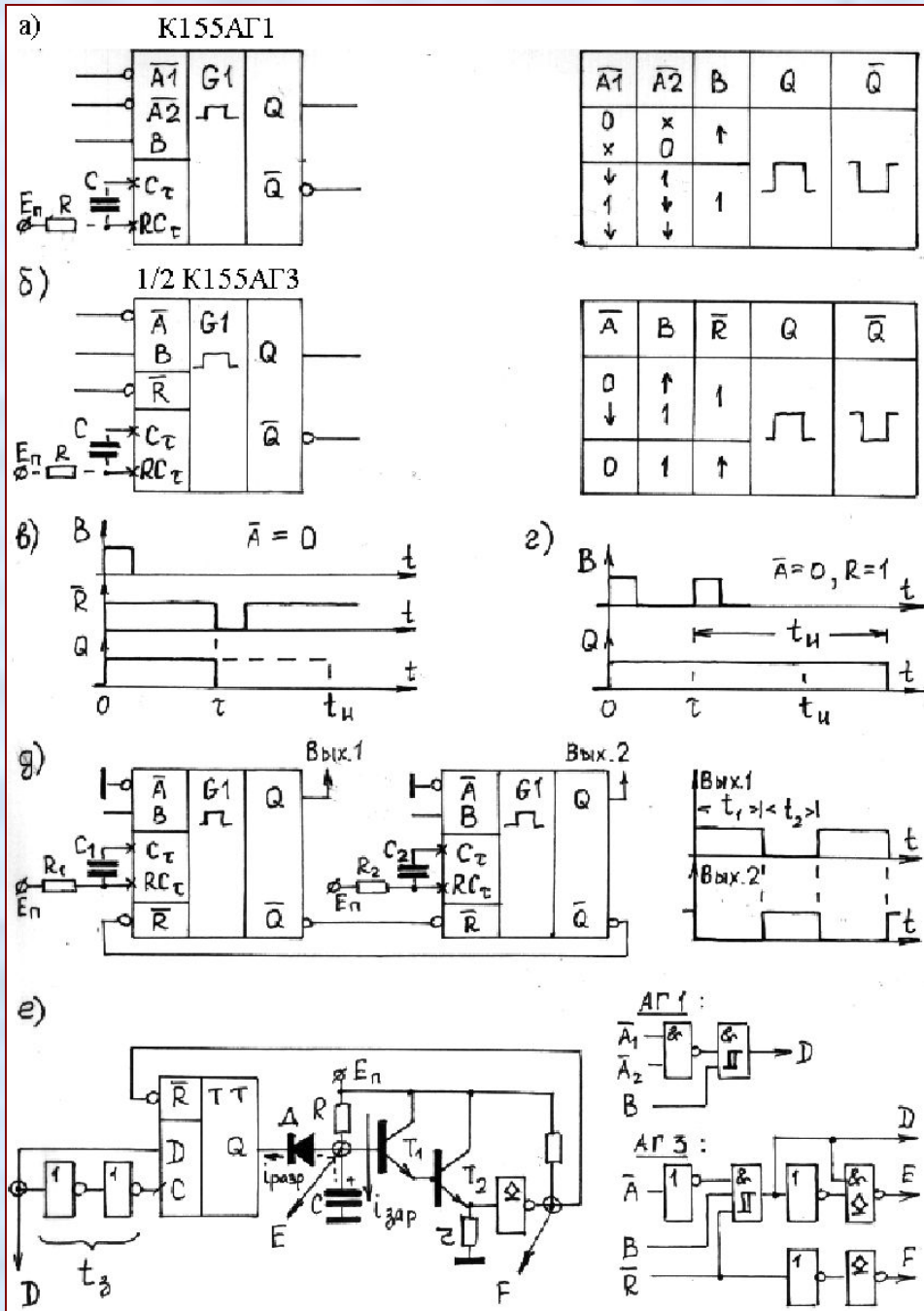
4. Микросхемы генераторов

Применение спец. микросхем ждущих генераторов устраняет ограничения по выбору R и $t_{и1}$, повышает логич. возможности и др.

В серии **K155** имеются микросхемы **АГ1** и **АГ3** (рис. а, б) с 1 и 2 генераторами в корпусе (в **КР1533** – только **АГ3**). Дин. упр. исключает влияние $t_{и1}$ на их функционирование. Для пассивных схем $Q=0, \bar{Q}=1$. Входы C_{τ}, RC_{τ} – не логич. К ним подкл. *времязадающие* компоненты – C и R .

Длительности импульсов: $t_{и} \approx 0,7CR$ – для **АГ1**; $0,45CR$ – для **АГ3**. Диапазоны: C – от 10пФ до 10мкФ; R – от 2 до 40 КОм; $t_{и}$ – от 30нс до 0,28с. Стабильность $t_{и}$ высока, ибо нет влияния $U_{вых}, R_{вых}$.

Рис. в, г, д – возможности **АГ3**.



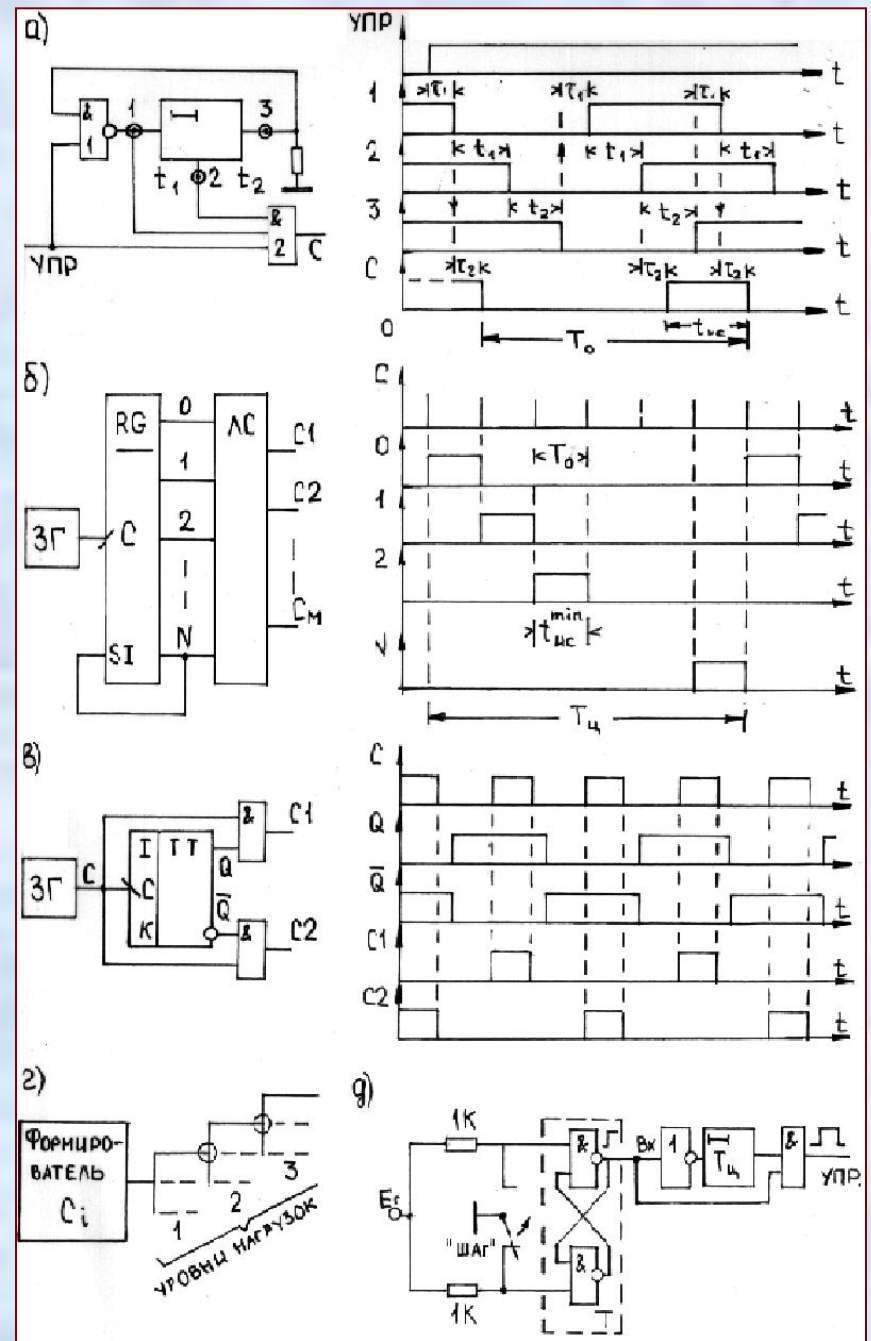
Лекция 11. УСТРОЙСТВА СИНХРОНИЗАЦИИ

Связь во времени процессов в различных блоках ЦУ обычно обеспечивается спец. устройством синхронизации, *одно- или многофазной.*

При многофазной синхронизации период следования СИ разных фаз одинаков и равен длительности цикла синхронизации $T_{ц}$, а СИ сдвинуты друг относительно друга в пределах цикла.

Использование многофазной синхронизации *снижает критичность ЦУ к разбросу параметров СИ*, цифровых эл. и линий связи между ними. Иногда это влечет *рост быстродействия ЦУ* в целом.

Состав устройства синхронизации: задающий генератор (ЗГ), схема формирования рабочих фаз, схема распределения синхросигналов.



1. Задающий генератор

При повыш. требованиях к стабильности $F_{ис}$ и $t_{ис}$ прим. генераторы кварцевые и на ЛЗ. Возможно использование и микросхем генераторов. Мах стабильность обеспечивают первые. Но регулирование врем. параметров в них затруднено. Более просты генераторы на ЛЗ. Линии с отводами ЛЗМ **0,1/0,2/0,5-300/600** дают регулировку задержки с шагом 50нс. Рис.а – простейшая схема такого генератора. Его врем. параметры: $T_0 = 2(t_1 + t_2 + \tau_1)$; $t_{ис} = t_2 + \tau_1$. Здесь: τ_i ($i=1,2$) – задержка ЛЭ $_i$; t_1 и t_2 – задержки отд. частей ЛЗ.

2. Схема формирования рабочих фаз

Обычно это делитель частоты (N-разр. кольцевой счетчик, $T_{ц} = NT_0$) плюс КС для формирования СИ нужных длительностей ($t_{ис}^{min} = T_0$) и врем. положения (рис.б). На рис.: RG – сдвиговый регистр (кольцевой счетчик); SI (*sequential input*) – его послед. вход; C_i – синхроимпульсы фазы i ; M – число фаз синхронизации. Серии C1, C2, ... формируются в КС сборкой по ИЛИ нескольких соседних выходов RG. Недостаток схемы – *потеря правильного функционирования при сбое*. Раз возникшая ошибка существует неограниченно долго. Выход – применение спец. кольц. регистров с восстановлением после сбоя.

Рис.в – схема формирования рабочих фаз при M=2. Управления триггером по срезу СИ здесь принципиально. Иначе – нарушение работы ЦУ.

3. Схема распределения синхросигналов

Она обеспечивает требуемую нагруз. способность по каждой синхросерии. Обычно это пирамидальная схема (рис.г). В узлах пирамиды ставятся повторители (*кружки на рис.*). Из-за разброса задержек соедин. линий и подключения компонентов на разных “уровнях нагрузок” возникают **расфазировки СИ_i** одной и той же серии *i*. Для их устранения в каждую ветвь перед эл.-нагруз. включают *эл. регулир. задержки*. В самой удаленной ветви задержка мин. Расположение СИ_i в этой ветви *принимают за эталон*. С ним совмещают СИ_i той же фазы *i* во всех других ветвях подстройкой задержек. Чтобы облегчить процедуру, на вх. блоков подают *только базовую синхросерию* с периодом T_0 . Нужные рабочие СИ_i формируются в самом блоке. При этом *достаточно сфазировать основную серию*.

4. Организация пошагового режима

Такой режим используется *для отладки устройства и разработанных для него программ*. При выполнении каждого шага на управляющий вход УПР задающего генератора подается строб длительностью $T_{ц}$ от специального генератора одиночных импульсов (ГОИ). Возможная реализация ГОИ показана на рис.д. Этот генератор выдает один импульс при нажатии кнопки “ШАГ”. С помощью триггера T *устраняется т.н. “дребезг контактов”, который приводит к действию на входе формирователя недопустимо “зашумленного” перепада.*

Лекция 12. БАЗОВЫЕ МИКРОСХЕМЫ КМОП

В микросхемах **КМОП** $E_{\text{п}} > 0$. Поэтому здесь, как и в ТТЛ-ИС, принята ПСС. Рис.а – каноническое представление КМОП-пары. Условие прямоугольности ее АПХ (рис.б) – $\max(|U_{01}|, |U_{02}|) < E_{\text{п}} < U_{01} + |U_{02}|$. При его выполнении оба триода не могут быть открыты одновременно. Энергопотребление – *только в процессе заряда* $C_{\text{н}}$ (в статике оно = 0). Нет и $I_{\text{сквоз.}}$. Однако для $< t_3$ значение $E_{\text{п}} >$.

1. Своеобразие КМОП-технологии

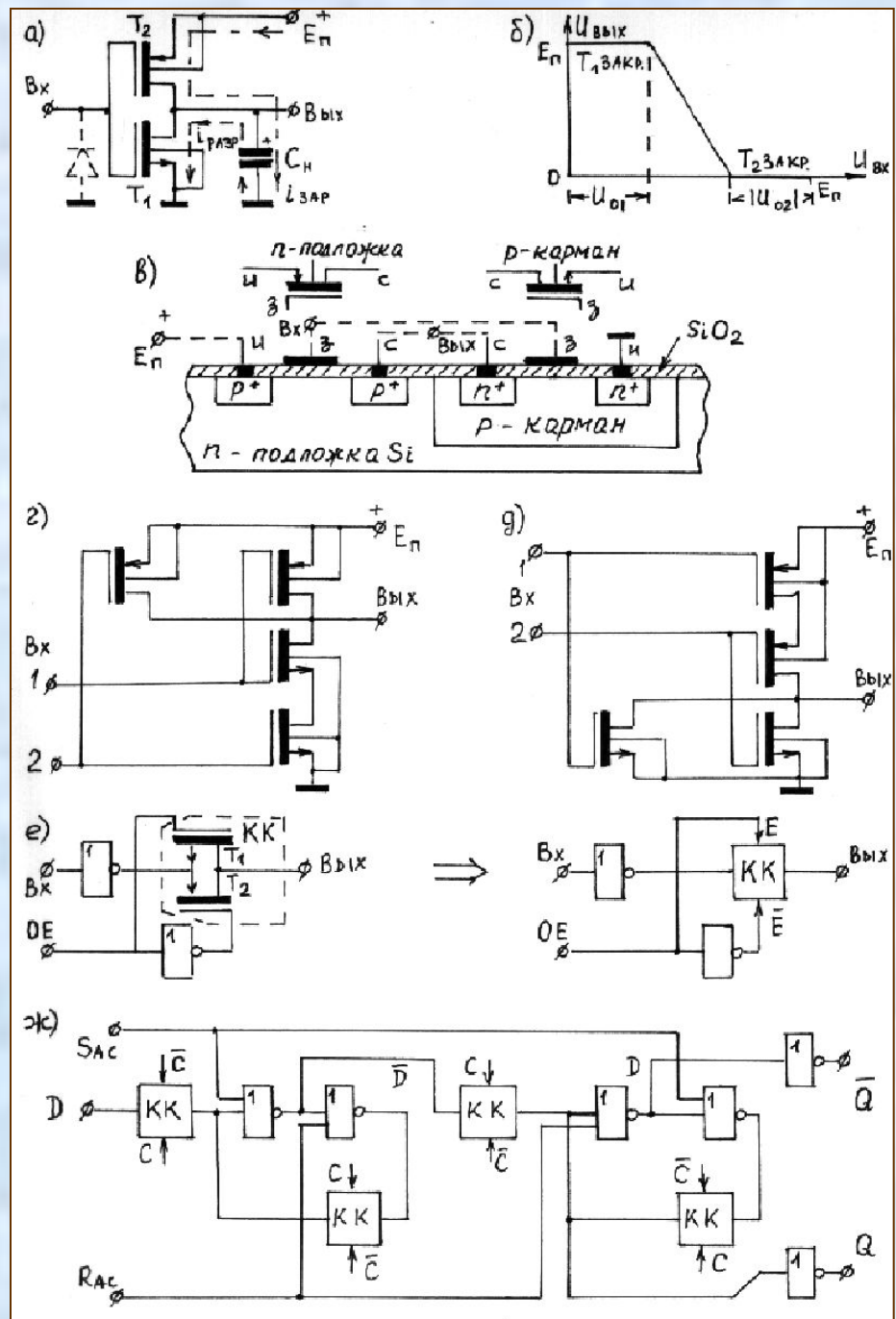
- Наличие наряду с *n*-подложкой т.н. *p*-кармана (рис.в), подкл. к НП.
- На входах – *защитные стабилитроны* (рис.а; пунктир) во избежание *пробоя тонкого окисного слоя* (толщиной $\sim 1\text{мкм}$) SiO_2 под действием статич. электричества. Оно накапливается на обкладках конденсатора "затвор – подложка" емкостью $C = 5 \dots 15\text{пФ}$. Заряд Q в 1нКул дает $U_c = Q/C = 100\text{В}$ и $>$. Поэтому пробой – *от касания затвора наэлектризов. поверхности*.
- Во избежание электростатических наводок входы *не должны быть свободными*. Их надо подключать (как и в ТТЛ) к $E_{\text{п}}$ через $R_{\text{ут}}$.
- Надо избегать *случайных замыканий выходов на провод питания или земляной*, чтобы предотвратить разрушение микросхемы.

– Для защиты от $I_{сквоз}$ нельзя соединять вых. обычных элементов, расположенных в разных корпусах.

По своим функц. возможностям серии КМОП близки ТТЛ. Первая серия **К176** – низковольтная ($E_{п} = 9В$) из-за малого $U_{проб}$ p -кармана. В сериях **К561, 564** $E_{п}^{max} >$ до 15В, что $< t_{з.ср}$. Так, для **К561** $t_{з.ср} = 50нс$ (150нс – при $E_{п} = 5В$), $P_{ср}^{стат} = 0,4мкВт$.

На $t_{з.ср}$ сильно влияет R_0 . Сейчас достигнуты R_0 в сотни Ом. Для технологий НСМOS (Н – от *high*) $t_{з.ср} = 10-15нс$, что сравнимо с ТТЛ.

В серии **КР1554** (зарубежный аналог – **74АСxxx "ФАСТ"** фирмы NATIONAL, США) $t_{з.ср} = 3,5нс$. В сравнении с ТТЛ серии КР1533: $P_{ср} - <, n - >$.



2. Логические микросхемы и триггеры КМОП

Основу всех цифр. микросхем КМОП сост. 3 эл: И-НЕ (рис.г), ИЛИ-НЕ (рис.д) и *коммутац. ключ* **КК** (рис.е). С его помощью реализуется выход на 3 сост. и облегчается построение 2-ступ. тригг. схем.

На рис.е, если **ОЕ** – **ВП**, то *общий вых. соединен с вых. инвертора* через T_1 (на вх. – **ВП**) либо T_2 (на вх. – **НП**). В случае **ОЕ** – **НП** *связь между вх. и вых. отсутствует*. На рис.е справа – та же схема. Ключ замкнут, если *верхний упр. сигнал* – 1, а *нижний* – 0. Иначе – *ключ разомкнут*.

Номенклатура **ЛА** и **ЛЕ** – примерно та же, что и в сериях **ТТЛ**. Эл. **И-НЕ** как *тр. Шмита* – **К561ТЛ1**. Вых. эл. после **КК** можно подкл. к **ОШ**. Пример микросхемы с 3 сост. выхода – **К561ЛН1** (6 инв. в корпусе). Для преобразования уровней служат спец. микросхемы: *от КМОП к ТТЛ* – **К176ПУ1-5**, **К561ЛН2**; *от ТТЛ к КМОП* – **К564ПУ6** (на 3 сост.).

К561ТР2 – 4 *асинхр. RS-тр.* с вых. на 3 сост. Вх. **ОЕ** – *общий* для всех тр.

К176ТМ1,2 – 2 **D-тр.** в корпусе. Рис.ж – *структ. сх. ТМ2*. Переключение – *по фронту СИ*. $F^{\max} = 5\text{МГц}$, $t_c^{\min} = 100\text{нс}$. **К561ТМ3** – 1-ступ. тр. с *потенц. упр.* (4 **D-тр.** в корпусе).

К176(561)ТВ1 – 2 **JK-тр.** с *дин. упр. по фронту СИ* и *раздельными вх. асинхр. уст.* Для **К561ТВ1**: $F^{\max} = 3\text{МГц}$, $t_c^{\min} = 170\text{нс}$.

В серии **КР1554** – **ТВ9**, **ТВ15**, **ТМ2**, **ТМ8**, **ТМ9**. Их *дин. параметры* примерно одинаковы. Для **КР1554ТМ2**: $F^{\max} = 150\text{МГц}$, $t_c^{\min} = 5\text{нс}$.