

Проектирование и технология ЭКБ

Путря Михаил Георгиевич

Список использованных и рекомендуемых источников

1. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Ревелева М.А., под общей ред. Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2007. Ч. 1: Технологические процессы изготовления кремниевых интегральных схем и их моделирование. –□ 397 с.
2. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Путря М.Г., Шевяков В.И., под общей ред. члена-корр. РАН профессора Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2009. Ч. 2: Элементы и маршруты изготовления кремниевых ИС и методы их математического моделирования. –□ 422 с.
3. Коледов Л.А. Технология и конструкции микросхем, микропроцессоров и микросборок: Учебник для вузов / М.: Радио и связь, 1989. – 400 с.
4. Технология СБИС: В 2-х кн. Кн. 2 / Пер. с англ. Под ред. Зи С. – М.: Мир, 2008. – 305 с.
5. Малышева И.А. Технология производства интегральных микросхем: Учебник для техникумов / М.: Радио и связь, 1991. – 344 с.
6. Программа для дистанционного обучения по курсу «Технология СБИС» / <http://sbis.karelia.ru/> [Электронный ресурс]. – 2009.
7. Киреев В.Ю. «Введение в технологии микроэлектроники и нанотехнологии». ГНЦ РФ «ЦНИИХМ», 2008 г.

Handbook of
**Semiconductor
Manufacturing
Technology**

Second Edition

Edited by
Robert Doering
Yoshio Nishi



CRC Press is an imprint of the
Taylor & Francis Group, an informa business

Уровень технологии определяется минимально возможной топологической нормой, т. е. минимальным размером элемента или зазора в периодических структурах с минимальным периодом (с максимальной плотностью упаковки).

$L_{\min} = \frac{1}{2} \text{pitch (шаг)}$, который в настоящее время определяется по первому уровню разводки.

Степень интеграции $K_i = \lg N$, N – количество основных элементов, входящих в состав микросхемы

$K_i = \leq 1$ – простая интегральная схема

$K_i = 1 \div 2$ – средняя интегральная схема

$K_i = 2 \div 4$ – большая интегральная схема (БИС)

$K_i = 4 \div 7$ – сверх большая интегральная схема (СБИС)

$K_i = 7 \div 9$ – ультра большая интегральная схема (УБИС)

$K_i \geq 9$ – гигантская интегральная схема (ГИС)

Table 1.2. Major milestones in semiconductor processing history.

Year Event

1798 **Lithography** process invented

1855 Fick proposes basic **diffusion** theory

1918 Czochralski **crystal growth** technique invented

1925 Bridgman crystal growth technique invented

1952 **Diffusion** used by Pfann to alter conductivity of silicon

1957 **Photoresist** introduced by Andrus; **oxide masking** developed by Frosch and Derrick; **epitaxial growth** developed by Sheftal et al.

1958 **Ion implantation** proposed by Shockley

1959 Kilby and Noyce **invent the IC**

1963 **CMOS** concept proposed by Wanlass and Sah

1967 **DRAM** invented by Dennard

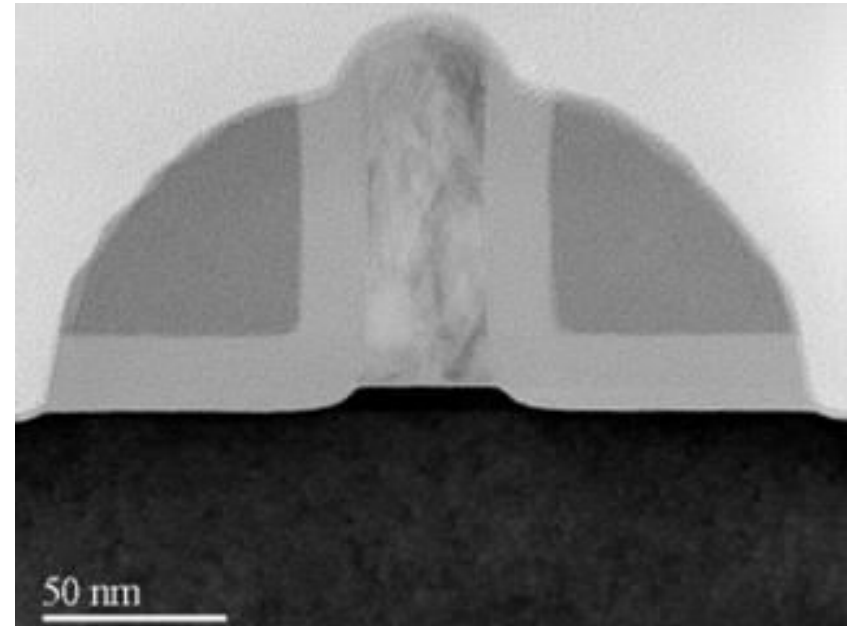
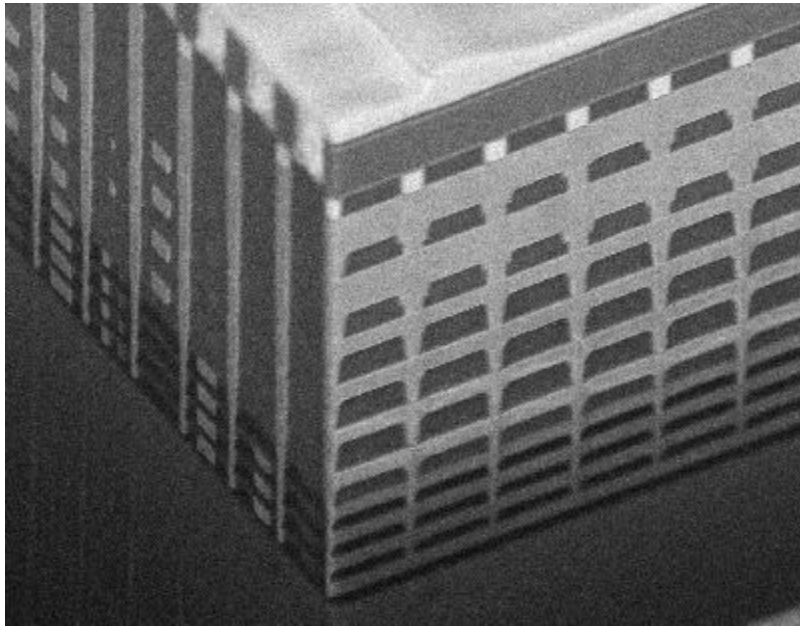
1969 **Self-aligned polysilicon gate process** proposed by Kerwin et al.;
MOCVD developed by Manasevit and Simpson

1971 **Dry etching** developed by Irving et al.; MBE developed by Cho; first
microprocessor fabricated by Intel

1982 **Trench isolation technology** introduced by Rung et al.

1989 **CMP** developed by Davari et al.

1993 **Copper interconnect** introduced to replace aluminum by Paraszcak et al.



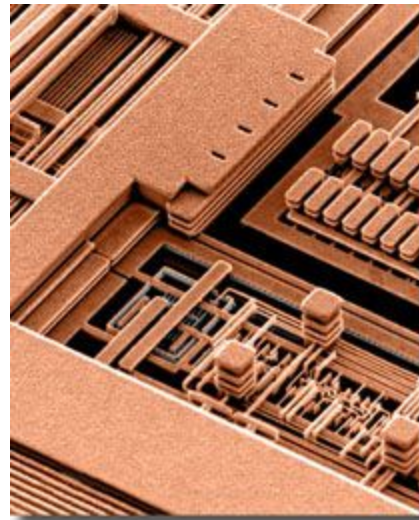
FUJITSU

1-Poly and 10-Metal(9Cu + 1Al)

Shallow Trench Isolation (STI)

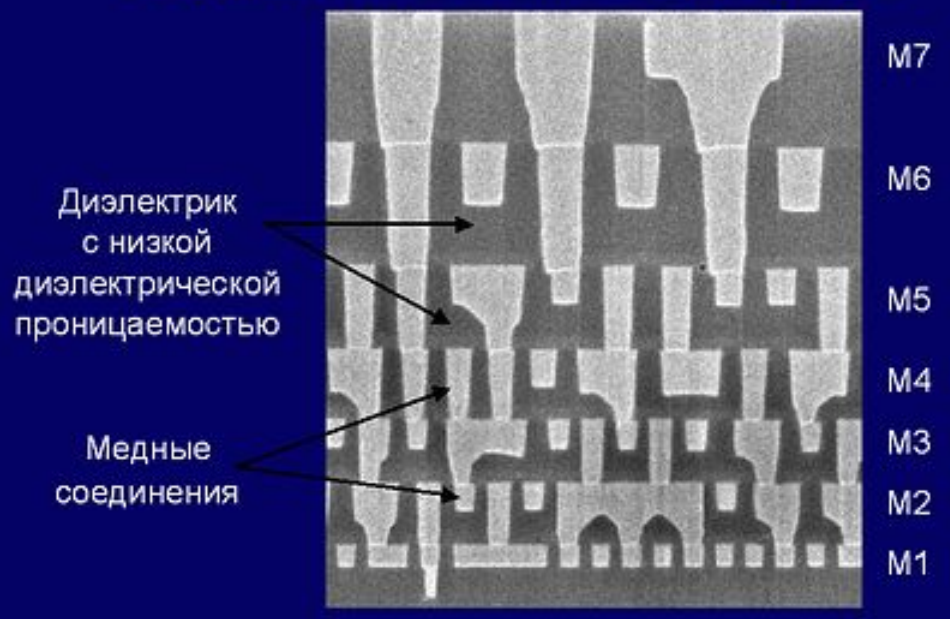
Salicide Gate Salicide Source and

Drain CMP Planarization



IBM

Соединения в микросхеме, созданной по 90-нм техпроцессу



FEOL (front-end-of-line). Означает первую часть производственного цикла изготовления ИС, в котором отдельные элементы (транзисторы, емкости, резисторы и т.д.) формируются на полупроводниковой пластине. FEOL по сути включает весь комплекс операций до начала формирования металлических слоев разводки. FEOL включает все процессы изготовления КМОП, необходимые для изготовления полностью изолированных элементов КМОП:

1. Выбор типа пластин;
2. Химико-механическая полировка и очистка.
3. Формирование мелкозалегающей канавочной изоляции (Shallow trench isolation (STI)) (or LOCOS in early processes, with feature size $> 0.25 \mu\text{m}$)
4. Формирование карманов,
5. Формирование затворов,
6. Формирование истоков и стоков.

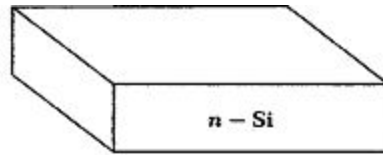
Back-end-of-line (BEOL) означает вторую часть процесса изготовления ИС, когда отдельные элементы соединяются между собой. BEOL начинается когда первый слой металла осаждают на пластину. Этот этап включает формирование контактов, изолирующих слоев, металлических слоев и контактных площадок для внешних соединений (bonding sites for chip-to-package connections).

Этапы BEOL:

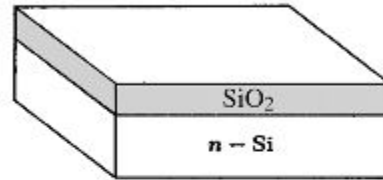
1. Силидизация областей стоков и истоков, а также поликремниевых областей,
2. Осаждение диэлектрика (первый, нижний слой диэлектрика,) (first, lower layer is Pre-Metal dielectric, PMD - to isolate metal from silicon and polysilicon), Химико механическая полировка (CMP processing it),
3. Формирование контактных отверстий в PMD и создание в них контактов,
4. Формирование первого слоя металла,
5. Формирование второго слоя межслойного диэлектрика (this time it is Intra-Metal dielectric),
6. Создание контактных окон для соединения первого и второго металла.

Заполнение контактных отверстий металлом CVD process.

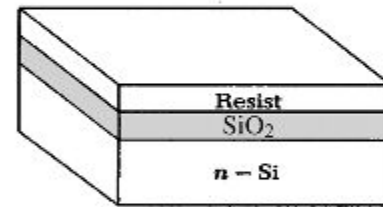
7. Повторение пп. 4-6 для всех металлических слоев.
8. Формирование конечного слоя пассивации для защиты ИС.



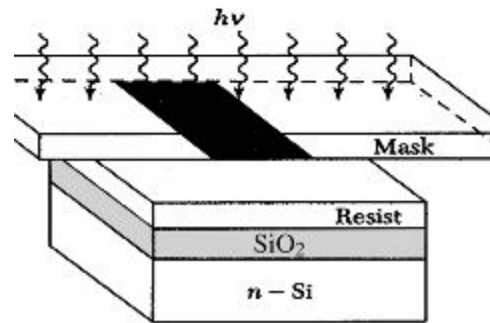
(a)



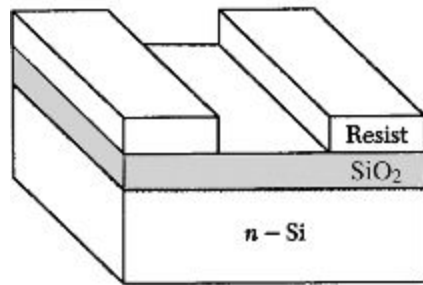
(b)



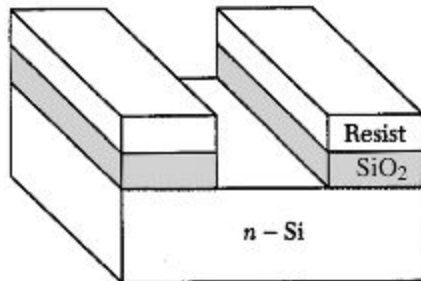
(c)



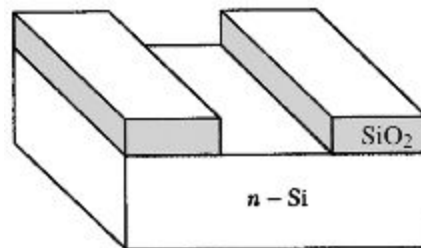
(d)



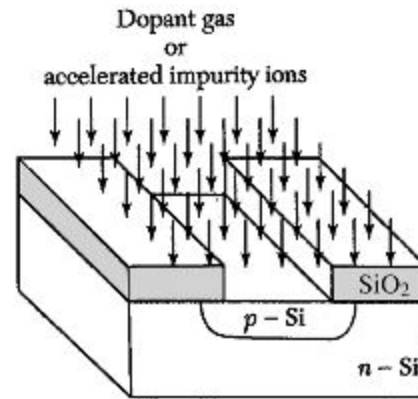
(a)



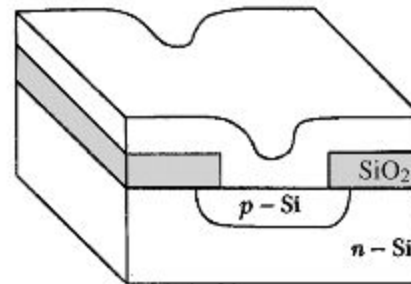
(b)



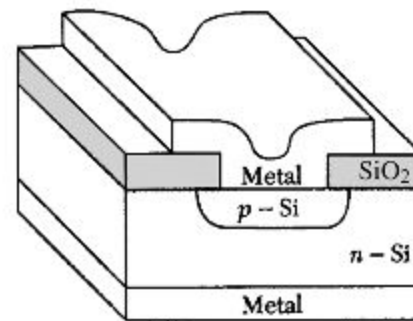
(c)



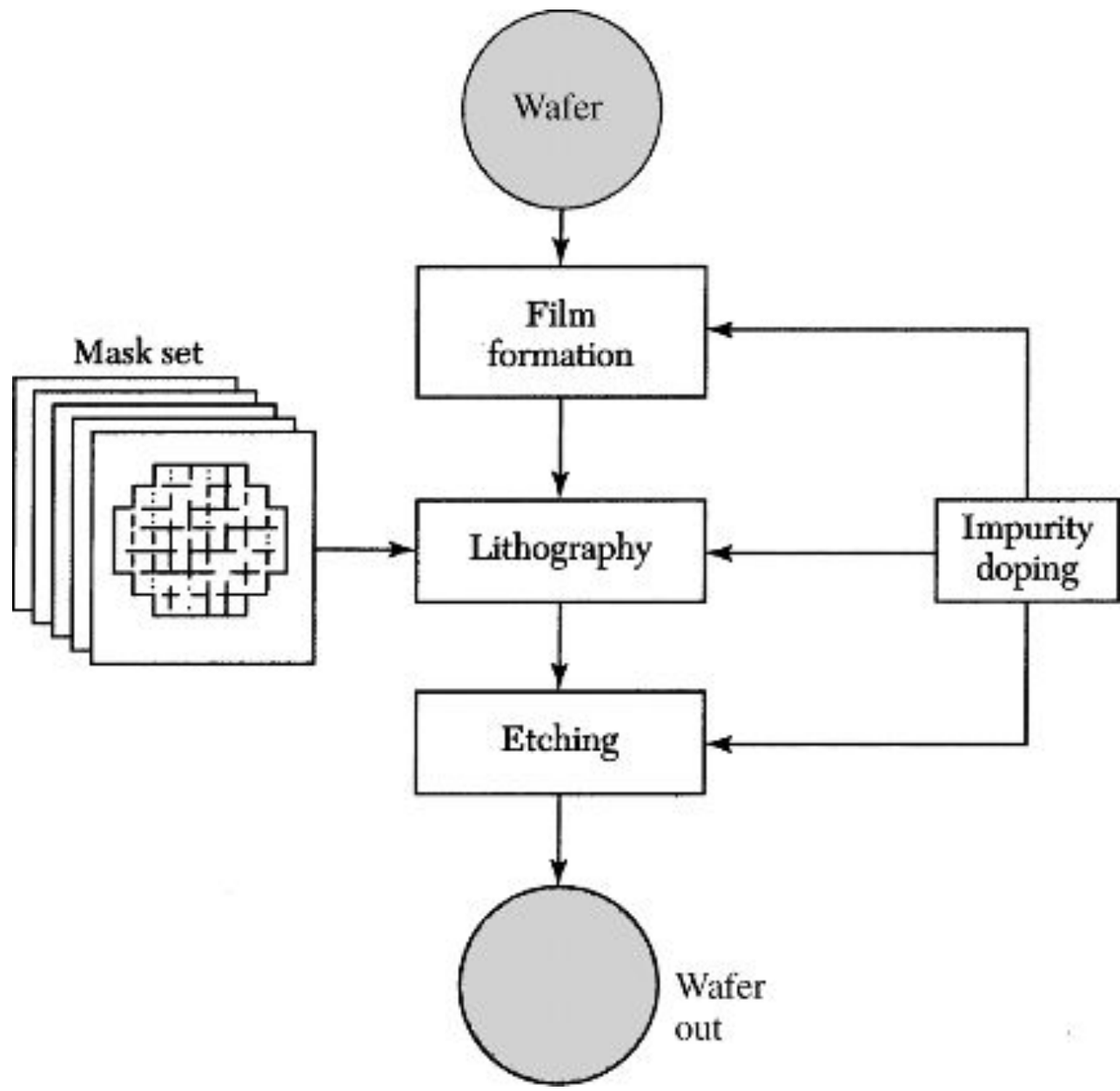
(d)



(e)



(f)



Закон Мура: Функциональные возможности высокосоввершенных дозу (объем памяти или количество ячеек памяти) и МП (количество транзисторов и быстродействие) удваиваются каждые два года, обеспечивая при этом уменьшение стоимости одной функции на 29% в год.

Движущие факторы этого процесса:

Уменьшение минимального размера

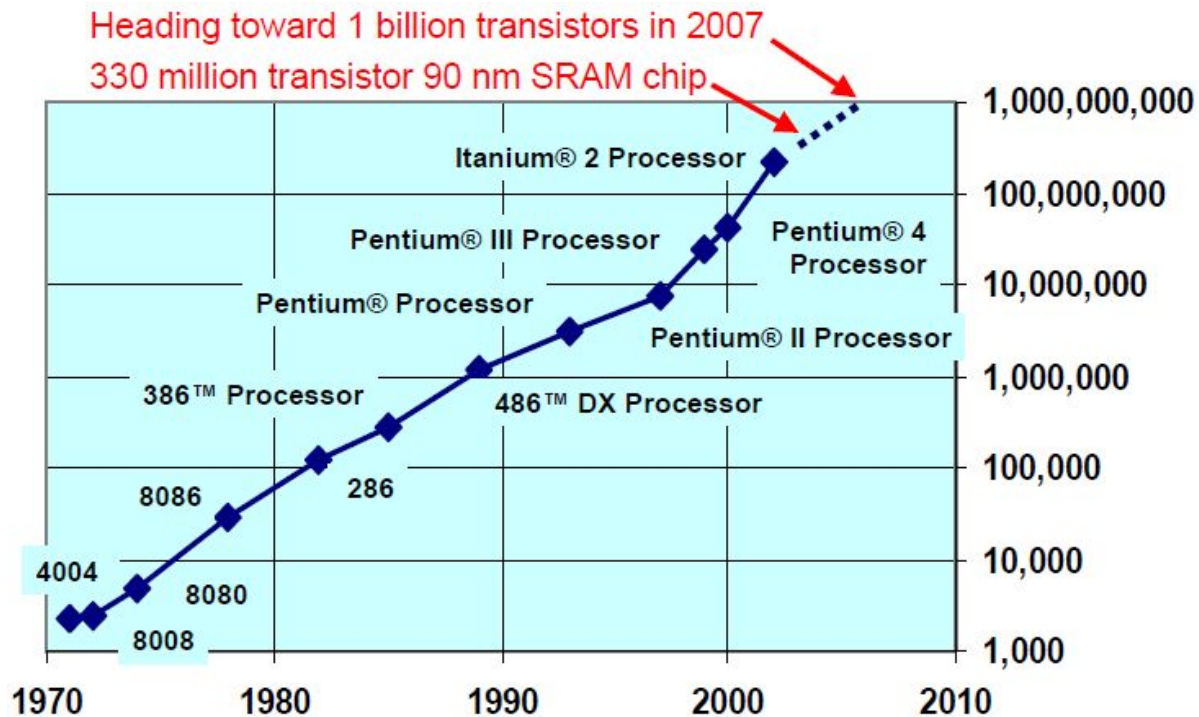
Увеличение площади кристалла

Усовершенствование конструкции и

топологии микросхемы

Закон Гордона Мура

Первоначальная формулировка закона звучала так: «Количество транзисторов на ИС удваивается каждые 12 месяцев».

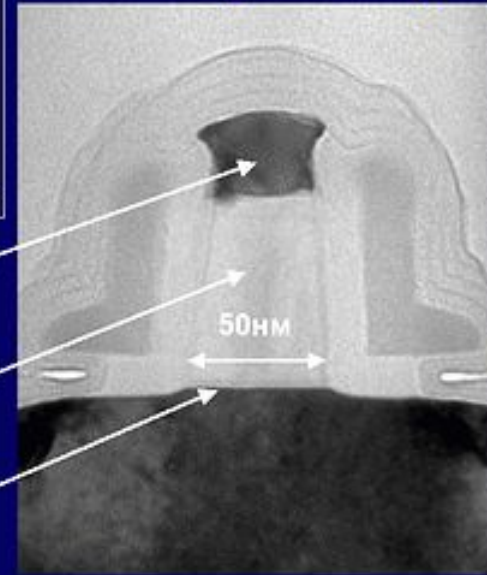


Современные тенденции масштабирования ИС могут быть сформулированы следующим образом:

- новое поколение технологии появляется через каждые три года;
- при этом уровень интеграции ИС памяти увеличивается в четыре раза, а логических ИС – в 2-3 раза;
- за каждые два поколения технологии (то есть за 6 лет) минимальный характеристический размер уменьшается в два раза, а плотность тока, быстродействие, площадь кристалла и максимальное количество входов и выходов увеличиваются в два раза.

В последние десятилетия основной фактор повышения степени интеграции -масштабирование (уменьшение размеров элементов)

90-нм технология изготовления транзисторов



Слой NiSi

Затвор из
поликристаллического
кремния

Пленка из SiO_2 –
диэлектрик затвора
толщиной 1,2 нм

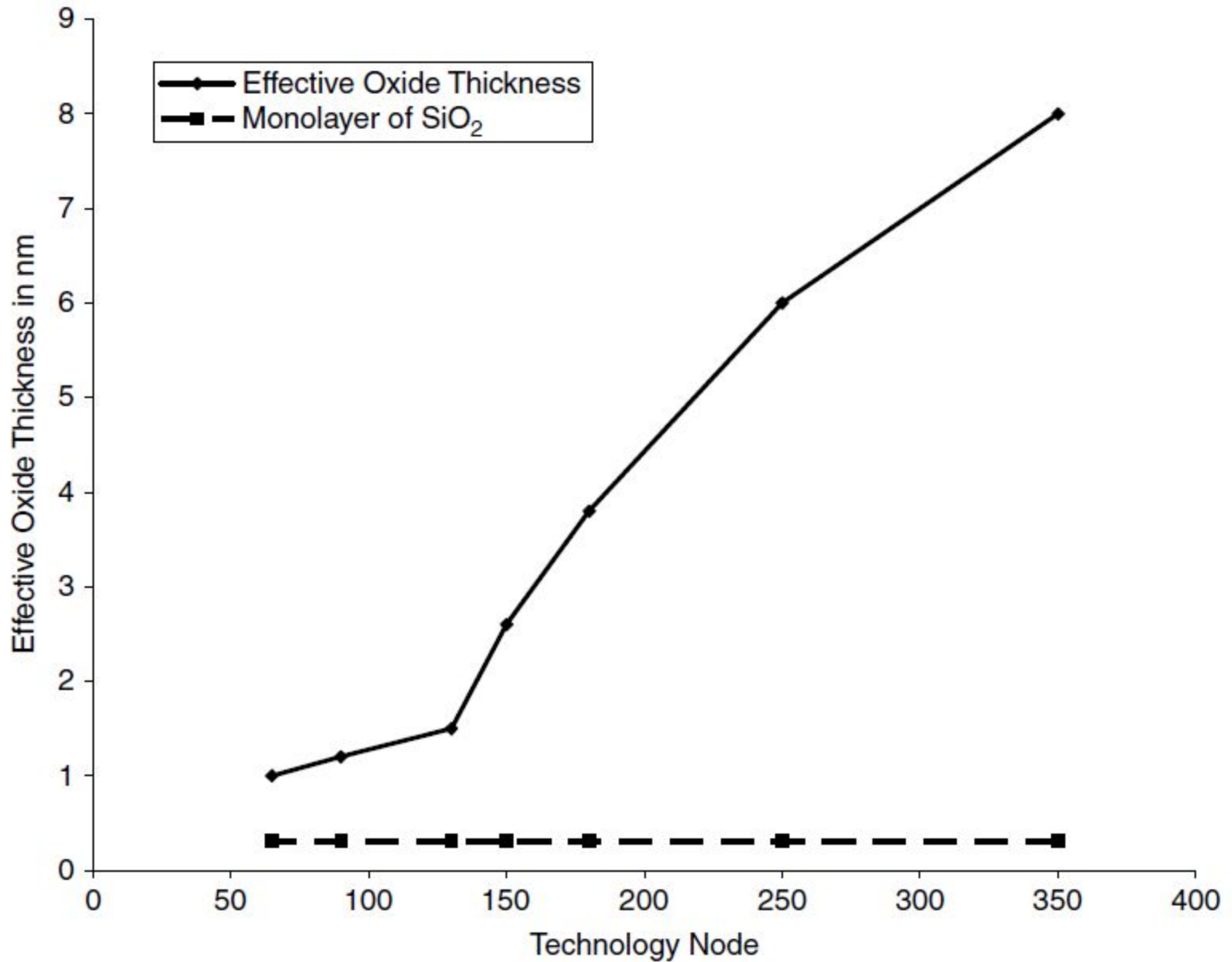
Затвор из проводящего поликремния отделен от канала транзистора тончайшим (толщиной всего 1,2 нм или 5 атомов!) слоем диоксида кремния (материала, десятилетиями используемого в качестве подзатворного диэлектрика).

С ростом степени интеграции СБИС и систем на кристалле увеличивается доля чипов, содержащих аналоговые блоки, которые обеспечивают взаимодействие с окружающим миром, необходимое для крупных и функционально законченных систем.

К транзисторам для аналоговых и цифровых применений предъявляются противоречивые требования.

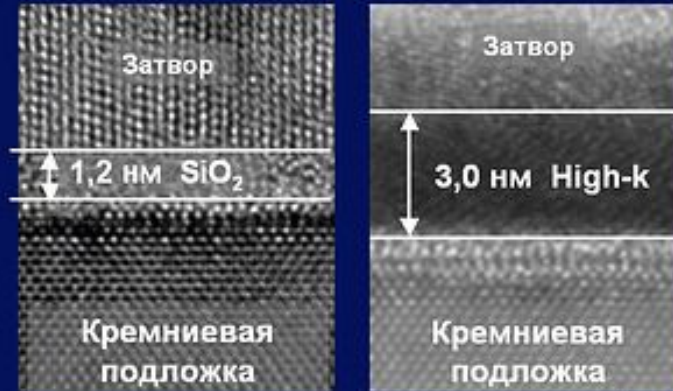
Для цифровых СБИС пороговое напряжение нельзя снижать неограниченно, поскольку при этом увеличивается подпороговый ток, который определяет потребление энергии СБИС в неактивном состоянии. Верхний предел порогового напряжения ограничивается четвертью от напряжения питания, которое стараются снизить для уменьшения потребляемой мощности. Однако для аналоговых схем идеальным является нулевое пороговое напряжение $V_t = 0$, что увеличивает динамический диапазон аналоговой схемы, определяемый разностью между напряжением на затворе и V_t .

Особыми требованиями к "аналоговым" транзисторам являются также повышенная нагрузочная способность (ток стока в режиме насыщения), линейность и малые нелинейные искажения на малом сигнале. Для дифференциальных каскадов и токового зеркала важна согласованность характеристик транзисторов.



Gate oxide trend versus technology.

Изолятор с высокой диэлектрической проницаемостью значительно снижает ток утечки

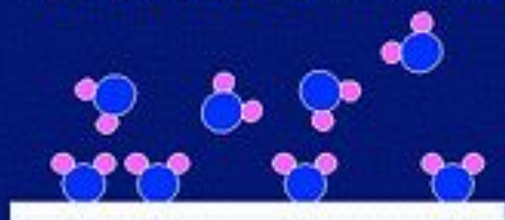


Преимущества по сравнению с современной технологией

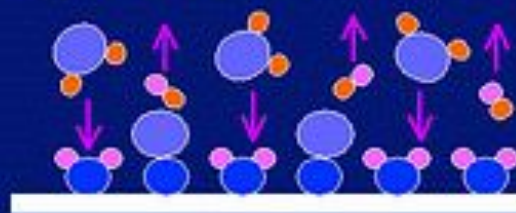
	High-k vs. SiO ₂	Преимущество
Емкостное сопротивление	На 60% больше	<i>Повышается быстродействие</i>
Ток утечки	> В 100 раз меньше	<i>Уменьшается тепловыделение</i>

Требования к такому материалу весьма серьезны: высокая химическая и механическая (на атомарном уровне) совместимость с кремнием, удобство производства в едином цикле традиционного кремниевого техпроцесса, но главное - низкие утечки и высокая диэлектрическая проницаемость

Требуется новый производственный процесс для формирования слоя High-K диэлектрика



Шаг 1



Шаг 3



Шаг 2



Шаг 4

Формируется один молекулярный слой за один цикл

High-K диэлектрик + металлический затвор = транзисторы с отличными характеристиками

Очень
маленькая
утечка в
ВЫКЛЮ-
ЧЕННОМ
состоянии



Очень
высокий
ток во
ВКЛЮ-
ЧЕННОМ
состоянии

Столь малая толщина диэлектрика необходима для получения не только малых габаритов транзистора в целом, но и **для его высочайшего быстродействия** (отдельно такой транзистор способен работать на частотах в десятки гигагерц!). Упрощенно - чем ближе затвор к каналу транзистора (то есть, чем тоньше диэлектрик), тем «большее влияние» в плане быстродействия он будет оказывать на электроны и дырки в канале транзистора.

Однако **обратной стороной этого является большая «прозрачность»** такого тонкого диэлектрика для паразитных электронов утечки из затвора в канал (идеальный МОП-транзистор должен пропускать ток от истока к стоку и не пропускать - от затвора к истоку и стоку). И в современных высокоинтегрированных микросхемах с сотнями миллионов транзисторов на одном кристалле **токи утечки затворов становятся одной из фатальных проблем**, препятствующих дальнейшему наращиванию количества транзисторов на кристалле. Более того, чем меньше по размерам мы делаем транзистор, тем тоньше нужно делать подзатворный диэлектрик. Но при его толщинах менее 1 нм резко (по экспоненте) возрастают туннельные токи утечки, что делает принципиально невозможным создание традиционных транзисторов менее определенных «горизонтальных» размеров (если при этом мы хотим получить от них хорошие скоростные характеристики). **В современных чипах почти 40% энергии может теряться из-за утечек.**

Основные проблемы микроминиатюризации МОПТ

Желаемые характеристики МОПТ:

- слабая зависимость порогового напряжения от напряжения на стоке
- слабая зависимость порогового напряжения от длины и ширины канала
- большая передаточная проводимость
- большое выходное сопротивление
- малые сопротивления областей истока и стока
- большая нагрузочная способность
- минимальные емкости затвора и р-п-переходов

Проблемы, возникающие при масштабировании МОПТ:

- Туннелирование через затвор
- Инжекция горячих носителей в окисел
- Прокол между истоком и стоком
- Утечки в подпороговой области
- Уменьшение подвижности носителей в канале
- Увеличение последовательного сопротивления между истоком и стоком
- Уменьшение запаса между пороговым напряжением и напряжением питания
- Разброс параметров техпроцесса, который растёт с уменьшением размеров транзистора

Масштабирование МОПТ

Сравнительная таблица технологий XXI века:

Технология, нм	180	130	90	65	45	32	22
Год внедрения	1999	2001	2003	2005	2007	2009	2011
Подзатворный диэлектрик	SiO ₂ 3-4 нм	SiO ₂ 2-3	SiO ₂ 1,2 нм	SiO ₂ 1,2 нм	High-K	High-K	High-K
Канал	Si	Si	Strained Si	Strained Si	Strained Si	Strained Si	Strained Si
Материал затвора	Si*	Si*	Si*	Si*	Me	Me	Me
Материал межсоединений	Al	Al	Cu	Cu	Cu	Cu	-
Минимальный размер, нм	130	90	60	42	30	21	13
Количество транзисторов, млн/кристалл	108	276	553	1100	2200	4400	8800
Напряжение питания, В	1,5÷1,8	1,2÷1,5	0,9÷1,2	0,8÷1,1	0,7÷1,0	0,6÷0,9	0,5÷0,8
Количество слоев металлизации	6-7	7-9	10-12	11-15	12-16	13-17	13-17
Ток утечки при 100 °С, нА/мкм	7	10	16	40	80	160	-
Количество Ф/Л	23	25	31	33	35	37	39

Физические ограничения масштабирования МОПТ

Параметр	Предельное значение	Физическое ограничение
Минимальная величина одного элемента	0,03 нм	Статистические флуктуации легирования подложки, разрешение фоторезиста, космические лучи и радиоактивность
Толщина подзатворного диэлектрика	2,3 нм	Туннельные токи через диэлектрик
Мелкозалегающие слаболегированные области исток/стока (LDD-области)	15 нм	Большое сопротивление
Подлегирование канала	$V_t = 0.25$ В	Подпороговый ток
Минимальная плотность тока	10^{-6} А/см ²	Дискретность заряда электрона, флуктуации встроенного заряда
Предельное быстродействие	0,03 нс	Скорость света
Минимальное напряжение питания	0,025 В	Тепловой потенциал kT/q
Максимальное напряжение питания	Зависит от особенностей структуры	Пробой подзатворного диэлектрика, смыкания областей истока и стока
Максимальная плотность тока	Зависит от материала металлизации и контактов	Электромиграция, падения напряжения на паразитных сопротивлениях контактов
Минимальная мощность при $f=1$ кГц	10^{-12} Вт/элемент	Шумы, тепловая энергия, диэлектрическая постоянная
Максимальная мощность	–	Теплопроводность подложки и компонентов схемы
Количество элементов на кристалл	10^9	Совокупность всех ограничений

Проблемы масштабирования МОПТ и пути их решения

Проблемы	Решение
<u>1. Подзатворный SiO₂</u> утечки при толщине ниже 2 нм	Замена SiO ₂ на диэлектрик с высокой диэлектрической проницаемостью
<u>2. Сток-истоковые области</u> короткоканальные эффекты	
2.1. Разгонка имплантированной примеси при последующей активации (создание мелких переходов)	1) Предварительная аморфизация 2) Быстрый термический отжиг 3) Быстрая термическая диффузия из газовой фазы, из твердых источников; лазерное легирование, ионно-плазменная имплантация
2.2. Смыкание областей обеднения истока и стока за счет обратно смещенного перехода сток-исток	1) Увеличение степени легирования подложки 2) КНИ-структуры с использованием полностью обедняемых отсеченных слоев
2.3. Утечки между затвором и стоком на стоковом переходе при высокой напряженности электрического поля в области перекрытия стоком затвора	Введение дополнительных слабо легированных областей стока/истока
2.4. Увеличение сопротивления сток-истоковых областей	Создание «приподнятых» сток-истоковых областей
2.5. Утечки, увеличение емкости сток-подложка, рост порогового напряжения при высокой степени легирования подложки	Создание вокруг сток-истоковых слоев областей с противоположным типом проводимости
<u>3. Затвор</u>	
3.1. Уменьшение литографической длины затвора	Электронная литография, рентгеновская литография в области экстремального ультрафиолета ($\lambda = 13$ нм), ИЛ
3.2. Обеднение поликремниевого затвора	Использование металлических затворов

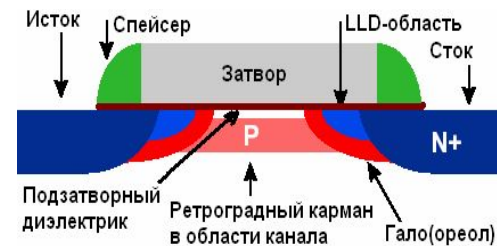
Методы улучшения характеристик МОПТ

I. Создание мелкозалегающих слаболегированных областей стока/истока (Lightly Doped Drain, LDD-области)

Концентрация примеси в LDD-областях составляет $4 \cdot 10^{18} \div 8 \cdot 10^{18} \text{ см}^{-3}$, в то время как в областях стока/истока она достигает $5 \cdot 10^{19} \div 1 \cdot 10^{20} \text{ см}^{-3}$. Уменьшение глубины залегания LDD-областей до 10 нм приводит к увеличению сопротивления слоёв истока и стока до 10 кОм/квадрат, что ограничивает нагрузочную способность транзистора. LDD-области должны перекрываться затвором, чтобы предотвратить снижение нагрузочной способности транзистора.

Создание LDD-областей обеспечивает:

- снижение напряженности электрического поля в канале на границе со стоком, что уменьшает энергию горячих носителей, которые вызывают долговременную деградацию параметров транзистора
- повышение напряжения прокола
- повышение напряжения инжекционного лавинного пробоя
- уменьшение DIBL-эффекта (drain induced barrier lowering понижение потенциального барьера, обусловленное стоком)
- снижение эффекта модуляции длины канала



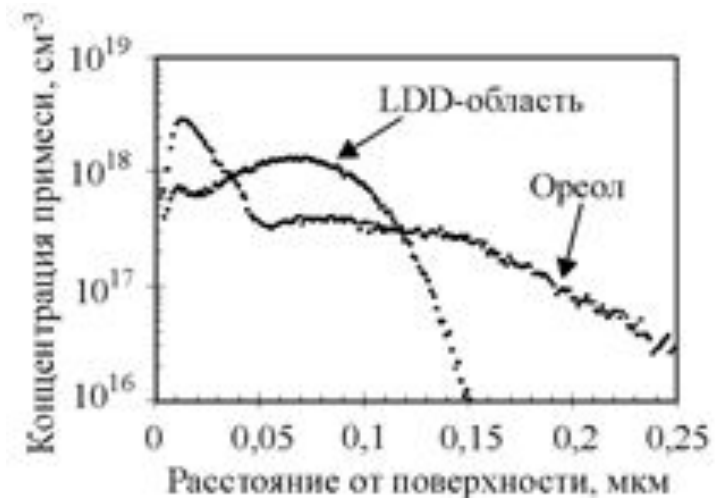
Методы улучшения характеристик МОПТ

II. Создание ореола (halo) вокруг LDD-областей истока/стока

Проникновение области обеднения стока в канал является основной причиной появления короткоканальных эффектов. Наиболее распространённым решением этой проблемы является реализация так называемого обратного эффекта короткого канала, когда с уменьшением длины канала пороговое напряжение возрастает.

Решением данной задачи является создание вдоль канала, вокруг LDD-областей истока и стока, ореола (halo) с помощью ионной имплантации (ИИ) в кармашки (rockets). Принцип действия ореола основан на том, что пороговое напряжение МОП-транзистора зависит от средней концентрации примеси под затвором, а не от её горизонтального распределения. Поэтому введение ореола увеличивает пороговое напряжение, однако практически не влияет на среднюю подвижность носителей в канале.

Ореол создаётся ИИ примеси того же типа проводимости, что и карман. ИИ чаще всего выполняется под углом 20° – 30° до 90° по отношению к ионному пучку. Ореол делают обычно на этапе создания LDD-областей. Энергию имплантации выбирают достаточно большую, чтобы увеличить глубину залегания ореола. Во время отжига областей истока и стока, примесь диффундирует за LDD-области, обеспечивая показанный на рисунке профиль распределения примеси.



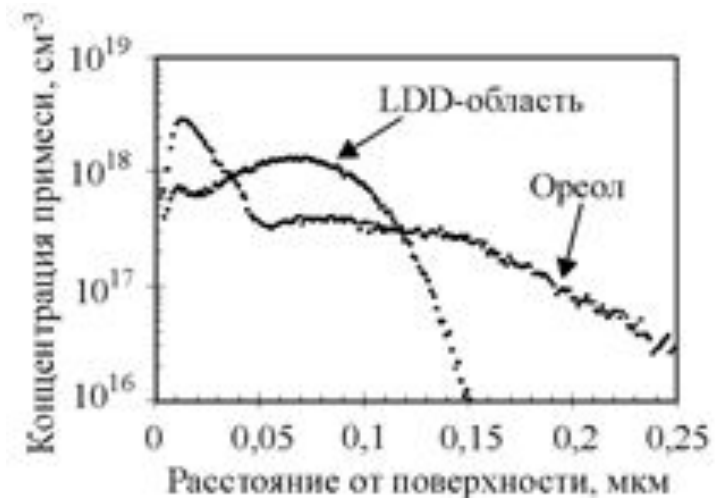
Методы улучшения характеристик МОПТ

II. Создание ореола (halo) вокруг LDD-областей истока/стока

Проникновение области обеднения стока в канал является основной причиной появления короткоканальных эффектов. Наиболее распространённым решением этой проблемы является реализация так называемого обратного эффекта короткого канала, когда с уменьшением длины канала пороговое напряжение возрастает.

Решением данной задачи является создание вдоль канала, вокруг LDD-областей истока и стока, ореола (halo) с помощью ионной имплантации (ИИ) в кармашки (rockets). Принцип действия ореола основан на том, что пороговое напряжение МОП-транзистора зависит от средней концентрации примеси под затвором, а не от её горизонтального распределения. Поэтому введение ореола увеличивает пороговое напряжение, однако практически не влияет на среднюю подвижность носителей в канале.

Ореол создаётся ИИ примеси того же типа проводимости, что и карман. ИИ чаще всего выполняется под углом 20° – 30° до 90° по отношению к ионному пучку. Ореол делают обычно на этапе создания LDD-областей. Энергию имплантации выбирают достаточно большую, чтобы увеличить глубину залегания ореола. Во время отжига областей истока и стока, примесь диффундирует за LDD-области, обеспечивая показанный на рисунке профиль распределения примеси.



Методы улучшения характеристик МОПТ

III. Крутое ретроградное распределение примеси в кармане (**Super Steep Retrograde Well, SSRW**)

Крутое ретроградное распределение примеси (Super Steep Retrograde Well, SSRW) создаётся путём медленной диффузии мышьяка или сурьмы для р-канальных приборов и индия для n-канальных.

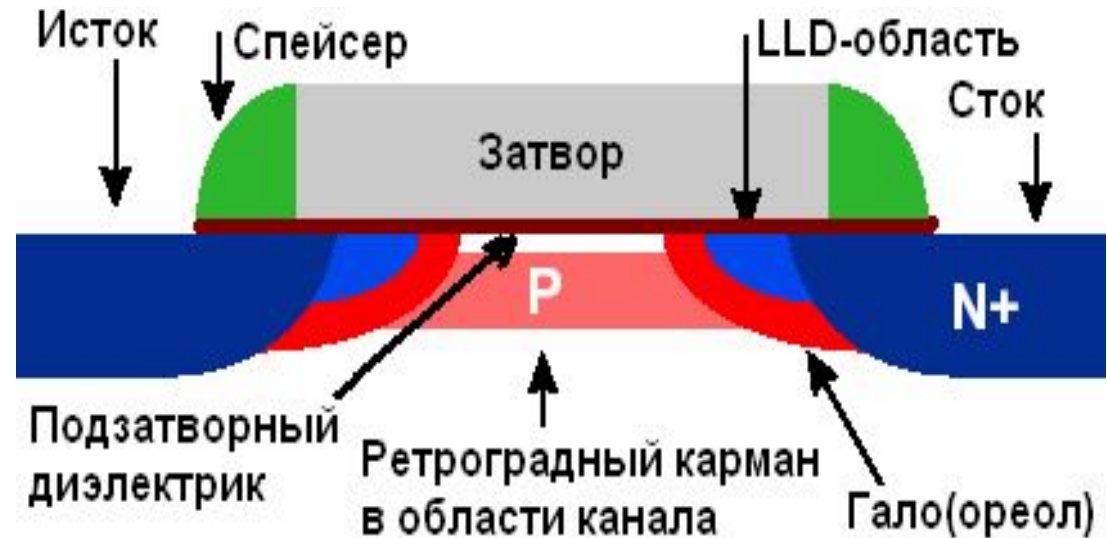
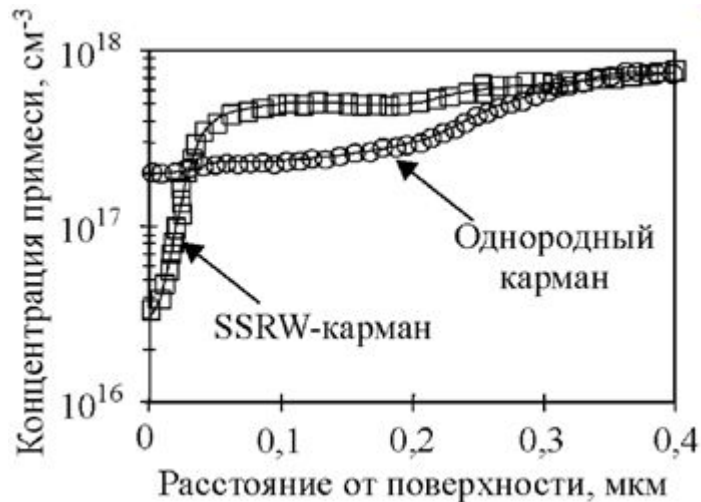
Или же создается ионной имплантацией под углом $20^\circ - 30^\circ$.

Достоинства применения SSRW:

- возможность независимой регулировки порогового напряжения и концентрации примеси в подложке
- уменьшается влияние короткоканальных эффектов
- увеличение поверхностной подвижности носителей

Недостатки применения SSRW:

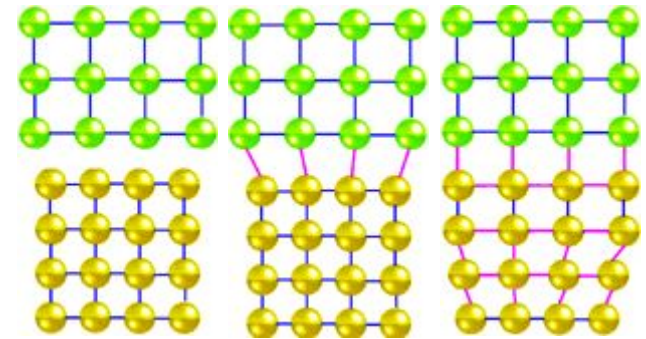
- увеличение подпорогового тока



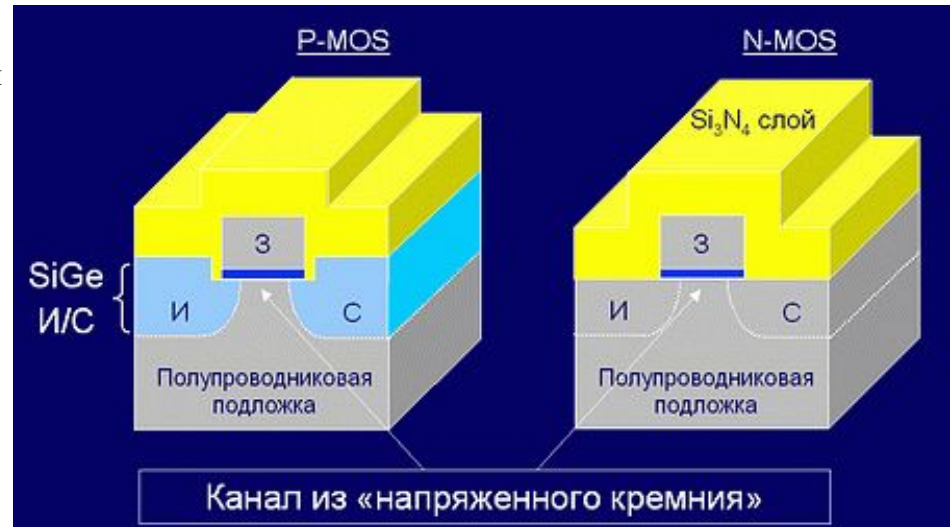
Методы улучшения характеристик МОПТ

IV. Использование «напряженного кремния»

Суть технологии лежит в изменении расстояния между атомами кремния. Для этого используют материал, у которого расстояние между атомами больше/меньше, чем у кремния, и «соединяют» кристаллические решетки. При сведении этих материалов на расстояния, не превышающих межатомные, между ними возникает взаимодействие. Эти межатомные силы вызывают искажение строения кристаллической решетки, расстояние между атомами на приконтактном участке изменяется, что облегчает протекание тока.



В nМОПТ поверх транзистора в направлении движения электрического тока наносится слой нитрида кремния (Si_3N_4), в результате чего кремниевая кристаллическая решетка и «растягивается». В рМОПТ «растяжение» достигается за счет нанесения слоя SiGe в зоне образования носителей тока - здесь решетка «сжимается» в направлении движения электрического тока, и потому «дырочный» ток течет свободнее. В обоих случаях прохождение тока значительно облегчается: в первом случае - на 10%, во втором - на 25%. Сочетание же обеих технологий дает 20-30-процентное увеличение быстродействия КМОП ИС.



Масштабирование подзатворного диэлектрика

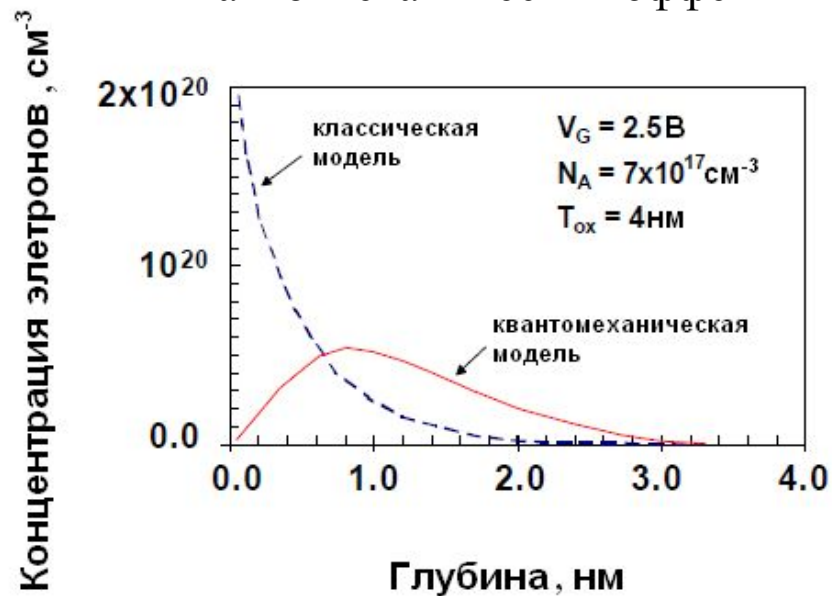
По прогнозу SIA масштабирование толщины SiO_2 должно было закончиться в 2002-2005 гг до предельной величины ~ 2 нм, после чего, начиная с технологии 0,13-микронной технологии предполагалось использовать подзатворные диэлектрики на основе новых материалов. Однако, этот прогноз не сбывся. Доказательством этого является технологии 90 нм и 65 нм от Intel, где используется SiO_2 толщиной 1,2 нм. Так как вследствие кванто-механического эффекта и обеднения поликремниевого затвора, заряд в канале и в инверсном слое локализован на некотором расстоянии от границы Si/SiO и от границы Si/Si^* , суммарное увеличение эффективной толщины оксида в МОПТ в режиме инверсии составляет около 0,7 нм, что дает возможность использовать SiO_2 при дальнейшем масштабировании МОПТ, вплоть до технологии 45 нм.

Прогноз масштабирования
толщины подзатворного SiO_2



УРОВЕНЬ ТЕХНОЛОГИИ ($L_{\text{мин}}$, мкм)

Кванто-механический эффект



Использование High-K материалов в качестве подзатворного диэлектрика

High-K материалы позволяют использовать более толстые диэлектрические слои для получения аналогичных параметров инверсионного слоя. Эквивалентная толщина диэлектрика вычисляется по формуле:

$$T_{high-k} = \frac{\epsilon_{high-k}}{\epsilon_{ox}} \cdot T_{ox}$$

Эмпирическое соотношение между толщиной оксида и эффективной длиной канала $L = 45 \cdot T_{ox}$. Следовательно, использование High-K в качестве подзатворного диэлектрика дает возможность дальнейшего масштабирования МОПТ.

Достоинства: малые токи утечки, снижается дефектность структуры подзатворного диэлектрика

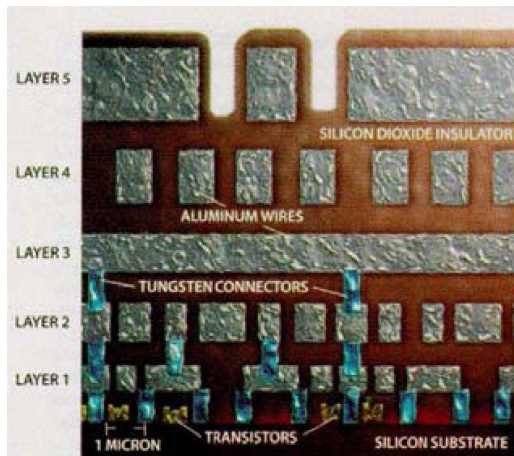
Недостатки: high-K-диэлектрики плохо сочетаются с поликристаллическим кремнием, ослабляется управляющая способность затвора, связанная с двумерным распределением напряженности электрического поля

Материал	Отличительные свойства
Si_3N_4	$k \sim 7$. Небольшое преимущество по сравнению с SiO_2
Ta_2O_5	Необходим промежуточный (буферный) слой SiO_2 . Невозможность использования Si^* затвора
TiO_2	Необходим промежуточный (буферный) слой SiO_2 . Невозможность использования Si^* затвора.
HfSiON	$k \sim 15$. Невозможность использования Si^* затвора. Идут исследования. Высокие пороговые напряжения.
HfO_2	$k \sim 25$. Невозможность использования Si^* затвора. Уже при $\sim 500^\circ\text{C}$ начинает кристаллизоваться. Высокие пороговые напряжения.
HfZrOx	$k \sim 10$. Высокие пороговые напряжения.

Проблемы при миниатюризации межсоединений

Роль задержки в линиях разводки неуклонно растет:

- 1) до 90-х гг. доминировали задержки в самом транзисторе
- 2) в настоящее время (60...90 нм) времена задержки в приборах составляют ~ 1 пс; 1 мм линии ~ 6 пс
- 3) в 2015 (22 нм) ожидаются значения 0,1 пс в приборе и ~ 30 пс на 1 мм линии межсоединения



Материал диэлектрика	K
Кварцевое стекло, обогащенное фтором (FSG)	3.4-4.1
Технический алмаз (black diamond)	2.7
На основе кремния (SiLK)	2.6
Силикатное стекло, полученное из тетраэтилортосиликата (TEOS)	3.2-4.1
Пористый SiLK	2.0
SiO ₂	4.1

Способом уменьшения RC задержки в линиях межсоединений является использование изоляторов с низким значением диэлектрической проницаемости (**low-K insulators**) изолирующих слоев, на которую положена линия, что позволяет увеличить эффективную скорость распространения сигнала по линии. Желательно, чтобы проницаемость приближалась к единице. В настоящее время изолирующие слои многоуровневой разводки имеют проницаемость от 3,5 до 2,6. В десятилетней перспективе ожидается снижение этой величины до уровня < 2. Для этого используются различные полимеры (органические и неорганические) и модифицированные окислы.

Перспективные разработки для дальнейшего масштабирования МОПТ

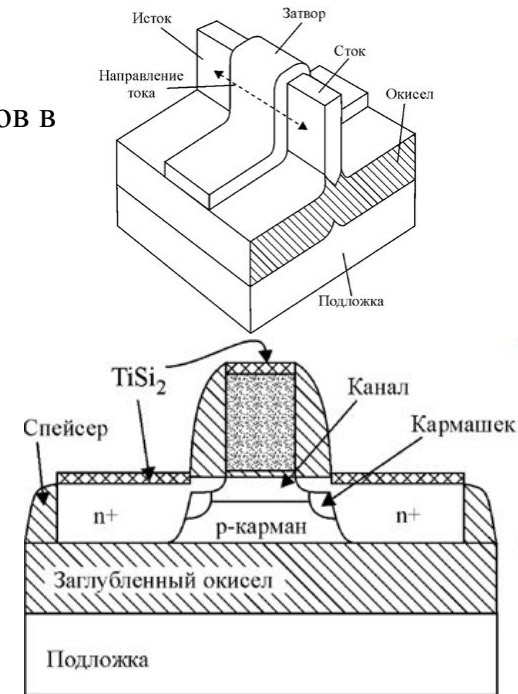
I. Транзистор с двойным затвором

Такой подход позволяет эффективно управлять энергетическим барьером между истоком и стоком и существенно ослабить большинство короткоканальных эффектов в транзисторах с проектными нормами менее 50 нм.

II. КНИ-структуры

КНИ-структуры отличаются высокой радиационной стойкостью и повышенной надёжностью при высоких температурах. Короткоканальные эффекты в КНИ-приборах могут быть подавлены простым уменьшением толщины кремниевого слоя.

Недостатки: большой подпороговый ток, вследствие малых емкостей задержка в вентилях меньше задержки в межсоединениях.



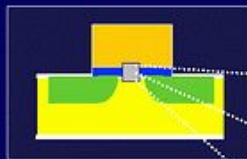
III. Структуры с периодически меняющейся концентрацией

Оказывается, в полупроводнике с периодически меняющейся концентрацией примесей электроны способны двигаться значительно быстрее. Новая технология недорога, легко встраивается в обычный процесс полупроводникового производства.

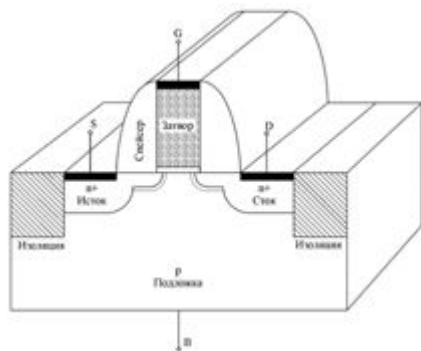
IV. МОПТ с динамически изменяющимся пороговым напряжением

При уменьшении напряжения на затворе (то есть когда транзистор переходит в пассивный режим работы) у таких транзисторов увеличивается пороговое напряжение и, следовательно, уменьшается подпороговый ток. При увеличении напряжения на затворе пороговое напряжение падает, что приводит к росту тока стока и увеличению нагрузочной способности транзистора. Конструктивно DTMOS-транзисторы представляют собой обычный КНИ МОП-транзистор, у которого затвор соединён с подложкой.

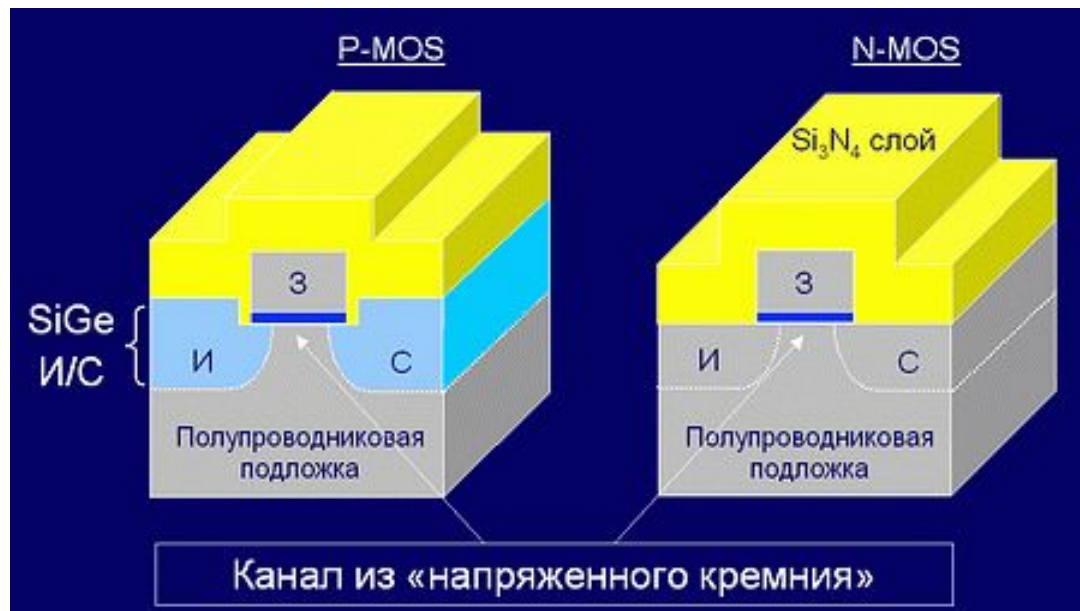
Изолирующий слой затвора составляет сегодня всего лишь несколько атомарных слоев

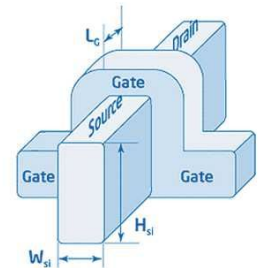
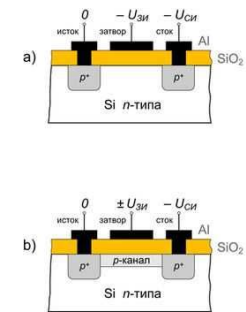
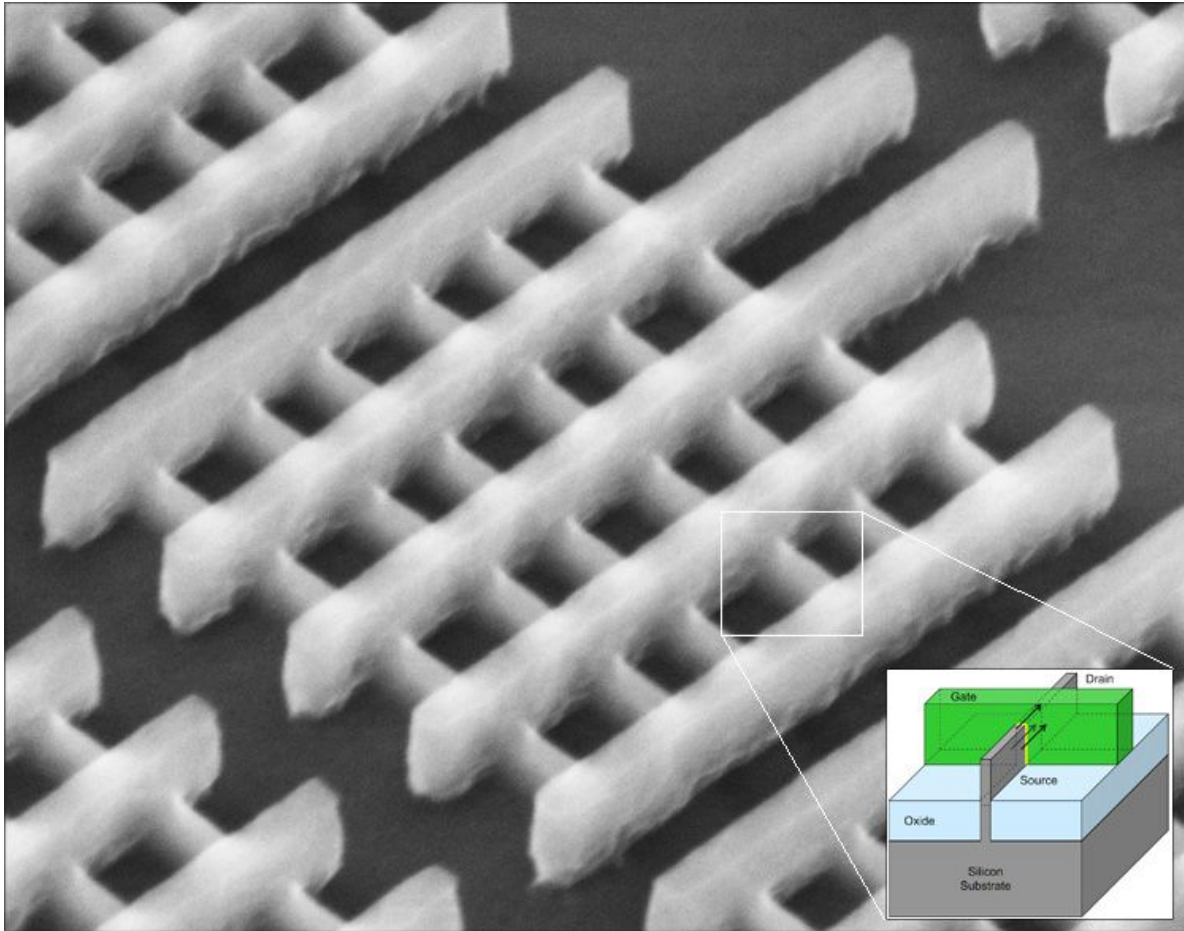


Отдельные атомы

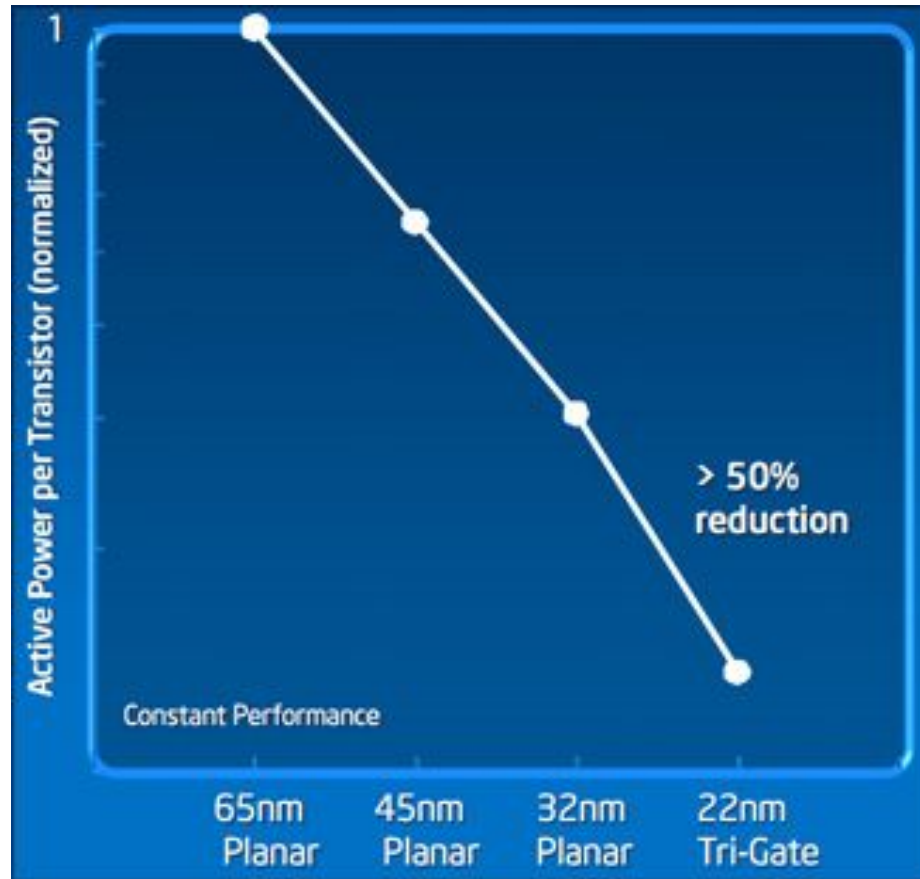


Наиболее распространенной конструкцией МОП- транзистора является LDD (Lightly Doped Drain) структура. Конструктивной особенностью является наличие мелких слаболегированных областей, которые удлиняют области истока и стока в сторону канала. Концентрацию легирующей примеси в этих областях (фосфор и бор) и режим разгонки выбирают таким образом, чтобы получить плавный р-n-переход. Обычно концентрация примеси составляет от $4 \cdot 10^{18}$ до $8 \cdot 10^{18}$ см^{-3} , в то время как в n^{\pm} областях она достигает $5 \cdot 10^{19}$ - $1 \cdot 10^{20}$ см^{-3} . Полученное таким способом снижение напряженности электрического поля в канале на границе со стоком уменьшает энергию горячих электронов, которые вызывают долговременную деградацию параметров транзистора. Слаболегированные LDD-области также повышают напряжение прокола, инжекционного и лавинного пробоя транзистора, уменьшают DIBL (drain induced barrier lowering –понижение потенциального барьера, обусловленное стоком))-эффект и эффект модуляции длины канала.



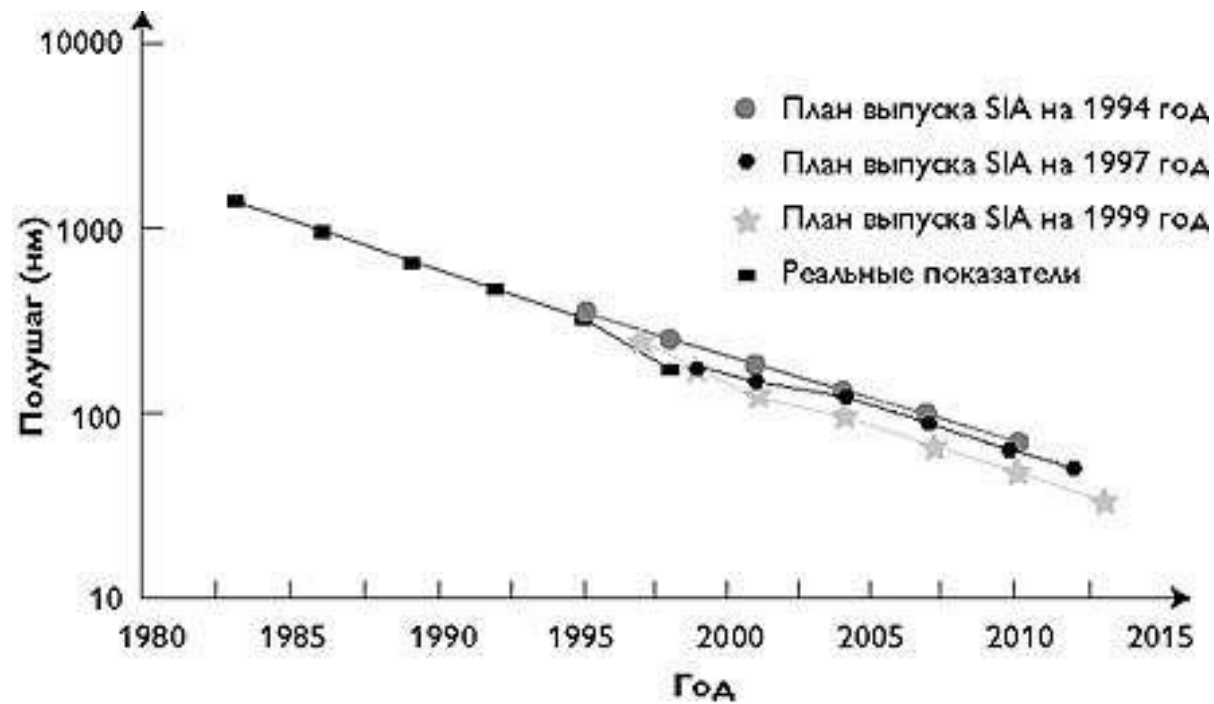


Транзистор Tri-Gate, 22-нм



Результатом такого конструкторского решения является снижение сопротивления транзистора в открытом состоянии, увеличение сопротивления в закрытом и более быстрое переключение между этими состояниями. Вместе с этим стало возможным снижение рабочего напряжения и уменьшение токов утечки. Как следствие — новый уровень энергоэффективности и солидный прирост производительности в сравнении с существующими аналогами.

тенденции в изменении разрешающей способности литографического процесса



- полушаг – это минимальный размер литографических параметров на кристалле.

CMOS technologies - key features

Technology	0.18 um	0.25 um	0.35 um	0.50 um	
Supply Voltage (V)	1.8	2.5	3.3	3.3* ²	
Available Interface (V)	1.8/2.5/3.3	2.5/3.3	3.3/5.0	3.3/5.0	
Available Poly/Metal Layers		2P6M* ¹	2P5M	2P4M	
Substrate	P-sub	P-sub	P-sub	P-sub	
Mixed-Signal Options* ³	Triple-well	Yes	Yes	Yes	No
	Diffusion Resistor	Yes	Yes	Yes	Yes
	Capacitor	Poly-Poly			
& Bulk-Poly	Poly-Poly	Poly-Poly			
& Bulk-Poly	Bulk-Poly				
Mass Production Availability		Now	Now	Now	Now

*1: "2P6M" means Poly 2 Layers + Metal 6 Layers.

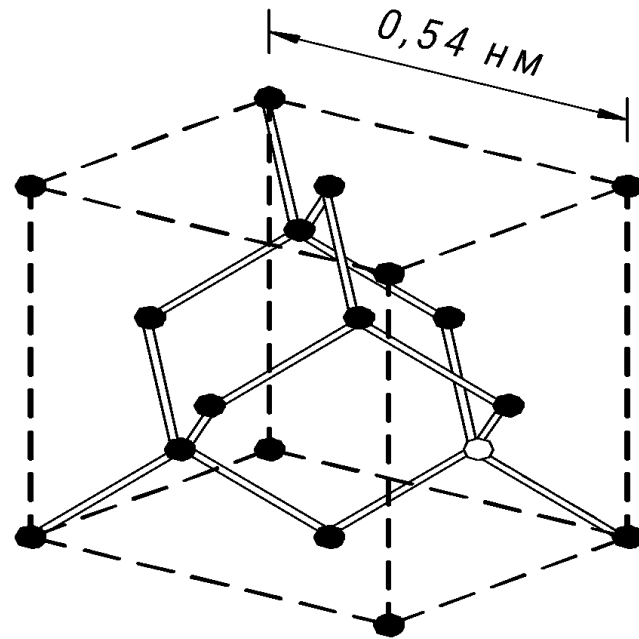
*2: Please contact us, before using the 0.50um technology at 5 V.

*3: No limitation in the combination of Mixed-Signal Option.

Физические и механические свойства германия, кремния и арсенида галлия

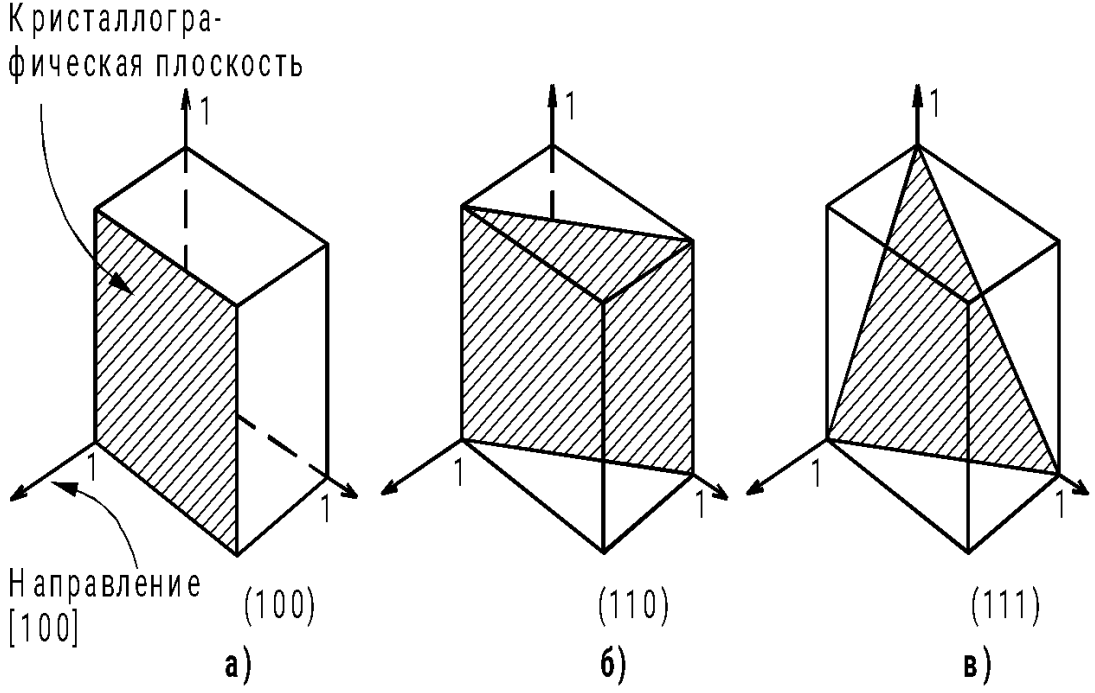
Свойства	Ge	Si	GaAs
Атомный (молекулярный) вес	72,59	28,09	144,6
Плотность, г/см³	5,327	2,33	5,316
Модуль Юнга, ×10⁹ Н/м²	13,7	16,9	1,13
Коэффициент Пуассона	0,256	0,262	0,336
Температура плавления, °С	936	1420	1238
Теплопроводность, кал/град м·с	0,14	0,2	0,125
Удельная теплоемкость, кал/г·град	0,074	0,210	0,086
Критерий хрупкости	4,4	2,0	3,0
Коэффициент термического расширения α, ×10⁻⁸ град⁻¹	5,75	2,23	5,74
Ширина запрещенной зоны, эВ	0,76	1,11	1,36
Тип кристаллической структуры	Алмаз	Алмаз	Цинковая обманка
Подвижность электронов, см²/В·с	3900	1400	8800
Подвижность дырок, см²/В·с	1900	480	400

Схематическое представление кристаллической
решетки кремня



- атомы кремния с тетраэдрической ориентацией ковалентных связей;
- примесь замещения

Схематическое представление плоскостей с различными индексами Миллера в кубической решетке



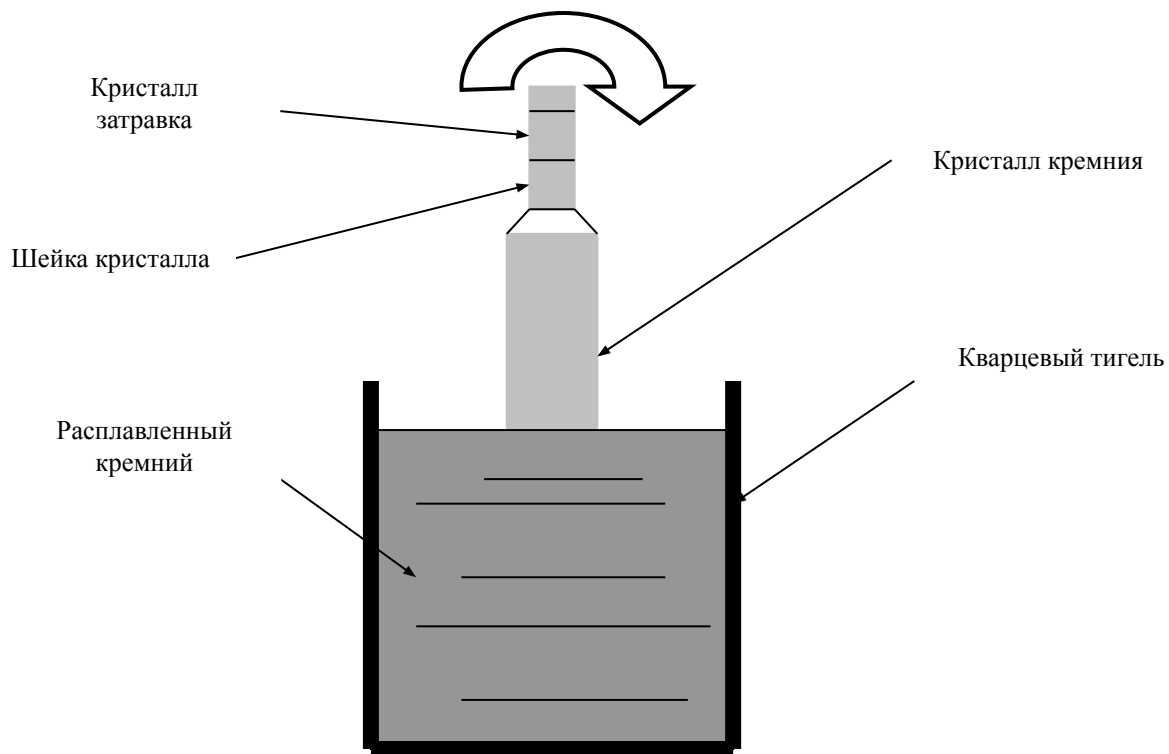
Идея метода получения кристаллов по Чохральскому заключается в росте монокристалла за счет перехода атомов из жидкой или газообразной фазы вещества в твердую фазу на их границе раздела. Применительно к кремнию этот процесс может быть охарактеризован как однокомпонентная ростовая система жидкость - твердое тело.

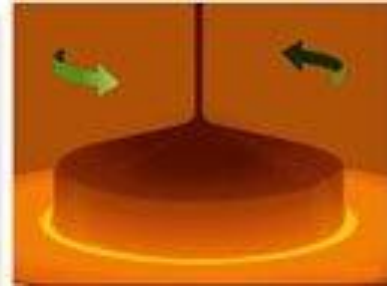
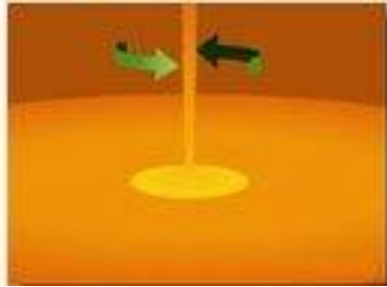
Технология

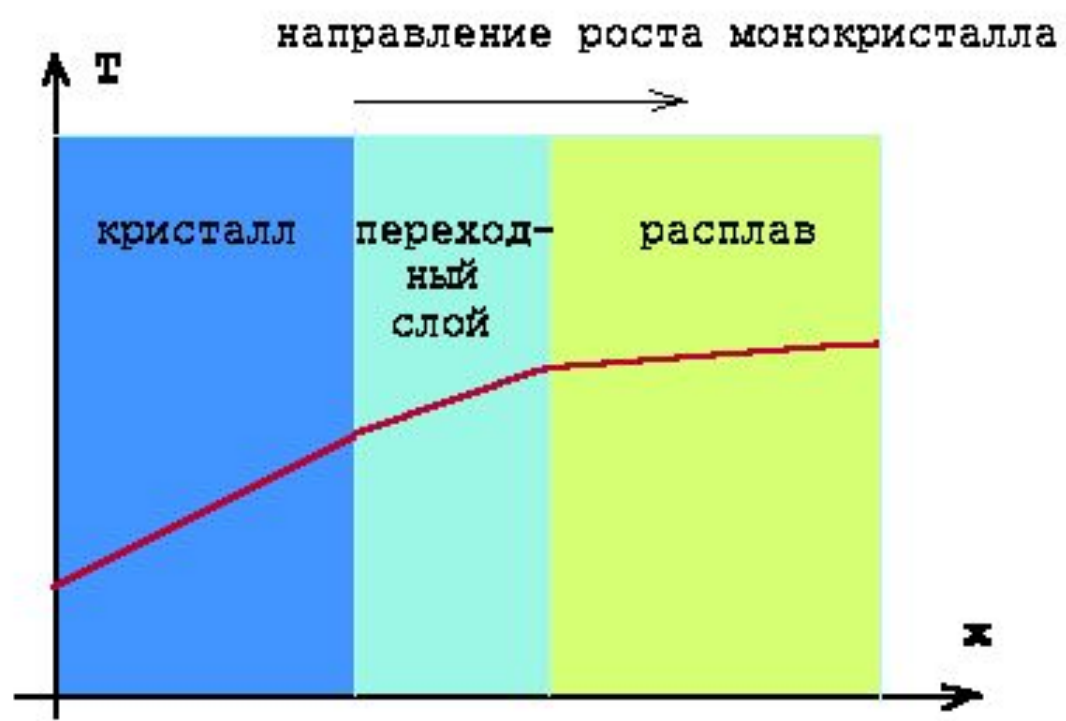
процесса

Затравочный монокристалл высокого качества опускается в расплав кремния и одновременно вращается. Получение расплавленного поликремния происходит в тигле в инертной атмосфере при температуре, незначительно превосходящей точку плавления кремния $T = 1415$ °C. Тигель вращается в направлении противоположном вращению монокристалла для осуществления перемешивания расплава и сведения к минимуму неоднородности распределения температуры. В начале процесса роста монокристалла часть затравочного монокристалла расплавляется для устранения в нем участков с повышенной плотностью механических напряжений и дефектами. Затем происходит постепенное вытягивание монокристалла из расплава. Легирование осуществляется введением определенного количества примесей в расплав

Процесс Чохральского для выращивания кристаллов кремния



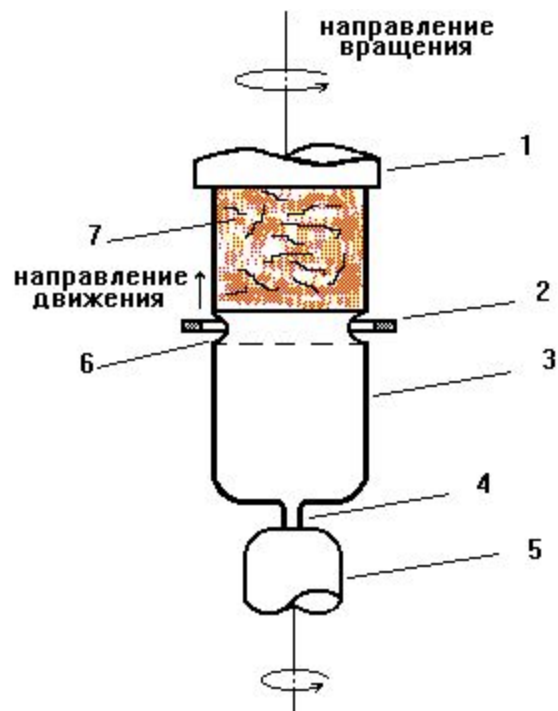


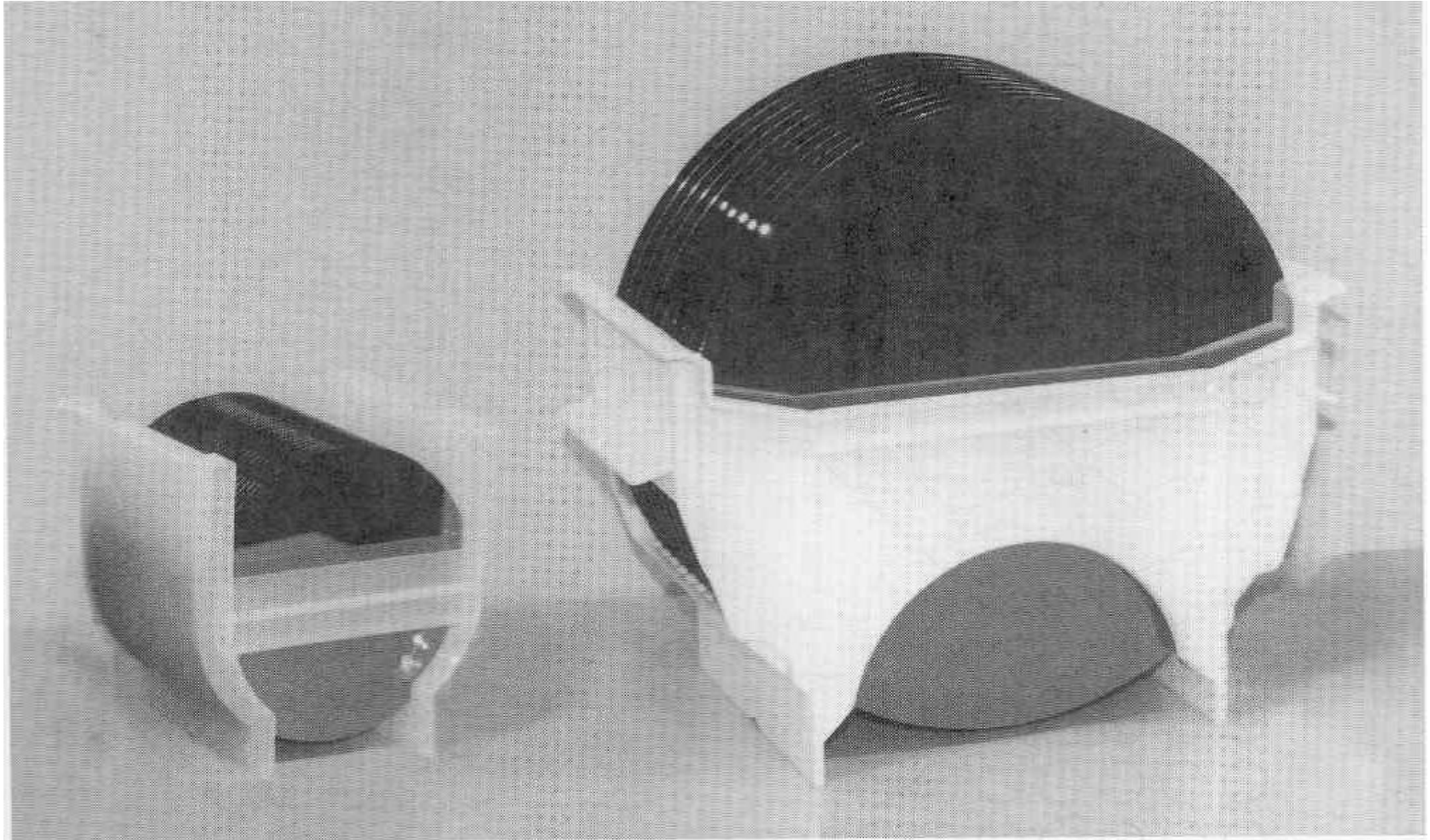




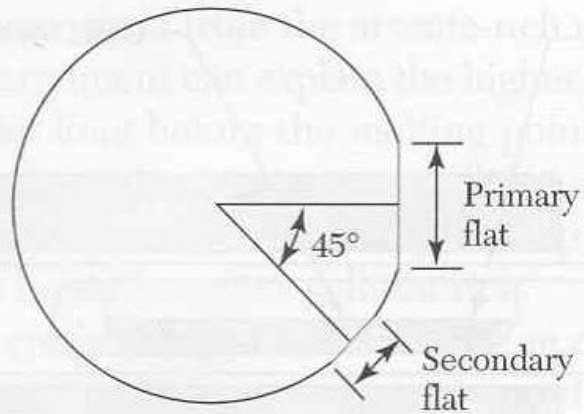
Зонная плавка является одним из наиболее эффективных методов глубокой очистки полупроводников. **Идея метода** связана с различной растворимостью примесей в твердой и жидкой фазах

- 1 - Держатель
- 2 - Обмотка нагревателя
- 3 - Монокристаллический кремний
- 4 - Затравочный монокристалл
- 5 - Держатель
- 6 - Расплавленная зона
- 7 - Стержень из поликристаллического кремния

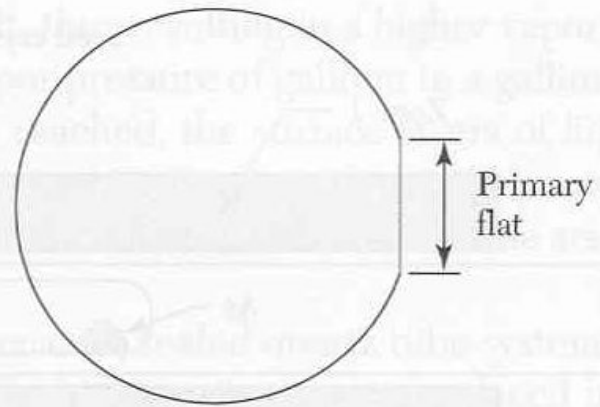




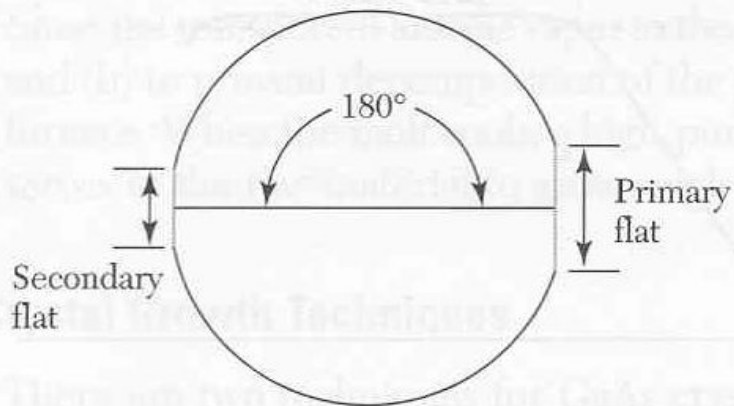
200-mm (8 in.) and 400-mm (16 in.) polished silicon wafers in cassettes.



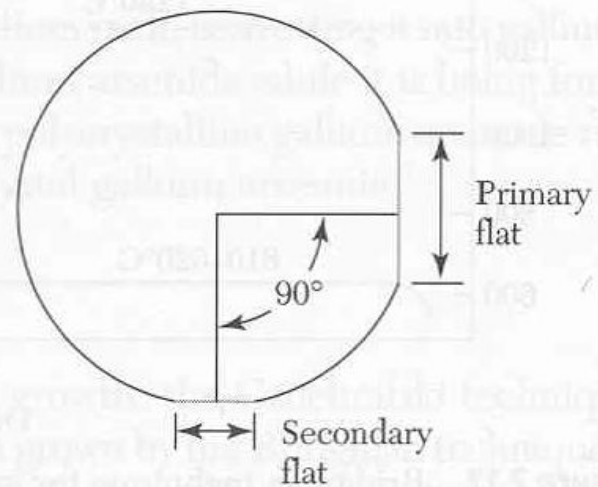
{111} n-type



{111} p-type



{100} n-type



{100} p-type

Identifying flats on a semiconductor wafer.

1. **Механическая обработка слитка:**

-отделение затравочной и хвостовой части слитка;
-обдирка боковой поверхности до нужной толщины;
- шлифовка одного или нескольких базовых срезов (для облегчения дальнейшей ориентации в технологических установках и для определения кристаллографической ориентации);

- резка алмазными пилами слитка на пластины: (100) - точно по плоскости (111) - с разориентацией на несколько градусов.

2. Травление. На абразивном материале SiC или Al₂O₃ удаляются повреждения высотой более 10 мкм. Затем в смеси плавиковой, азотной и уксусной кислот, приготовленной в пропорции 1:4:3, или раствора щелочей натрия производится травление поверхности Si.

3. Полирование - получение зеркально гладкой поверхности. Используют смесь полирующей суспензии (коллоидный раствор частиц SiO₂ размером 10 нм) с водой.

В окончательном виде кремний представляет из себя пластину диаметром 15 - 40 см, толщиной 0.5 - 0.65 мм с одной зеркальной поверхностью.

Specifications for Polished Monocrystalline Silicon Wafers

Parameter	125 mm	150 mm	200 mm	300 mm
Diameter (mm)	125 ± 1	150 ± 1	200 ± 1	300 ± 1
Thickness (mm)	0.6–0.65	0.65–0.7	0.715–0.735	0.755–0.775
Bow (μm)	70	60	30	< 30
Total thickness variation (μm)	65	50	10	< 10
Surface orientation	$(100) \pm 1^\circ$	Same	Same	Same
	$(111) \pm 1^\circ$	Same	Same	Same

Список использованных и рекомендуемых источников

1. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Ревелева М.А., под общей ред. Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2007. Ч. 1: Технологические процессы изготовления кремниевых интегральных схем и их моделирование. –□ 397 с.
2. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Путря М.Г., Шевяков В.И., под общей ред. члена-корр. РАН профессора Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2009. Ч. 2: Элементы и маршруты изготовления кремниевых ИС и методы их математического моделирования. –□ 422 с.
3. Коледов Л.А. Технология и конструкции микросхем, микропроцессоров и микросборок: Учебник для вузов / М.: Радио и связь, 1989. – 400 с.
4. Технология СБИС: В 2-х кн. Кн. 2 / Пер. с англ. Под ред. Зи С. – М.: Мир, 1986. – 453 с.
5. Малышева И.А. Технология производства интегральных микросхем: Учебник для техникумов / М.: Радио и связь, 1991. – 344 с.
6. Программа для дистанционного обучения по курсу «Технология СБИС» / <http://sbis.karelia.ru/> [Электронный ресурс]. – 2009.
7. Киреев В.Ю. «Введение в технологии микроэлектроники и нанотехнологии». ГНЦ РФ «ЦНИИХМ», 2008 г.