

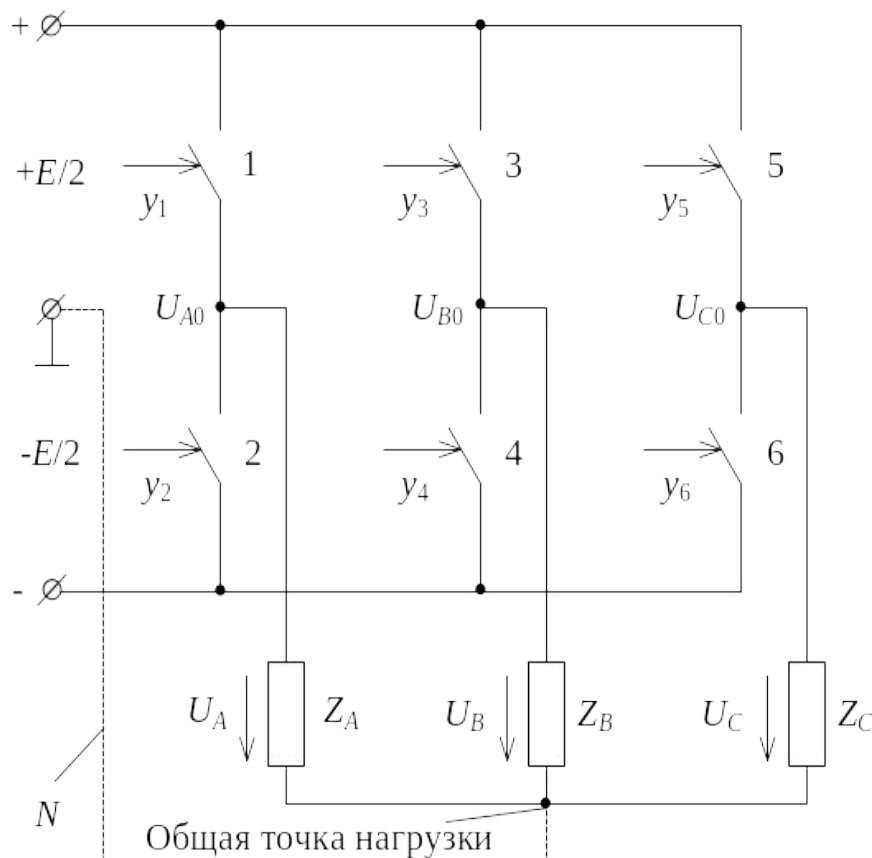
# **Однокристалльные микро-ЭВМ**

## 7. МС и ШИМ

1) **Назначение:** реализация управляющих и сервисных функций, необходимых при работе трехфазного АИН с ШИМ.

2) **Реализуемые алгоритмы управления:** скалярная ШИМ, пространственно-векторная ШИМ (ВШИМ) с 4-мя коммутациями на  $T_s$ .

3) **Объект управления:**



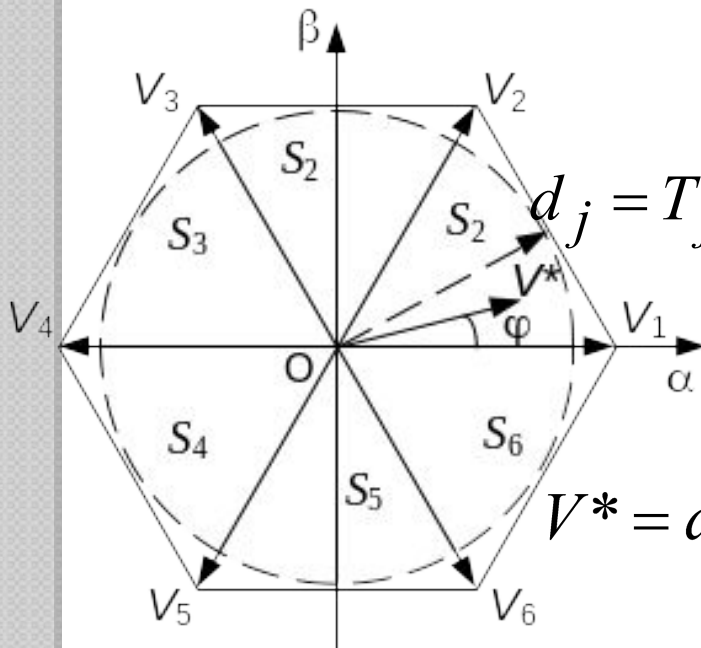
4) **Вариант реализации скалярной ШИМ в МПСУ:**

- Задать режимы работы МС и ШИМ.
- Задать период и режим счета таймера-счетчика.
- В головной программе рассчитывать текущие коды фазных модулирующих сигналов и записывать их в регистры сравнения (дважды буферизованные).

**Все остальное делается модулем МС и ШИМ автоматически.**

## 5) Основы представления векторной ШИМ

Векторы состояния: 000 –  $V_0$  и 111 –  $V_7$  – обеспечивают **нулевые** напряжения в нагрузке («нулевые» векторы), а  $V_1$  –  $V_6$  обеспечивают **ненулевые** напряжения («образующие» векторы).



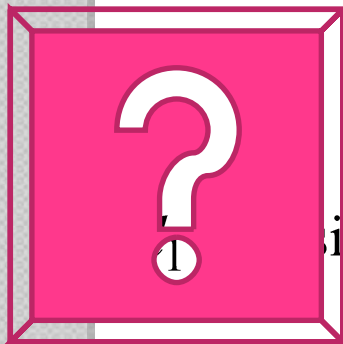
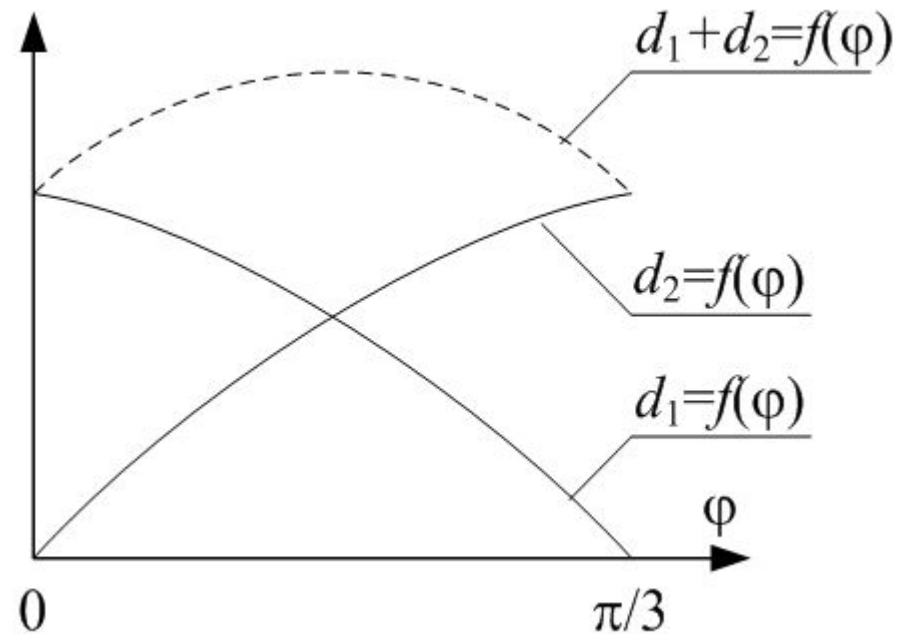
$$d_1 = M \sin\left(\frac{\pi}{3} - \varphi'\right)$$

$Y_A$	$Y_B$	$Y_C$	Вектор	$V_i$	$S_i$
0	0	0	Состояния	$T_0 V_0 + T_7 V_7$	$S_1$
1	0	0	$V_1$	$V_1$	$S_2$
1	1	-1	$V_2$	$V_2$	$S_3$
0	1	0	$V_3$	$V_3$	$S_4$
0	0	1	$V_4$	$V_4$	$S_5$
1	0	0	$V_5$	$V_5$	$S_6$
1	1	0	$V_6$	$V_6$	$S_1$
0	0	0	$V_0$	$V_0$	$S_1$
1	1	1	$V_7$	$V_7$	$S_1$

$V^* = d_1 V_1 + d_2 V_2 + d_0 V_0 + d_7 V_7$   
 где  $d_j = T_j / T_s$   
 $T_s = T_1 + T_2 + T_0 + T_7$   
 $d_1 + d_2 + d_0 + d_7 = 1$

# Основы представления векторной ШИМ

Где  $\phi'$  – угловое положение обобщенного вектора относительно начала сектора



- Относительные длительности нулевых векторов

$$d_0 + d_7 = 1 - d_1 - d_2$$

Порядок распределения векторов (и их длительностей) на интервале усреднения

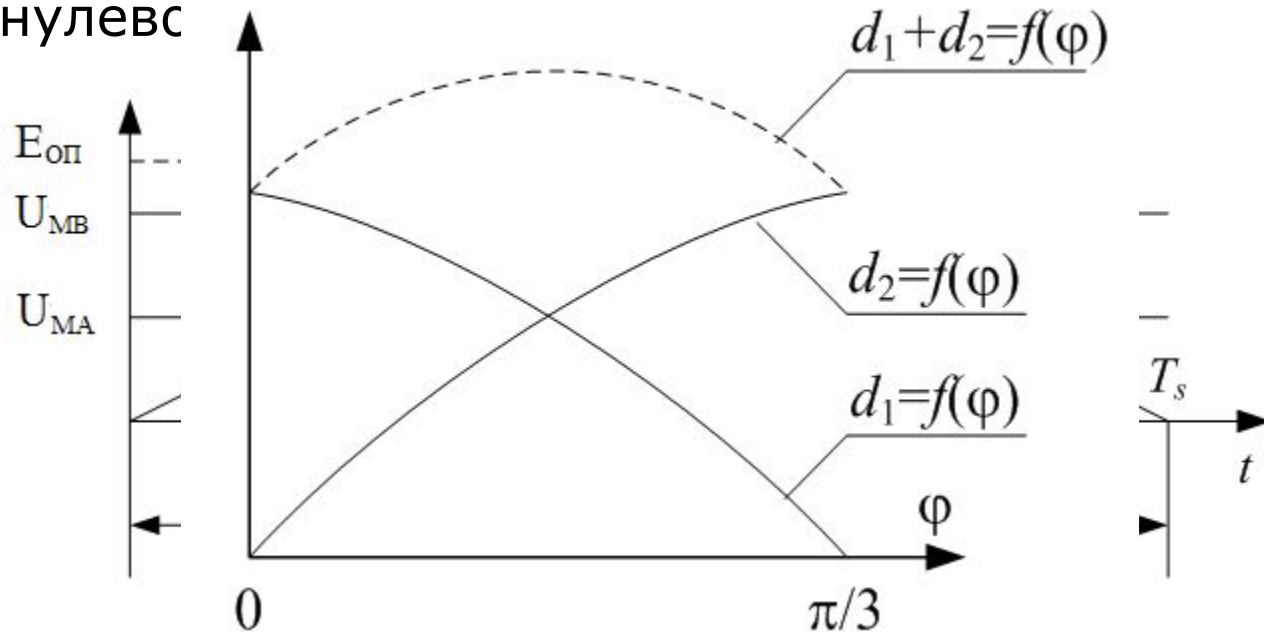
# Основы представления векторной ШИМ

## Пример:

- на  $T_s$  располагается только один нулевой вектор (или  $V_0$ , или  $V_7$ );
- образующие вектора чередуются по номеру от

**Порядок распределения векторов (и их длительностей) на интервале усреднения**

- в начале интервала усреднения располагается ненулевой



## 6) Вариант реализация векторной ШИМ в МПСУ:

- Задать режимы работы МС и ШИМ.
- Задать период и режим счета таймера-счетчика.
- В головной программе рассчитывать текущие коды двух модулирующих сигналов формирования состояния АИН и записывать их в соответствующие регистры сравнения (дважды буферизированные).
- Записывать также трехразрядный начальный вектор и устанавливать направления вращения обобщенного вектора (по или против часовой стрелки).

**Все остальное делается модулем МС и ШИМ автоматически.**

## 7) ПЛМ МС и ШИМ:

- COMCONx – регистр управления сравнения MnCA/B;
- ASTRx – регистр управления работой сравнения MnCA/B; (дважды буферированный);
- DBTCONx – регистр управления таймером MB MnCA/B;
- CMPR1(2,3) – 1(2,3)-й регистр сравнения (дважды буферированный).

## 8) Регистр управления сравнения COMCONA

Данный регистр определяет:

- является ли работа сравнения разрешенной;
- являются ли выходы сравнения разрешенными;
- условия загрузки рабочих регистров сравнения и регистра управления сравнением из программно-доступных регистров;
- разрешен ли режим ВШИМ.

Figure 5-7. Compare Control A (COMCONA) Register — Address 7411h

15	14	13	12	11	10	9	8
CENABLE	CLD1	CLD0	SVENABLE	ACTRLD1	ACTRLD0	FCMPOE	PDPINTA Status
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0
7	6	5	4	3	2	1	0
FCMP3OE	FCMP2OE	FCMP1OE	Reserved		C3TRIPE	C2TRIPE	C1TRIPE
R/W-0	R/W-0	R/W-0	R-0		R/W-1	R/W-1	R/W -1

**D15 – CENABLE** – бит разрешение сравнения:

= 0/1 ⇒ работа сравнения запрещена/разрешена.

**D14-D13 – CLD1, CLD0** – биты задания условия загрузки *рабочих* регистров сравнения:

=00 – когда счетчик = 0;

=01 – когда счетчик = 0 или = регистру периода (ОШИМ);

=10 – немедленно;

=11 – резерв.

**D12 – SVENABLE** – бит разрешения режима ВШИМ:

= 0/1 ⇒ режим ВШИМ запрещен/разрешен.

**D11, D10 - ACTRLD1, ACTRLD0** – биты условия загрузки рабочего регистра управления работой:

=00 – когда счетчик = 0;

=01 – когда счетчик = 0 или = регистру периода (ОШИМ);

=10 – немедленно;

=11 – резерв.



**D9 – FCMPOE** – бит разрешения выходов МСШИМ. Бит активен, когда EXTCONA(0)=0, иначе – резерв. В активном состоянии этот бит = 0, когда PDPINTA/T1CTRIIP=0 и EVAIFRA(0)=1.

= 0/1 ⇒ выходы PWM1 – PWM6 в 3-м состоянии/ управляются соответствующей логикой сравнения.

**D8 - /PDPINTA Status** - бит отражает (дублирует) текущее состояние вывода /PDPINTA.

**D7-D5 - FCMP3OE, FCMP2OE, FCMP1OE** – биты разрешения выхода соответственно 3-го, 2-го, 1-го каналов сравнения, т.е. выходов PWM5/6, PWM3/4, PWM1/2. Биты активны, когда EXTCONA(0)=1, иначе – они в резерве. В активном состоянии этот биты → 0, когда соответственно сигналы C3TRIP/ C2TRIP/ C1TRIP = 0 и также разрешены.

= 0/1 ⇒ выходы соответственно 3-го, 2-го, 1-го каналов сравнения в 3-м состоянии/ управляются логикой 3-го канала сравнения.

**D4-D3** – резерв.

**D2 – D1 - C3TRIPE, C2TRIPE, C1TRIPE** – биты разрешения соответственно сигналов отключения C3TRIP, C2TRIP, C1TRIP. Биты активны, когда EXTCONA(0)=1, иначе – они в резерве.

= 0 ⇒ сигнал C3(2,1)TRIP запрещен и не влияет на выходы 3-го (2-го, 1-го) канала сравнения, на COMCONA(8) или на флаг PDPINT (EVAIFRA(0))

= 1 ⇒ сигнал C3(2,1)TRIP разрешен. Когда C3(2,1)TRIP=0, оба выхода 3-го (2-го, 1-го) канала сравнения переходят в 3-е состояние, COMCONA(8) → 0 и флаг PDPINT (EVAIFRA(0)) → 1.

## 9) Регистр управления работой сравнения АСТРА

Регистр управление работой сравнения АСТРА управляет действием, которое происходит на каждом из шести выходов сравнения PWM1-PWM6 по событию сравнения, если работа сравнения разрешена в COMCONA (15).

АСТРА - **дважды буферизованный регистр**. Условия, по которому этот регистр перезагружаются, определяется битами в COMCONA. АСТРА также содержит биты SVRDIR, D2, D1, D0, необходимые для работы ВШИМ.

Figure 5–9. Compare Action Control Register A (ACTRA) — Address 7413h

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

**D15 – SVRDIR** – бит направления вращения обобщенного вектора. Используется только при генерации ВШИМ.

= 0/1 ⇒ положительное (против ЧС)/ отрицательное (по ЧС) вращение.

**D14-D12 – D2-D0** - Биты основных пространственных векторов. Используются только при генерации ВШИМ.

**D11, D10 - CMP6ACT1, CMP6ACT0** – бит воздействия на выходной вывод сравнения PWM6.

=00 – форсированный ноль;

=01 – активный ноль;

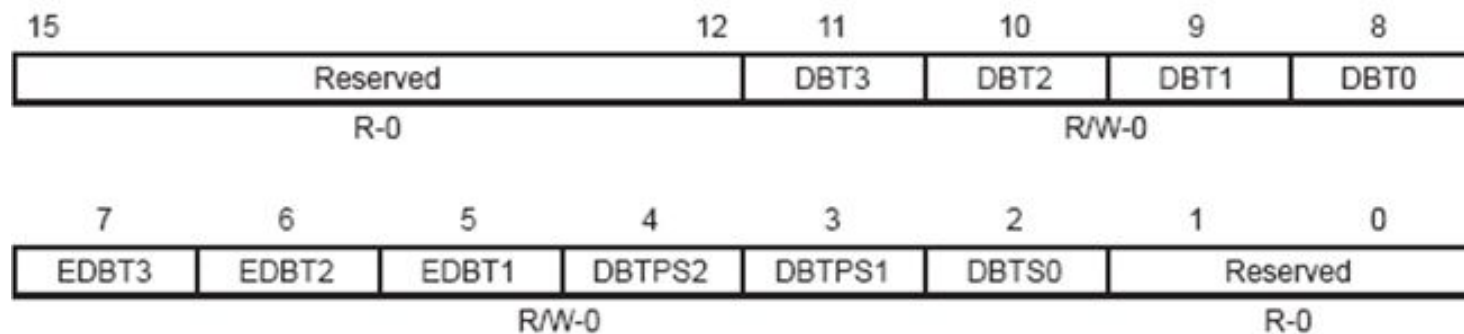
=10 – активная единица;

=11 – форсированная единица.

Оставшиеся пять пар разрядов – то же самое для выводов сравнения соответственно PWM5-PWM1.

## 10) Регистр управления таймером MB MCA

*Figure 5-15. Dead-Band Timer Control Register A (DBTCONA) — Address xx15h*



**D15-D12** – резерв.

**D11-D8 – DBT3–DBT0** – биты определяют величину периода трех 4-битных таймеров MB.  $T_{MB}=(0...15)T_{ПДЧ}$ .

**D7 – EDBT3** – бит разрешения работы 3-го таймера MB. (для PWM5, PWM6).

= 0/1  $\Rightarrow$  запрещено/разрешено.

**D6 – EDBT2** - бит разрешения работы 2-го таймера MB. (для PWM3, PWM4).

= 0/1  $\Rightarrow$  запрещено/разрешено.

**D5 – EDBT1** - бит разрешения работы 1-го таймера MB. (для PWM1, PWM2).

= 0/1  $\Rightarrow$  запрещено/разрешено.

**D4-D2 - DBTPS2–DBTPS0** – биты  $K_{дел}$  ПДЧ таймера MB

$K_{дел}=2^n$ , где  $n=0-7$ . Входная частота – частота тактирования ЦП.

**D1,D0** – резерв.

**Спасибо за внимание**