

Модуль 3. Функциональные узлы последовательностного типа.

Триггерные схемы. Бистабильная ячейка. Таблицы истинности триггерных схем. Схема устранения дребезга контактов. Асинхронные и синхронные триггеры. Однотактные и двухтактные триггеры.

Регистры. Классификация регистров. Параллельные и последовательные регистры. Парафазные и однофазные регистры. Сдвигающие регистры.

Счетчики импульсов. Синтез счетчиков. Двоичные счетчики.

Счетчики с переменным модулем счета. Суммирующие, вычитающие и реверсивные счетчики.

Регистр - типовой блок цифровых устройств на основе триггеров для временного хранения информации, которая поступает и хранится в регистре в виде n -разрядных двоичных чисел.

Кроме хранения, регистр может осуществлять:

- сдвиг принятого кодового числа,
- преобразование двоичного кода из прямого в обратный (единицы заменяются нулями, а нули — единицами), и наоборот,
- логические сложение и умножение.

По способу ввода и вывода разрядов числа различают регистры:

- Параллельные (ввод и вывод всех разрядов кодового числа осуществляется одновременно),
- Последовательные (числа вводятся и выводятся последовательно),
- параллельно-последовательные (ввод числа производится в параллельной форме, а вывод — в последовательной, или наоборот).

Регистр, в котором можно осуществить сдвиг числа, называют *сдвигающим* (сдвиговым), причем сдвиг может быть или в одну сторону (в сторону младшего разряда — *правый сдвиг*, или в сторону старшего разряда — *левый сдвиг*), или в обе стороны (*реверсивный сдвигающий* регистр). В этом смысле последовательный и параллельно последовательный регистры относят к сдвиговым.

Регистром называется типовой функциональный узел цифровой схемы, предназначенный для приема, временного хранения, преобразования и выдачи n -разрядного двоичного слова.

Регистр содержит регулярный набор однотипных триггеров, в каждом из которых хранится значение одного двоичного разряда машинного слова. Наиболее часто для построения регистров используются RS, JK и D-триггеры.

Регистры, предназначенные только для приема (записи), хранения и передачи информации, называются элементарными или защелками.

Классификация регистров:

□ по способу управления записью:

○ асинхронные,

○ синхронные, которые по типу тактирующего сигнала делятся на:

▪ управляемые фронтом (передним или задним),

▪ управляемые уровнем (прямым или инверсным),.

□ по способу записи и передачи двоичных слов:

○ параллельные (статические) – запись и выдача слов производится одновременно всеми разрядами, тактовые сигналы всех регистров соединены между собой (параллельный регистр представляет собой многоразрядный, многоходовый триггер).

○ последовательные (сдвигающие) – запись и выдача слов происходят разряд за разрядом в направлении от младших разрядов к старшим или наоборот. Тактовые входы таких регистров так же объединены между собой.

Последовательные регистры могут выступать аналогом линии задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала С.

- универсальные – обеспечивают как параллельный, так и последовательный обмен информацией.

□ По числу каналов передачи информации:

□ Двухфазные (запись информации - в прямом и обратном кодах);

□ Однофазные (запись информации - в прямом или обратном коде)

по числу линий для представления значения одного разряда слова (биты информации):

- однофазные – значение каждого разряда слова передается по одной линии связи. Такие регистры, обычно, строятся на RS - и JK -триггерах, в которых значение каждого разряда слова поступает по одной линии связи на вход S (или J) соответствующих триггеров. После считывания записанной информации регистр должен обнулиться по общему R (или K) входу.

- парафазные – значение каждого разряда слова передается по двум линиям (одновременно отражается прямое и инверсное значение разряда).

- по числу тактов для записи слова:

- однотоктные,
- двухтактные,
- многотактные,

- по составу выполняемых операций:

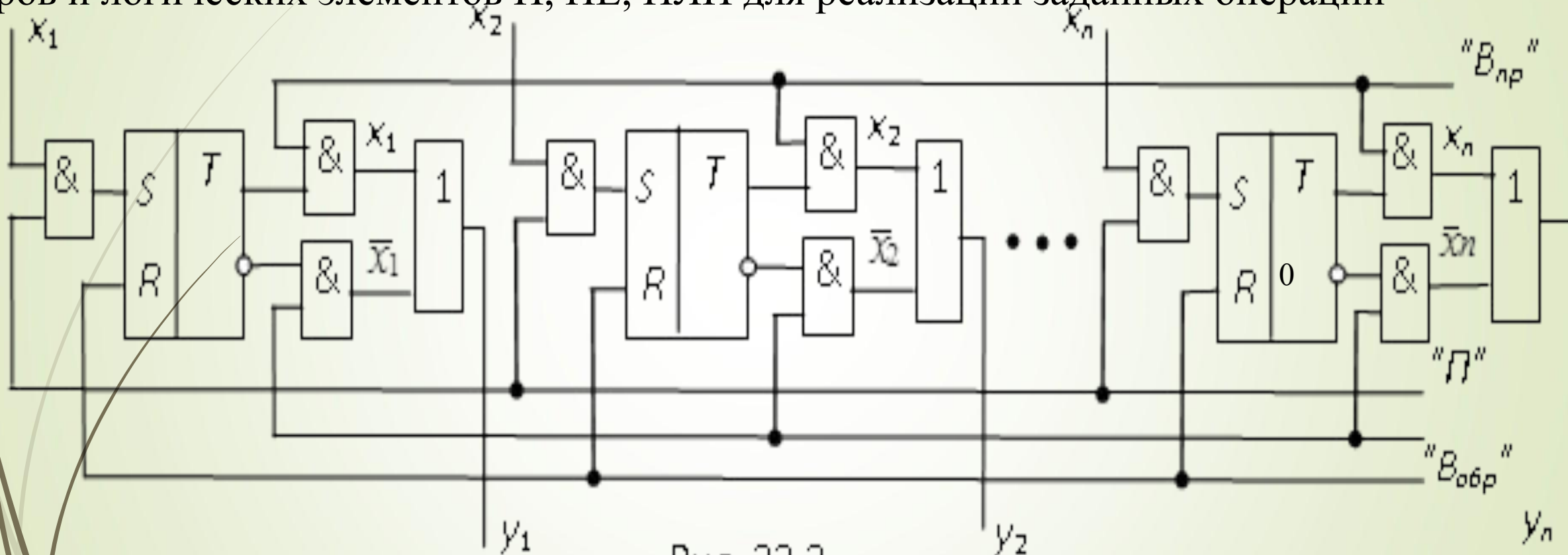
- установочные,
- записи,
- считывания,
- и т.д.

- по направлению сдвига (для последовательных регистров):

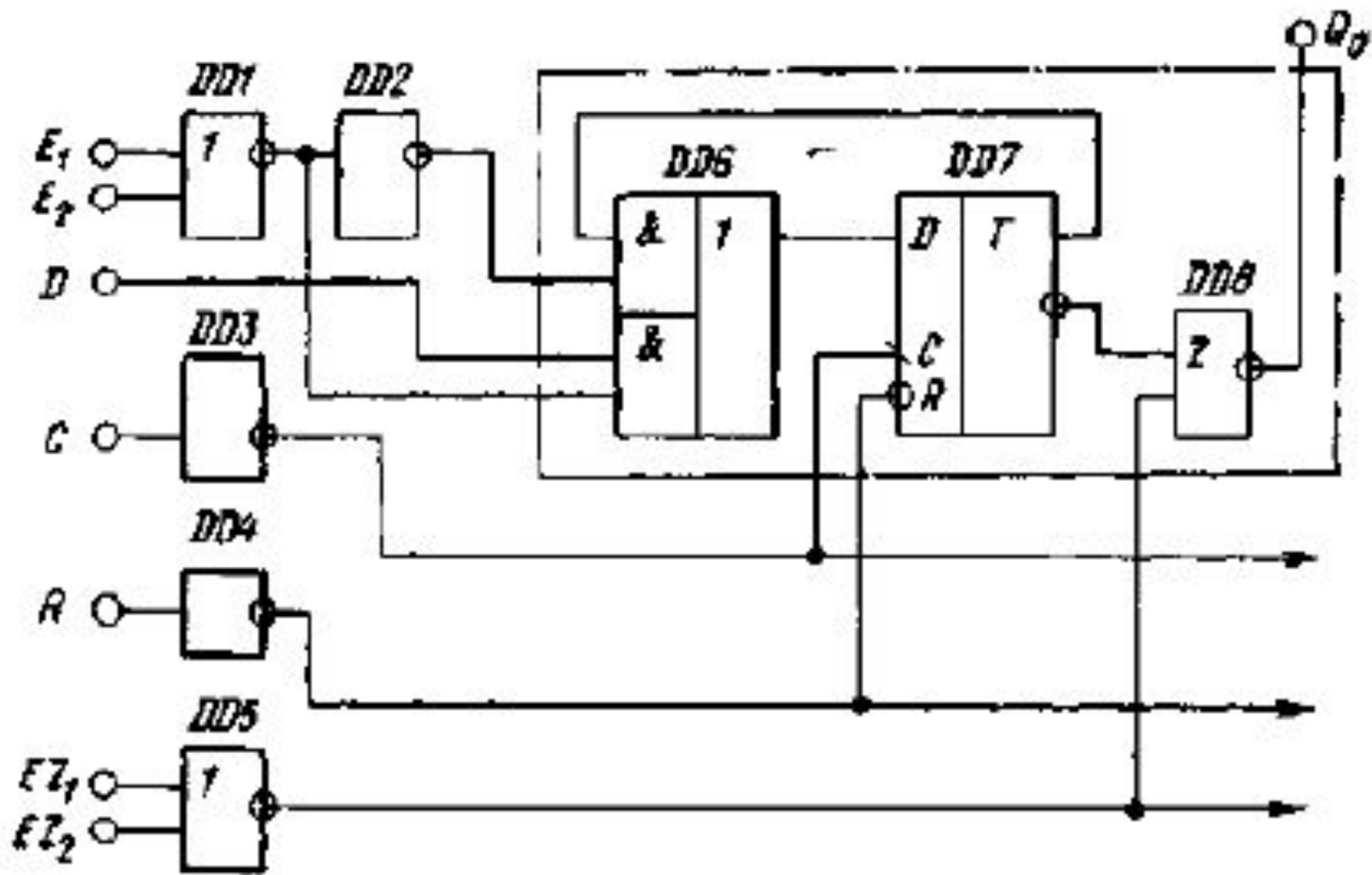
- односторонние
- левый сдвиг (в сторону старших разрядов)

ПАРАЛЛЕЛЬНЫЙ РЕГИСТР НА RS-ТРИГГЕРАХ

Любой регистр состоит из связанных между собой триггеров с динамическим или статическим управлением и логических элементов. Число триггеров равно числу разрядов в записываемом числе. Синтез регистра сводится к выбору типа триггеров и логических элементов И, НЕ, ИЛИ для реализации заданных операций



Ввод (запись) числа осуществляется в два такта. Во избежание ошибочной записи числа $x_1x_2\dots x_n$ в первом такте все триггеры регистра обнуляются (на шину "0" подаётся логический 0). Во втором такте по сигналу 1 на шине "П" ("Приём") через конъюнктуры одновременно записывается в соответствующие разряды регистра двоичное число $x_1x_2\dots x_n$. Вывод (считывание) числа $y_1y_2\dots y_n$ в прямом коде происходит по сигналу 1 на шине "В_{пр}", а в обратном – по сигналу 1 на шине "В_{обр}".



Фрагмент структурной схемы параллельного регистра типа 555ИР15

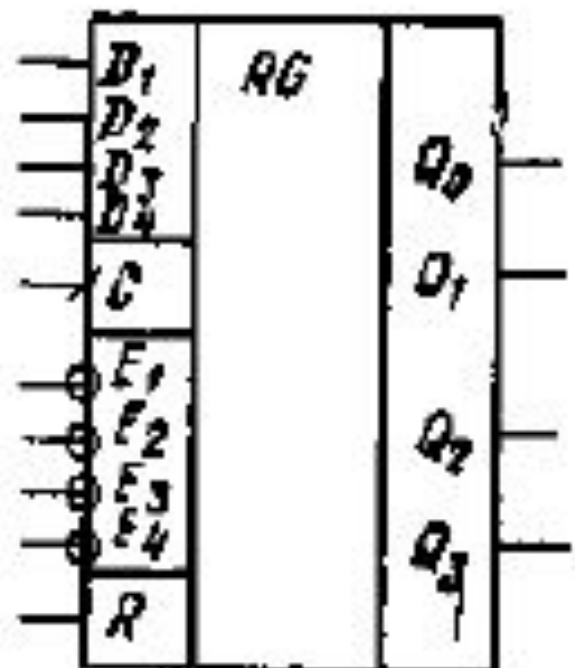


Рис. 17.24. Условное графическое обозначение параллельного регистра типа 555IP15

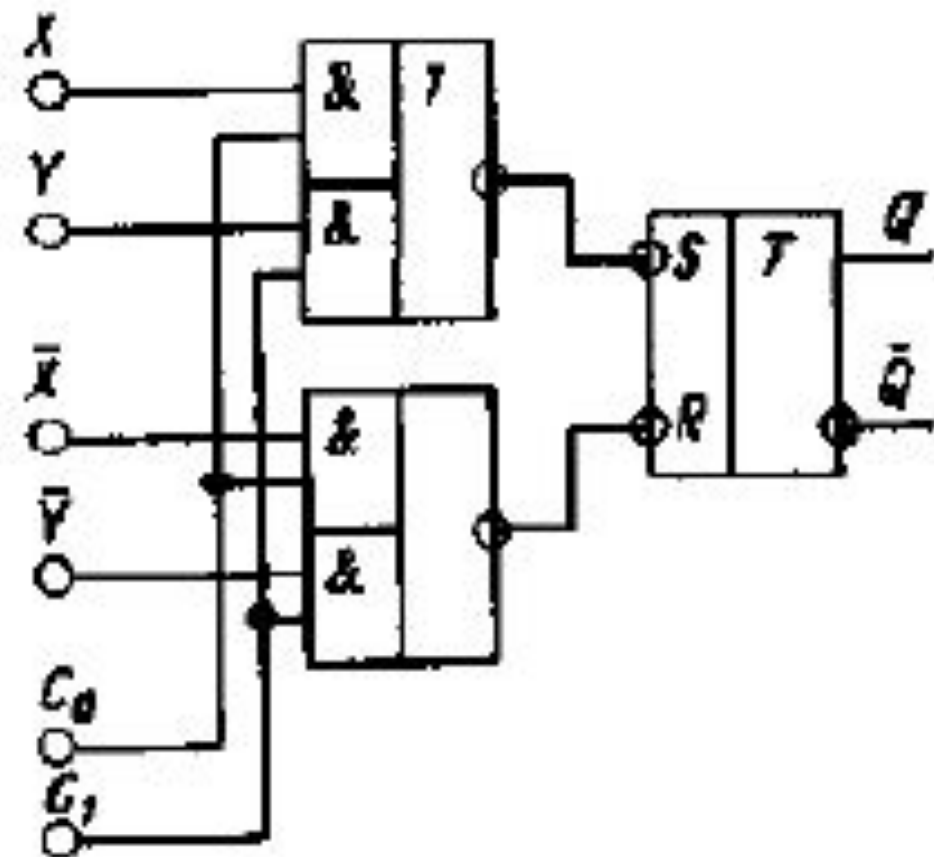
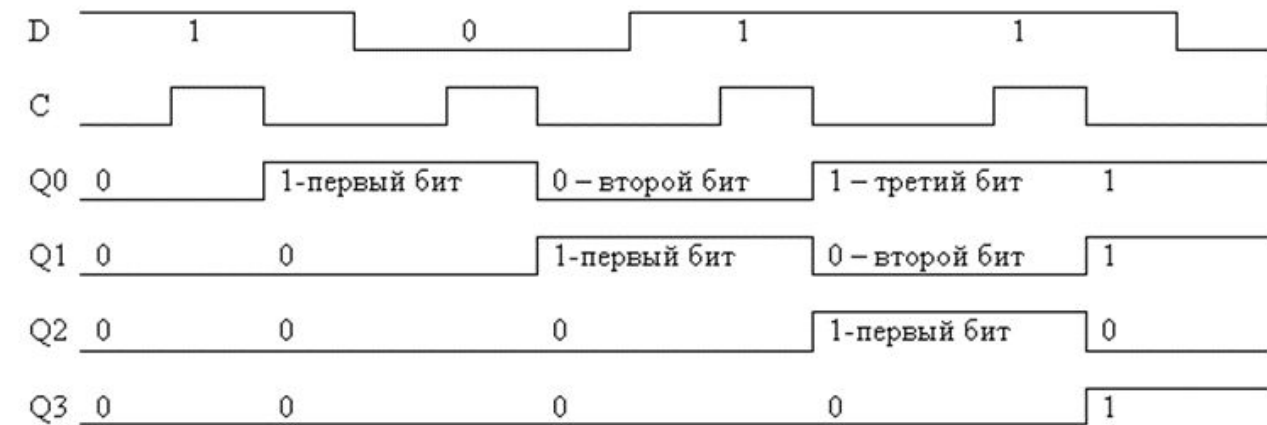


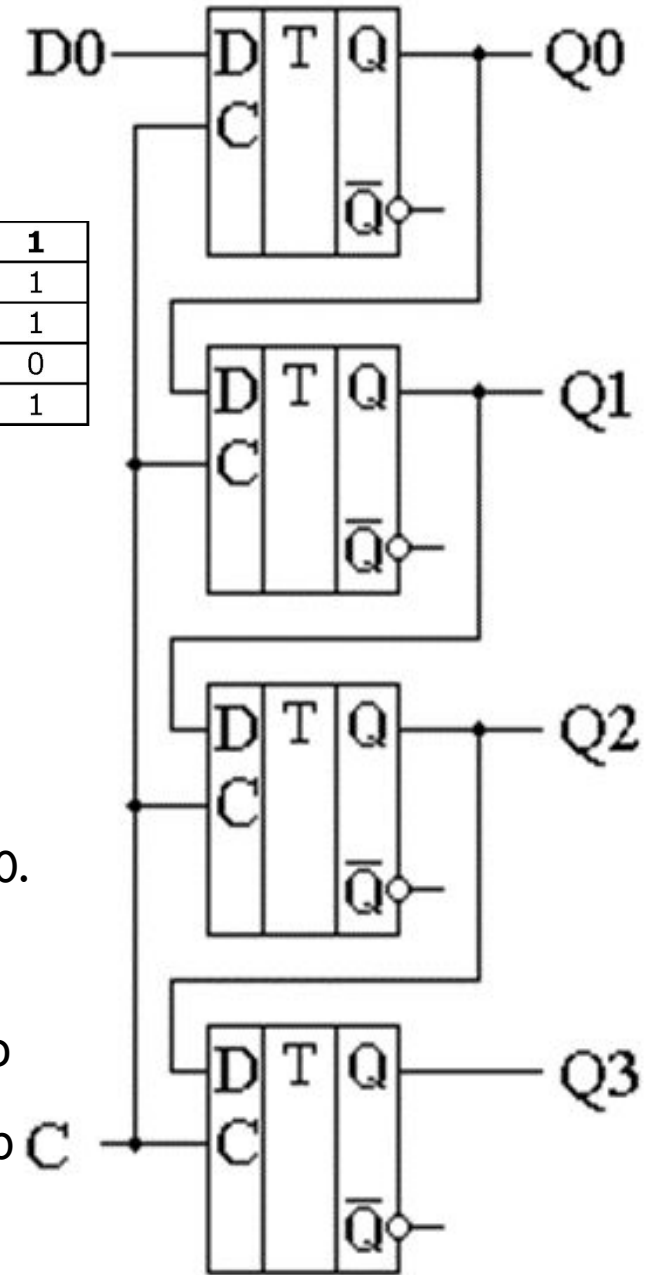
Рис. 17.25. Разрядная схема параллельного регистра, реализующая запись с двух направлений

если для параллельных регистров подходило как триггеры работающие по потенциалу (триггеры-защелки), так и триггеры, работающие по фронту, то для реализации последовательного (сдвигового) регистра подходят только синхронные триггеры, работающие по фронту или срезу

Сдвиговый регистр



№ такта	1	2	3	4
Q0	1	0	1	1
Q1	X	1	0	1
Q2	X	X	1	0
Q3	X	X	X	1



Внутри сдвигового регистра триггеры соединены последовательно, то есть выход первого соединён с входом второго и т.д.

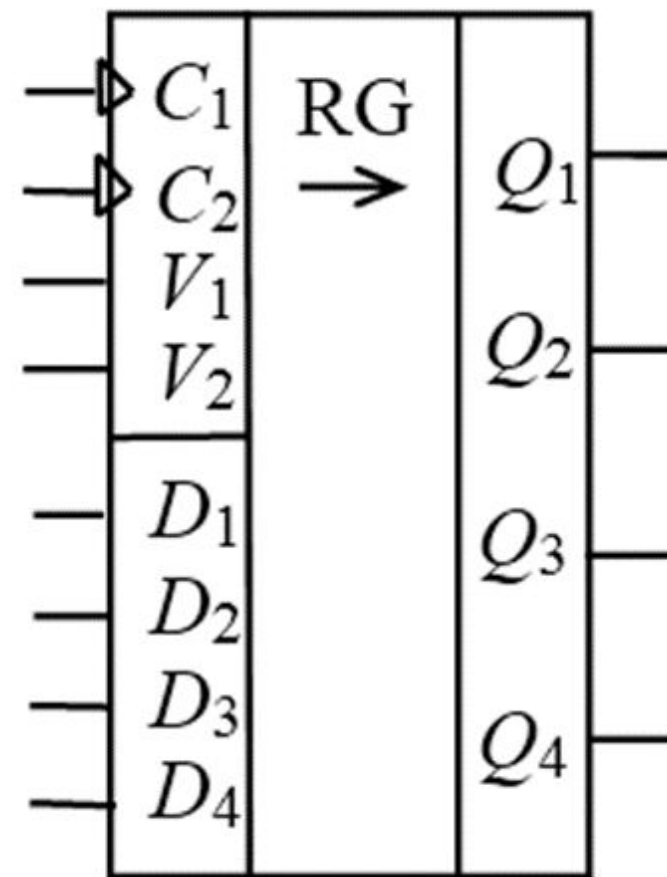
Входы синхронизации в последовательных (сдвиговых) регистрах, как и в параллельных регистрах, объединяются. Это обеспечивает одновременность смены состояния всех триггеров, входящих в состав последовательного (сдвигового) регистра.

Преобразование последовательного кода в параллельный в последовательном (сдвиговом) регистре производится следующим образом. Отдельные биты двоичной информации последовательно подаются на вход сдвигового регистра D_0 . Каждый бит сопровождается отдельным тактовым импульсом синхронизации, который поступает на вход синхронизации последовательного регистра C .

После поступления первого тактового импульса логический уровень, присутствующий на входе D_0 , запоминается в первом триггере последовательного (сдвигового) регистра и поступает на его выход, а так как он соединён с входом второго триггера, то и на его вход. Если бы последовательный (сдвиговый) регистр был собран на D триггерах, работающих по потенциалу, то этот бит тут же записался во второй D триггер! В нашем случае этого не происходит, так как к этому моменту фронт на входе синхронизации C уже закончился.

микросхема серии К155). При $V_2 = 0$ разряды числа вводят последовательно в регистр через вход V_1 ; синхроимпульсы, поступающие на вход C_1 , обеспечивают сдвиг вправо разрядов числа; регистр работает как сдвигающий. В микросхеме (см. рис. 33.1) предусмотрен также параллельный ввод всех разрядов числа по синхроимпульсу на входе C_2 с входов D_1, \dots, D_4 при $V_2 = 1$. В данном случае регистр работает как параллельный.

Если выходы последнего триггера сдвигающего регистра соединить с входами первого, то получится *кольцевой* регистр сдвига, называемый *кольцевым счётчиком*. Его коэффициент пересчёта равен числу разрядов n : единица, записанная в один из разрядов, периодически появляется на выходе счётчика после того, как пройдут n сдвигающих синхроимпульсов



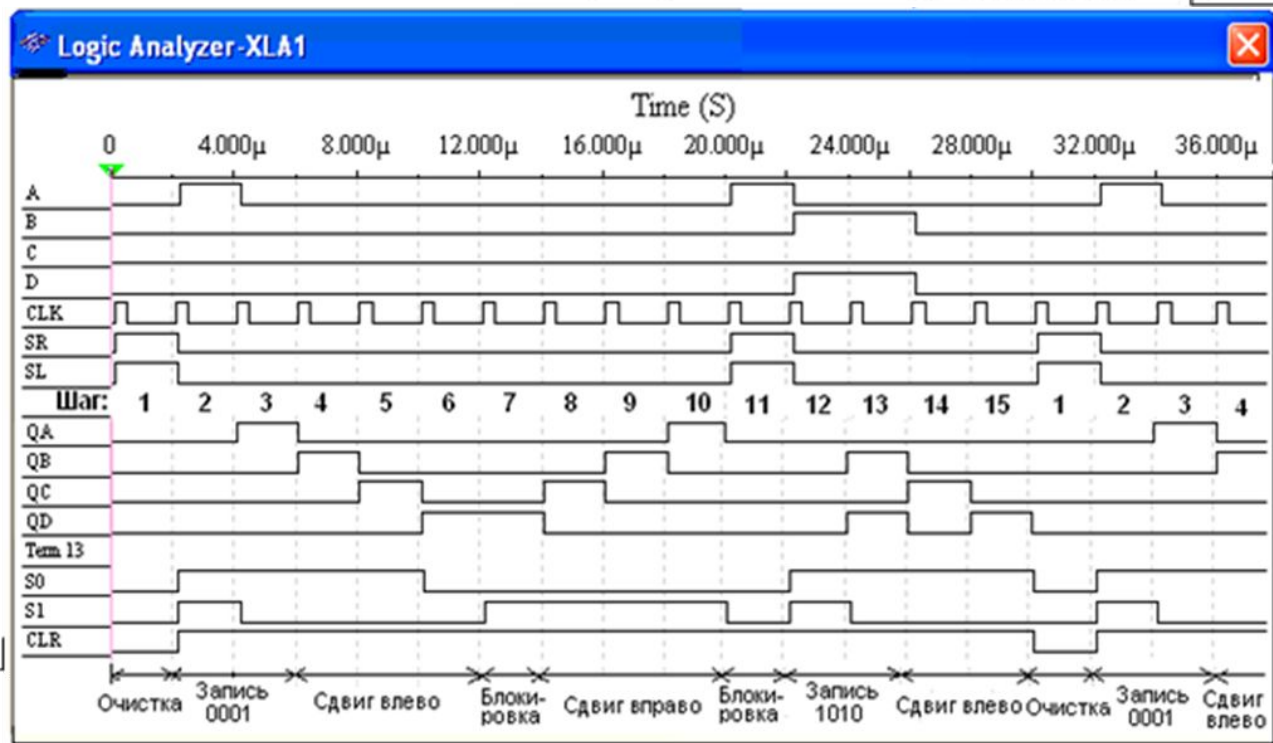
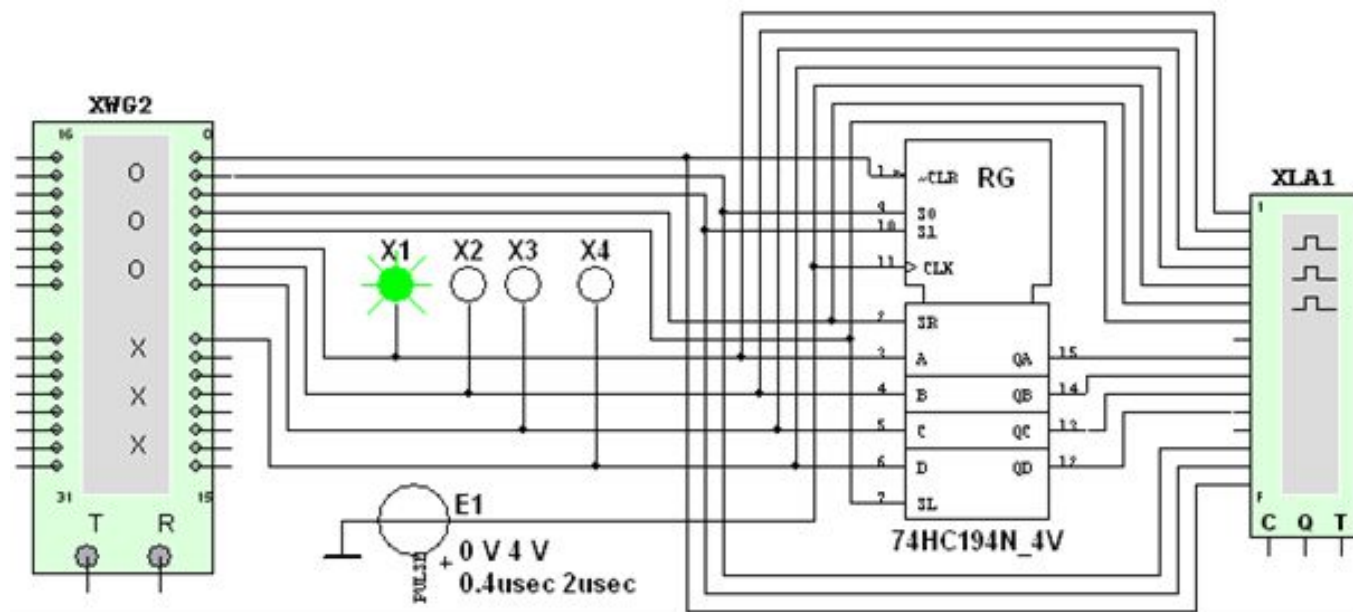


Рис. 33.6

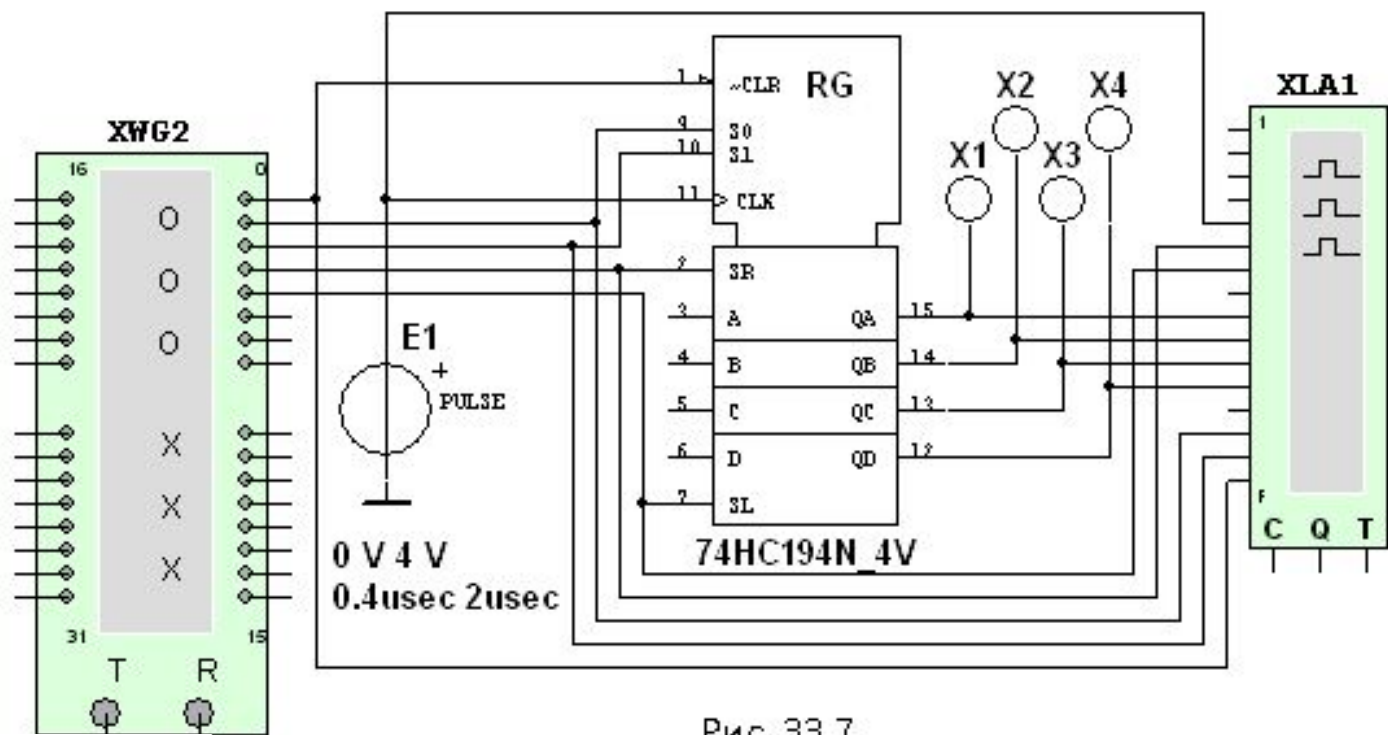


Рис. 33.7

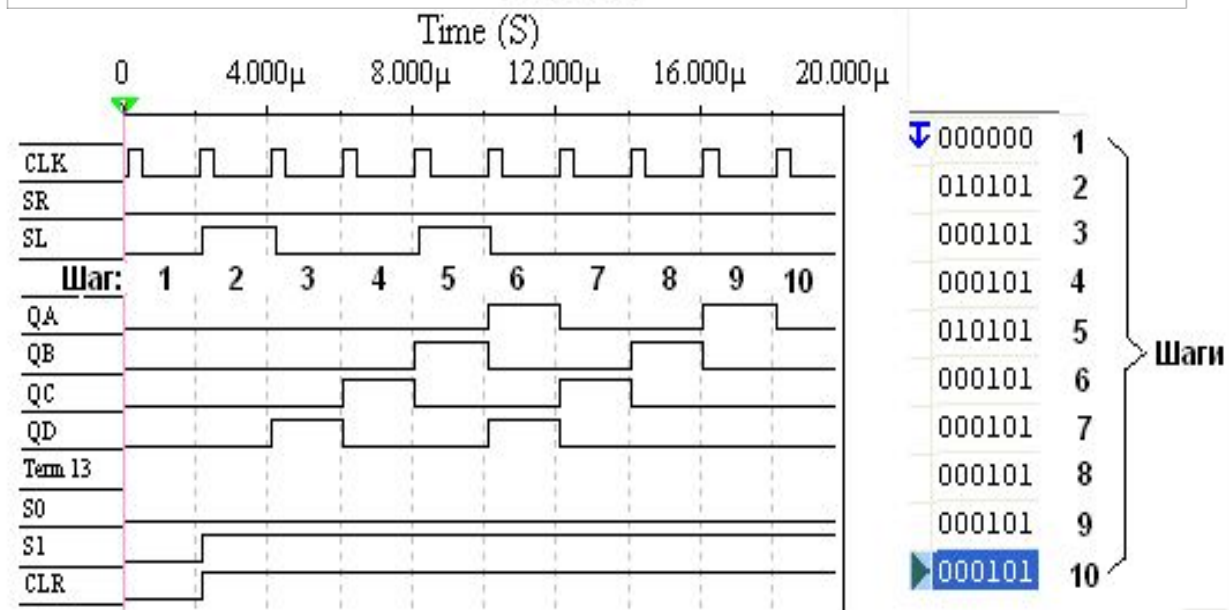
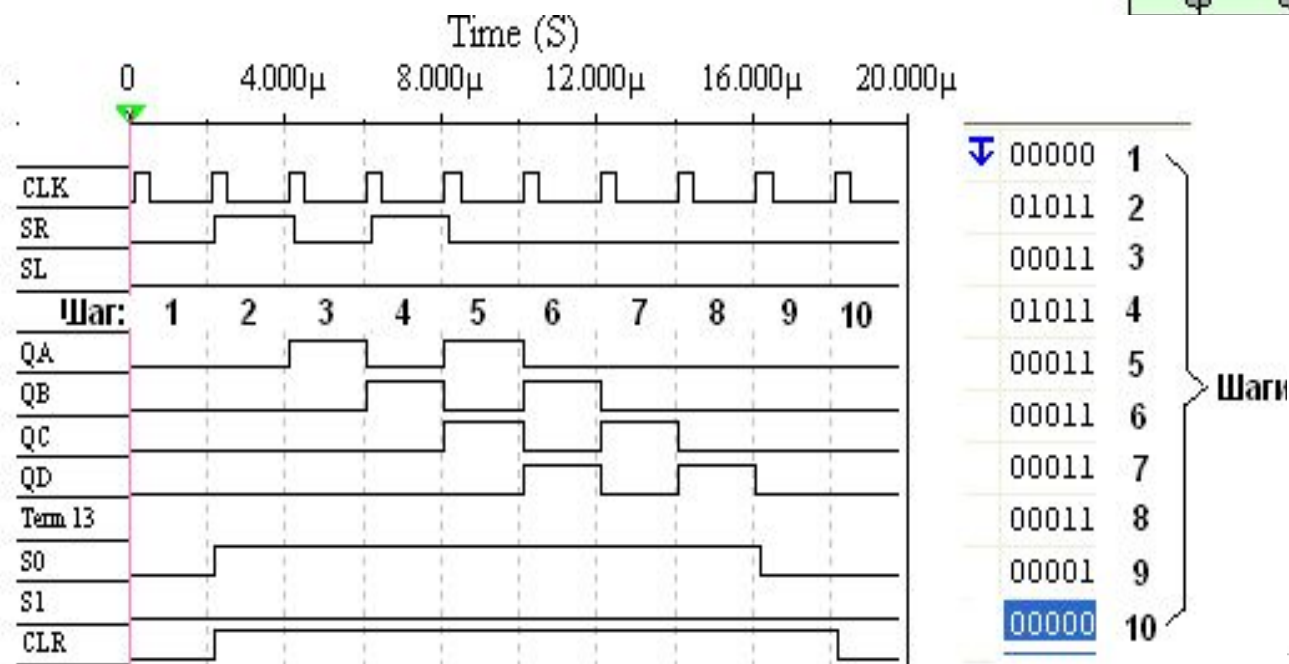


Рис. 33.8

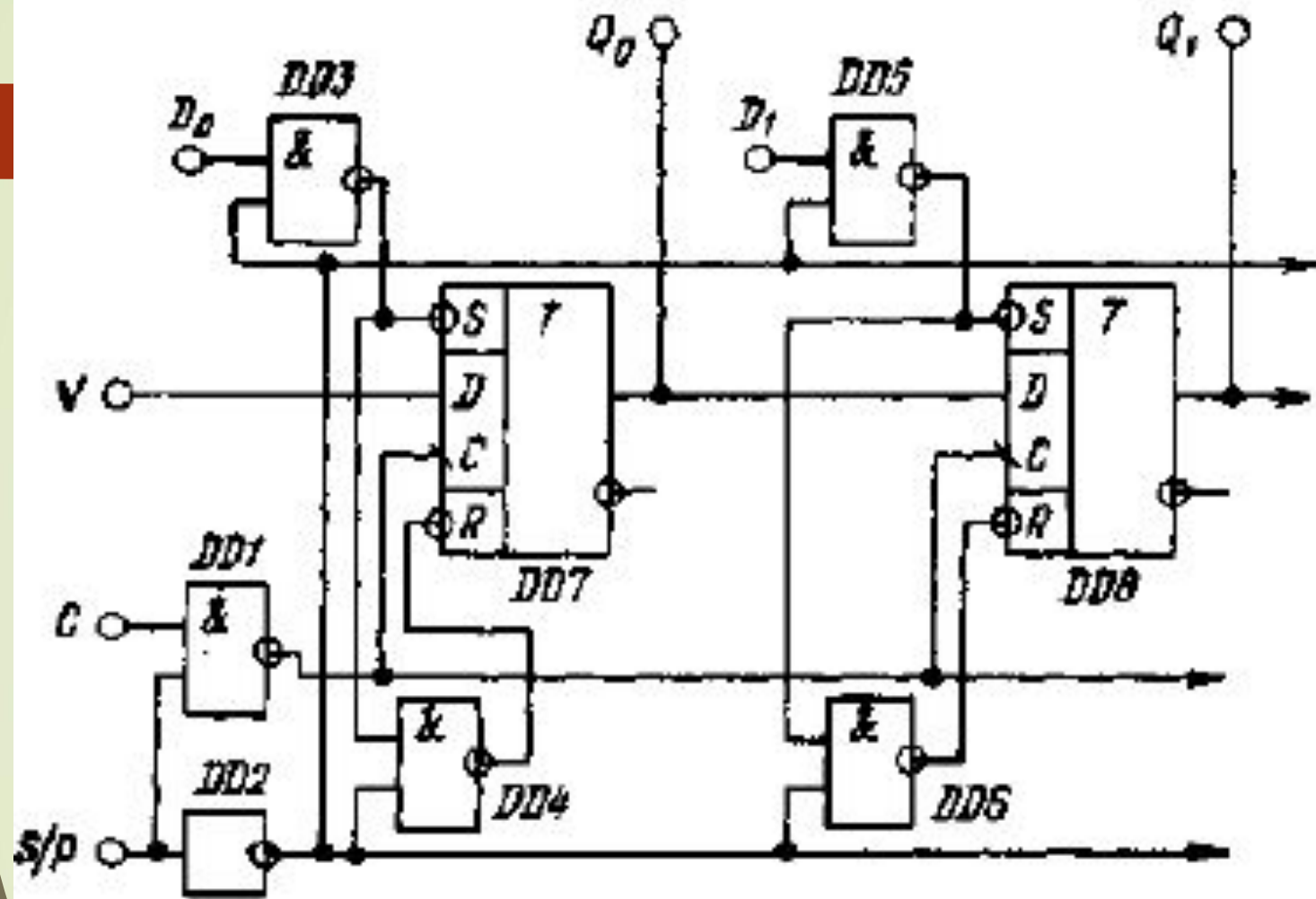


Рис. 17.26. Фрагмент структурной схемы сдвигающего регистра

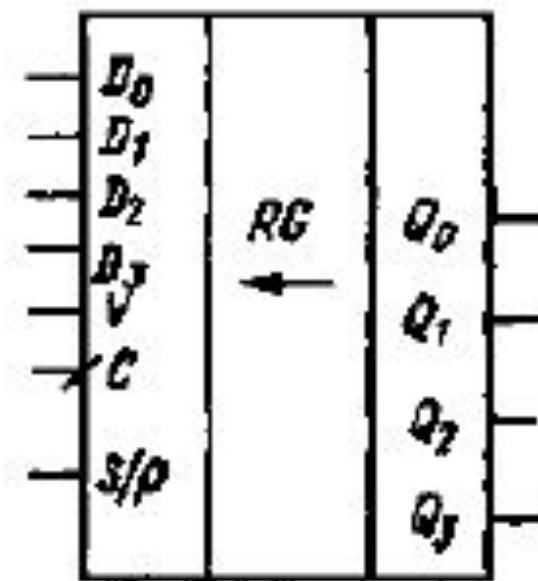
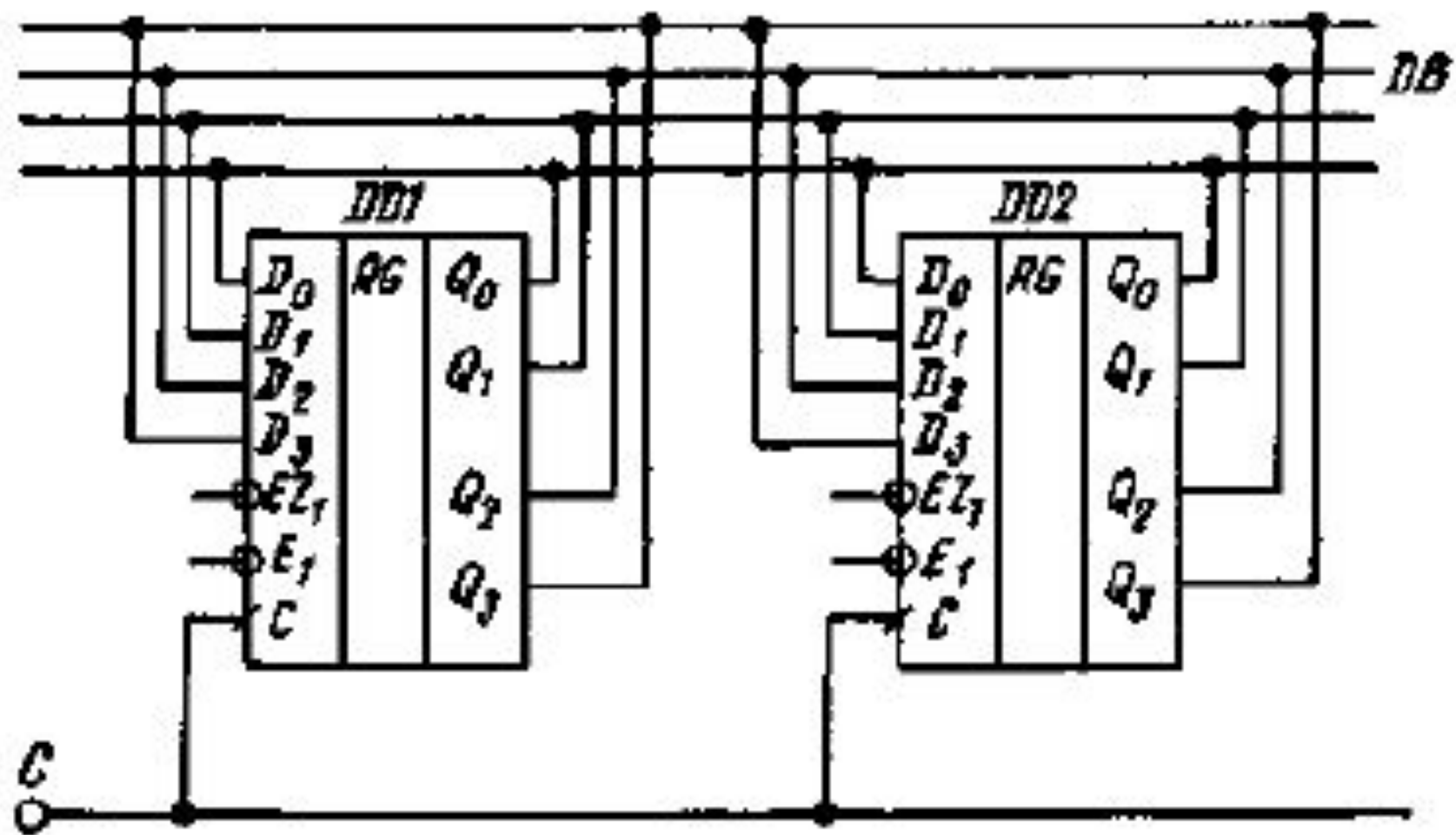


Рис. 17.27. Условно графическое обозначение сдвигающего регистра



Организация обмена информацией между регистрами по общей шине

Объединив в одной микросхеме несколько регистров и добавив на входе дешифратор DCW, а на выходе мультиплексор MS, получают *регистровую (сверхоперативную) память*. Входы D_i четырёх или восьми регистров, как правило, 4-разрядных, подключают к общей входной шине данных DIN . Вход загрузки требуемого регистра выбирается дешифратором записи DCW на основании поступающего на его вход адреса записи WA , т. е. кода номера загружаемого регистра. *Запись* данных, присутствующих на шине DIN , происходит в момент поступления сигнала разрешения записи WE .

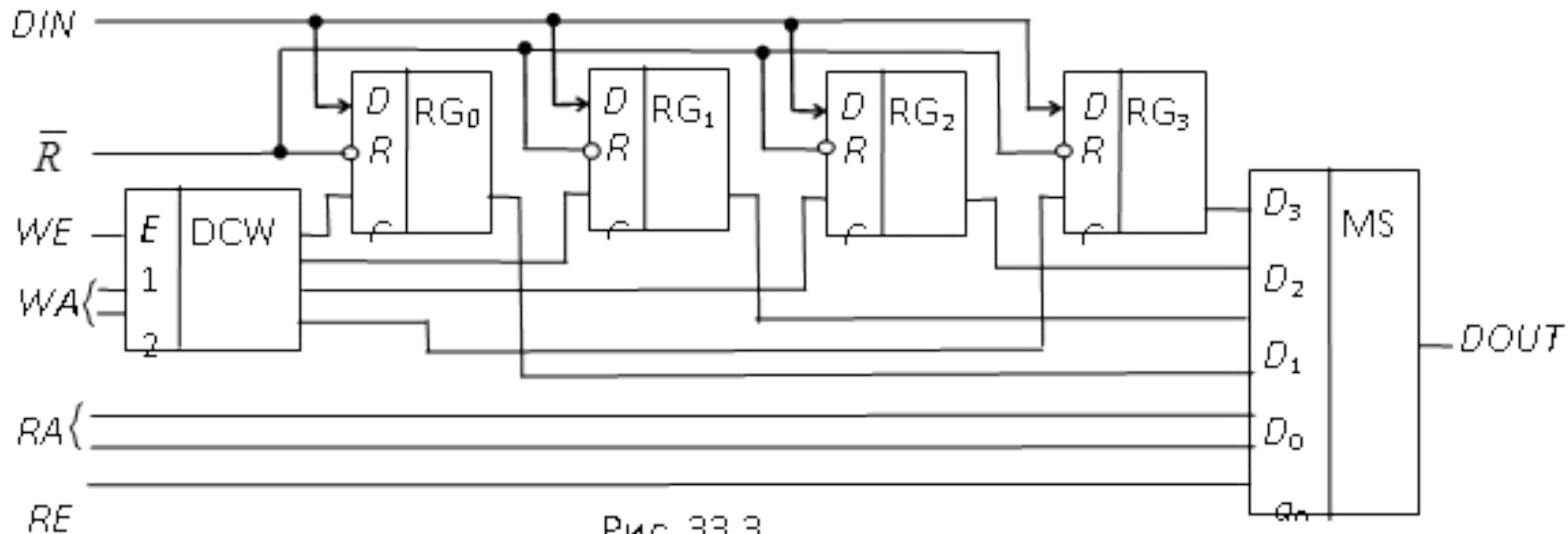


Рис. 33.3

Выходы регистров мультиплексором MS подключаются к выходной шине $DOUT$. Номер регистра, с которого происходит *чтение*, определяется посредством кода адреса чтения RA . Разрешение выдачи данных в шину $DOUT$ происходит по сигналу RE . Поскольку дешифрация адреса записи и адреса чтения производится двумя независимыми узлами, имеющими автономные адресные входы WA и RA , в регистровую память можно одновременно записывать бинарное число в один из регистров и считывать число из другого.

Счётчиком наз. последовательностное устройство для счета входных импульсов и фиксации их числа и двоичном коде. Состоит из запоминающих ячеек – триггеров обычно *D*- или *JK*-типа. Между собой ячейки счётчика соединяют таким образом, чтобы каждому числу импульсов соответствовали состояния 1 или 0 определенных ячеек. При этом **совокупность единиц и нулей на выходах *n* ячеек, наз. разрядами счетчика, представляет собой *n*-разрядное двоичное число, которое однозначно определяет количество прошедших через входы импульсов.**

Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счётчик, называют коэффициентом пересчёта $K_{сч}$.

В цифровых схемах счётчики выполняют следующие микрооперации над кодовыми словами:

- установка в исходное состояние (запись нулевого кода);**
- запись входной информации в параллельной форме;**
- хранение информации;**
- выдача хранимой информации в параллельной форме;**
- инкремент—увеличение хранящегося кодового слова на единицу;**
- декремент — уменьшение хранящегося кодового слова на единицу.**

Если с каждым входным импульсом "записанное" в счётчике число увеличивается, счётчик является *суммирующим*, если же оно уменьшается, то – *вычитающим*. Счётчик, работающий на сложение и на вычитание, наз. *реверсивным*.

Счётчики входят в состав разнообразных цифровых устройств: электронных часов, делителей частоты, распределителей импульсов, вычислительных и управляющих устройств. Выпускаемые промышленностью интегральные счётчики

Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать счётчик, наз. коэффициентом счёта (модулем пересчёта) $K_{сч}$.

Максимальное число N , которое может быть записано в счётчике, равно $(2^n - 1)$, где n – число разрядов счётчика.

По способу кодирования последовательных состояний различают двоичные счётчики с коэффициентами счёта $K_{сч} = 2^n$, у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел, и недвоичные (двоично-кодированные) с $K_{сч} < 2^n$ (десятичные с коэффициентом $K_{сч} = 10$ или делители частоты с коэффициентом деления $K_{сч} \neq 2^n$).

По направлению счёта счётчики подразделяют на: суммирующие, выполняющие микрооперацию инкремента над хранящимся кодовым словом;

вычитающие, выполняющие микрооперацию декремента над хранящимся кодовым словом;

реверсивные, выполняющие в зависимости от значения управляющего сигнала над хранящимся кодовым словом либо микрооперацию декремента, либо инкремента.

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют

счетчики с последовательным переносом, в которых переключение триггеров разрядных схем осуществляется последовательно один за другим;
счетчики с параллельным переносом, в которых переключение всех триггеров разрядных схем осуществляется одновременно по сигналу синхронизации; ~
счетчики с комбинированным последовательно-параллельным переносом, при котором используются различные комбинации способов переноса.

- По способу кодирования внутренних состояний счётчики делятся на:
- двоичные счётчики;
- двоично-десятичные (или декадные) счётчики;
- счетчики, работающие в коде Грея;
- счётчики Джонсона.

- Обычный счетчик перебирает свои состояния в возрастающем порядке (суммирующий счетчик).
- Если наоборот, то это вычитающий счетчик.
- Если можно менять направление перебора- реверсивный счетчик.
- Если для переключения нужен синхросигнал, счетчик называется синхронным, если только входной сигнал, то асинхронным.

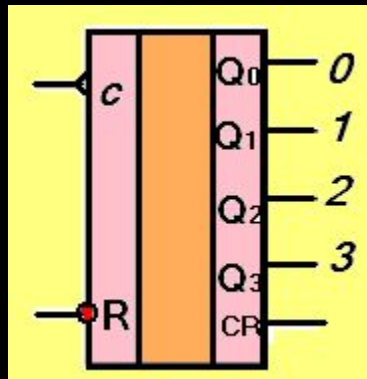
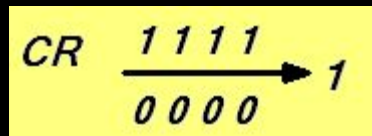


Рис. Схемное обозначение счетчика

- CR – выход переноса, который используется для соединения со следующим счетчиком.

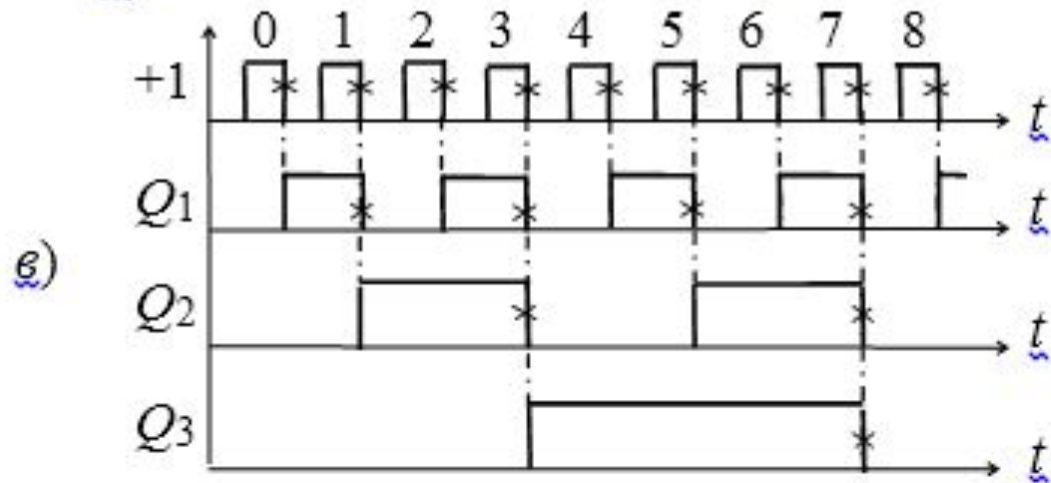
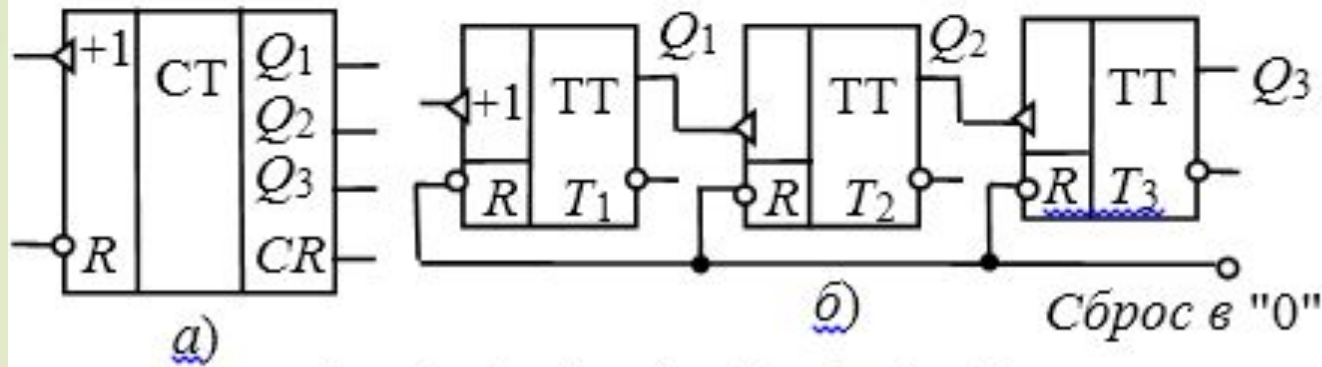
Виды связи между триггерами счетчиками

- **непосредственная связь** - счетчик последовательного переноса
- **тракт последовательного переноса** - счетчик последовательного переноса
- **тракт параллельного переноса** – счетчик параллельного переноса.

СЧЁТЧИК С НЕПОСРЕДСТВЕННЫМИ СВЯЗЯМИ

R - вход общего сброса, Q1, Q2 и Q3 – выходы счетчика, CR – выход переноса единицы.

Суммирующий вход счетчика обозначается +1, вычитающий -1. Это счетные входы. У асинхронных счетчиков эти входы помечены специальными символами: или, указывающими полярность перепада входного сигнала: 1/0 или 0/1, при которой происходит переключение триггеров счетчика происходит переключение триггеров счетчика



Т а б л и ц а 34.1

Номер входного импульса	Q ₃	Q ₂	Q ₁	CR
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
				1
0	0	0	0	

Для переключения триггеров в счетчиках используют следующие связи: непосредственную, тракт последовательного переноса, тракт параллельного переноса. Первый триггер счетчика T₁ образует младший разряд. Он пересчитывает входные импульсы по модулю 2, а состояние его выхода воспринимается следующим T₂ триггером как входные сигналы и снова пересчитываются на 2 и т.д.

Рассмотрим воздействие на счётчик, к примеру, шестого (обозначенного на диаграмме цифрой 5) импульса. По его спаду триггер T_1 устанавливается в 0, перепад 1/0 на его выходе Q_1 переключает в 1 триггер T_2 , а триггер T_3 остается в прежнем (единичном) состоянии, так как перепад 0/1 на выходе Q_2 не является для него переключющим.

Из диаграммы видно, что частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе. В момент, предшествующий переключению очередного разряда, все предыдущие разряды счётчика находятся в состоянии 1. Восьмой импульс для трехразрядного счётчика (см. табл. 34.1) является импульсом переполнения: им все триггеры устанавливаются в 0 (счётчик "обнуляется").

Если в счётчике используются триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

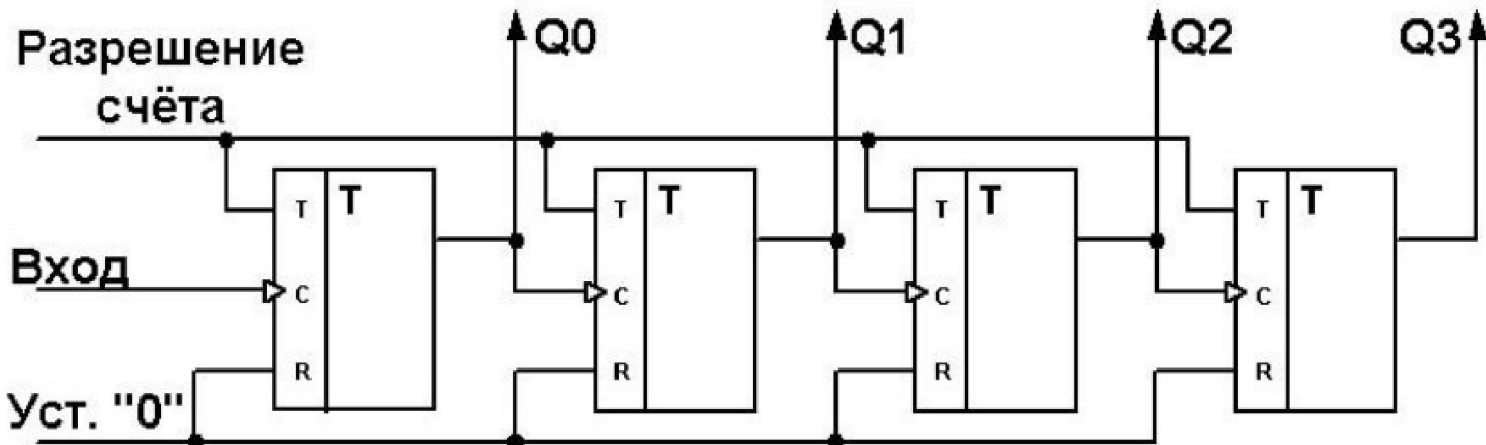


Схема четырехразрядного синхронного счетчика

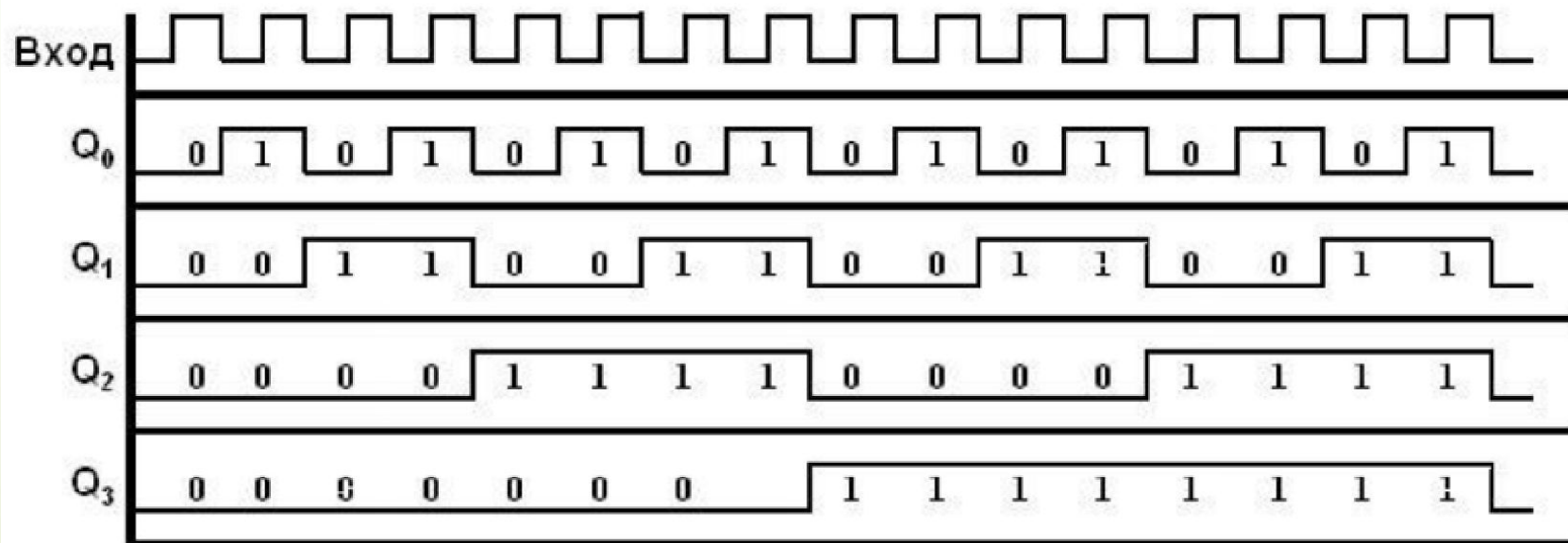
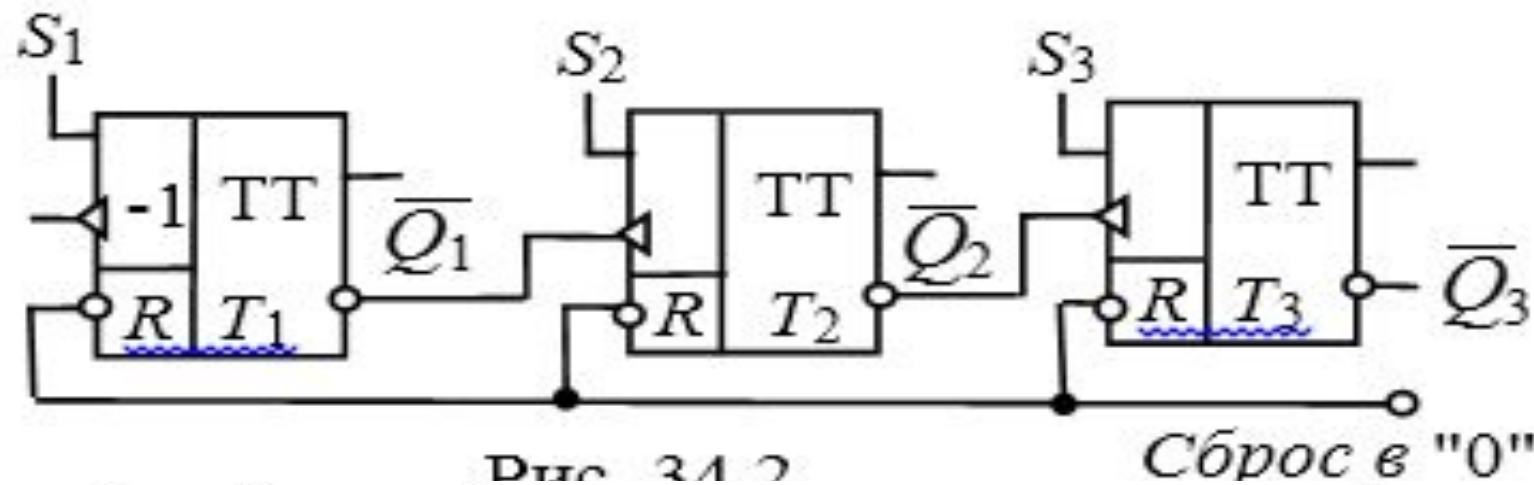
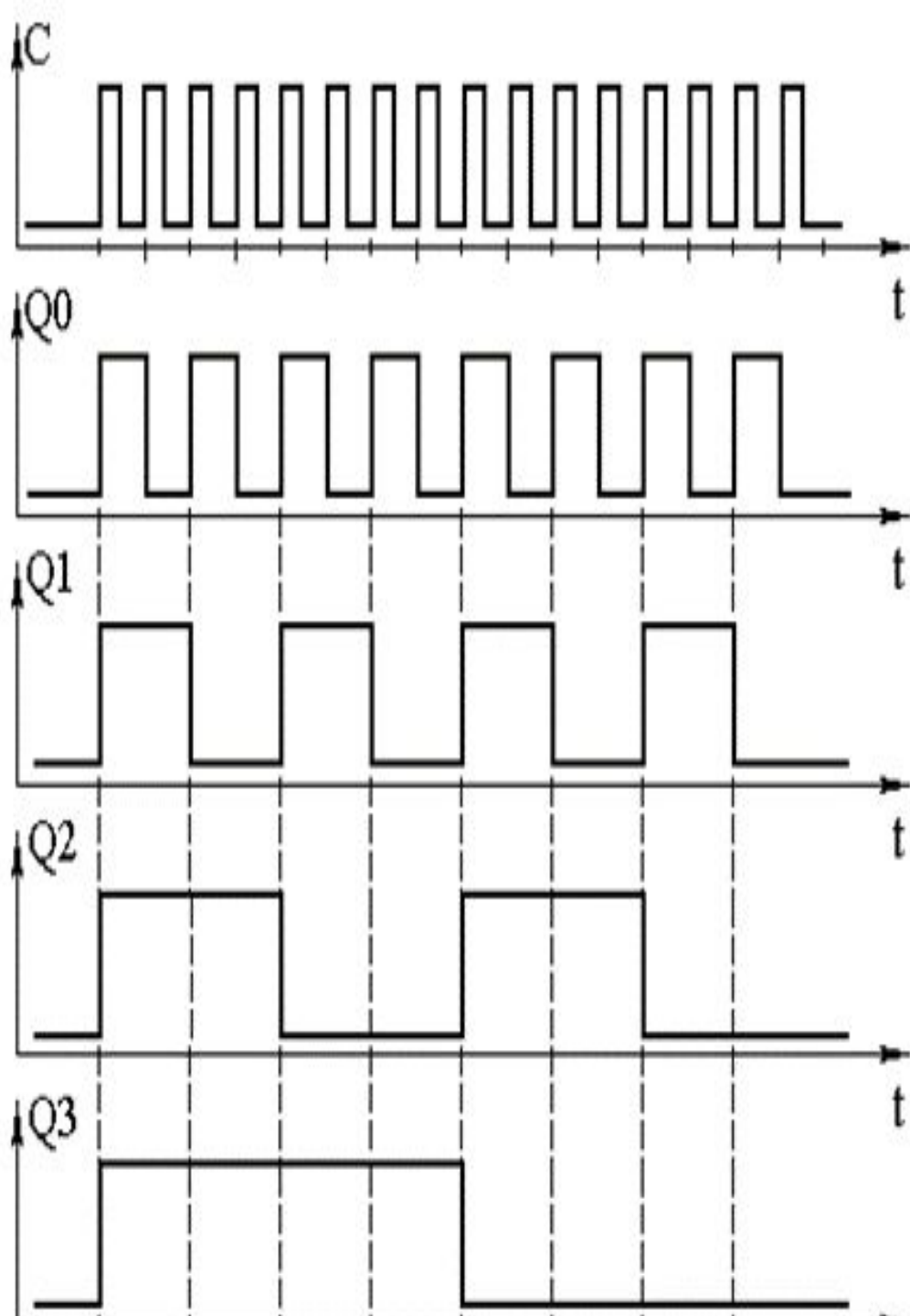


Схема вычитающего счётчика приведена на рис. 34.2, в которой по входам S в разряды счётчика заносят двоичное число, из которого нужно вычесть число, представляемое количеством входных импульсов. Пусть, например, в счётчик (рис. 34.2) занесено число $5_{10} = 101_2$. Первым входным импульсом триггер T_1 переключится из 1 в 0 (по основному выходу); при этом на инверсном выходе \overline{Q}_1 возникает перепад 0/1, которым триггер T_2 переключиться не может; в счётчике останется число $100_2 = 4_{10}$.



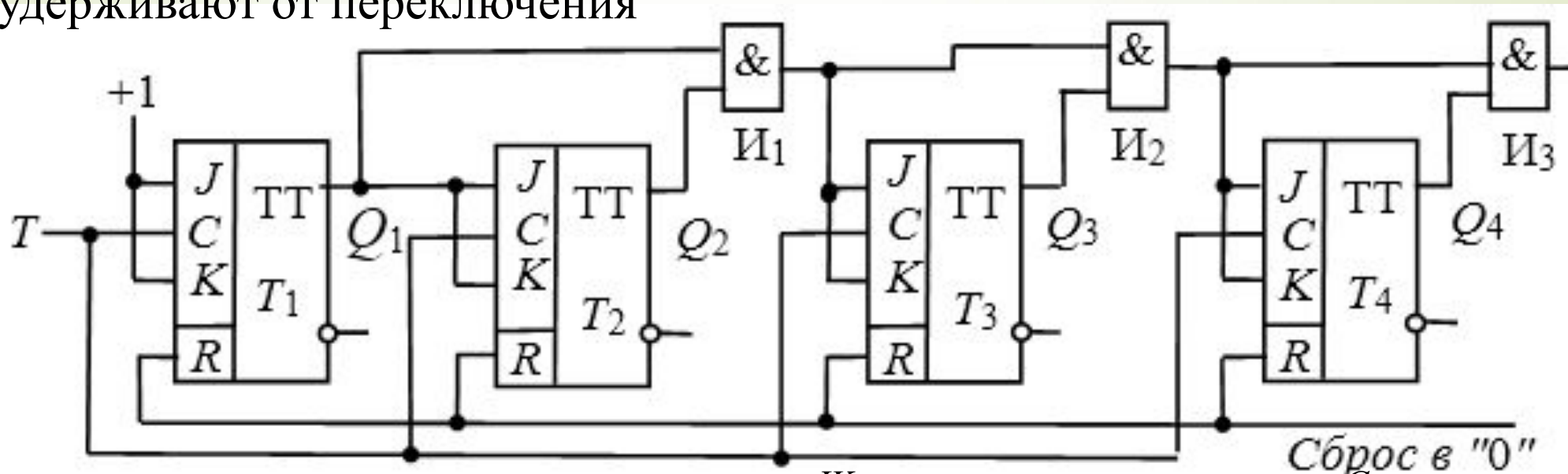
Второй входной импульс устанавливает триггер T_1 в состояние 1, на выходе \overline{Q}_1 появляется перепад 1/0, который переключает T_2 в состояние 1, а формирующийся при этом на \overline{Q}_2 перепад 1/0 переключает T_3 в состояние 0. В счётчике остается число $011_2 = 3_{10}$. Аналогично можно рассмотреть действие последующих входных импульсов.



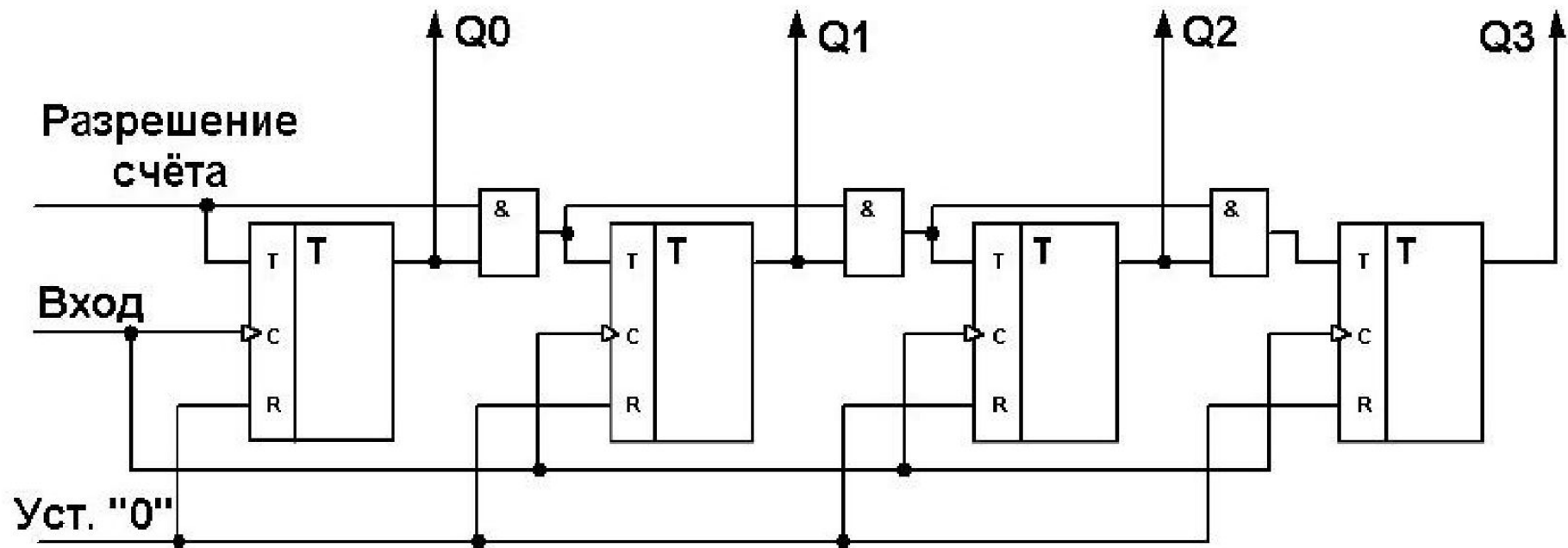
В счётчике с непосредственной связью переключение триггеров, вызванное срезом входного сигнала, происходит один за другим, *последовательно*, и задержка распространения n -разрядного счётчика, оцениваемая задержкой самого худшего случая – сменой всех 1 на все 0, – в n раз больше задержки одного T -триггера. Если разрядов много, то большая задержка может оказаться серьёзным недостатком такого счётчика. Из-за невозможности выполнить смену состояния всего счётчика в единый момент времени, счётчики с непосредственной связью бывают только *асинхронными*, т. е. сигналом, переключающим их, является сам входной сигнал.

СУММИРУЮЩИЙ СИНХРОННЫЙ СЧЁТЧИК

В *синхронном* счётчике переключающиеся разряды переходят в новое состояние одновременно (синхронно). Для того чтобы на входы всех разрядов каждый счётный импульс поступал одновременно, а переключение разрядов происходило в нужной последовательности, в схему добавляют логические цепи, которые обеспечивают переключение одних разрядов, а другие удерживают от переключения

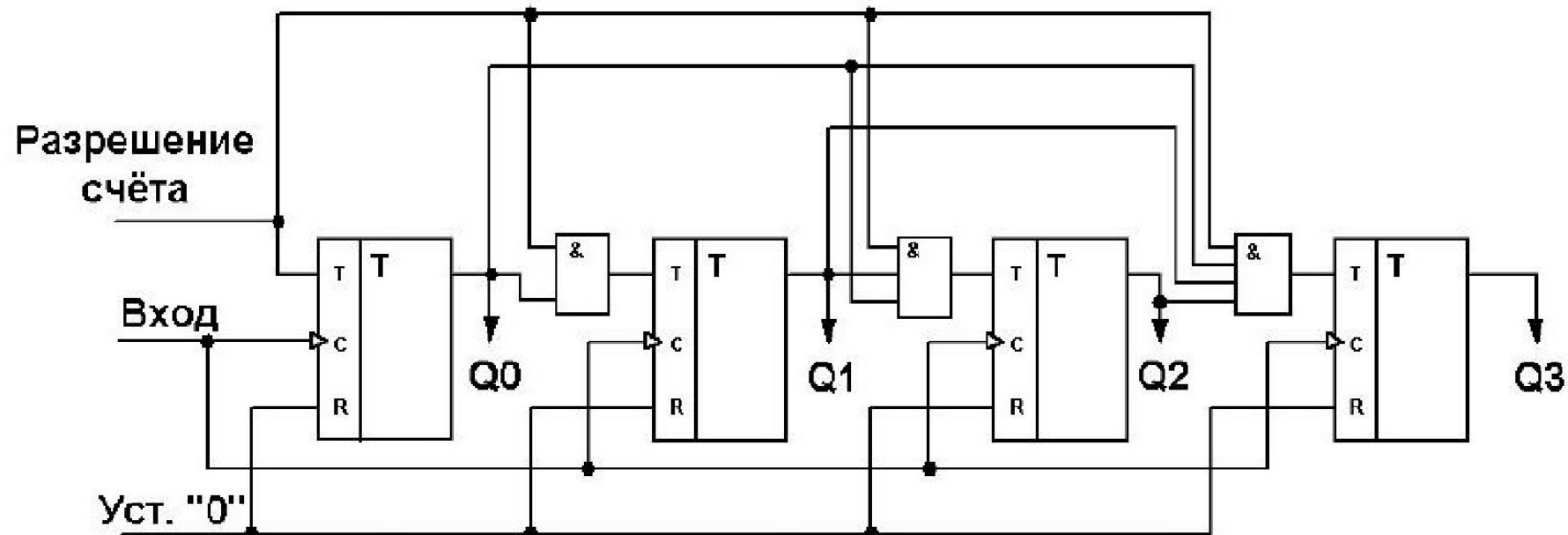


В схеме четырехразрядного синхронного счётчика на JK -триггерах на тактовые входы C всех триггеров счётные импульсы поступают одновременно с входа T . Информационные входы J и K каждого триггера объединены. Триггер T_1 переключается каждым счётным импульсом, так как на его входы J и K постоянно подаётся 1. Остальные триггеры переключаются счётными импульсами при следующих условиях: T_2 - при $Q_1 = 1$; T_3 - при $Q_1 = 1$ и $Q_2 = 1$; T_4 - при $Q_1 = 1, Q_2 = 1$ и $Q_3 = 1$.



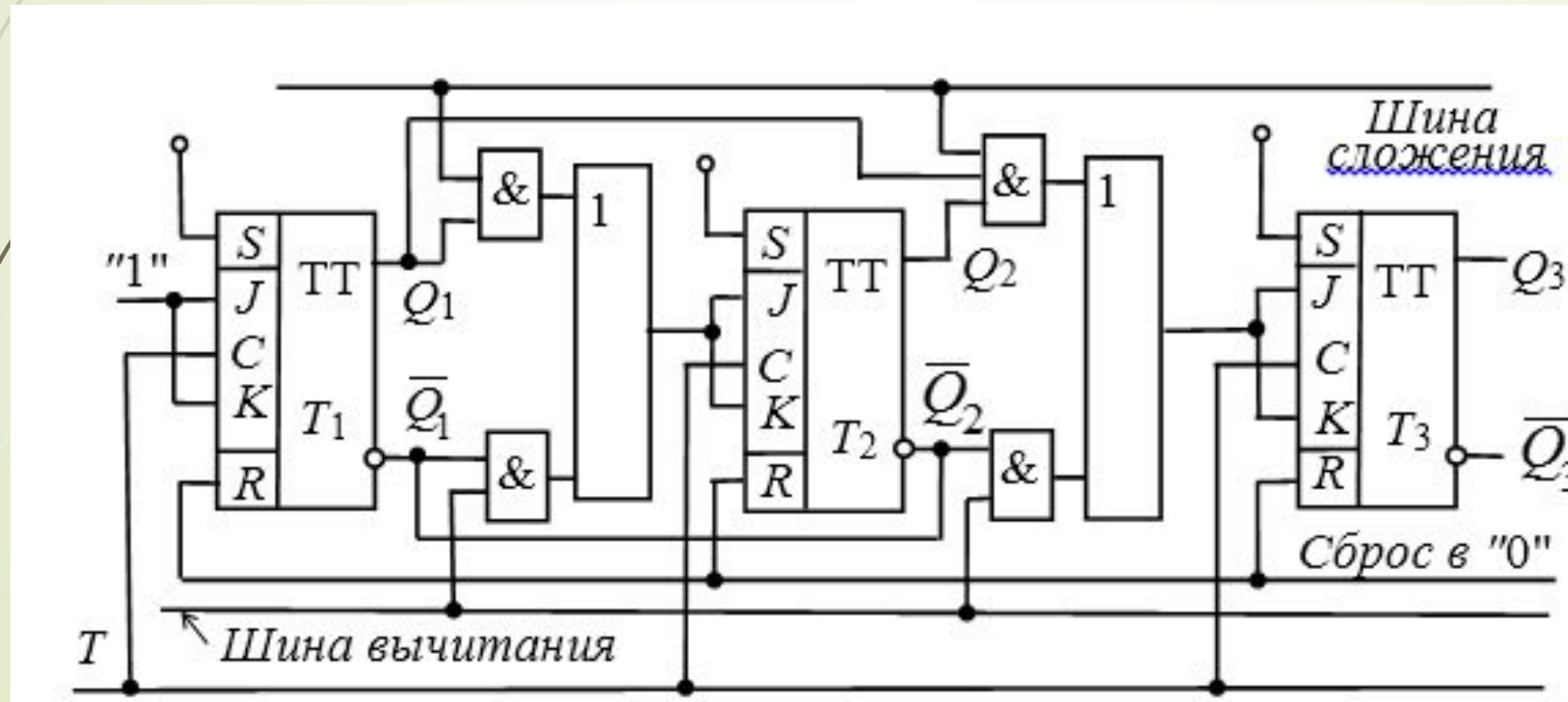
Синхронный счетчик с последовательным переносом

Синхронные счетчики с параллельным переносом



Реверсивный счётчик, фрагмент которого изображен на рис. 34.4, работает как на сложение, так и на вычитание. Для перехода от сложения к вычитанию и обратно изменяют подключение входа последующего триггера к выходам предыдущего.

На объединённые входы J и K каждого триггера подаётся через дизъюнкторы конъюнкция сигналов с выходов предыдущих триггеров: основные выходы предыдущих триггеров присоединяются через конъюнкторы верхнего ряда (при сложении), а инверсные выходы – через конъюнкторы нижнего ряда (при вычитании). При сложении подают 1 на шину сложения, которой вводятся в действие конъюнкторы верхнего ряда; при этом на шине вычитания присутствует 0, вследствие чего конъюнкторы нижнего ряда выключены. Вычитание осуществляется при подаче 1 на шину вычитания и 0 на шину сложения. Счетные импульсы поступают на вход T .



Двоично-кодированные счетчики

Наибольшее распространение среди недвоичных счётчиков, у которых коэффициент пересчёта $K_{сч} < 2^n$, имеют десятичные счётчики, у которых $K_{сч} = 10$. При проектировании недвоичного счётчика вначале определяют количество его разрядов n так, чтобы 2^n было бóльшим ближайшим к $K_{сч}$ числом. Затем тем или иным способом (например, принудительной установкой некоторых разрядов счётчика в 1) исключают избыточные состояния счётчика, число которых равно $2^n - K_{сч}$.

Так, для получения $K_{сч} = 10$ одноразрядный счётчик должен содержать четыре триггера, а избыточные состояния $2^n - K_{сч} = 16 - 10 = 6$ исключают.

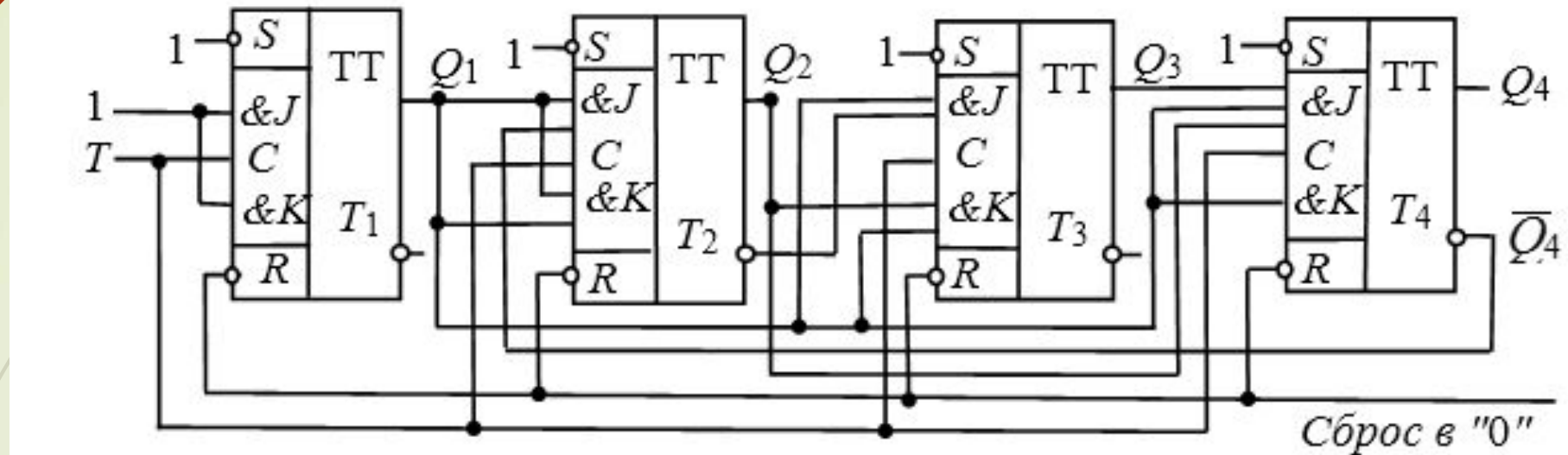
При проектировании десятичного счётчика чаще используют двоично-десятичное кодирование чисел. В этой системе, например, число 375 записывается как 0011 0111 0101, где сохранены позиции десятичных разрядов: $0011_2 = 3_{10}$, $0111_2 = 7_{10}$, $0101_2 = 5_{10}$.

При построении таких счетчиков получили распространение в основном два метода: метод исключения лишних состояний; метод управляемого сброса.

Десятичный счётчик должен состоять из последовательно соединенных декад, информация о каждом из девяти импульсов накапливается в декаде, а десятым импульсом она обнуляется, и единица переносится в следующую декаду. Каждая декада работает в натуральном двоичном коде с весами двоичных разрядов, начиная со старшего, соответственно равными 8, 4, 2, 1, т.е. декада работает в коде 8-4-2-1. Если к выводам декад подключить индикаторы, то они будут показывать записанные числа в декадах в привычном десятичном

функциональная схема десятичного счётчика с параллельным переносом на JK -триггерах с встроенными логическими элементами, реализующая переключательные функции:

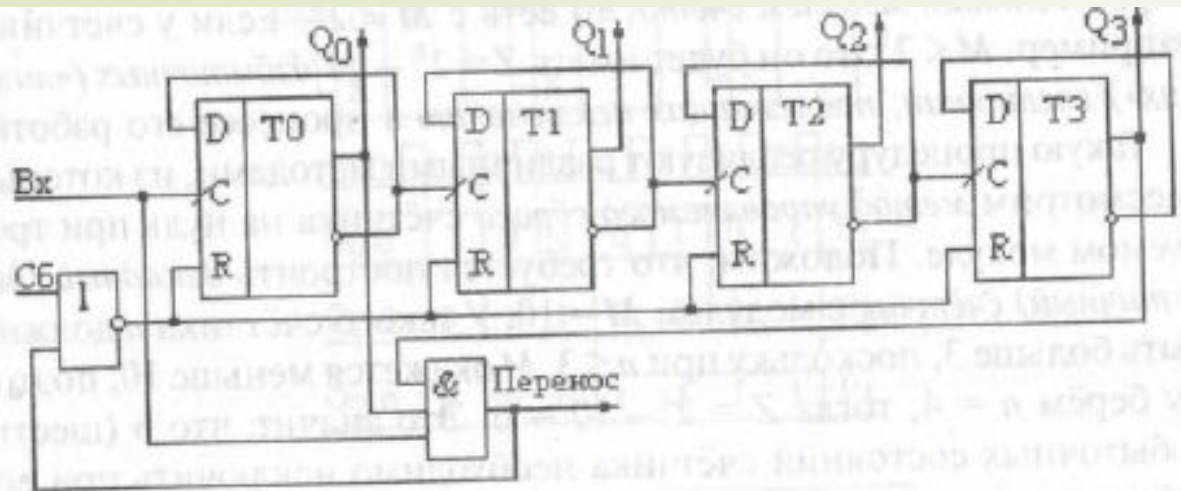
$$J_1 = 1; J_2 = Q_1 \bar{Q}_4; J_3 = Q_1 \bar{Q}_2; J_4 = Q_1 Q_2 Q_3; \quad K_1 = 1; K_2 = Q_1; K_3 = Q_1 Q_2; K_4 = Q_1.$$



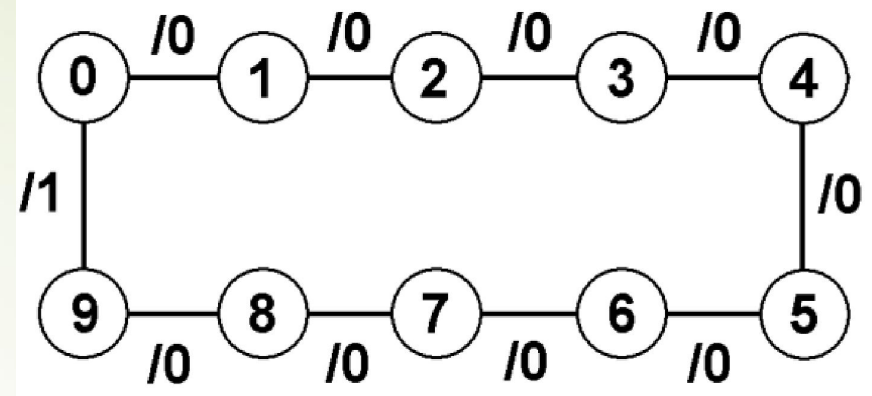
Пусть по тактовому входу T на триггер T_1 поступило семь импульсов и показание счётчика 0111. При этом на входах K триггеров T_1 , T_2 и T_3 будут логические единицы. Восьмой импульс вызовет переключение всех триггеров счётчика, т. е. в нём будет записан код 1000. Девятый импульс вызовет переключение только первого триггера, так как остальные триггеры заблокированы по входу J уровнями логического нуля с триггеров T_1 , T_2 и T_3 соответственно. Показание счётчика будет 1001. Десятый входной импульс вызовет переключение триггеров T_1 и T_4 , так как триггеры T_2 и T_3 заблокированы по входу J уровнями 0 с выходов соответствующих триггеров. Счётчик зафиксирует двоичный код 0000, т. е. установится в исходное состояние

Уменьшение числа устойчивых состояний в счётчике прямого счёта достигнуто за счёт введения обратных связей, посредством которых сигнал с какого-либо старшего разряда поступает в младшие, обеспечивая при этом изменение естественной последовательности двоичных чисел при подсчёте входных импульсов. Этим способом можно строить счётчики с заданным коэффициентом

Двоично-десятичные (декадные) счётчики

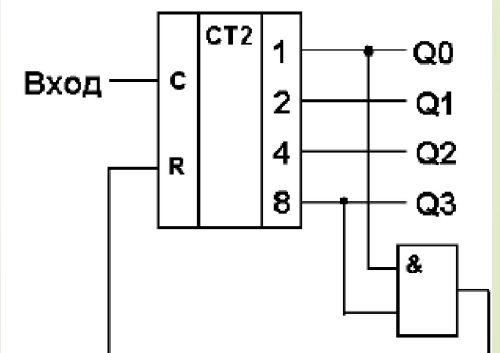


T	0	1	2	3	4	5	6	7	8	9	10	11	t
Q_n	0	1	0	1	0	1	0	1	0	1	0	1	t
\bar{Q}_0 *	1	0	1	0	1	0	1	0	1	0	0	0	t
Q_1	0	0	1	1	0	0	1	1	0	0	0	0	t
\bar{Q}_1 *	1	1	0	0	1	1	0	0	1	1	0	1	t
Q_2	0	0	0	0	1	1	1	1	0	0	0	0	t
\bar{Q}_2 *	1	1	1	1	0	0	0	0	1	1	0	1	t
Q_3	0	0	0	0	0	0	0	0	1	1	0	0	t
\bar{Q}_3 *	1	1	1	1	1	1	1	1	0	0	0	1	t



i	Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+	P4	T_3	T_2	T_1	T_0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	0	1	1
2	0	0	1	0	0	0	1	1	0	0	0	0	1
3	0	0	1	1	0	1	0	0	0	0	1	1	1
4	0	1	0	0	0	1	0	1	0	0	0	0	1
5	0	1	0	1	0	1	1	0	0	0	0	1	1
6	0	1	1	0	0	1	1	1	0	0	0	0	1
7	0	1	1	1	1	0	0	0	0	1	1	1	1
8	1	0	0	0	1	0	0	1	0	0	0	0	1
9	1	0	0	1	0	0	0	0	1	1	0	0	1

$$T_0 = 1; \quad T_1 = \bar{Q}_3 Q_0; \quad T_2 = \bar{Q}_3 Q_1 Q_0; \quad T_3 = Q_3 Q_2 Q_1 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$



Счётчики в коде Грея

$$q_i = Q_i \oplus Q_{i+1} \text{ (для } i = 0, 1, \dots, n-2),$$

$$q_{i-1} = Q_{i-1}.$$

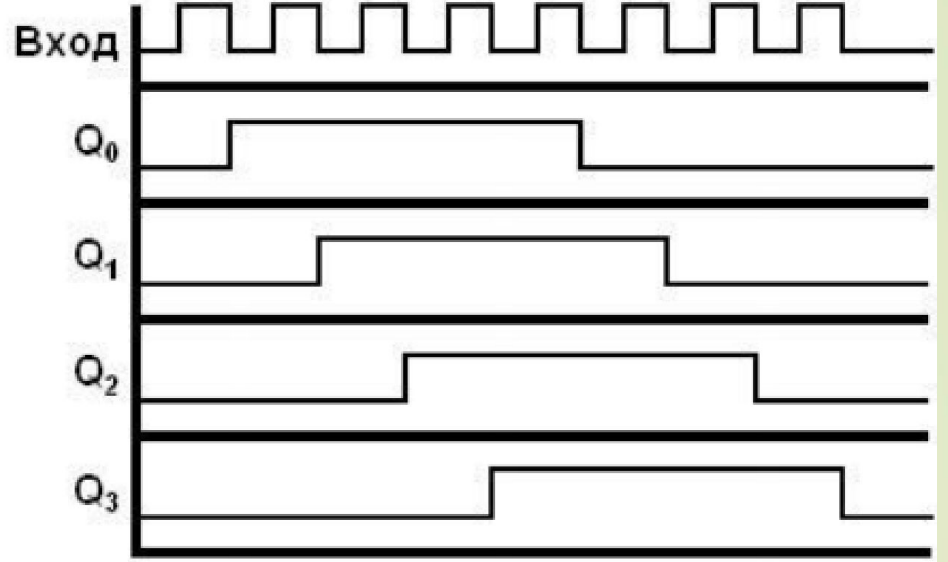
Двоичный код				Код Грея			
Q ₃	Q ₂	Q ₁	Q ₀	q ₃	q ₂	q ₁	q ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

q ₃	q ₂	q ₁	q ₀	q ₃ ⁺	q ₂ ⁺	q ₁ ⁺	q ₀ ⁺	P4	T ₃	T ₂	T ₁	T ₀
0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	1	1	0	0	0	1	0
0	0	1	1	0	0	1	0	0	0	0	0	1
0	0	1	0	0	1	1	0	0	0	1	0	0
0	1	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	0	1	0	1	0	0	0	1	0
0	1	0	1	0	1	0	0	0	0	0	0	1
0	1	0	0	1	1	0	0	0	1	0	0	0
1	1	0	0	1	1	0	1	0	0	0	0	1
1	1	0	1	1	1	1	1	0	0	0	1	0
1	1	1	1	1	1	1	0	0	0	0	0	1
1	1	1	0	1	0	1	0	0	0	1	0	0
1	0	1	0	1	0	1	1	0	0	0	0	1
1	0	1	1	1	0	0	1	0	0	0	1	0
1	0	0	1	1	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	1	1	0	0	0

$$\begin{aligned}
 T_0 &= \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 + \\
 &\quad + \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 = \overline{Q_3}Q_2(\overline{Q_1}Q_0 + Q_1Q_0) + \\
 &\quad + \overline{Q_3}Q_2(Q_1\overline{Q_0} + Q_1Q_0) + \overline{Q_3}Q_2(\overline{Q_1}Q_0 + Q_1Q_0) + \overline{Q_3}Q_2(Q_1\overline{Q_0} + Q_1Q_0) = \\
 &= \overline{Q_3}Q_2(\overline{Q_0} \oplus Q_0) + \overline{Q_3}Q_2(Q_0 \oplus Q_0) + \overline{Q_3}Q_2(\overline{Q_0} \oplus Q_0) + \overline{Q_3}Q_2(Q_0 \oplus Q_0) = \\
 &= (\overline{Q_0} \oplus Q_0)(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) + (Q_0 \oplus Q_0)(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) = \\
 &= (\overline{Q_0} \oplus Q_0)(\overline{Q_2} \oplus Q_2) + (Q_0 \oplus Q_0)(Q_2 \oplus Q_2) = \overline{Q_0} \oplus Q_0 \oplus Q_2 \oplus Q_2. \\
 T_1 &= \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} = \\
 &= Q_1Q_0(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) + \overline{Q_1}Q_0(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) = Q_1Q_0(Q_3 \oplus Q_2) + \\
 &\quad + \overline{Q_1}Q_0(\overline{Q_3} \oplus \overline{Q_2}) = Q_0(Q_1(Q_3 \oplus Q_2) + \overline{Q_1}(\overline{Q_3} \oplus \overline{Q_2})). \\
 T_2 &= \overline{Q_3}Q_2Q_1\overline{Q_0} + \overline{Q_3}Q_2Q_1Q_0 = \overline{Q_1}Q_0(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) = \overline{Q_1}Q_0(Q_3 \oplus Q_2). \\
 T_3 &= \overline{Q_3}Q_2Q_1Q_0 + \overline{Q_3}Q_2Q_1\overline{Q_0} = \overline{Q_1}Q_0(\overline{Q_3}Q_2 + \overline{Q_3}Q_2) = \overline{Q_1}Q_0(Q_3 \oplus Q_2). \\
 P4 &= \overline{Q_3}Q_2Q_1Q_0.
 \end{aligned}$$

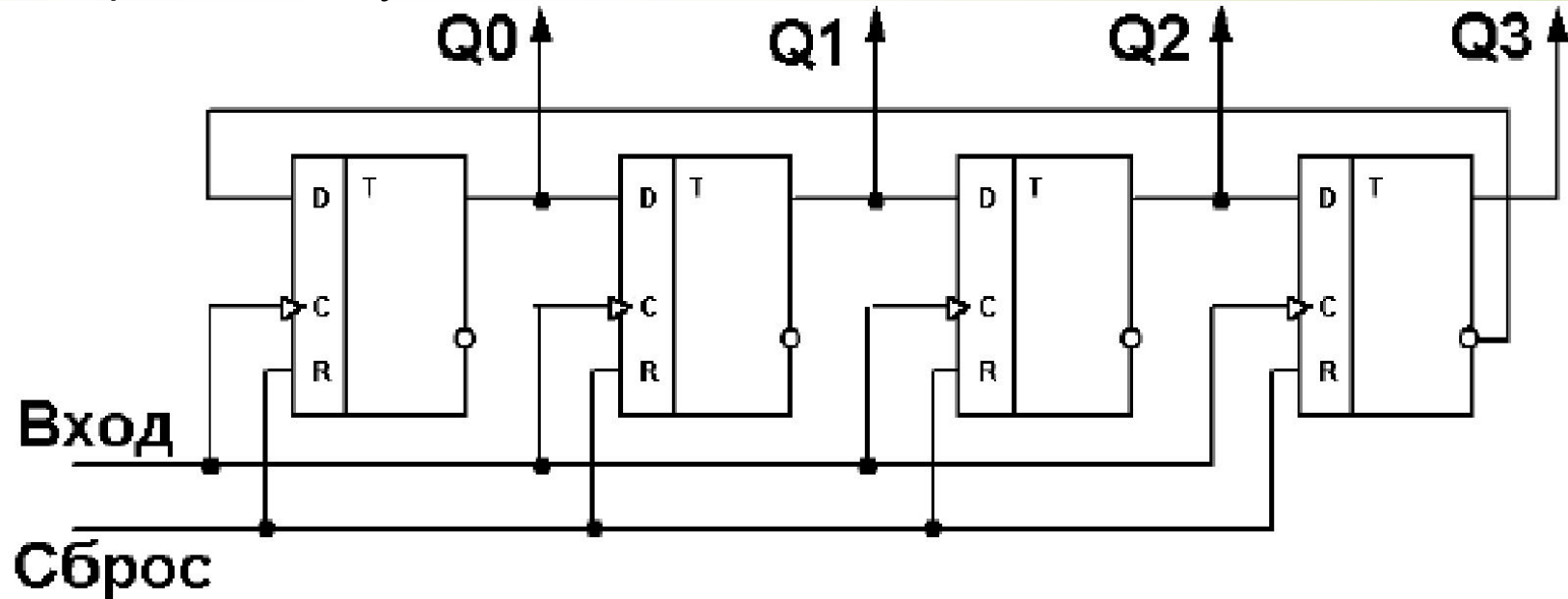
Счётчик Джонсона

Q_3	Q_2	Q_1	Q_0	Q_3^+	Q_2^+	Q_1^+	Q_0^+
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	1	0	1	1	1
0	1	1	1	1	1	1	1
1	1	1	1	1	1	1	0
1	1	1	0	1	1	0	0
1	1	0	0	1	0	0	0
1	0	0	0	0	0	0	0



первые четыре такта счётчик заполняется «единицами», а в следующие четыре такта - «нулями».

Q_3Q_2	Q_1Q_0			
	00	01	11	10
00	1	1	1	-
01	-	-	1	-
11	0	-	0	0
10	0	-	-	-



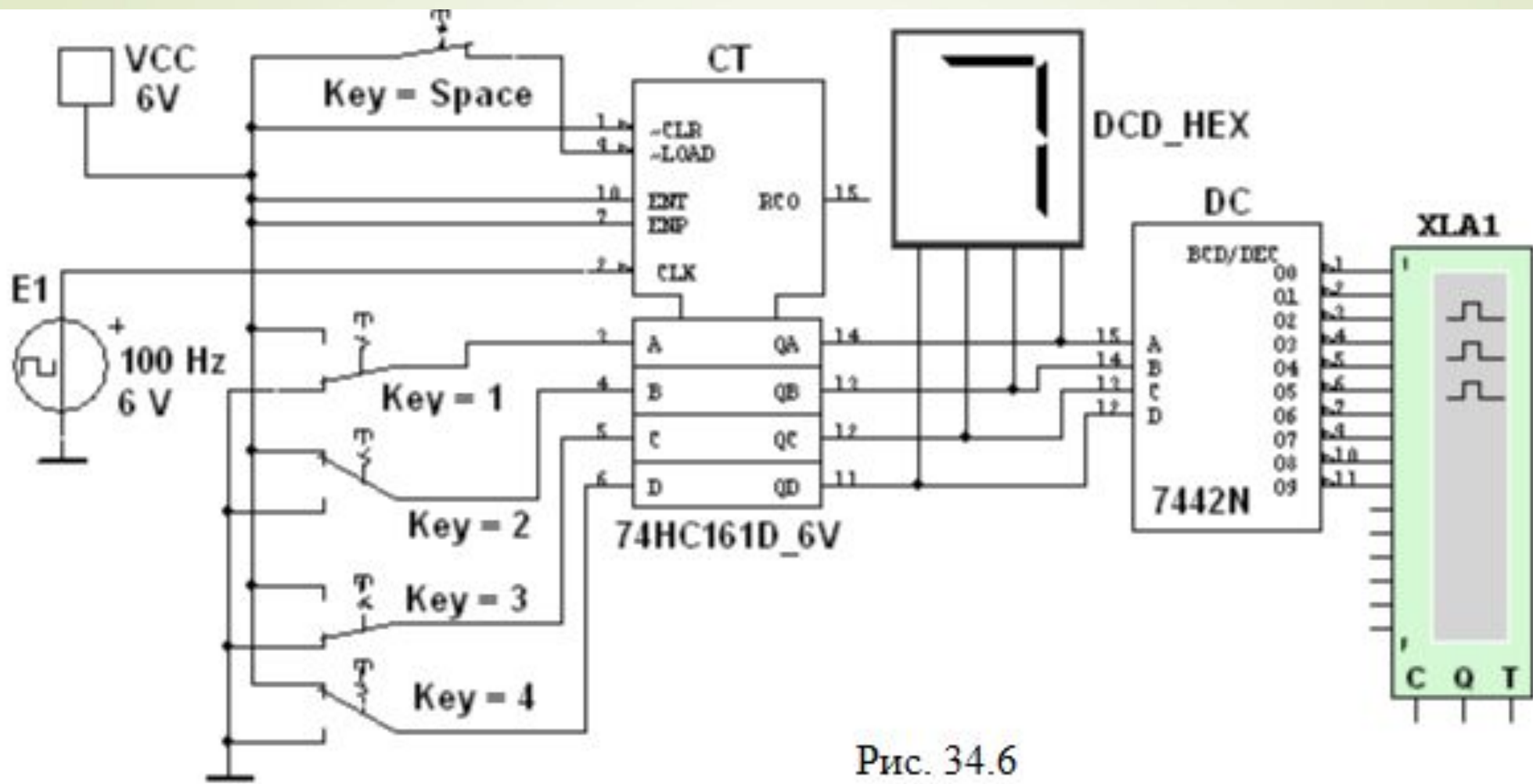
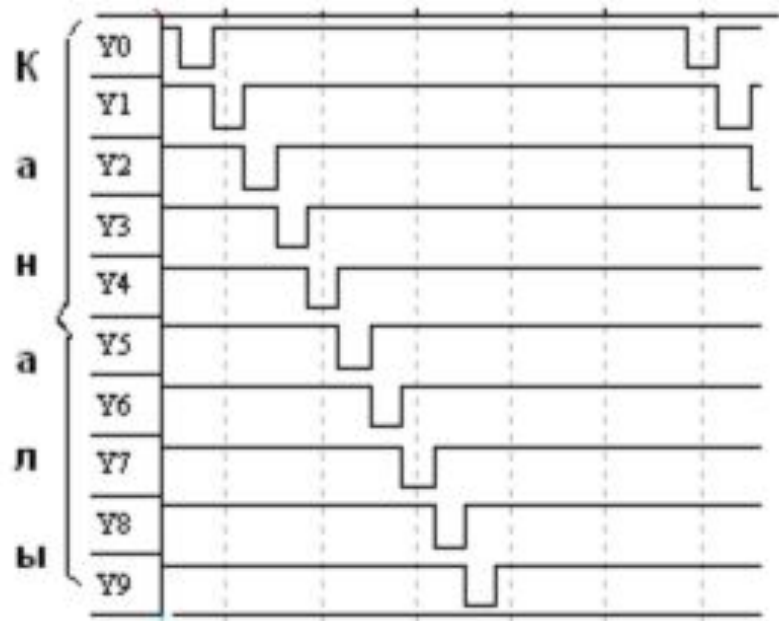
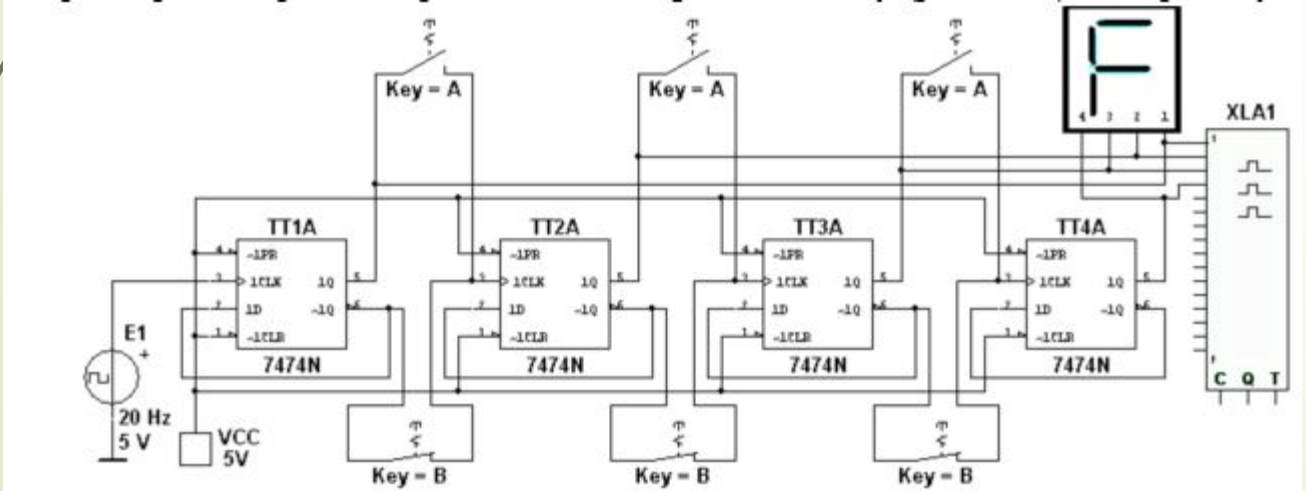
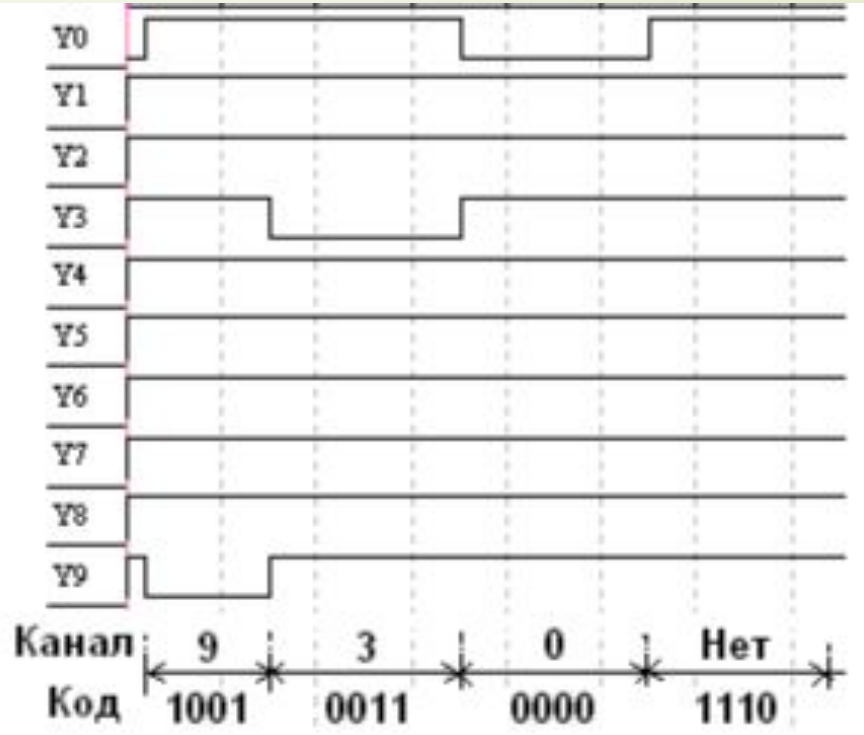


Рис. 34.6



a)



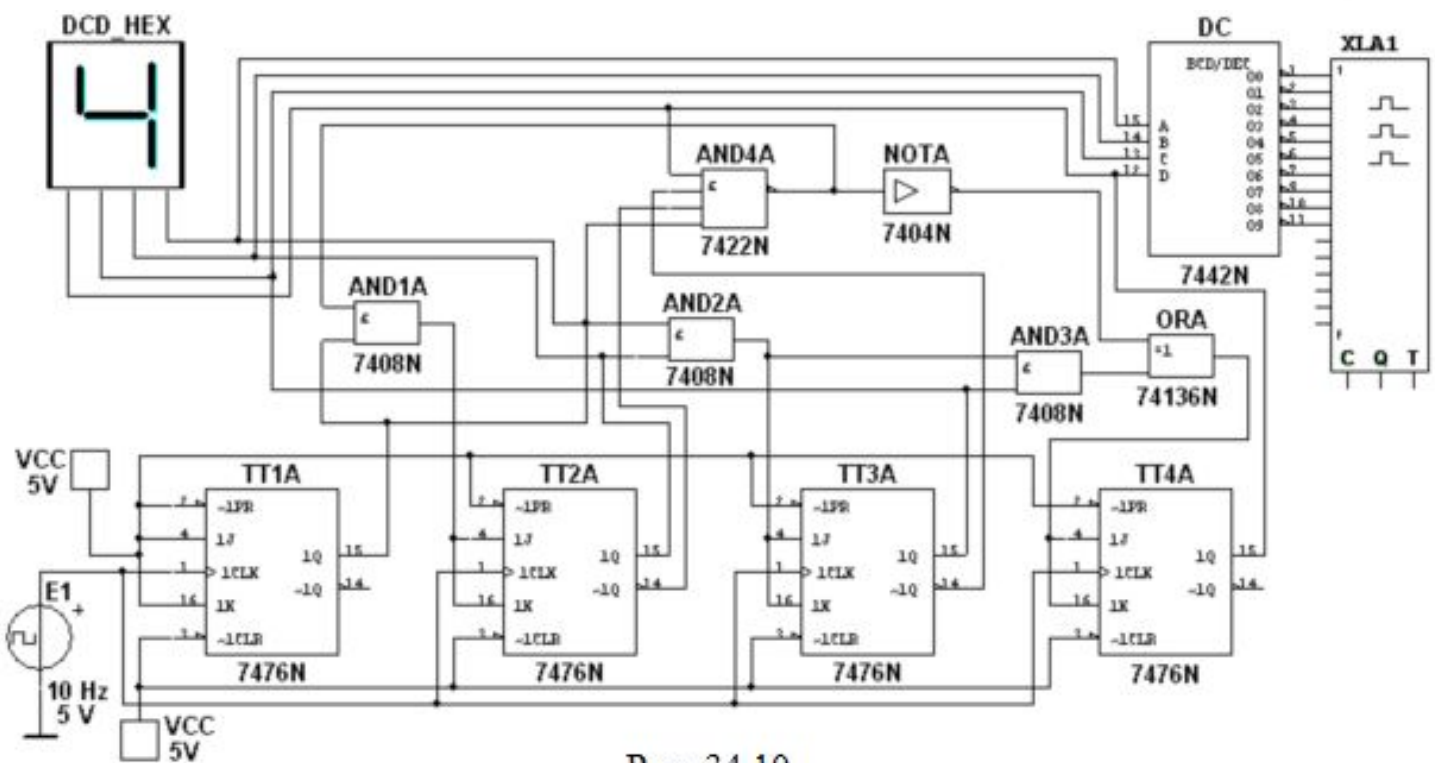
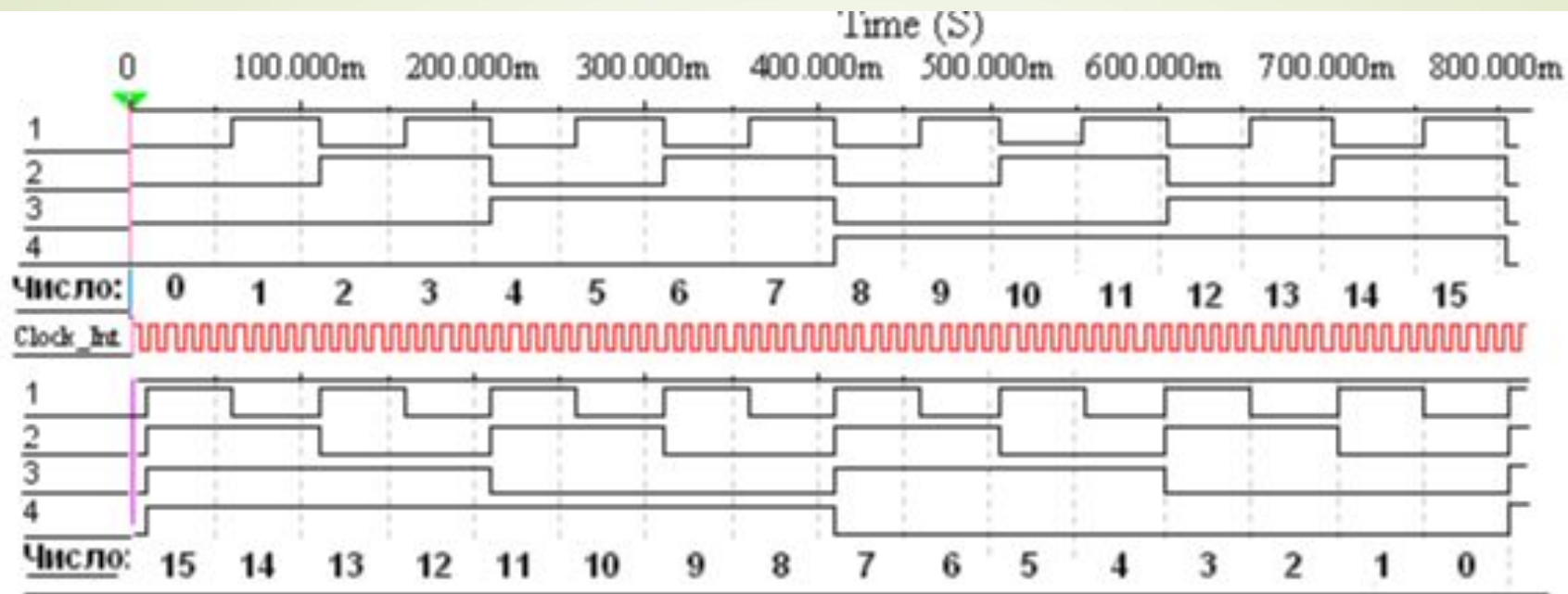


Рис. 34.10