Лекция 5

- Сумматоры
- Схемы сдвига
- Схемы свертки
- АЛУ
- Матричные умножители

Схемы свертки

- Предназначены для обнаружения ошибок в передаваемом коде
- Если ошибка в коде обнаружена, ее надо локализовать по разрядам кода.
- Если обнаружены разряды, в которых есть ошибки, то их можно исправить.

Контроль по модулю 2. Схемы свертки

- Каждое слово дополняется контрольным разрядом, значение которого подбирается так, чтобы сделать четным (нечетным) вес каждой комбинации.

a_3	a_2	a_1	a_0	$\rho_ч$	$\rho_н$
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
				...	... ...
1	1	1	1	0	1

$$\rho_н = \overline{a_3 \oplus a_2 \oplus a_1 \oplus a_0}$$

$$\rho_ч = a_3 \oplus a_2 \oplus a_1 \oplus a_0$$

Передатчик

Схема дополнения К.Р.

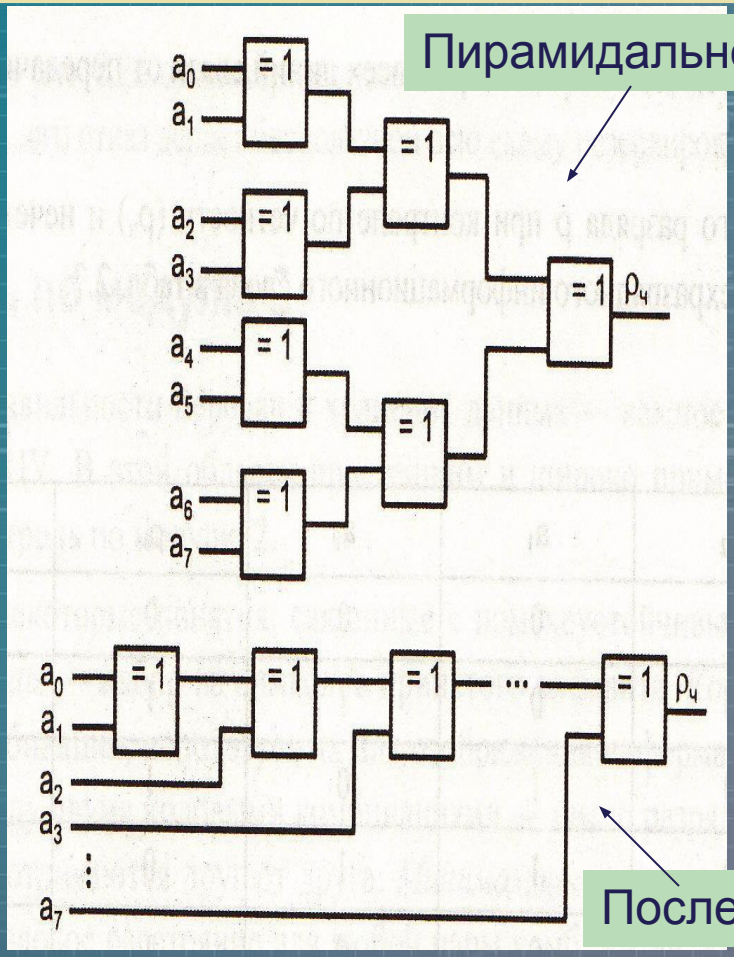
Приемник

Контроль на четность

Схемы свертки

Цель схемы – определить четное или нечетное количества единиц в коде

Пирамидального типа



Последовательного типа

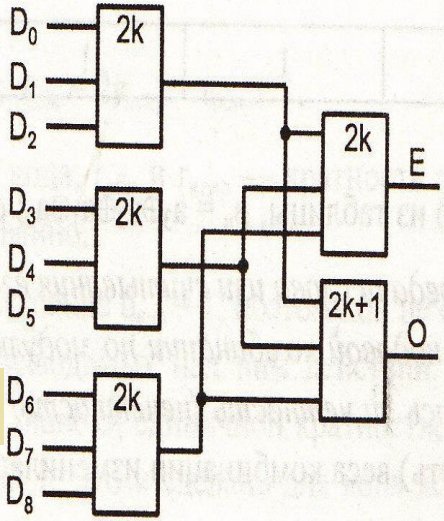
Интегральное исполнение пирамидальной схемы свертки

1 - четная

Even

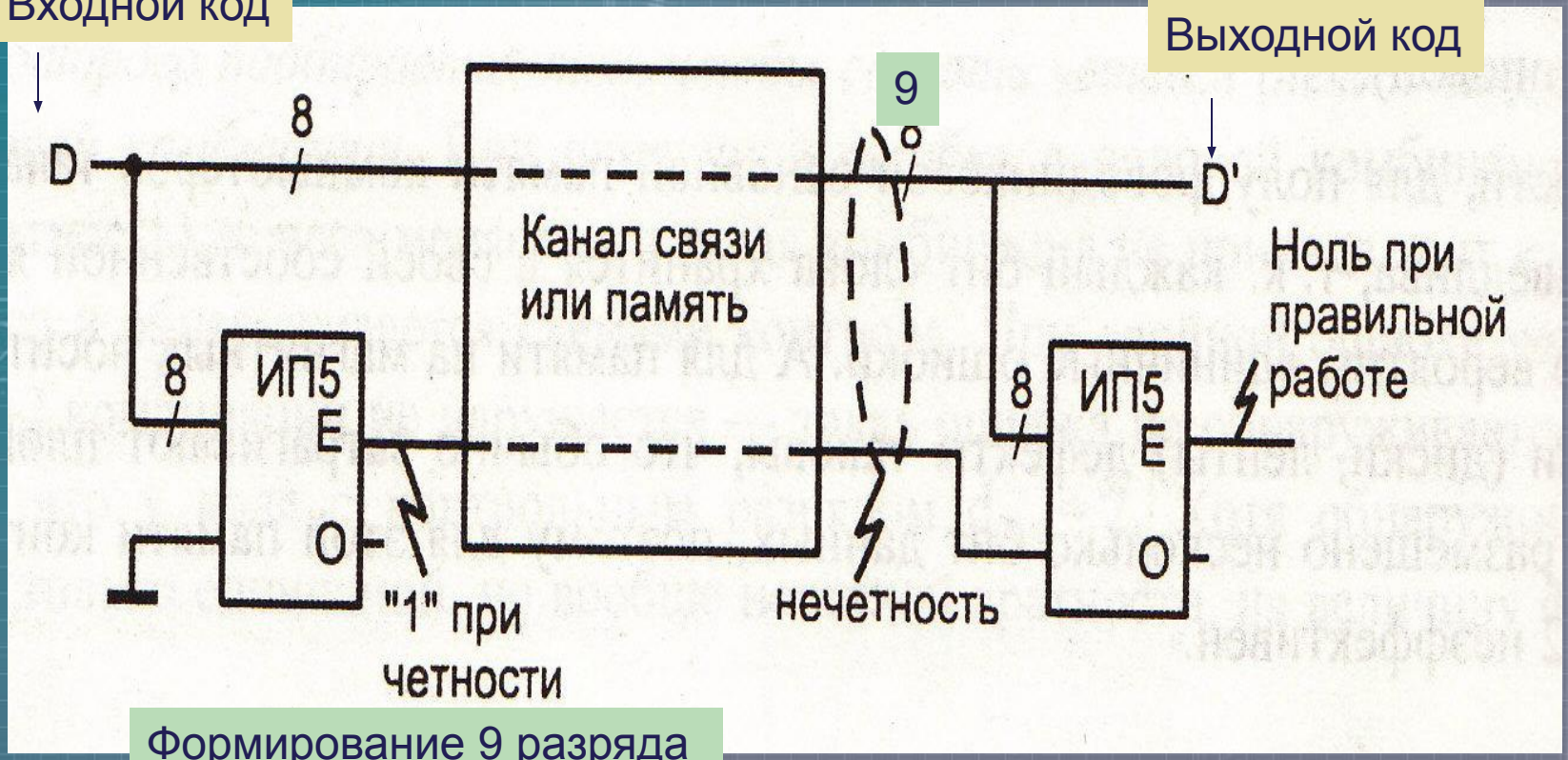
1 -нечетная

Odd



Передача данных с контролем по модулю 2

Основная задача – определить наличие ошибки в принимаемом коде.



Формирование 9 разряда

Если приемник выявил в коде ошибку, то он запрашивает передатчик повторно

Передача данных с использованием кода Хемминга

- Код Хемминга позволяет исправлять единичные ошибки, а модифицированный код Хемминга позволяет дополнительно обнаруживать двойные ошибки.

Первый контрольный разряд формируется дополнением до четности Разрядов 1.3.5.7.9.11.

Второй контрольный разряд формируется дополнением до четности разрядов 2.3.6.7.10.11

Третий контрольный разряд формируется дополнением до четности разрядов 4.5.6.7.12.13.14

Контрольные разряды

8	7	6	5	4	3	2	1
p	a_3	a_2	a_1	p_3	a_0	p_2	p_1
0	0	0	0	0	0	0	0
1	0	0	0	0	1	1	1
1	0	0	1	1	0	0	1
0	0	0	1	1	1	1	0
1	0	1	0	1	0	1	0
0	0	1	0	1	1	0	1
Код передачи							
$a_3a_2a_1a_0 = 0110$							
0	0	1	1	0	0	1	1
1	0	1	1	0	1	0	0
0	1	0	0	1	0	1	0
....	....	....	....	....	....	....	....
1	1	1	1	1	1	1	1

Пример обнаружения и исправления ошибки

Пусть передавалось число - 0110

Правильная комбинация кода Хемминга - 0110011

Пусть приемник принял комбинацию с ошибкой - 0010011

третья проверка
Разряды 4.5.6.7.
нечетная
комбинация

ошибка

1

Вторая проверка
Разряды 2.3.6.7
нечетная
комбинация

ошибка

1

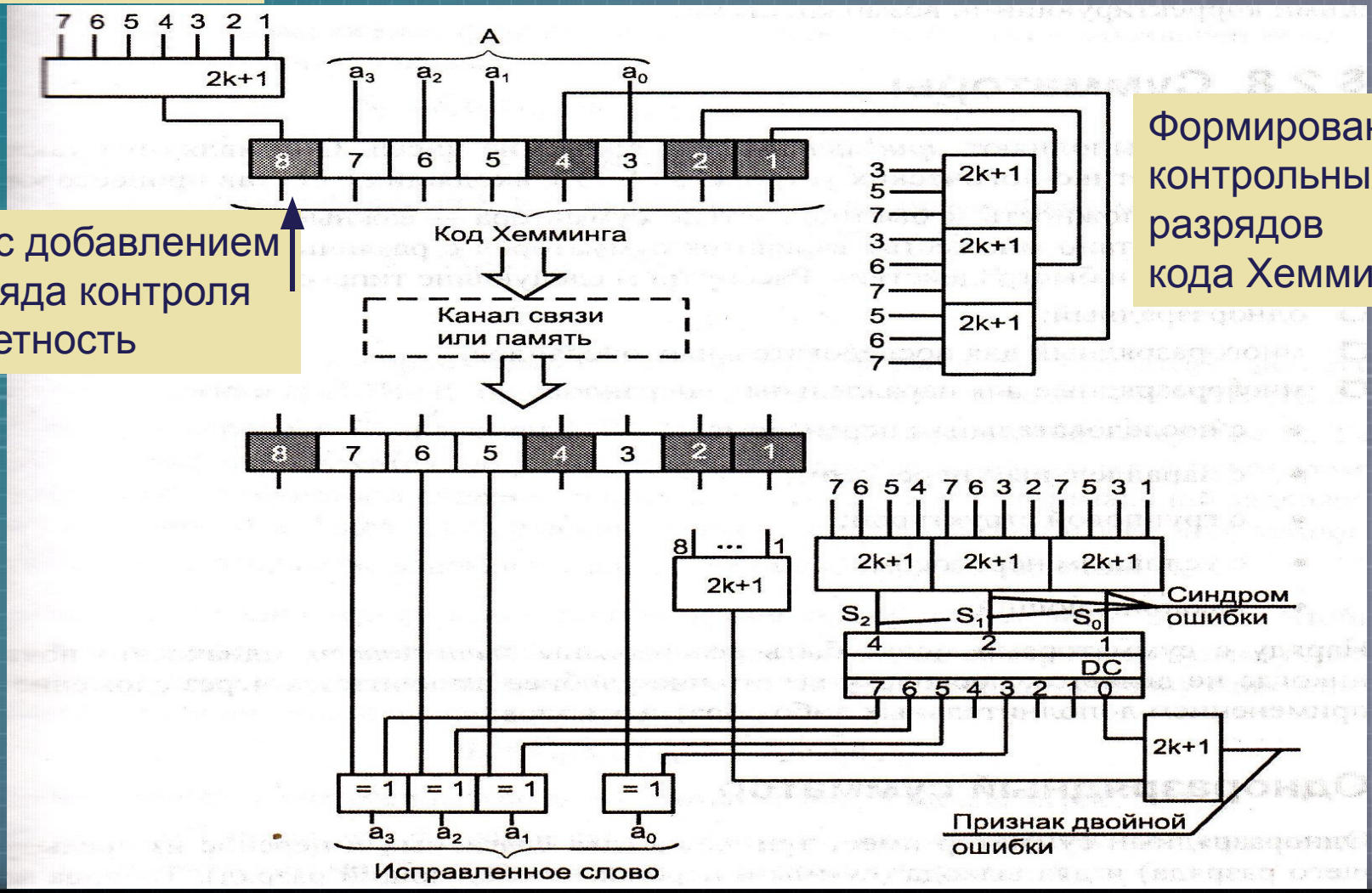
Первая проверка
Разряды1-3-5-7
Четная комбинация

0

Этот код называется - Синдром – 110 – в 6 разряде ошибка – исправить !!!

Схема кодера и декодера для кода Хемминга

Входной код

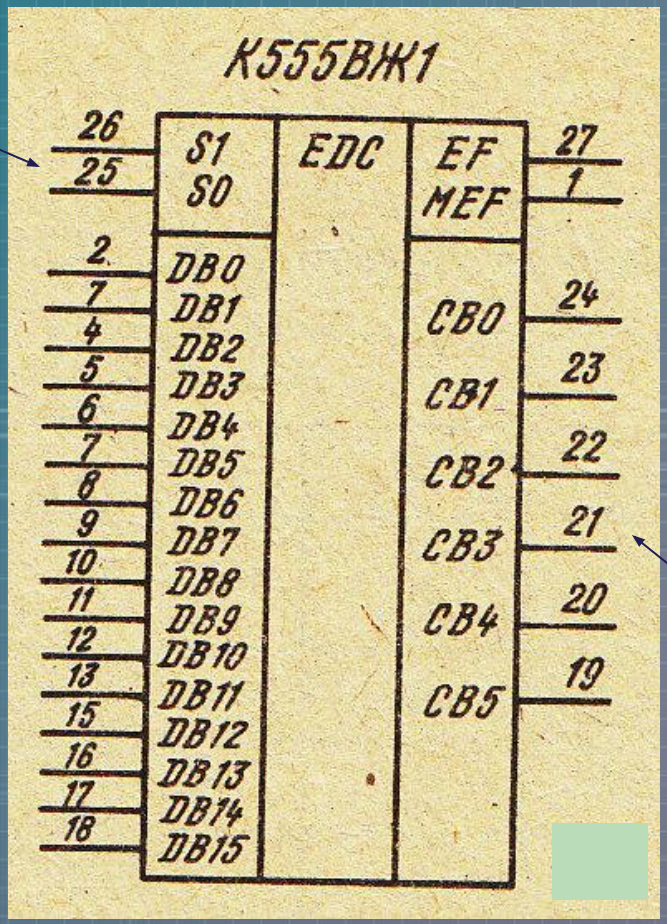


Код с добавлением разряда контроля на четность

Формирование контрольных разрядов кода Хемминга

Интегральное исполнение схемы свертки К555ВЖ1

Входы управления определяют режим: запись считывание



EF	MEF	Коррект ировка
0	0	нет
1	0	да
1	1	прер

Выходы разрядов контрольного слова – синдром

Сумматоры

- Функция - сложение двух чисел.

1.Одноразрядный.

2. Многоразрядный для последовательных операндов.

3. Многоразрядный для параллельных операндов.

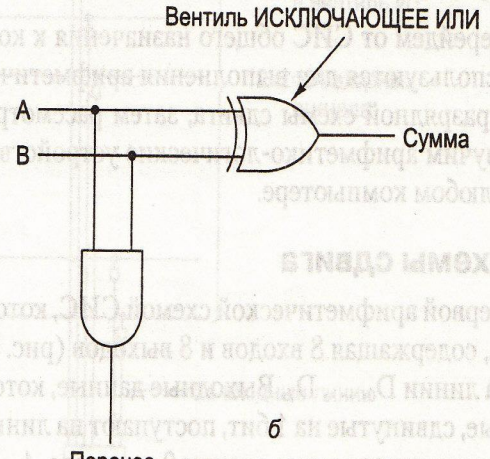
- С последовательным переносом
- С параллельным переносом
- С групповой структурой
- Накапливающий.

При увеличении разрядности применяются различные схемы

Сумматор одноразрядный

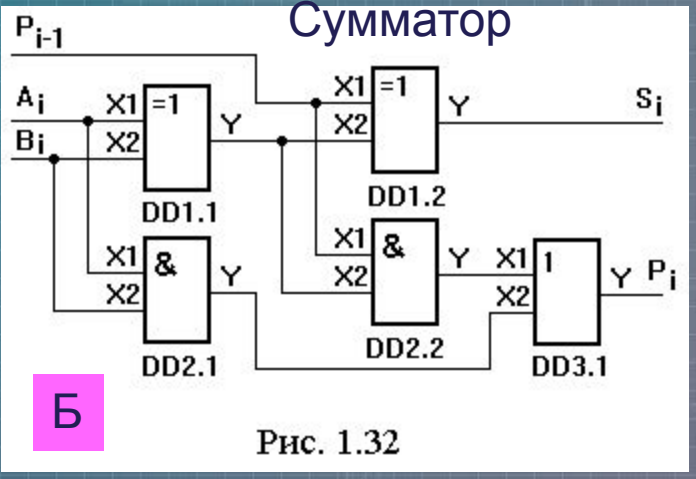
Полусумматор

A	B	Сумма	Перенос
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



А

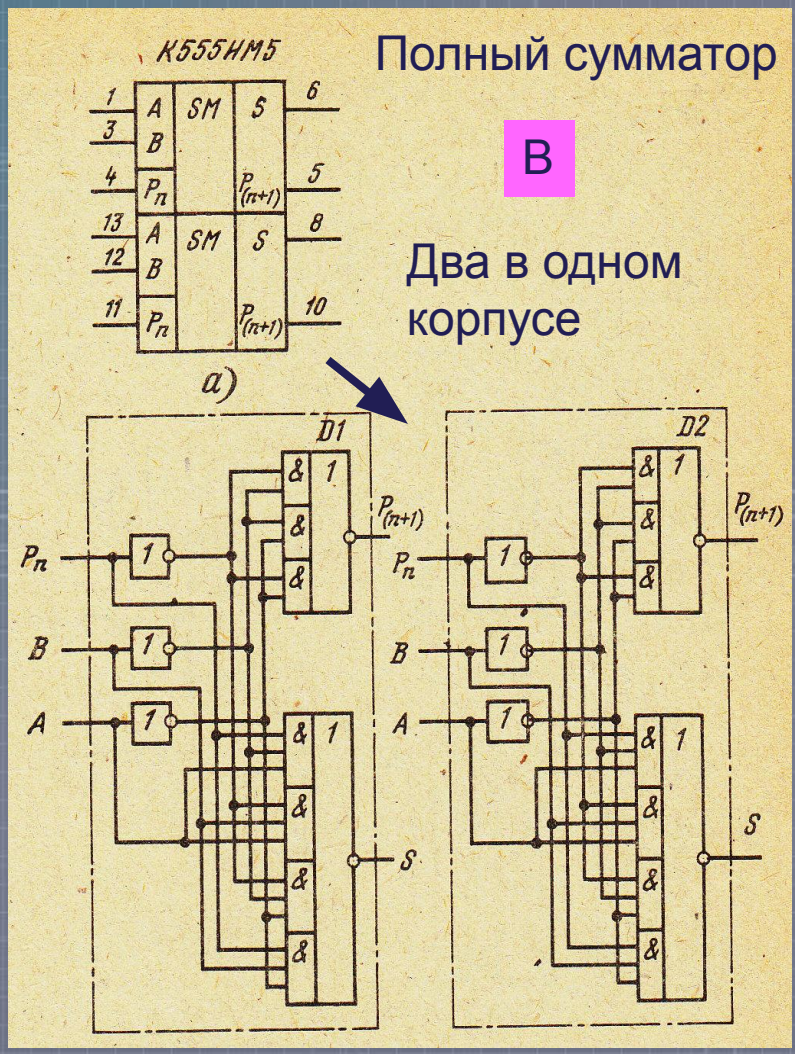
Сумматор



Б

Рис. 1.32

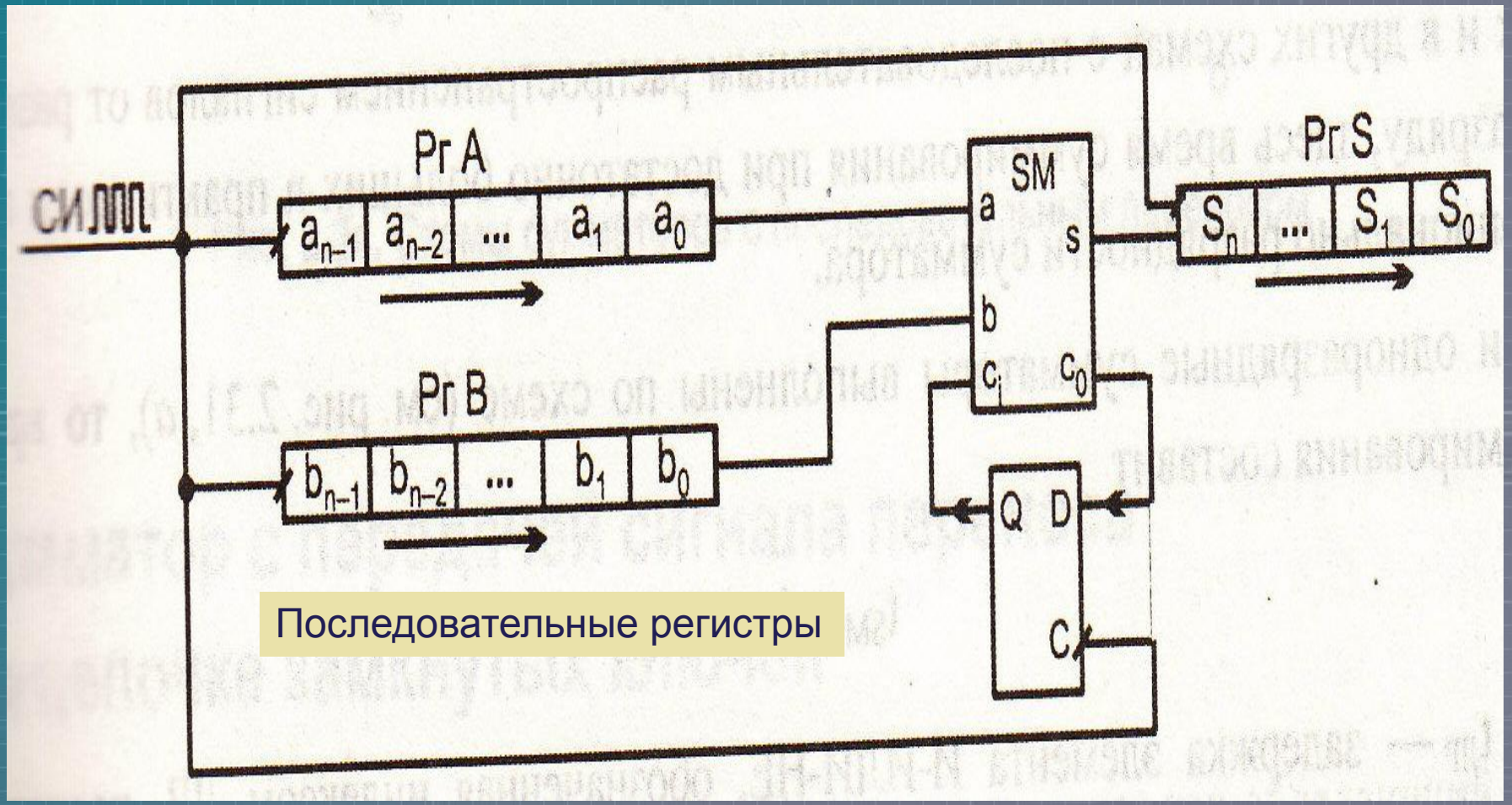
Полный сумматор



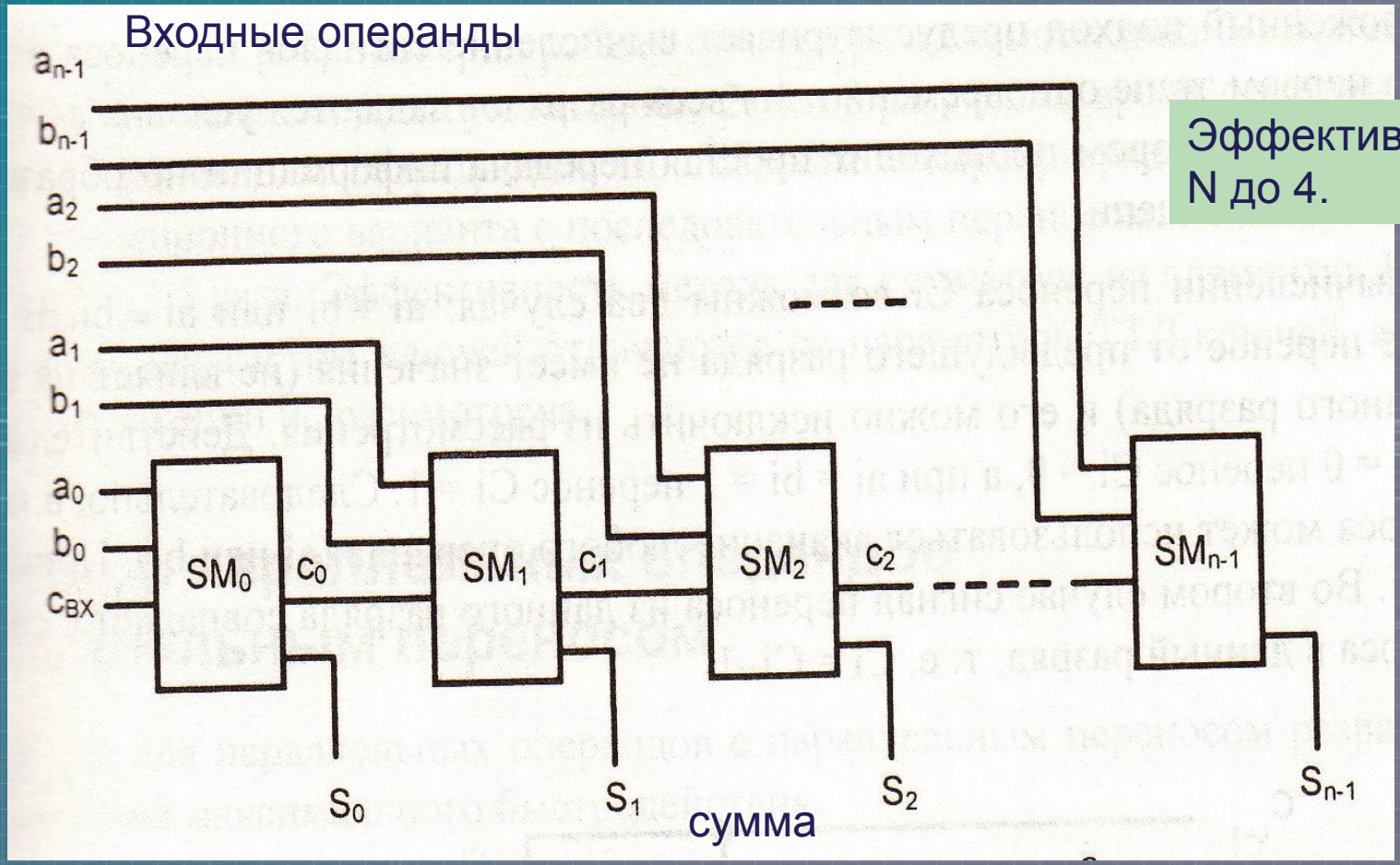
В

Два в одном корпусе

Сумматор для последовательных операндов



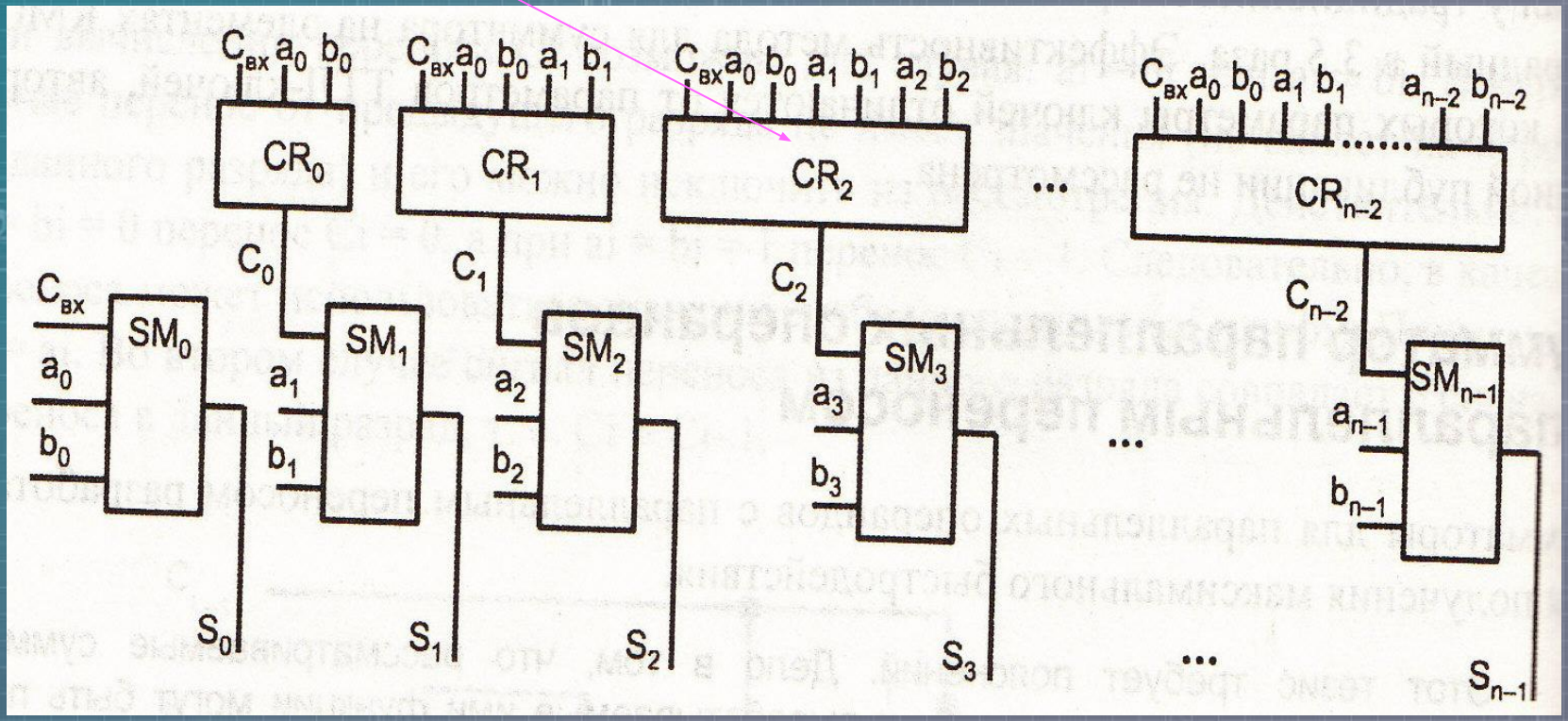
Сумматор параллельных операндов с последовательным переносом



Эффективен при N до 4.

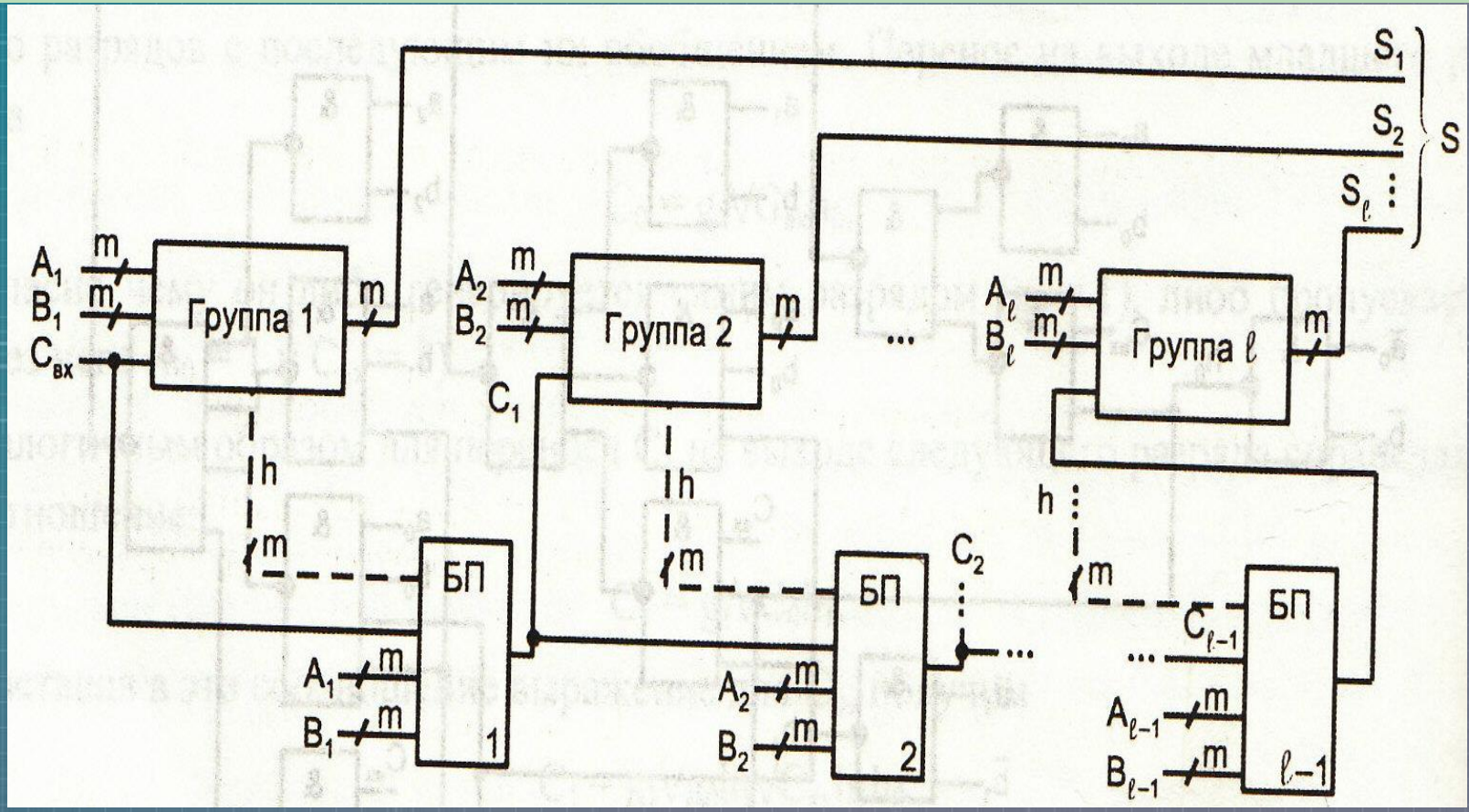
Сумматор параллельных операндов с параллельным переносом

- Разработаны для получения максимального быстродействия. Длительность суммирования не зависит от разрядности до N=8!! Сигналы переноса формируются специальными схемами.



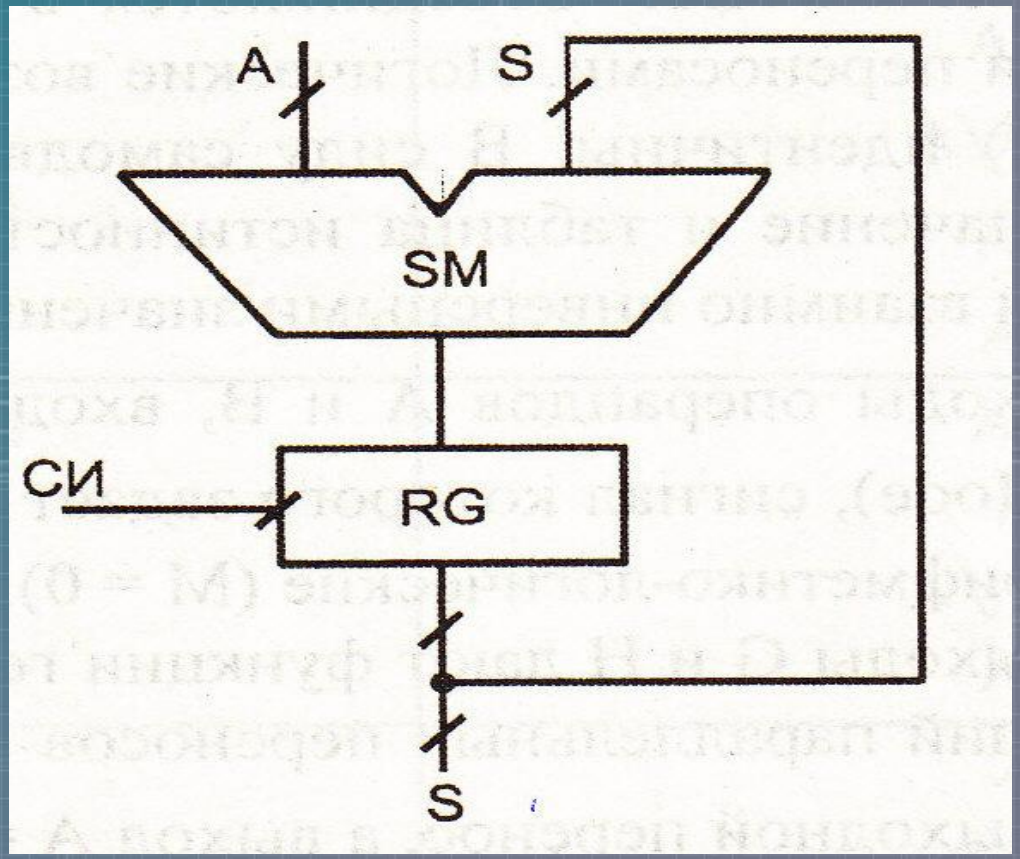
Сумматор групповой структуры

Схема с разрядностью N делится на L групп по M разрядов. В группах И между ними возможны различные виды переносов.



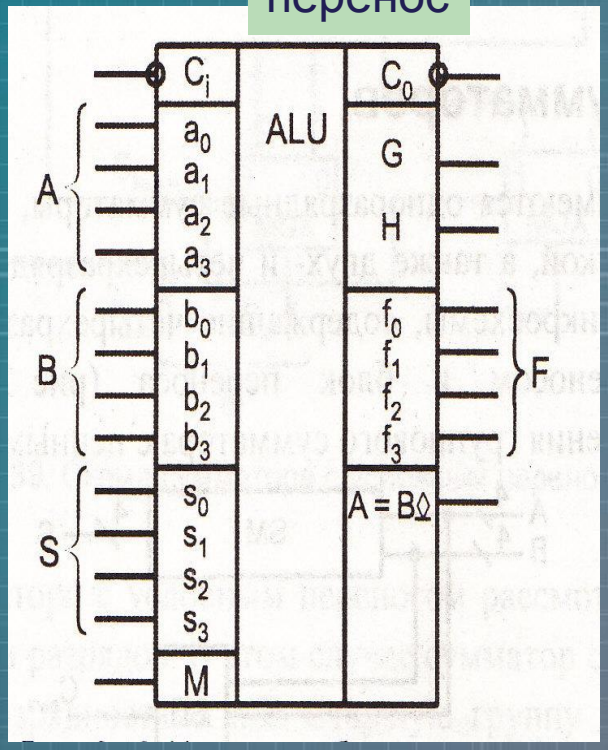
Накапливающий сумматор - аккумулятор

S= S+A



Арифметико-логические устройства

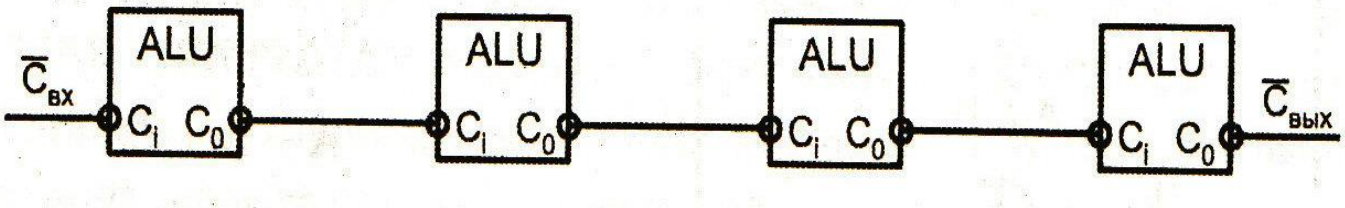
- Основа сумматор и схемы логики, с возможностью перестройки с одной операции на другую.



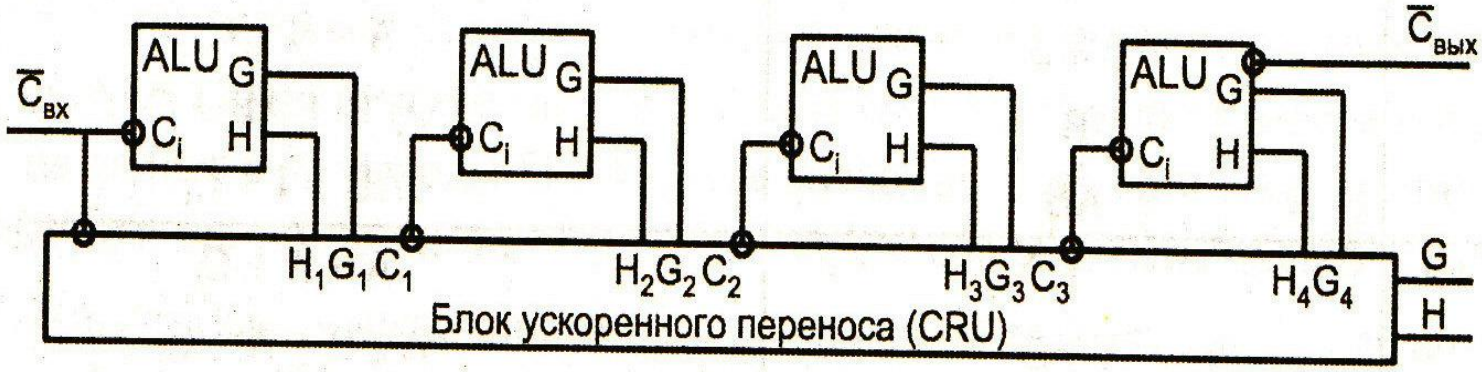
S	Логические функции (M = 1)	Арифметико-логические функции (M = 0)
0	$\overline{A}$	$A + C_i$
1	$\overline{A \vee B}$	$A \vee B + C_i$
2	$\overline{A}B$	$A \vee \overline{B} + C_i$
3	0	$1 + C_i$
4	$\overline{A \cdot B}$	$A + A\overline{B} + C_i$
5	$\overline{B}$	$A \vee B + A\overline{B} + C_i$
6	$A \oplus B$	$A + \overline{B} + C_i$
7	$A\overline{B}$	$A\overline{B} + 1 + C_i$
8	$\overline{A} \vee B$	$A + AB + C_i$
9	$\overline{A \oplus B}$	$A + B + C_i$
10	B	$A \vee \overline{B} + AB + C_i$
11	AB	$AB + 1 + C_i$
12	1	$A + A + C_i$
13	$A \vee \overline{B}$	$A \vee B + A + C_i$
14	$A \vee B$	$A \vee \overline{B} + A + C_i$
15	A	$A + 1 + C_i$

G, H – сигналы для организации параллельных переносов

Схемы наращивания АЛУ



При последовательном переносе



При параллельном переносе

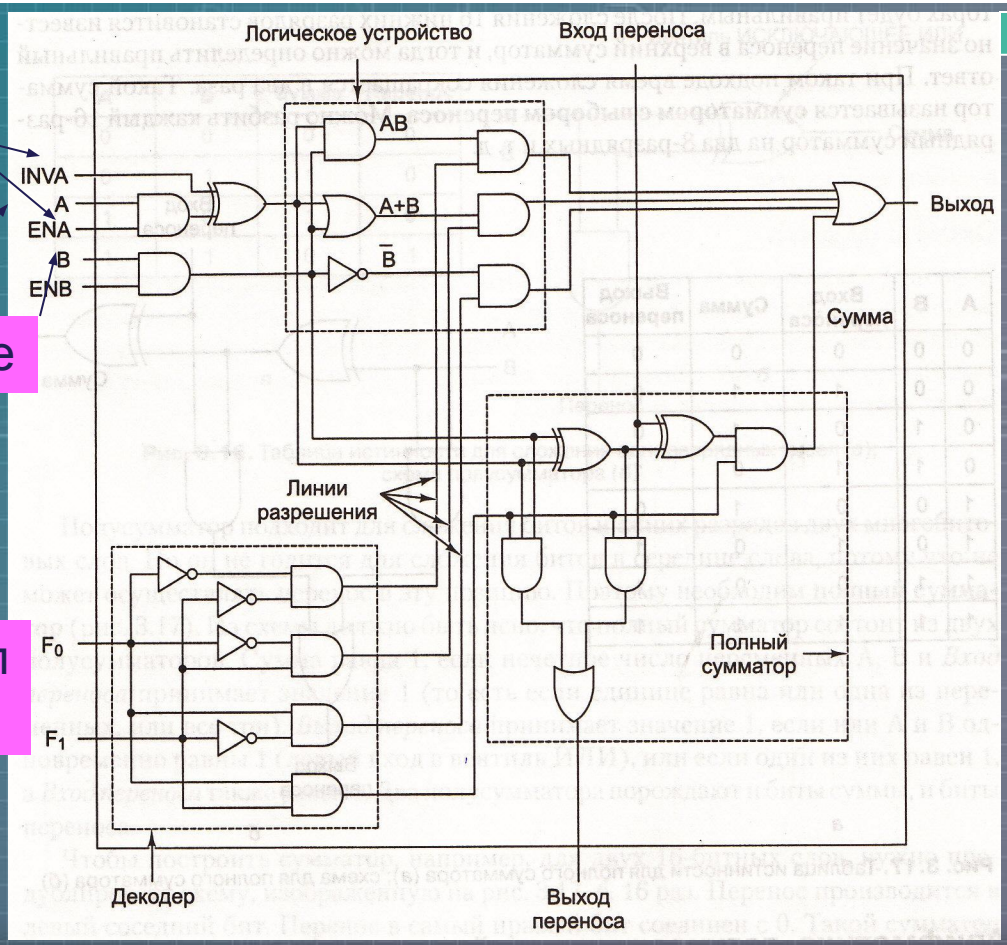
АЛУ

Данная схема может выполнять 4 функции (3 логические): AB, A+B, не B,и арифметическая A+B

Входные

Разрешение

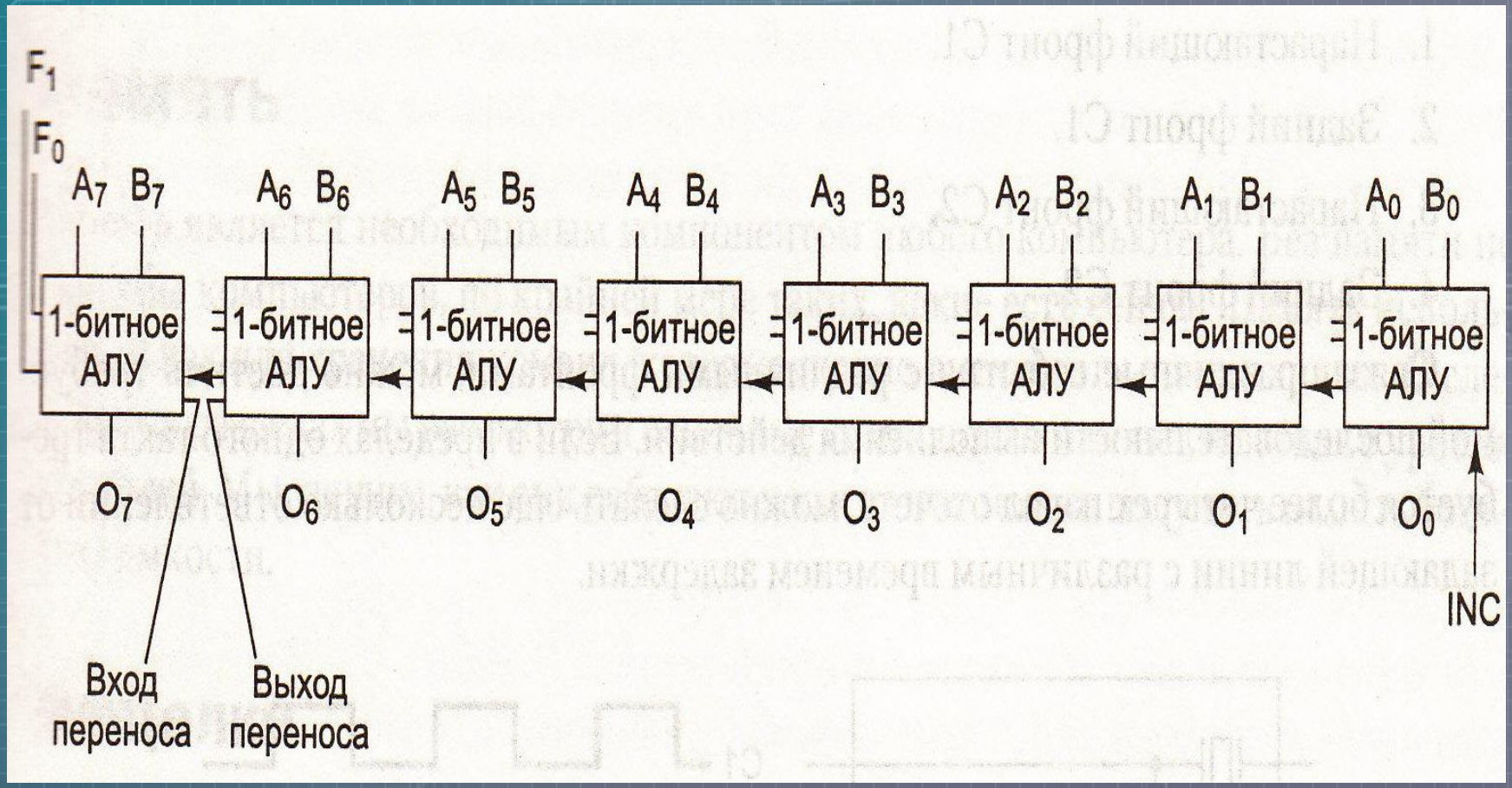
Задают тип функции



Одноразрядная микропроцессорная секция

Восьмиразрядное АЛУ

На базе микропроцессорной секции



Матричные умножители принцип работы

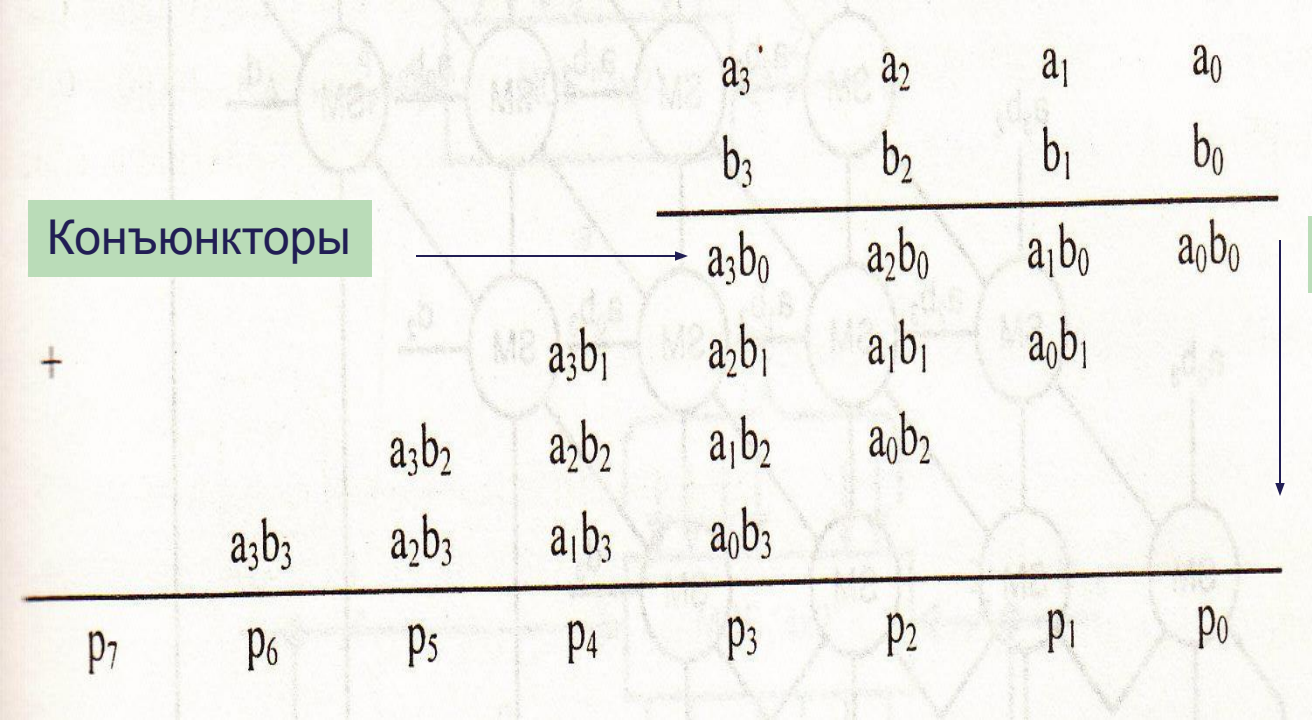
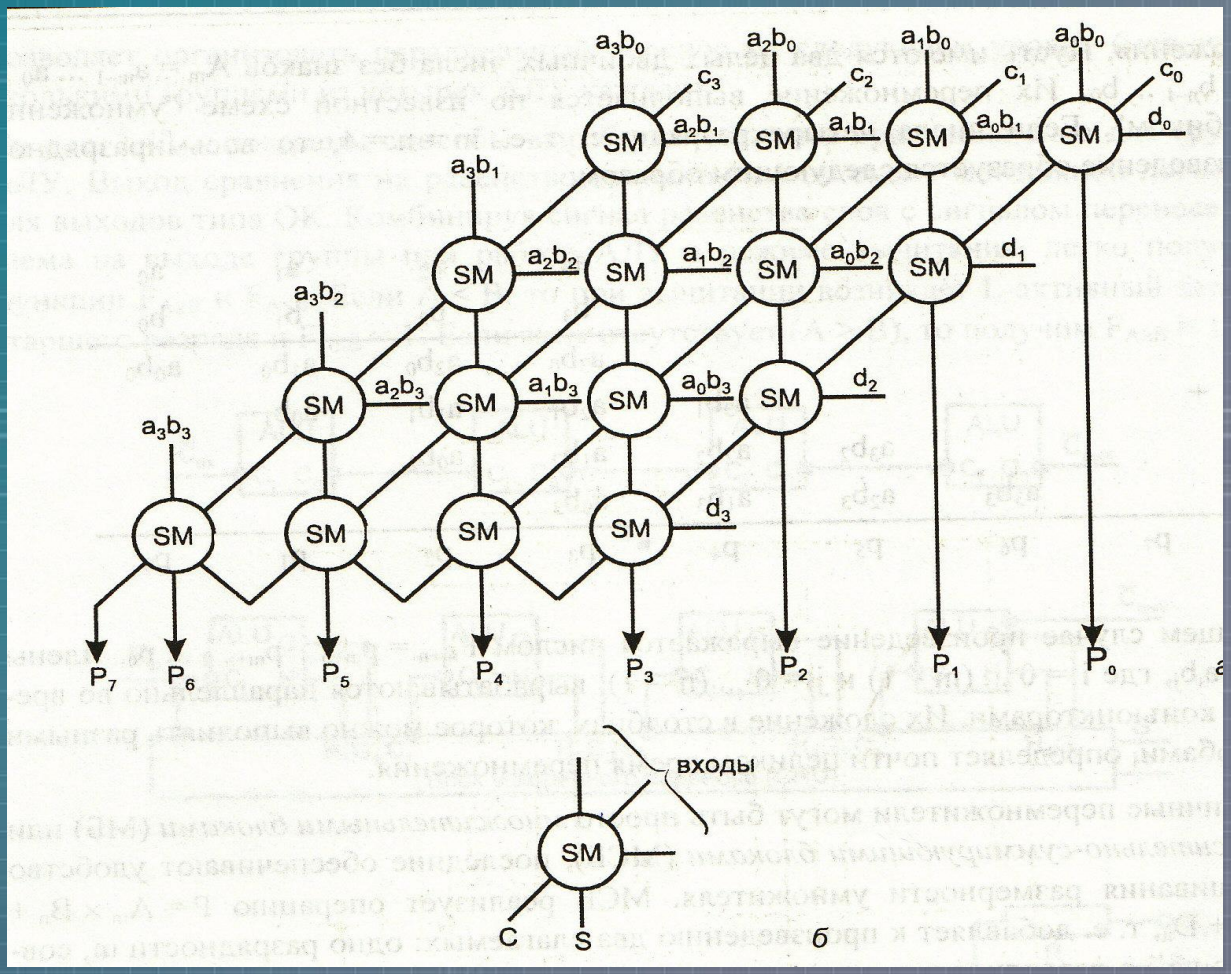


Схема четырех разрядного множительно-суммирующего блока

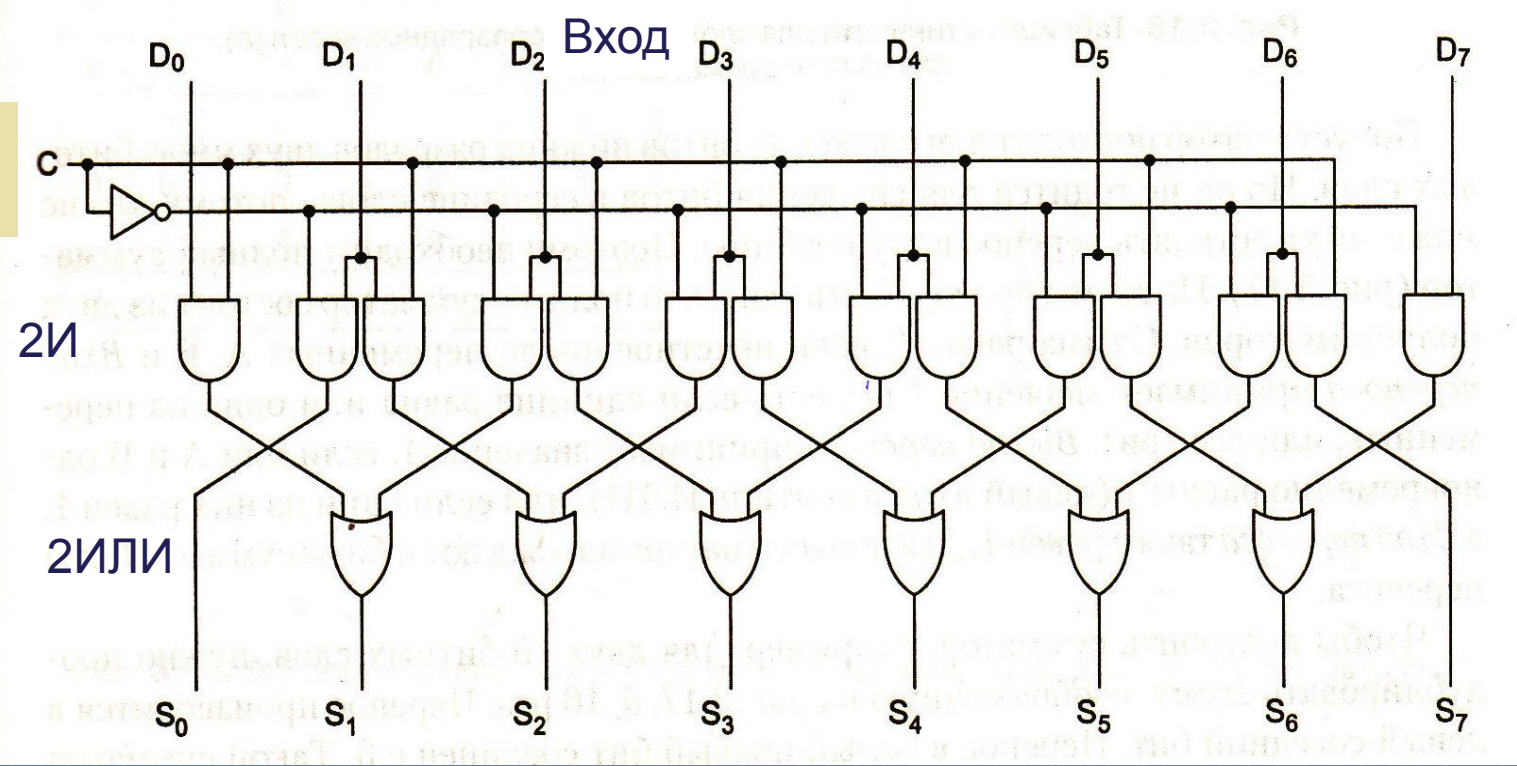


Для построения МСБ требуется
N в квадрате конъюнкторов
и N в квадрате одноразрядных сумматоров

Схемы сдвига

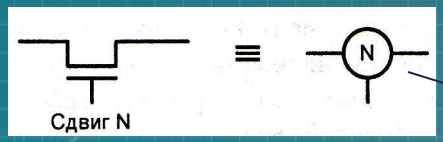
Операция используемая при вычислениях с представлением чисел с плавающей запятой, умножения чисел на константу и др.

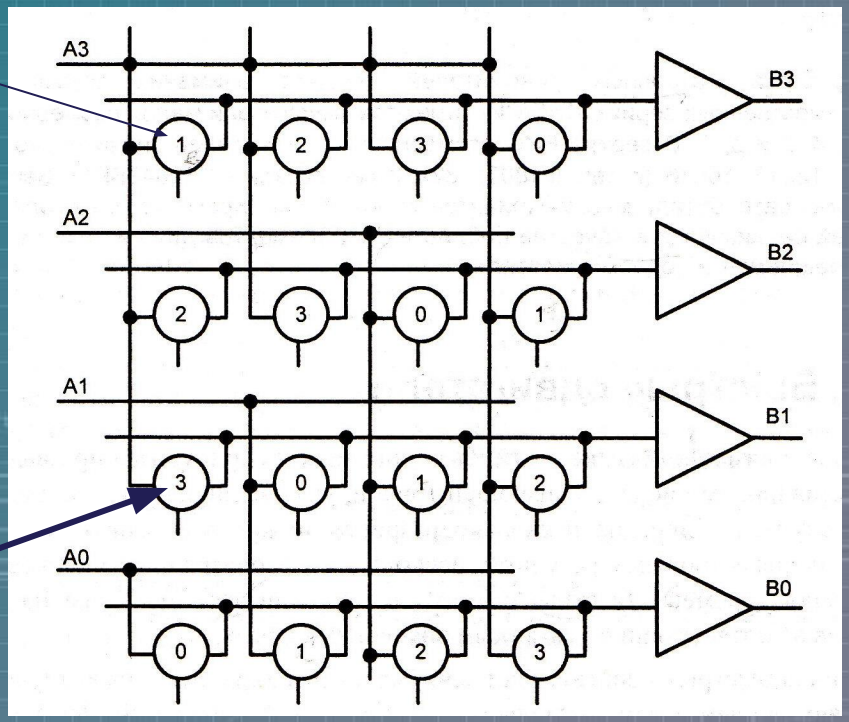
Вправо c=1
Влево c=0



Выход

Сдвигатель управляемый кодом 1 из N





Входной код

Выходной код

Указатель на сколько разрядов сдвигать код

Операция	Сигналы управления			
	Сдвиг 0	Сдвиг 1	Сдвиг 2	Сдвиг 3
Передача без сдвига	1	0	0	0
Сдвиг на 1 разряд	0	1	0	0

LOGO

Thank You !

Click to edit subtitle style