

Устройство управления и Арифметико-логическое устройство

Устройство компьютера

- Компьютер условно можно разделить на два основных блока: операционный и управляющий.

Устройство управления

- *Для реализации любой команды необходимо на соответствующие управляющие входы любого устройства компьютера подать определенным образом распределенную во времени последовательность управляющих сигналов.*

Устройство управления

Часть цифрового вычислительного устройства, предназначенная для выработки последовательности управляющих сигналов, называется устройством управления.

Классификация

Устройства управления делятся на:

- УУ с жесткой, или схемной логикой
- УУ с программируемой логикой (*микропрограммные УУ*).

Классификация

В *устройствах управления* первого типа для каждой команды, задаваемой кодом операции, строится набор *комбинационных схем*, которые в нужных тактах вырабатывают необходимые *управляющие сигналы*.

В микропрограммных УУ каждой команде ставится в соответствие совокупность хранимых в специальной памяти слов - *микрокоманд*. Каждая из *микрокоманд* содержит информацию

Схема УУ

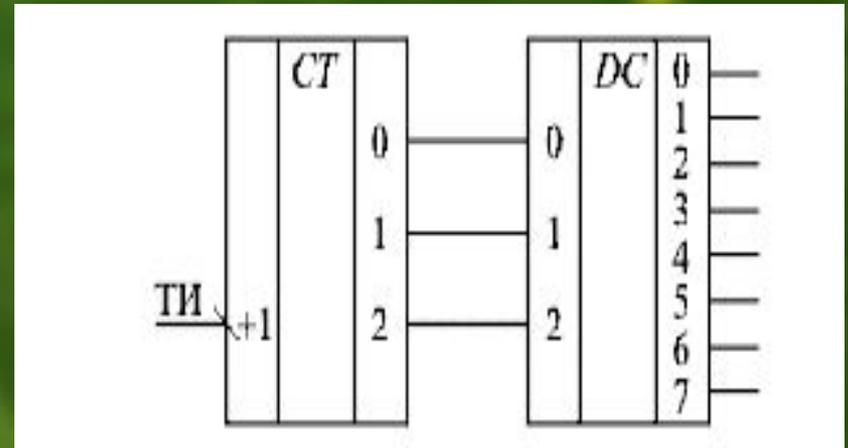
- **датчика сигналов**, вырабатывающего последовательность импульсов, равномерно распределенную во времени по своим шинам (n - общее количество управляющих сигналов, необходимых для выполнения любой операции; m - количество тактов, за которое выполняется самая длинная операция);
- блока управления операциями, осуществляющего выработку управляющих сигналов, то есть коммутацию сигналов, поступающих с ДС, в соответствующем такте на нужную управляющую шину;
- дешифратора кода операций, который дешифрирует код операции команды, присутствующей в данный момент в *регистре команд*, и возбуждает одну шину, соответствующую данной операции; этот сигнал используется блоком управления операциями для выработки нужной последовательности управляющих сигналов.

Схема УУ



Датчик сигналов

- По заднему фронту каждого тактового импульса, поступающего на устройство управления с системного генератора импульсов, счетчик увеличивает свое состояние; выходы счетчика соединены со входами дешифратора, выходы которого и являются выходами датчика сигналов



Датчик сигналов

- В начальном состоянии регистр содержит "1" только в разряде 0. Входы параллельной загрузки регистра для его начальной установки и соответствующий этой операции управляющий вход регистра на схеме не показаны.

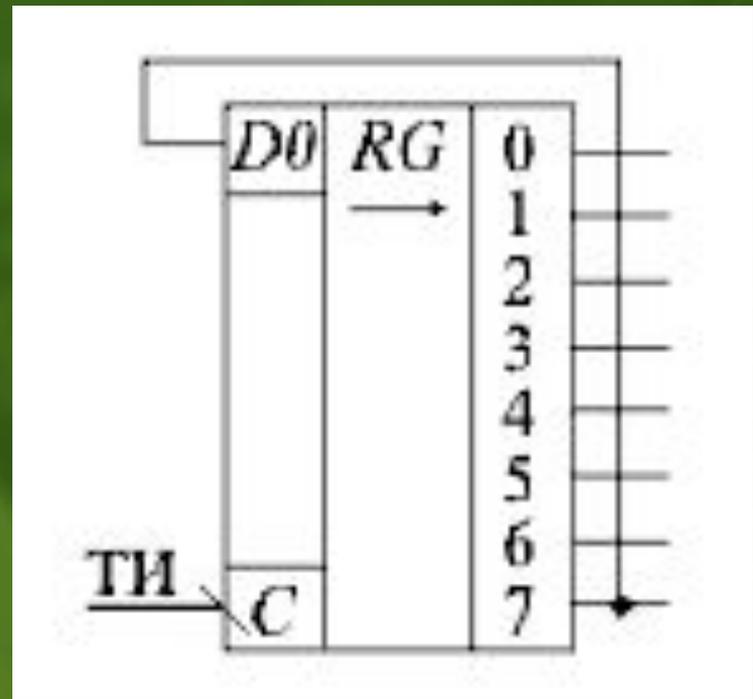
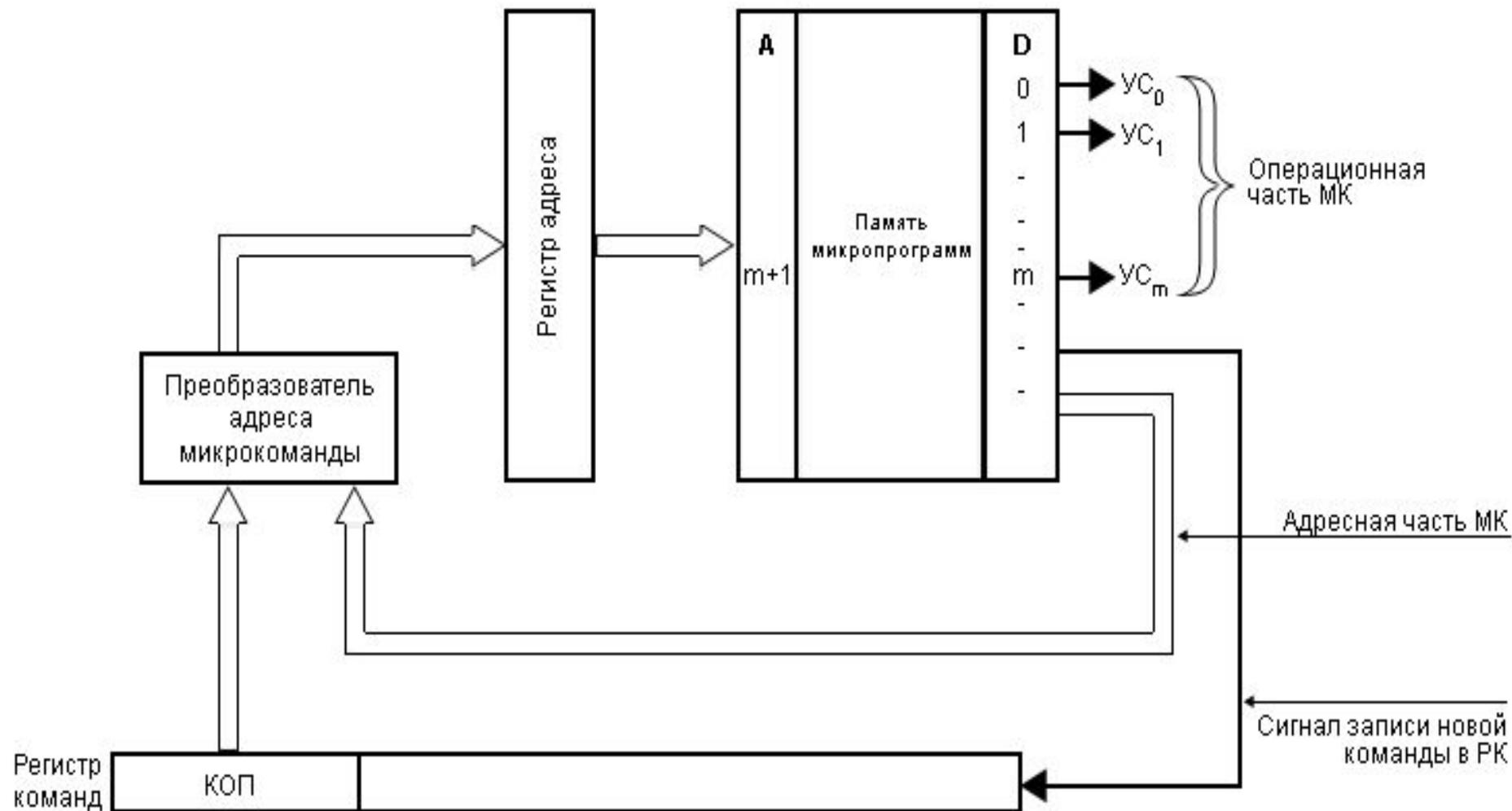


Схема УУ



Арифметико-логическое устройство

- блок процессора, который под управлением *устройства управления* (УУ) служит для выполнения арифметических и логических преобразований (начиная от элементарных) над данными, называемыми в этом случае операндами. Разрядность операндов обычно называют размером или длиной машинного слова.

Арифметико-логическое устройство

- В современных ЭВМ *арифметико-логическое устройство* не является самостоятельным схемотехническим блоком. Оно входит в состав микропроцессора, на котором строится *компьютер*. Однако *знание* структуры и принципов работы *АЛУ* весьма важно для понимания работы компьютера в целом.

Группы операций АЛУ

- a) операции двоичной арифметики для чисел с фиксированной точкой;
- b) операции двоичной (или шестнадцатеричной) арифметики для чисел с плавающей точкой;
- c) операции десятичной арифметики;
- d) операции индексной арифметики (при модификации адресов команд);
- e) операции специальной арифметики;
- f) операции над логическими кодами (логические операции);
- g) операции над алфавитно-цифровыми полями.

Пример команда умножения

$$\text{Sign}Z = \text{Sign}X \oplus \text{Sign}Y$$

$$|Z| = y_1 \cdot |X| \cdot 2^{-1} + y_2 \cdot |X| \cdot 2^{-2} + \dots + y_n \cdot |X| \cdot 2^{-n}$$

$$[X]_{\text{ПК}} = 0.1101; \text{Sign}X = 0$$

$$[Y]_{\text{ПК}} = 1.1011; \text{Sign}Y = 1$$

$$\text{Sign}Z = 0 \oplus 1 = 1$$

$$|X| = 0.1101$$

$$|Y| = 0.1011$$

$$y_1 y_2 y_3 y_4$$

$$+ 0.00000000 |Z| = 0$$

$$y_1 = 10.011010001 \cdot |X| \cdot 2^{-1}$$

$$+ 0.01101000 |Z| = |Z| + |X| \cdot 2^{-1}$$

$$y_2 = 00.000000000 \cdot |X| \cdot 2^{-2}$$

$$+ \overline{0.01101000} |Z| = |Z| + 0$$

$$y_3 = 10.000110101 \cdot |X| \cdot 2^{-3}$$

$$+ \overline{0.10000010} |Z| = |Z| + |X| \cdot 2^{-3}$$

$$y_4 = 10.000011011 \cdot |X| \cdot 2^{-4}$$

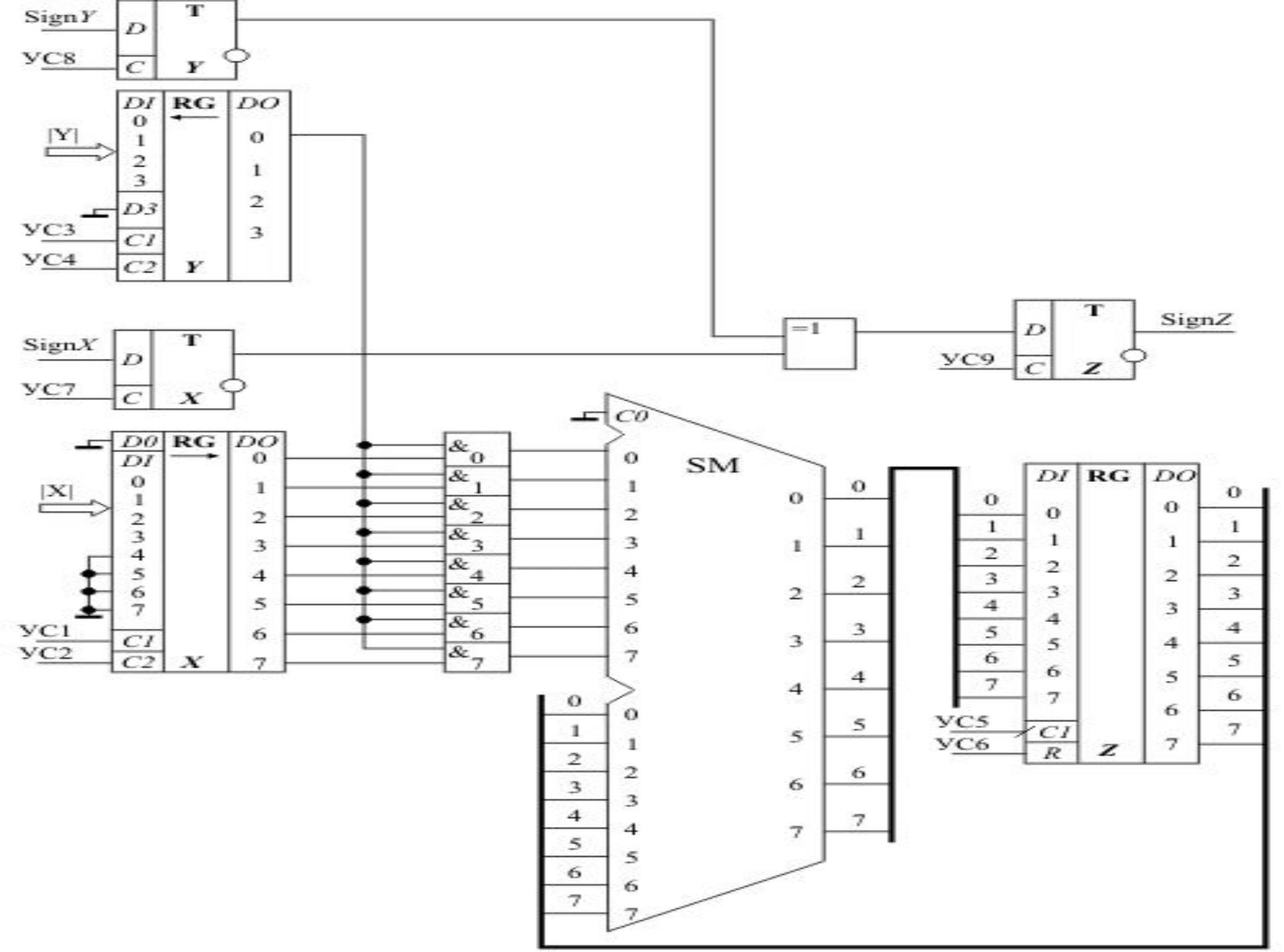
$$\overline{0.10001111} |Z| = |Z| + |X| \cdot 2^{-4}$$

АЛУ

- определим состав оборудования, необходимого для реализации АЛУ заданного типа для $n = 4$

АЛУ

Схема	Разрядность	Функции	Управляющий сигнал
Регистр модуля множимого RGX	8	Загрузка. Сдвиг в сторону младших разрядов.	УС1 УС2
Регистр модуля множителя RGY	4	Загрузка. Сдвиг в сторону старших разрядов.	УС3 УС4
Регистр модуля результата RGZ	8	Загрузка. Установка в " 0 ".	УС5 УС6
Триггер знака множимого TX		Загрузка	УС7
Триггер знака множителя TY		Загрузка	УС8
Триггер знака результата TZ		Загрузка	УС9
АЛУ	8	Комбинационный сумматор	–
Комбинационные схемы		Получение на входе АЛУ сигналов " 0 " или RGX в зависимости от значения y_i .	–



Работа схемы

- **Такт 1.** *Загрузка* модулей операндов в регистры RGX, RGY, а их знаков – в триггеры TX и TY. Сброс в " 0 " регистра результата RGZ.
- **Такт 2.** *Запись* знака результата в триггер TZ.
- **Такт 3.** Сдвиг регистра RGX на один разряд вправо. Через время, равное задержке на переключение регистров и *комбинационных схем*, на выходе комбинационного сумматора и, следовательно, на входе регистра RGZ устанавливается результат $0 + y_1 \cdot |X| \cdot 2^{-1}$.

Работа схемы

- **Такт 4.** Загрузка RGZ: $|Z| = |Z| + y_1 \cdot |X| \cdot 2^{-1}$.
- **Такт 5.** Сдвиг RGX на 1 разряд вправо: $|X| = |X| \cdot 2^{-1}$.
- Сдвиг RGY на 1 разряд влево: $i = i + 1$.
- *Устройство управления* проверяет условие окончания операции: $i > n$.
- **Такты (6,7), (8,9), (10,11)...** Повтор действий тактов (4,5) с анализом других значений y_i . В такте 10 в регистре RGZ формируется модуль произведения. Такт 11 используется лишь для определения условия окончания операции умножения.