

Московский Физико-Технически институт  
(Государственный Университет)

Выпускная квалификационная работа

Разработка контроллера Doorbell – сообщений логического  
уровня Message Passing интерфейса RapidIO

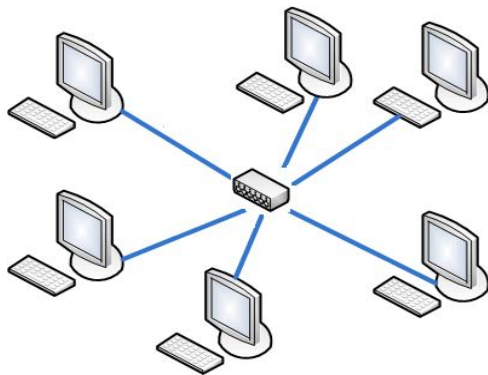
Научный руководитель: Диденко А. Б.

Студент: Прошкин Д. В. ФРТК 816 гр.



# Причины разработки RapidIO

- Появление высокопроизводительных интерфейсов 3-го поколения.



Скорость передачи данных: высокая точка-точка.

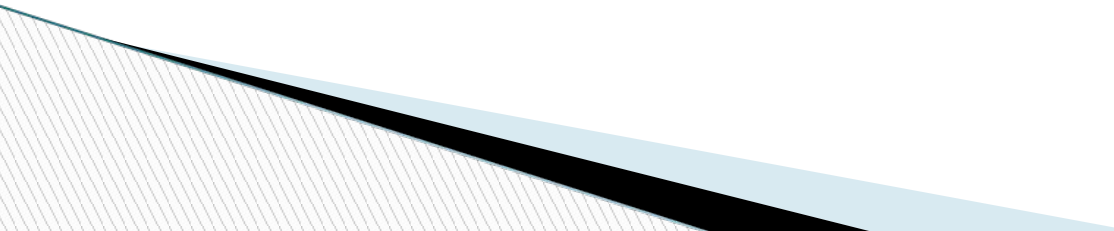
Поддержка коммутуемых устройств.

Высокая пропускная способность > 10 Гбит/с.

Поддержка устройств.

- Необходимость создания межмашинного соединения.
  - Соединение board-to-board.
  - Соединение chassis-to-chassis.

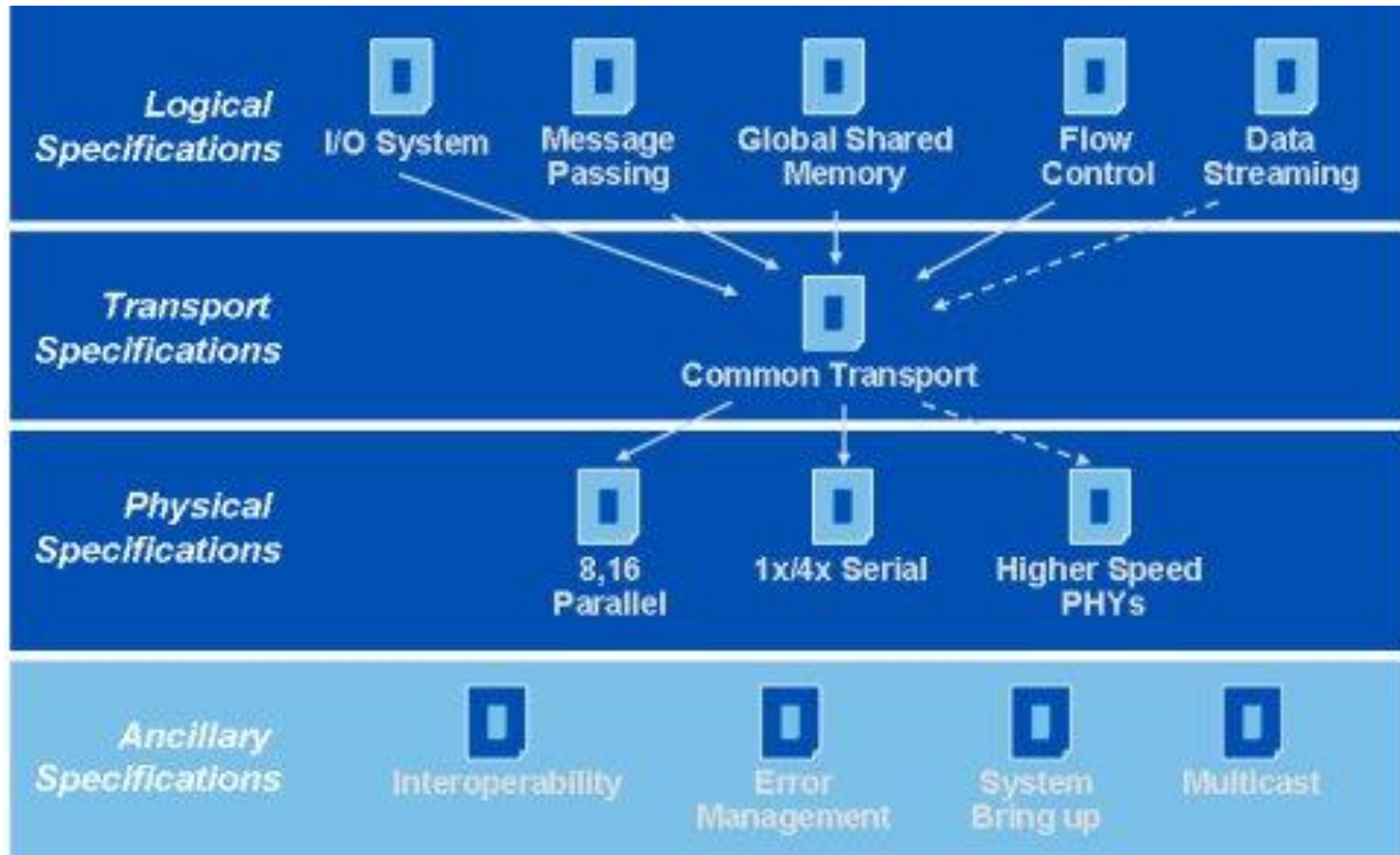
# Применение RapidIO

- Платы расширения, в том числе обеспечивающие поддержку беспроводного соединения согласно протоколам: LTE, WiMAX, WCDMA, TD-SCDMA.
  - Соединение DSP-процессоров.
  - Соединение процессоров общего назначения.
  - Комбинации соединений вышеупомянутых устройств.
- 

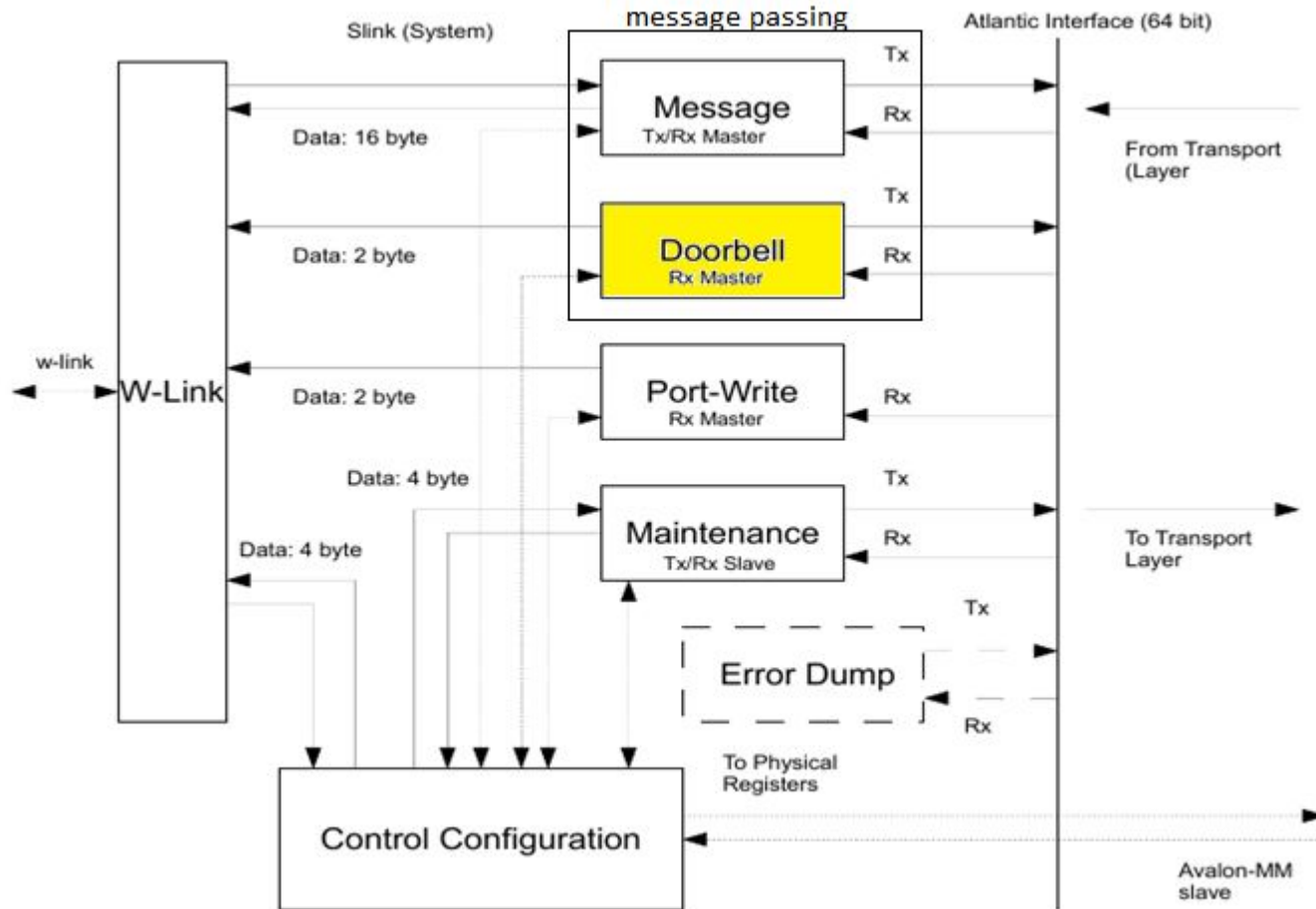
# Основные характеристики RapidIO

- Пакетный последовательный дуплексный интерфейс для равноправного (peer-to-peer) взаимодействия множества абонентов.
- Топология соединения точка-точка.
- Поддержка двух классов сообщений.
  - Message (Полезная нагрузка до 256 байт).
  - Doorbell (Короткие программно-зависимые сообщения, полезная нагрузка 2 байта).
- Общая пропускная способность 10 Гбит/с.

# Архитектура RapidIO

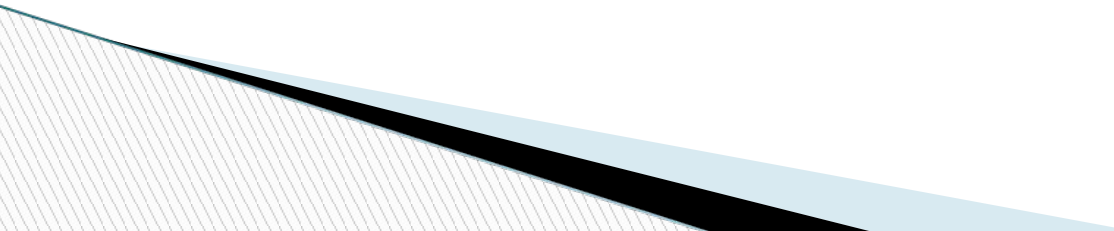


# Принципиальная схема логического уровня RapidIO

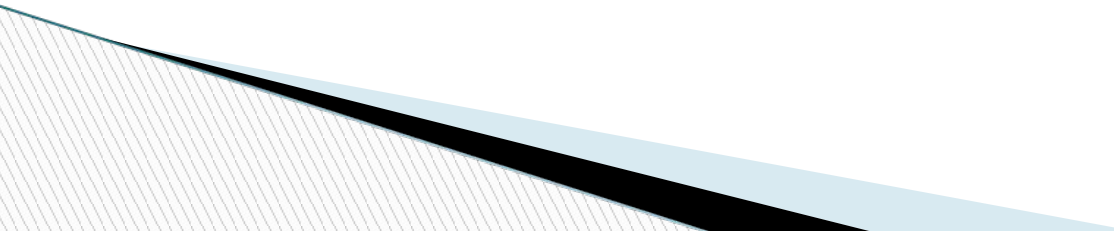


# Постановка задачи

Разработка контроллера **RapidIO Doorbell**  
с логическими функциями:

- Поддержка передачи одновременно только одного сообщения (Doorbell-Request).
  - Автоматическое формирование пакетов – ответов (Doorbell-Response).
  - Буфер по передаче на 8 сообщений.
  - Буфер по приему на 8 сообщений.
- 

# Разработка контроллера RapidIO интерфейсы:

- С транспортным уровнем интерфейс Atlantic компании Altera.
  - С регистрами CSR's и CAR's интерфейс Avalon-MM (Memory Mapped).
  - С локальной памятью интерфейс slink.
  - Из модуля выходят три линии оповещения о событиях: inbound, outbound, error/port-write interrupts.
- 



# Формат Doorbell пакета

AckID(0)	VC (0)	CRF	prio	tt	ftype	DestID	SourceID	Log: Doorbell Request
6	1	1	2	2	4	8/16	8/16	32

Tx Request

AckID(0)	VC (0)	CRF	prio	tt	ftype	DestID	SourceID	Log: Doorbell Response
6	1	1	2	2	4	8/16	8/16	20

Tx Response

*Формат заголовка пакета RapidIO.*

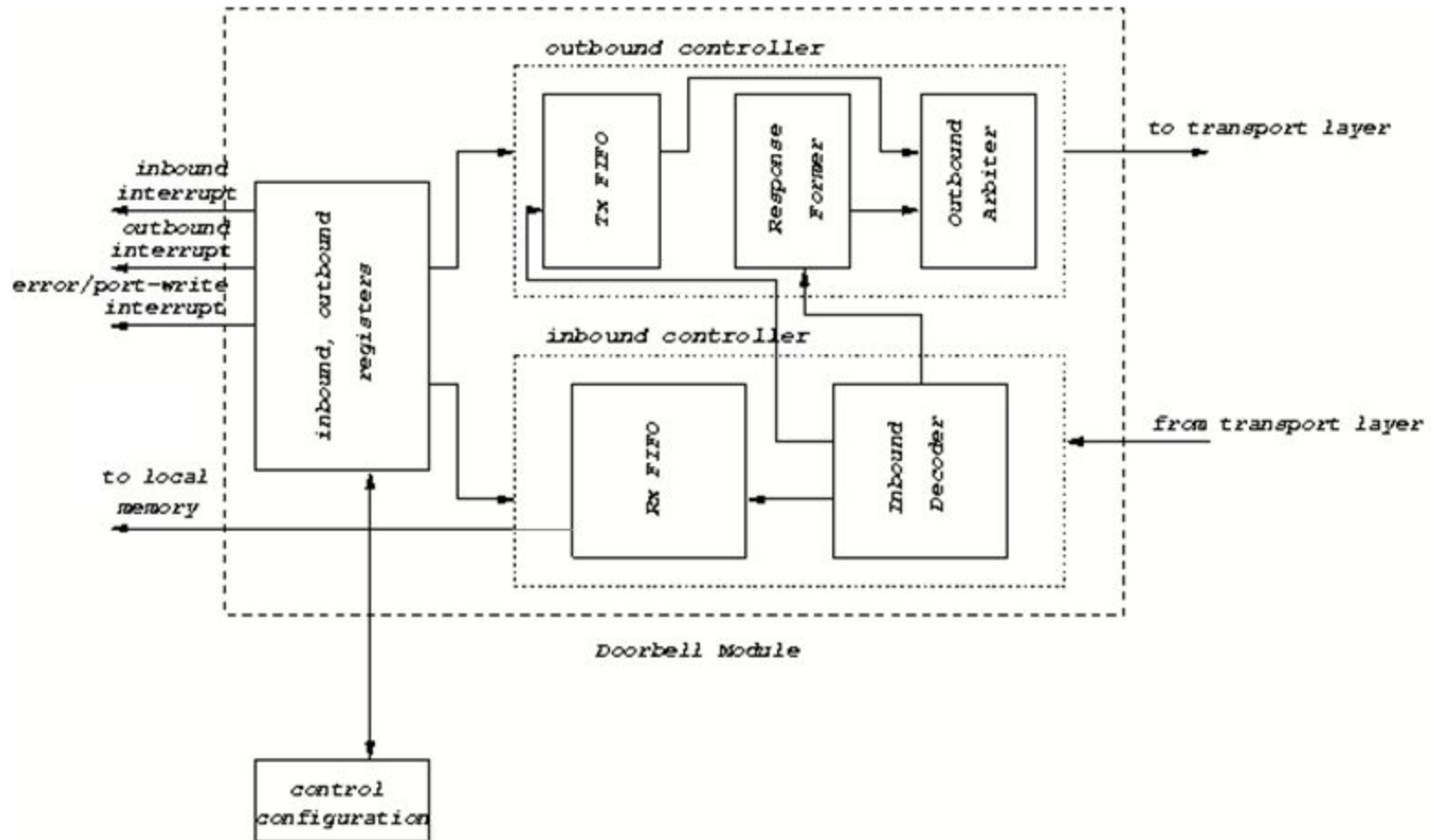
transaction	status	targetTID
4	4	8

Logical Field

*Формат логической части пакета-ответа RapidIO.*

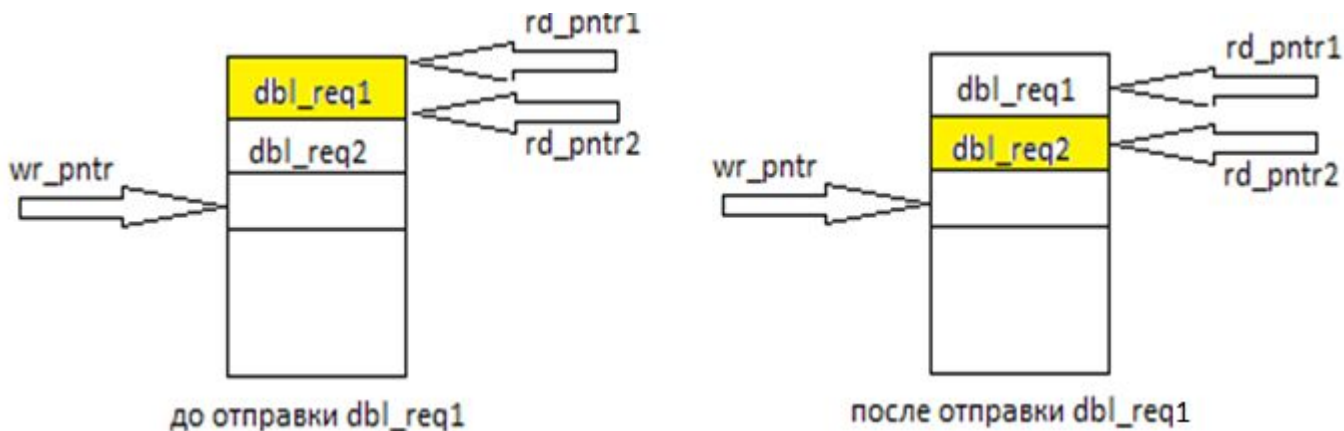
# Реализация устройства

## Блок-схема



# Реализация устройства буфер по передаче (Tx FIFO)

Используется два указателя по чтению, с целью обработки сообщения Doorbell-request в поле со статусом retry.



# Реализация устройства Арбитраж исходящих сообщений

Приоритет отдается сообщениям Doorbell-Response, имеющим меньшую длину:

при одновременном попадании Doorbell-Response и Doorbell-Request в арбитр исходящих сообщений, первым в транспортный уровень проходит Doorbell-Response.

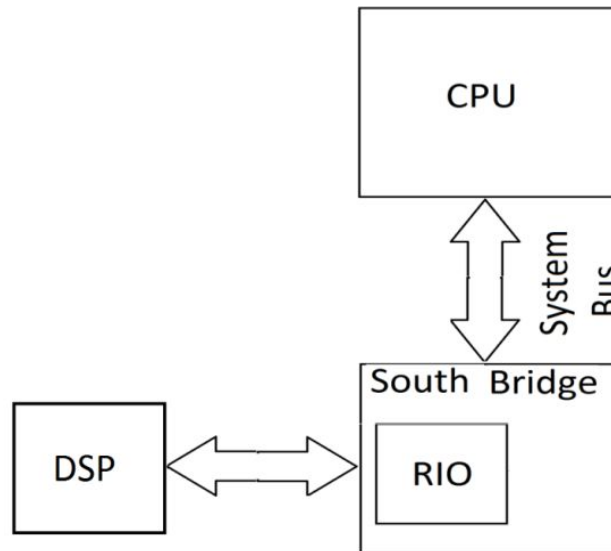
# Результаты

Разработано Verilog - описание контроллера RapidIO Doorbell со следующими характеристиками:

- Поддержка передачи одновременно только одного сообщения.
- Автоматическое формирование пакетов – ответов.
- Два буфера на 8 сообщений: один по приему, другой по передаче.
- Тактовая частота 125 МГц.

# Последующие этапы проекта.

- Автономная верификация логического уровня контроллера RapidIO.
- Разработка транспортного уровня и его верификация.
- Контроллер RapidIO планируется разместить в составе микросхемы южного моста.



**Спасибо за внимание!**

