

«Микропроцессорные средства и СИСТЕМЫ»

Лекция №2

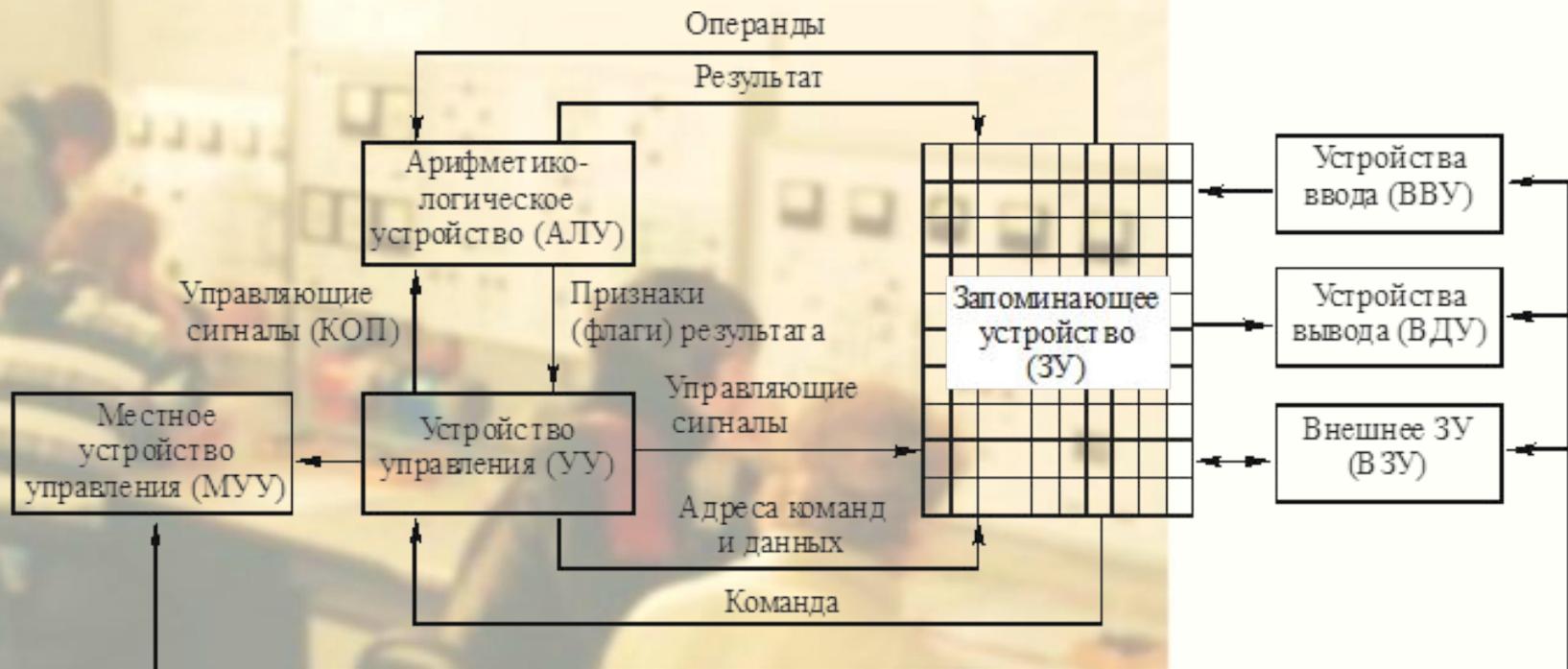


СШФ СФУ
П. Черёмушки
2017год

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей микропроцессорной системы (МПС)»

МПС на примере классической ЭВМ

Классическая ЭВМ состоит из следующих основных блоков: запоминающего устройства, арифметико-логического устройства и устройства управления, также имеется возможность работы с внешними устройствами и пультами управления.

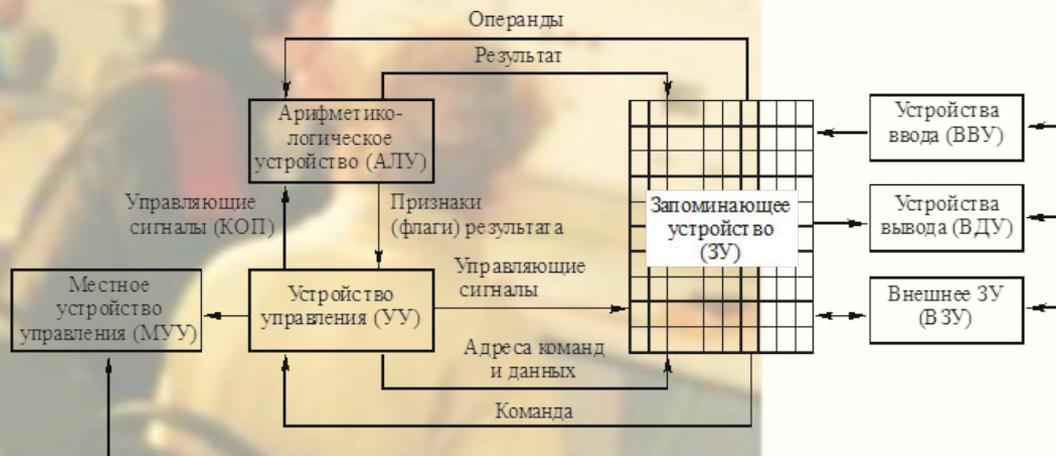


«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Запоминающее устройство (ЗУ), или память – это совокупность ячеек, предназначенных для хранения некоторого кода. Каждой из ячеек присвоен свой номер, называемый адресом. Информацией, записанной в ячейке, могут быть как команды в машинном виде, так и данные. Работа всех устройств, входящих в состав ЭВМ выполняются под управлением сигналов, вырабатываемых **устройством управления (УУ)**. УУ формирует также адреса ячеек памяти, по которым производится обращение для считывания команды, операндов и записи результата выполнения команды.

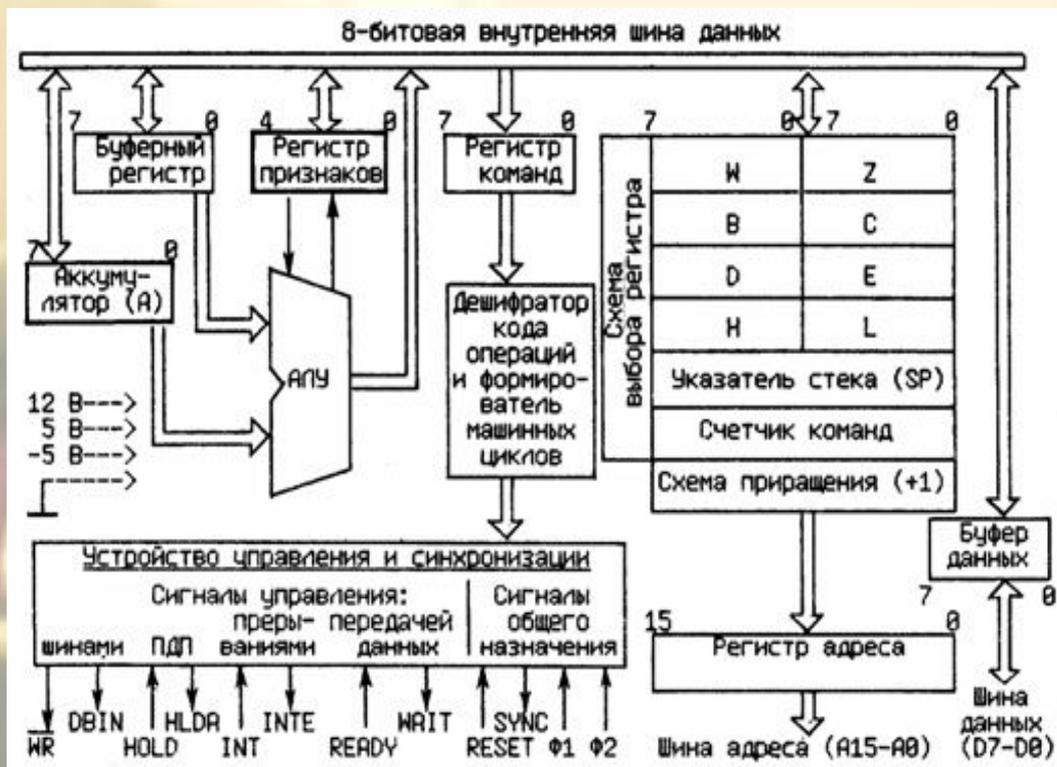
Для выполнения какой-либо машинной операции используется **арифметико-логическое устройство АЛУ(АУ)**. С помощью сигналов управления происходит настройка АЛУ на выполнение конкретной операции, а ЗУ получает указание, какие данные послать в АЛУ (откуда их взять), какие операции над ними произвести и куда поместить результат.

В современных ЭВМ АЛУ и УУ объединены в общее устройство, называемое **центральным процессором (ЦП)**.



«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Структурная схема и условно-графическое обозначение микропроцессора



Структурная схема МП



Условно-графическое обозначение МП

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Автоматическое управление процессом работы микропрограммой ЭВМ по решению задачи достигается на основе принципа программного управления (ППУ), который составляет ее главную особенность и состоит в следующем:

- 1) любая операция, реализуемая устройством, является последовательностью элементарных действий - микроопераций;
- 2) для управления порядком следования микроопераций используются логические условия;
- 3) процесс выполнения операций в устройстве описывается в форме алгоритма, представляемого в виде микроопераций и логических условий, называемого микропрограммой;
- 4) микропрограмма отражает функции устройства, его структуру, и порядок работы устройства во времени.

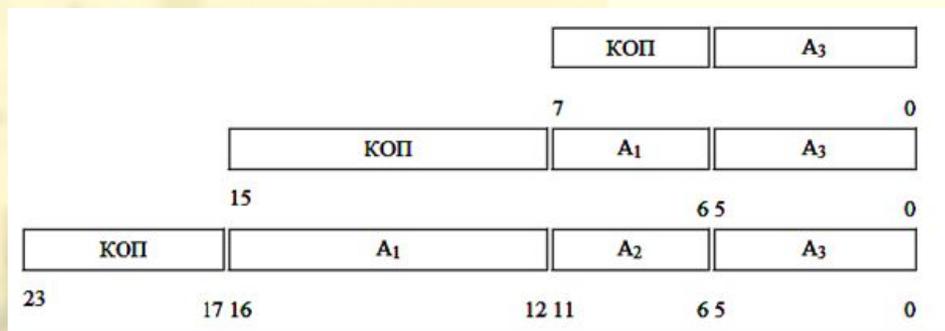
Команды в такой ЭВМ выполняются в порядке, соответствующем их расположению в последовательных ячейках памяти, кроме команд безусловного и условного перехода, изменяющих этот порядок.

Последовательность команд для решения конкретной задачи – называют программой. ППУ обеспечивает гибкость микропроцессорной системы и позволяет осуществлять проблемную ориентацию ЭВМ.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Команды МПС

Алгоритм, написанный пользователем программы, реализуется в виде машинных команд. Под *командой* понимают совокупность сведений, представленных в виде двоичных кодов, необходимых процессору для выполнения очередного шага. В коде команды для хранения сведений о типе операции, нахождении обрабатываемых данных и месте хранения результатов выделяются определенные разряды (поля).

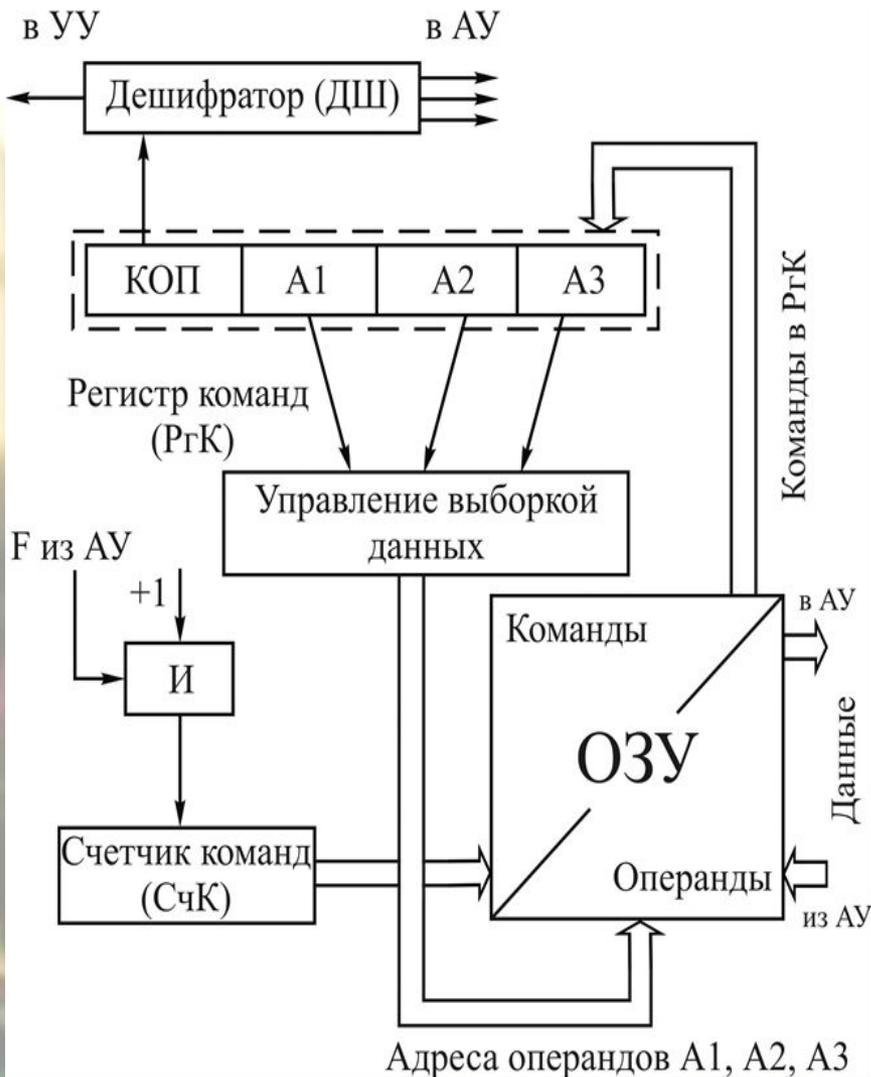


Формат команды

Форматом команды называется заранее обговоренная структура полей в её кодах, позволяющая ЭВМ распознавать составные части кода.

Главным элементом кода команды является *код операции* (КОП), он определяет, какие действия будут выполнены по данной команде. Под него выделяется N старших разрядов формата. В остальных разрядах размещаются A_1 и A_2 - адреса операндов. A_3 - адрес результата.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



Принцип работы ЭВМ

По адресу команды в СчК, выбирается из соответствующей ячейки ОЗУ очередная команда программы и пересылается в регистр команд РгК. Часть команды (*код операции*) направляется в *дешифратор ДШ*. После чего, в соответствии с КОП *формируется требуемая последовательность управляющих импульсов*, которая подается на те устройства, которые должны выполнять расшифрованную операцию. Если КОП относится к арифметическим или логическим операциям, эти импульсы поступают в АЛУ.

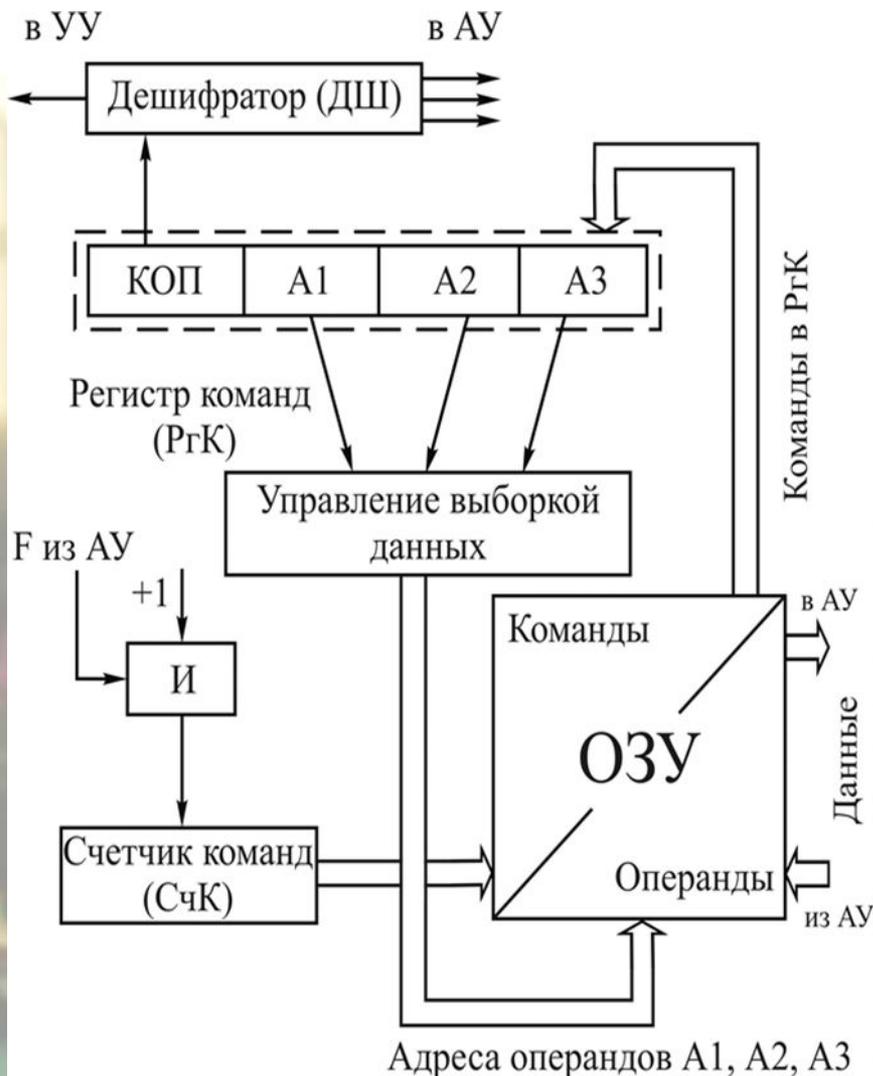
По адресной части команды (A₁ – A₃) УУ вырабатывает сигналы управления для ОЗУ, обеспечивающие *чтение операндов по адресам A₁ и A₂, посылку их в АЛУ и запись результатов по третьему адресу A₃* обратно в ОЗУ. *Признаки результата* (знак, наличие переполнения, признак нуля и так далее) поступают в УУ, где записываются в *специальный регистр признаков (РП)*.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Принцип работы ЭВМ

После завершения выполнения данной операции, что определяется регистром состояния, в **СчК** добавляется единица (+1) и в следующем такте из ОЗУ будет выбрана следующая команда программы по порядку номеров ячеек ОЗУ, и **затем этот процесс будет повторяться.**

Эта последовательность **может быть нарушена** лишь в том случае, когда в ходе вычислительного процесса появляется **необходимость повторить участок программы** или **перейти, не выполняя, полностью какую-то часть программы.** В этом случае **специальной командой управления в СчК заносится не увеличенной на 1 адрес ячейки, а адрес ячейки, указанный в управляющей команде.** Последовательность выборки команд при этом изменяется и начинается с указанной ячейки.



«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



Принцип работы АЛУ

Арифметическо-логическое устройство состоит из

- двоичного сумматора со схемами ускоренного переноса,
- сдвигающего регистра и регистров для временного хранения операндов.

Обычно это устройство выполняет по командам несколько простейших операций: сложение, вычитание, сдвиг, пересылку, логическое сложение (ИЛИ), логическое умножение (И), сложение по модулю 2.

На первый вход АЛУ поступает байт из *аккумулятора*, а на второй вход – из *промежуточного регистра*. Результат сложения указанных двух байтов передается с выхода АЛУ через внутреннюю шину данных в аккумулятор. **Такая организация процесса вычисления соответствует одноадресной организации информационного обмена в микропроцессоре.** Для нее характерно то, что **один из операндов, участвующих в обработке, всегда находится в аккумуляторе.** Поэтому при выполнении операции сложения двух операндов требуется указывать только один адрес – второго операнда, содержащегося, например в одном из регистров общего назначения (РОН).

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Принцип работы АЛУ

К АЛУ подключены **регистр признаков**, предназначенный для хранения и анализа признаков результата операции, и **схема десятичной коррекции**, позволяющая проводить обработку данных в двоично-десятичном коде.

Регистр признаков (флаговый регистр) представляет собой набор триггеров – флажков. В зависимости от результатов операций, выполняемых АЛУ, каждый триггер устанавливается в состояние 0 или 1. Флаговые биты являются индикаторами результата выполнения операции: **нулевого результата, знака результата, переполнения, переноса и т. п.** Эта информация, характеризующая состояние процессора, важна для выбора дальнейшего пути вычислений.

Регистр признаков (5 разрядный) – в соответствующих разрядах РП фиксируются особенности выполнения каждой операции:

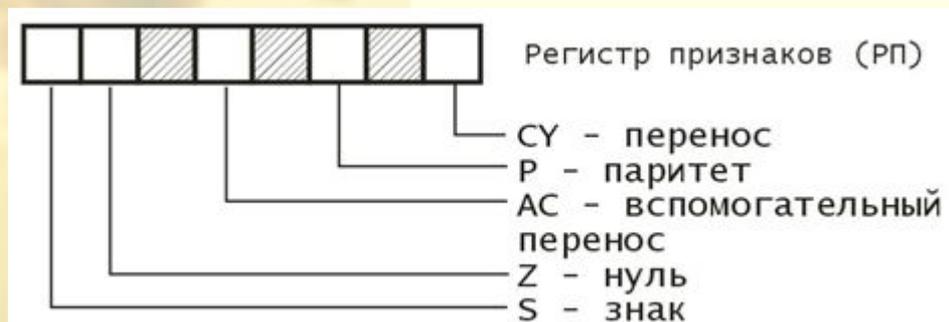
Z (нуль) – устанавливается в «1» при нулевом результате в аккумуляторе.

СУ – перенос из старшего разряда

S (знак) – при единичном значении старшего разряда

P (четность) – при чётном числе единичных битов в результате

АС (дополнительный перенос) – при переносе из младших 4-х разрядов в старшие



«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Классификация команд МП

Классификация команд по основным признакам представлена ниже.



По функциональному назначению команды процессора включает в себя следующие основные группы команд:

Команды передачи (пересылки) данных;

Команды обработки данных (арифметические, логические);

Команды передачи управления (переходов);

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

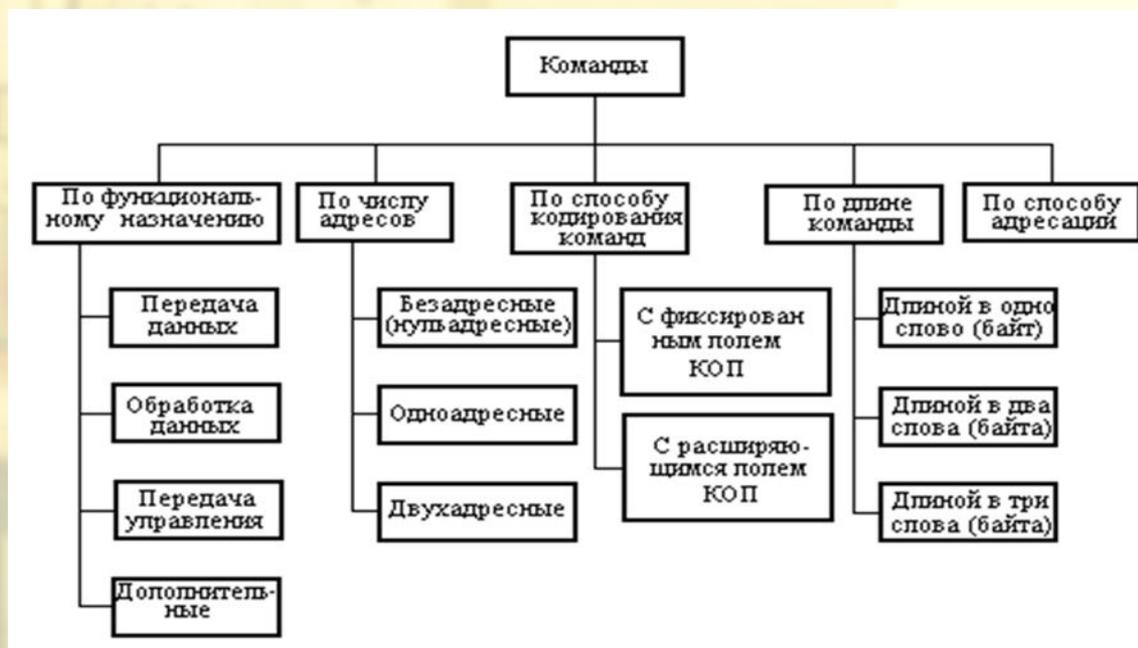
Классификация команд МП

- **Команды пересылки** данных не требуют выполнения никаких операций над операндами. Данные просто пересылаются (точнее, копируются) из источника (Source) в приемник (Destination). Источником и приемником могут быть внутренние регистры процессора, ячейки памяти или устройства ввода/вывода. АЛУ в данном случае не используется.
- **Арифметические команды** выполняют операции сложения, вычитания, умножения, деления, увеличения на единицу (инкрементирования), уменьшения на единицу (декрементирования) и т.д. Этим командам требуется один или два входных операнда. Формируют команды один выходной операнд.
- **Логические команды** производят над операндами логические операции, например, логическое И, логическое ИЛИ, исключающее ИЛИ, очистку, инверсию, разнообразные сдвиги (вправо, влево, арифметический сдвиг, циклический сдвиг). Этим командам, как и *арифметическим*, требуется один или два входных операнда, и формируют они один выходной операнд.
- **Команды переходов** предназначены для изменения обычного порядка последовательного выполнения команд. С их помощью организуются переходы на *подпрограммы* и возвраты из них, всевозможные циклы, *ветвления* программ, пропуски фрагментов программ и т.д. *Команды переходов* всегда меняют содержимое счетчика команд. Переходы могут быть условными и безусловными. Именно эти команды позволяют строить сложные алгоритмы обработки информации.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

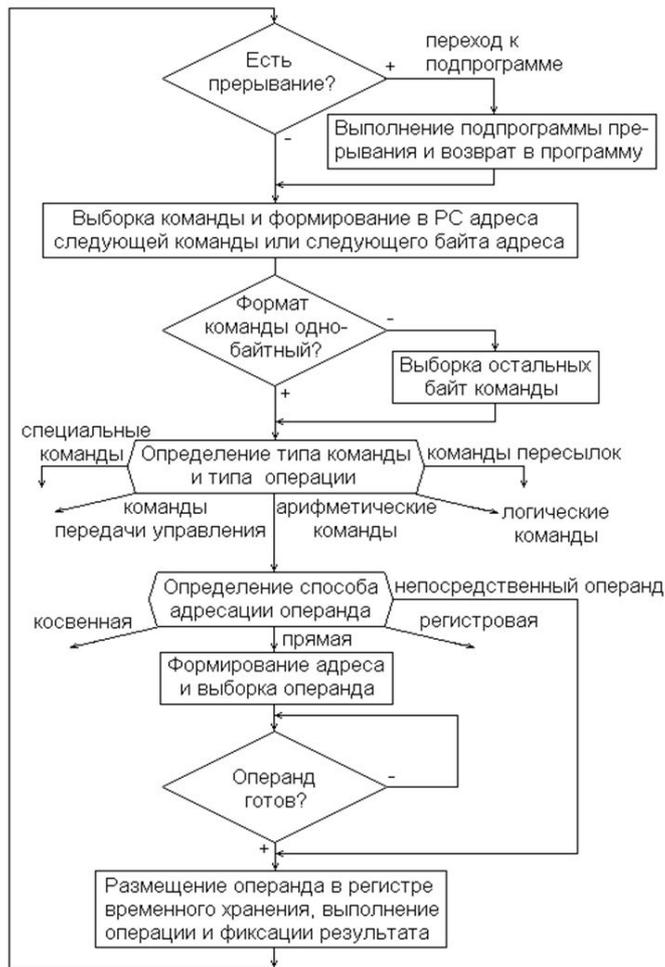
Классификация команд МП

- По числу адресов различают однооперандными (или одноадресные) и двухоперандные (или двухадресные).
- Команды с регистровой адресацией однобайтовые. Если в команде используется константа в качестве операнда или указывается адрес операнда в системной памяти, то команда будет занимать в системной памяти два или три байта.



«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Алгоритм функционирования управляющего автомата в течение рабочего цикла выполнения команды (программный обмен информацией)



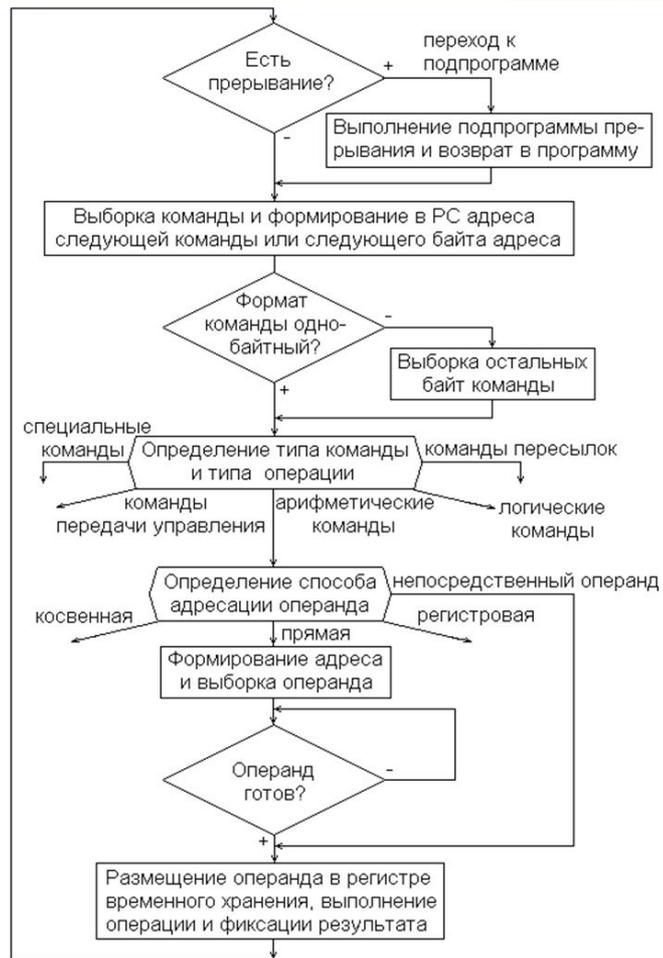
Управление микропроцессорной системой Программный обмен информацией

- Выполнение рабочего цикла команды начинается с опроса триггера прерывания. Если запрос прерывания поступил и прерывания разрешены (командой EI), то автомат формирует машинный цикл обработки прерывания, в котором управление передается подпрограмме обработки прерывания, и она выполняется. При отсутствии прерывания управляющий автомат формирует цикл выборки команды из памяти и формирует адрес следующей команды.
- Далее управляющий автомат дешифрирует код операции в команде и генерирует соответствующую коду операции серию управляющих сигналов, обеспечивающую выполнение в МП заданной операции.
- Устройство управления МП в зависимости от кода текущей команды, состояния своего управляющего автомата, а также в зависимости от значений сигналов оповещения с шины управления МПС вырабатывает последовательности сигналов, реализующие процедуры системного обмена информацией.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Алгоритм функционирования управляющего автомата в течение рабочего цикла выполнения команды (программный обмен информацией)

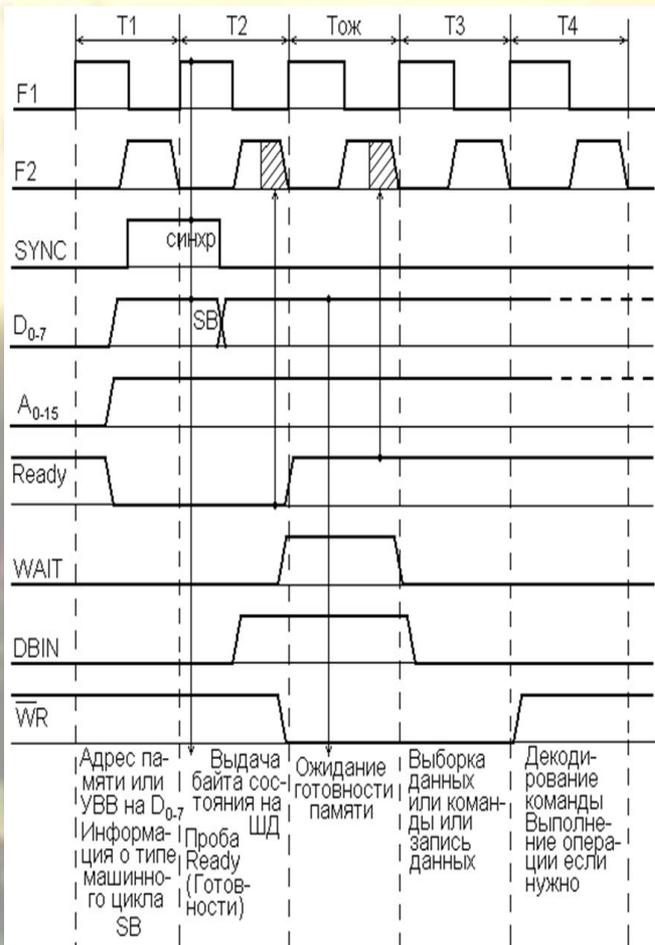
Управление микропроцессорной системой
Программный обмен информацией



- В МП управляющий автомат в зависимости от сложности команды выполняет цикл команды за несколько (1-5) внутренних машинных циклов. Один машинный цикл требуется МП для одного обращения к памяти или УВВ. Например, машинный цикл МП VM80 (функциональный аналог микропроцессора Intel i 8080A) может состоять из 3-5 тактов. Тактирование МП осуществляется от внешнего генератора сигналами F1, F2.
- В стандартном машинном цикле может быть от трех до пяти состояний автомата управления.
- Микропроцессор приступает к анализу запросов на прерывание только после окончания выполнения текущей команды.
- Из состояния останова МП может быть выведен сигналом прерывания INT или сигналом установки в исходное состояние Reset.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Временная диаграмма выполнения основного цикла команды МП

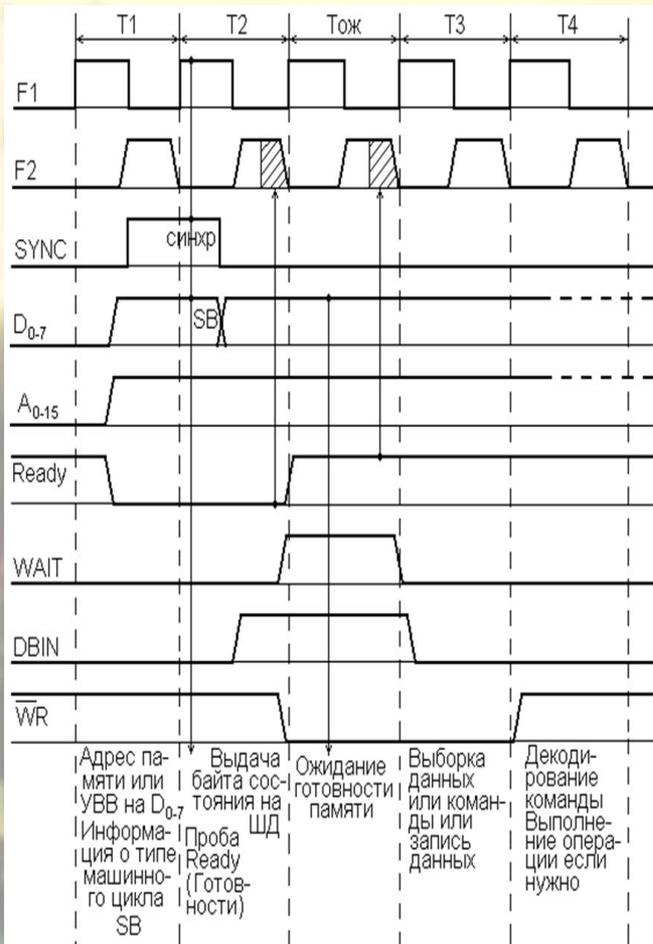


Управление микропроцессорной системой Программный обмен информацией

- Временная диаграмма определяет основной цикл команды МП. В первом такте синхронизации T1 МП выставляет на шине адреса код адреса A₀₋₁₅ очередной команды. Одновременно на линии синхронизации SYNC появляется единичный сигнал, который идентифицирует информацию на шине данных D₀₋₇ как байт состояния SB процессора и загружает его в регистр системного контроллера (например K580BK28).
- Сигнал SYNC также свидетельствует о начале машинного цикла. По окончании сигнала SYNC буферная схема шины данных, расположенная в системном контроллере, переводит шину данных D₀₋₇ в режим ввода, о чем свидетельствует единичный сигнал на линии DBIN шины управления.
- В такте T₂ МП осуществляет проверку готовности внешнего устройства (или памяти). Если внешнее устройство не формирует сигнал Готов (высокий уровень), то автомат управления МП переходит в состояние ожидания. В этом состоянии МП будет находиться до тех пор, пока на линии Ready не появится единичный сигнал, который будет свидетельствовать о том, что память или ВУ готовы к обмену.

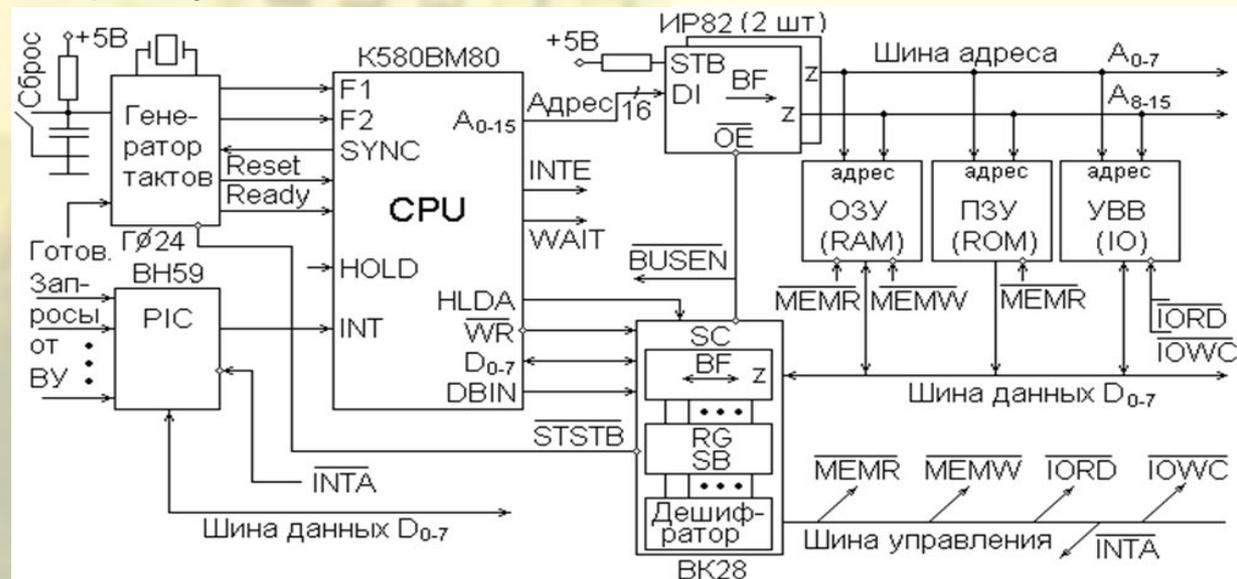
«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Временная диаграмма выполнения основного цикла команды МП



Управление микропроцессорной системой программный обмен информацией

На временных диаграммах приведен вариант отсутствия готовности в течение одного такта и МП сформировал один такт ожидания Тожд, в котором обнаружил единичный сигнал готовности Ready и перешел к рабочему такту T₃. В такте T₃ МП производит чтение или запись слова в память. Такты T₄ и T₅ отводятся для выполнения операции, заданной кодом операции команды. Выполнение некоторых сложных команд требует неоднократного прохода по циклу состояний автомата управления от T₁ до T₅.



«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Слово состояния процессора

- **При выполнении процессором программы** после каждого рабочего такта, а тем более в результате завершения выполнения очередной команды, **изменяется содержимое регистров, счетчиков, состояния отдельных управляющих триггеров.**
- Можно говорить, что **изменяется состояние процессора**, или, употребляя другую терминологию, **состояние программы. Информация о состоянии процессора (программы)** лежит в основе многих процедур управления вычислительным процессом, например **при анализе ситуаций при отказах и сбоях, при возобновлении выполнения программы после перерывов, вызванных отказами, сбоями, прерываниями, для фиксации состояния процессора (программы) в момент перехода в мультипрограммном режиме** от обработки данной программы к другой и т. п.. Состоянием процессора (программы) после данного такта или после выполнения данной команды, строго говоря, следует считать совокупность состояний в соответствующий момент времени всех запоминающих элементов устройства — триггеров, регистров, ячеек памяти. Однако не вся эта информация исчезает или искажается при переходе к очередной команде или другой программе. Поэтому **из всего многообразия информации о состоянии процессора (программы) отбираются наиболее существенные ее элементы, как правило, подверженные изменениям при переходе к другой команде или программе. Совокупность значений этих информационных элементов** получила название **вектора состояния или слова состояния процессора (программы).**

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Слово состояния процессора

- **Вектор состояния (слово состояния процессора)** в каждый момент времени должен содержать информацию, достаточную для продолжения выполнения программы или повторного пуска программы с точки, соответствующей моменту формирования данного вектора состояния. При этом предполагается, что остальная информация, характеризующая состояние процессора, например содержимое регистров, или сохраняется, или может быть восстановлена программным путем по копии, сохраненной в памяти.
- **Вектор состояния (слово состояния процессора)** формируется в соответствующем регистре (регистрах) процессора, претерпевая изменения после выполнения каждой команды.
- Наборы информационных элементов, образующих векторы состояния, отличаются у ЭВМ разных типов. Наиболее просто он выглядит у микропроцессоров. Например, вектор состояния микропроцессора К580, включает в себя содержимое 16-разрядного счетчика команд (адрес очередной команды); содержимое 8-разрядного регистра признаков, называемое в документации на этот микропроцессор словом состояния процессора, и содержимое 8-разрядного аккумулятора АЛУ. Использование слова (вектора) состояния — распространенный прием построения управления устройствами вычислительной техники.

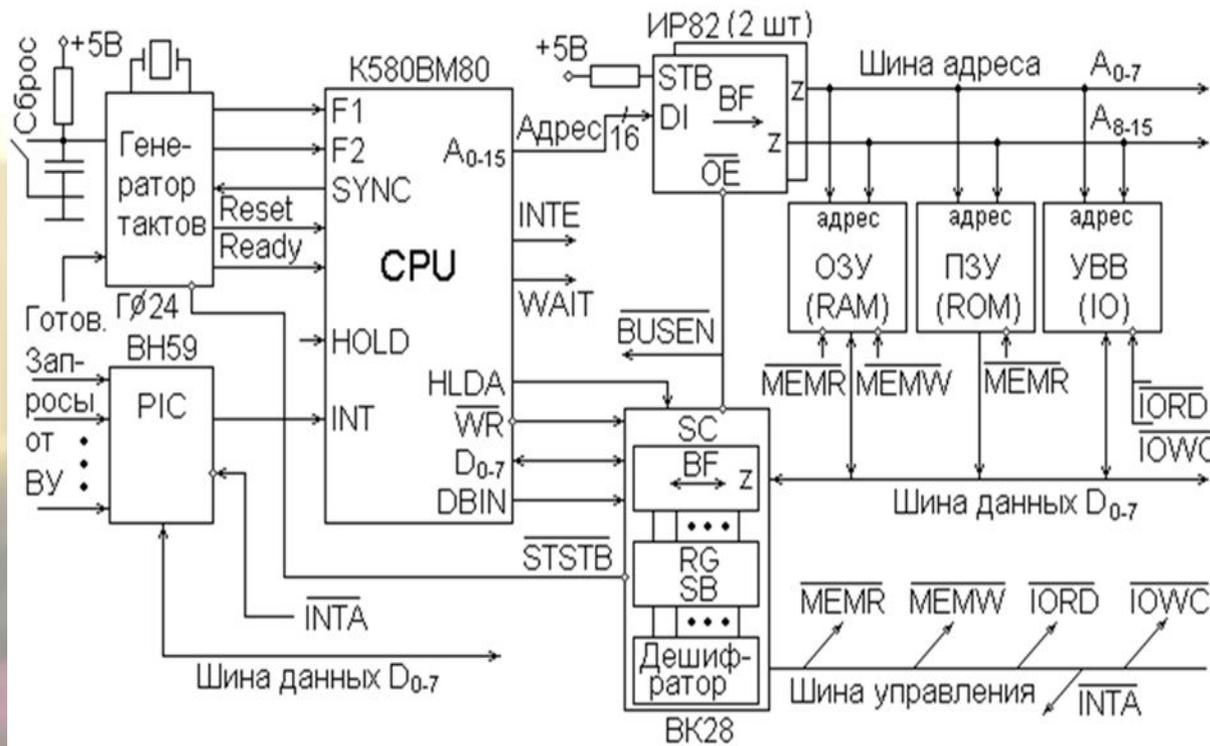
«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Слово состояния процессора

Для нормального функционирования МПС недостаточно управляющих сигналов, формируемых МП на собственных выводах т.к., нельзя отличить циклы обращения к памяти от циклов обращения ввода-вывода. Расширение числа управляющих сигналов достигается с помощью специального 8-разрядного кода BS (байта состояния), который МП выдает через шину данных в первом такте T_1 каждого машинного цикла. Байт состояния BS содержит информацию о текущем машинном цикле. Таким образом, в каждом машинном цикле МП формирует код типа текущего машинного цикла, который далее декодируется в системном контроллере. В результате декодирования кода типа машинного цикла формируется расширенный набор сигналов шины управления для управления памятью, устройствами ввода-вывода и прерываниями. Всего 11 типов машинных циклов:

- **FETCH** Цикл M1 приема первого байта команды в регистр IR .
- **MEMORY_READ** Цикл чтения данных из памяти по адресу, определяемому PC, BC, DE, HL.
- **MEMORY_WRITE** Цикл записи данных в память по адресу, определяемому BC, DE, HL, SP.
- **STACK-READ** Цикл чтения из стека, чтение памяти по адресу, определяемому SP.
- **STACK-WRITE** Цикл записи в стек, запись в память по адресу, определяемому SP.
- **INPUT** Цикл ввода данных из порта в аккумулятор A.
- **OUTPUT** Цикл вывода данных из аккумулятора в порт.
- **INTERRUPT-M1** Первый цикл подтверждения прерывания .
- **HALT** Цикл останова.
- **HALT-INTERRUPT** Первый цикл подтверждения прерываний в состоянии останова.
- **INTERRUPT** Второй и третий циклы подтверждения прерывания.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



Назначение линий управления МП

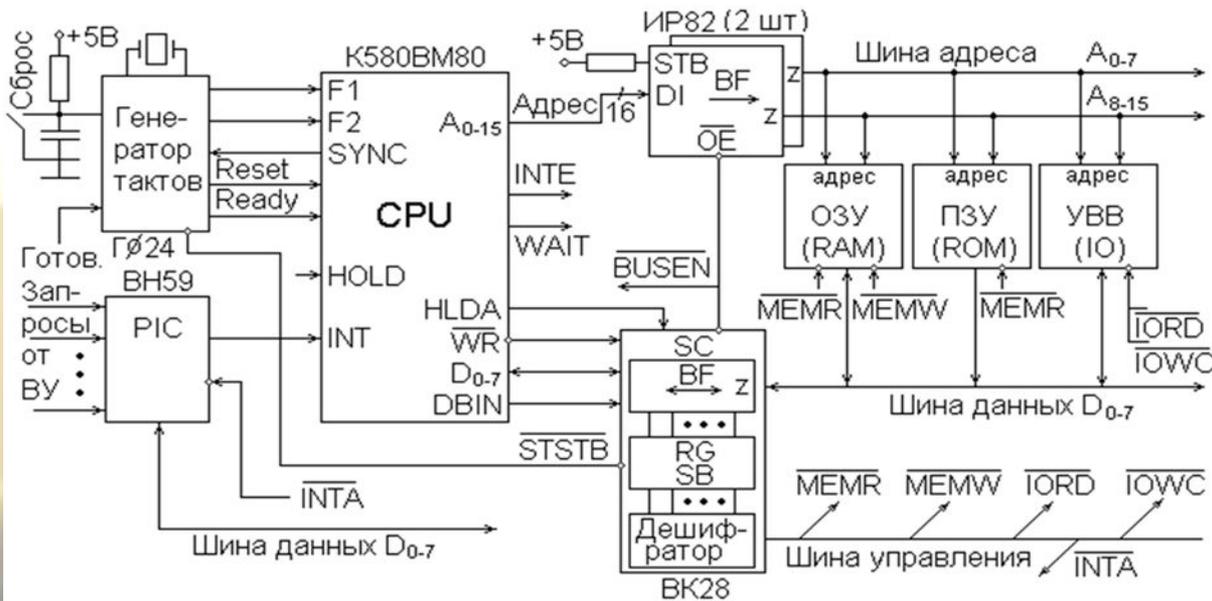
F1 и F2 Это входные линии приема взаимно противофазных сигналов тактирования МП. Поступают с генератора тактовых импульсов

SYNC Выходная линия, на которую микропроцессор в начале каждого машинного цикла формирует сигнал синхронизации устройств, входящих в систему.

Ready Входная линия приема МП сигнала от ВУ, информирующей о готовности принять или выдать данные (высоким уровнем).

WAIT Выходная линия, на которую МП выставляет сигнал ожидания (высокий уровень), если в такте T2 отсутствует высокий уровень на линии Ready.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



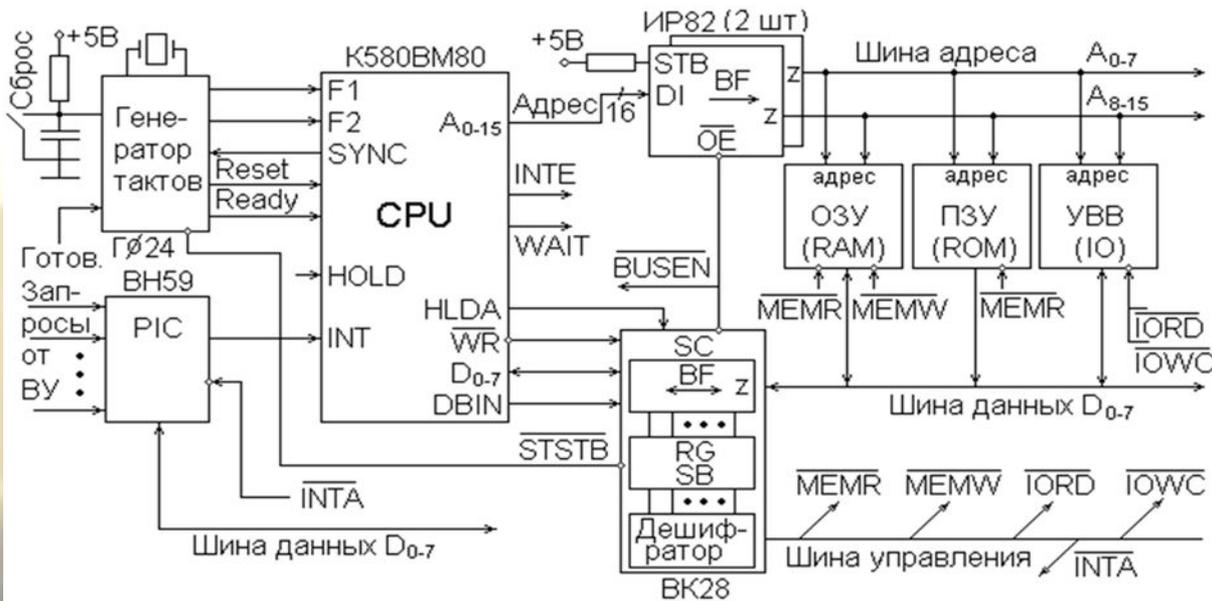
- **Назначение линий управления МП**

Reset По этой линии поступает сигнал установки МП в исходное состояние. При этом в программный счетчик РС загружается стартовый адрес $PC=0000h$, с которого начинается пусковая программа. В регистр команд IR записывается код пустой команды NOP, т.е. $IR=00h$.
Внутренние триггеры “разрешение прерывания” и “подтверждение захвата шины” устанавливаются в нулевое состояние. Состояние PОН и регистра признаков F по сигналу Reset не изменяется.

WAIT Выходная линия, на которую МП выставляет сигнал ожидания (высокий уровень), если в такте T2 отсутствует высокий уровень на линии Ready.

INT Линия приема сигнала запроса на прерывание от ВУ. МП анализирует состояние этой линии в конце текущей команды или в состоянии “Останов”. И если внутренний триггер “разрешения прерываний” установлен в состояние “разрешено” (командой EI), то МП формирует машинные циклы обработки прерывания, выставляя на шину данных байт состояния SB, на основе которого системный контроллер вырабатывает сигналы INTA.

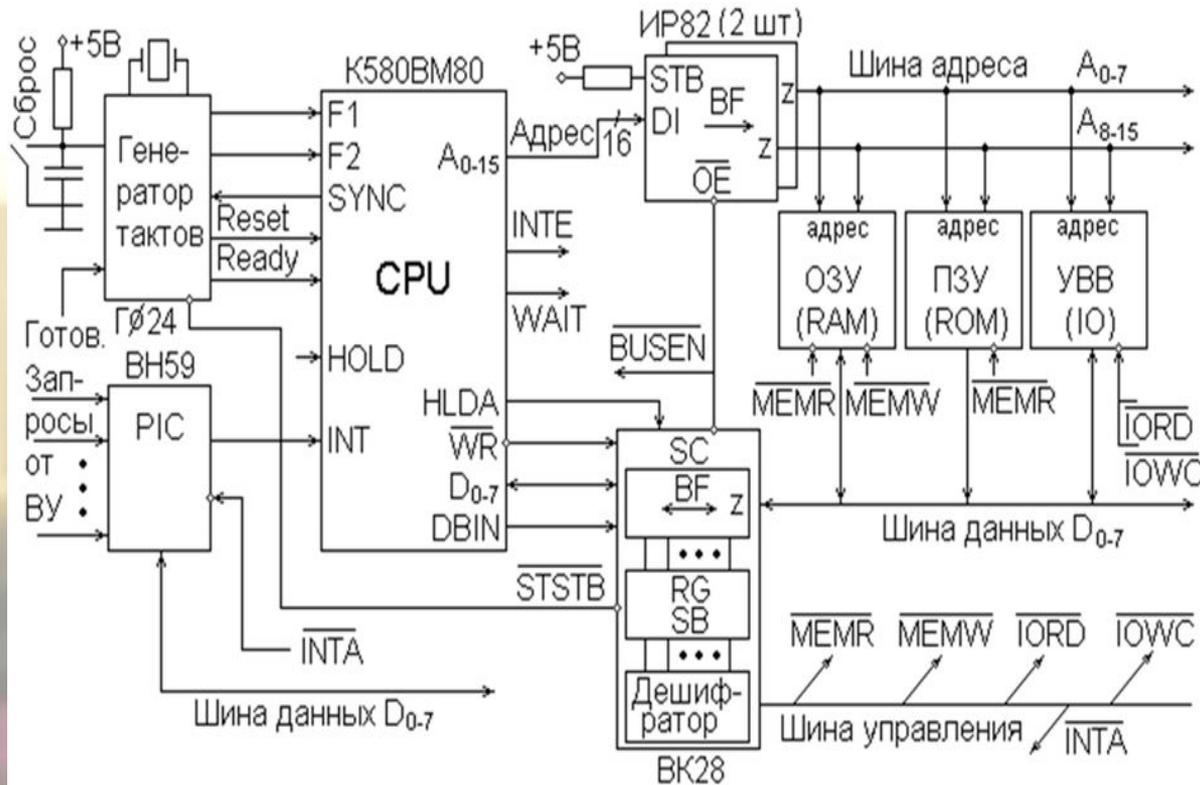
«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



- **Назначение линий управления МП**
- **INTE** Выходная линия, на которую МП формирует сигнал “разрешение прерывания”
- **HOLD** Входная линия приема сигнала запроса шин, поступающая от ВУ.

- **HLDA** Выходная линия, на которую микропроцессор выставляет сигнал “подтверждение захвата шин” в ответ на сигнал HOLD. При этом буферы на шинах адреса и данных устанавливает в Z-состояние.
- **DBIN** Выходная линия, на которую МП формирует сигнал высокого уровня при выполнении команд чтения памяти или УВВ.
- **WR** Выходная линия. При выполнении команд записи в память или УВВ МП выставляет сигнал низкого уровня.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

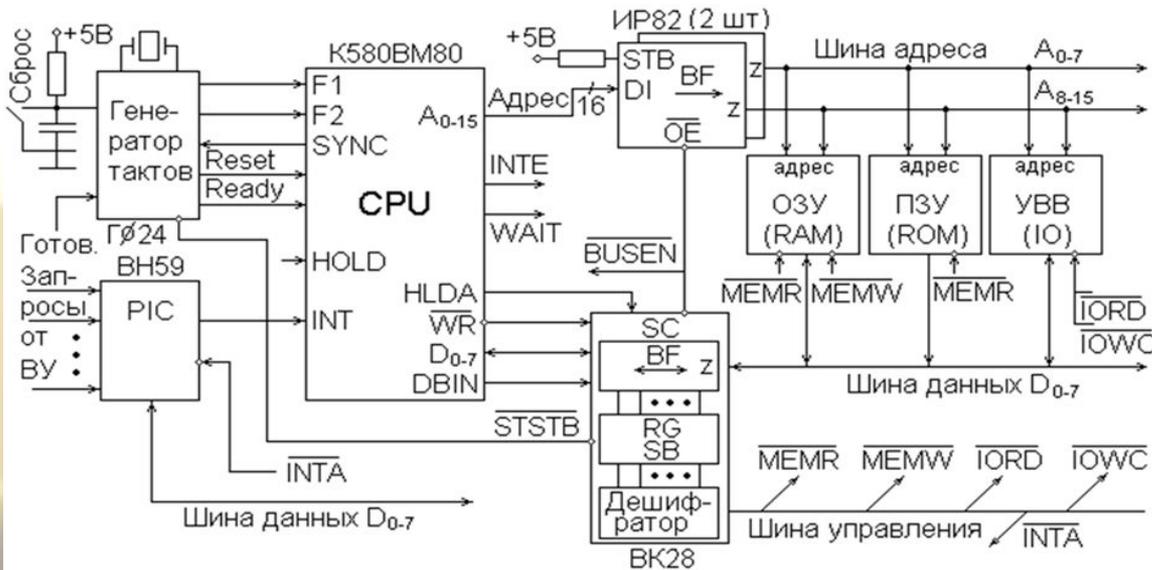


Назначение линий управления МП

Генератор тактовых импульсов формирует две взаимно противофазные импульсные последовательности F_1 и F_2 . Микропроцессор воспринимает эти тактирующие сигналы, пересчитывает их с коэффициентом пересчета 3-5.

Величина коэффициента пересчета определяется типом выполняемой в данный момент команды. В начале каждого машинного цикла микропроцессор формирует сигнал синхронизации (**SYNC**), который поступает на генератор тактовых импульсов.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»



Назначение линий управления МП

В генераторе тактовых импульсов с приходом сигнала **SYNC** формируется сигнал **STSTB#**, служащий для стробирования записи байта состояния **SB** процессора в регистр системного контроллера. Таким образом, в каждом машинном цикле МП формирует код типа текущего машинного цикла, который далее декодируется в системном контроллере. В результате декодирования кода типа машинного цикла формируется расширенный набор сигналов шины управления для управления памятью, устройствами ввода-вывода и прерываниями. Все сигналы имеют активным низкий уровень:

- **MEMRD#** строб-сигнал чтения памяти.
- **MEMWR#** строб-сигнал записи в память.
- **IORD#** строб-сигнал чтения УВВ (портов).
- **IOWRC#** строб-сигнал записи в УВВ (порты).
- **INTA#** сигнал подтверждения прерывания. Используется для стробирования чтения адреса подпрограммы обработки прерывания.

«Управляющий автомат, цикл команды и слово состояния микропроцессора простейшей МПС»

Литература:

1. Микропроцессорные системы [Электронный ресурс] : электрон . учеб . пособие / О . В . Непомнящий, Е . А . Вейсов, Г . А . Скотников, М . В . Савицкая. – Электрон. дан. (4 Мб). – Красноярск : ИПК СФУ, 2009.
2. <http://study.urfu.ru/Aid/Publication/3772/1/Mokretsoff1.pdf>
3. <http://baumanki.net/lectures/10-informatika-i-programmirovaniye/377-elementy-mikroprocessornoy-tehniki/5147-4-mikroprocessory.html>
4. https://studopedia.su/16_35319_ponyatie-o-sostoyanii-protse-ssora-programmi-vektor-slovo-sostoyaniya.html

**Благодарю за внимание, готов ответить
на Ваши вопросы**

A photograph of a control room with several people working at consoles. The room is filled with large panels and equipment. The image is slightly blurred and has a warm, yellowish tint.

**А.М. Волошин
Ст. преподаватель
СШФ СФУ**