

Вводная лекция

Литература по цифровой схемотехнике

- Джон Ф. Уэйкерли Проектирование цифровых устройств. В 2 т. М.: Постмаркет. – 1088 с.
- Уилкинсон Б. Основы проектирования цифровых схем. М.: Издательский дом «Вильямс», 2004. – с.
- Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХВ-Санкт-Петербург, 2010. – 528 с.
- Токхейм Р. Основы цифровой электроники: Пер. с англ. – М.: Мир, 1988. – 392 с.
- Янсен Й. Курс цифровой электроники: В 4 т. Т.1. Основы цифровой элеткроники на ИС. – М.: Мир, 1987. – 334 с.
- Зубчук В.И. и др. Справочник по цифровой схемотехнике. К.: Тэхника, 1990. – 448 с.
- Аванесян Г.Р., Левшин В.П. Интегральные микросхемы ТТЛ и ТТЛШ: Справочник. – М.: Машиностроение, 1993. – 256 с.
- Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1987.– 352 с.
- Логические интегральные схемы 1533, 1554. Справочник.

Литература по ПЛИС

- Максфилд К. Проектирование на ПЛИС. Курс молодого бойца. М.: Изд.дом "Додэка-XXI", 2007. – 408 с.
- Грушвицкий Р.И., Мурсаев А.Х., Угрюмов Е.П. Проектирование систем на микросхемах программируемой логики. СПб.: БХВ-Петербург, 2002. – 608 с.
- Стешенко В.Б. ПЛИС фирмы "Altera": элементная база, система проектирования и языки описания аппаратуры. М.: Изд. дом "Додэка-XXI", 2002. – 576 с.
- Кнышев Д.А., Кузелин М.О. ПЛИС фирмы "Xilinx": описание, структуры основных семейств. М.: Изд.дом "Додэка-XXI", 2001. – 240 с.

Литература по VHDL

- IEEE Standard VHDL Language Reference Manual, IEEE Std 1076, 2000 Edition
- Бибило П.Н. Синтез логических схем с использованием языка VHDL. – М.: СОЛОН-Р, 2002. – 384 с.
- Поляков А.К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры. – М.: СОЛОН-Пресс, 2003. – 320 с.
- Сергиенко А.М. VHDL для проектирования вычислительных устройств. – К.: ЧП «Корнейчук», ООО «ТИД»ДС», 2003. – 208 с.
- Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. – СПб.: БХВ-Петербург, 2003. – 576 с.

Структура курса.

- Практические занятия: 36 часов
- Лабораторные работы: 18 часов
- Расчетно-графическое задание.
- Дифференцированный зачет.

- Окончание семестра: июнь 2016 г.

Классификация цифровых устройств

- Комбинационные
 - Логические элементы
 - Мультиплексоры и демультимплексоры
 - Шифраторы и дешифраторы
 - Арифметические устройства
- Последовательностные
 - Триггеры
 - Регистры
 - Счетчики
 - Память

Программируемая логическая интегральная

схема (ПЛИС, англ. programmable logic device, PLD) — электронный компонент, используемый для создания цифровых интегральных схем.

В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования (проектирования). Для программирования используются программатор и IDE (отладочная среда, *Integrated development environment*), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др.

Альтернативой ПЛИС являются:

- программируемые логические контроллеры (ПЛК);
- базовые матричные кристаллы (БМК), требующие заводского производственного процесса для программирования;
- ASIC — специализированные заказные большие интегральные схемы (БИС), которые при мелкосерийном и единичном производстве существенно дороже;
- специализированные компьютеры, процессоры (например, цифровой сигнальный процессор) или микроконтроллеры, которые из-за программного способа реализации алгоритмов в работе медленнее ПЛИС.

Некоторые производители для своих ПЛИС предлагают программные процессоры, которые можно модифицировать под конкретную задачу, а затем встроить в ПЛИС. Тем самым:

- обеспечивается увеличение свободного места на печатной плате (возможность уменьшения размеров платы);
- упрощается проектирование самой ПЛИС;
- увеличивается быстродействие ПЛИС.

- **Ранние ПЛИС**

В 1970 году компания «TI» разработала маскируемые (то есть, программируемые с помощью маски, англ. mask-programmable) интегральные схемы (далее ИС) основанные на ассоциативном ПЗУ (ROAM) фирмы «IBM». Эта микросхема называлась TMS2000 и программировалась чередованием металлических слоёв в процессе производства интегральной схемы (ИС). TMS2000 имела до 17 входов и 18 выходов с 8-ю JK-триггерами в качестве памяти. Для этих устройств компания «TI» ввела термин PLA — англ. programmable logic array — программируемая логическая матрица.

- **PAL**

PAL (англ. programmable array logic) — программируемый массив (матрица) логики. В СССР PLA и PLM не различались и обозначались как ПЛМ (программируемая логическая матрица). Разница между PLA и PLM состоит в доступности программирования внутренней структуры (матриц).

- **GAL**

GAL (англ. gate array logic) — это ПЛИС, имеющие программируемую матрицу «И» и фиксированную матрицу «ИЛИ».

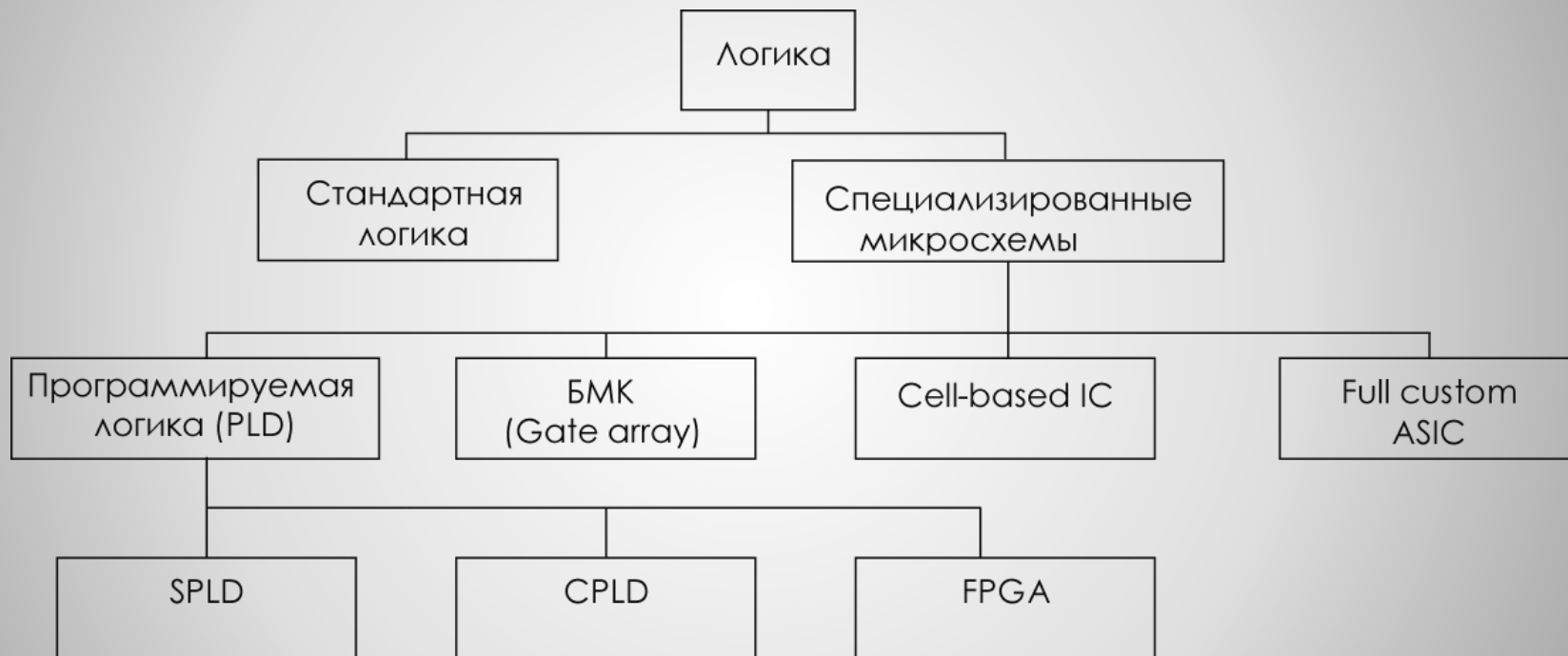
- **CPLD**

CPLD (англ. complex programmable logic device — сложные программируемые логические устройства) содержат относительно крупные программируемые логические блоки — макроячейки, соединённые с внешними выводами и внутренними шинами. Функциональность CPLD кодируется в энергонезависимой памяти, поэтому нет необходимости их перепрограммировать при включении. Может применяться для расширения числа входов/выходов рядом с большими кристаллами, или для предобработки сигналов (например, контроллер COM-порта, USB, VGA).

● FPGA

FPGA (англ. field-programmable gate array) содержат блоки умножения-суммирования, которые широко применяются при обработке сигналов (DSP, англ. digital signal processing), а также логические элементы (как правило, на базе таблиц перекодировки — таблиц истинности) и их блоки коммутации. FPGA обычно используются для обработки сигналов, имеют больше логических элементов и более гибкую архитектуру, чем CPLD. Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ (подобные микросхемы производят, например, фирмы «Xilinx» и «Altera») — в этом случае программа не сохраняется при исчезновении электропитания микросхемы, так и на основе энергонезависимых ячеек flash-памяти или перемычек antifuse (такие микросхемы производит фирма «Actel» и «Lattice Semiconductor») — в этих случаях программа сохраняется при исчезновении электропитания. Если программа хранится в энергозависимой памяти, то при каждом включении питания микросхемы необходимо заново конфигурировать её при помощи начального загрузчика, который может быть встроен и в саму FPGA. Альтернативой ПЛИС FPGA являются более медленные цифровые процессоры обработки сигналов. FPGA применяются также, как ускорители универсальных процессоров в суперкомпьютерах (например, компьютер «Cray XD1» компании «Cray», проект «RASC» компании «Silicon Graphics» («SGI»)).

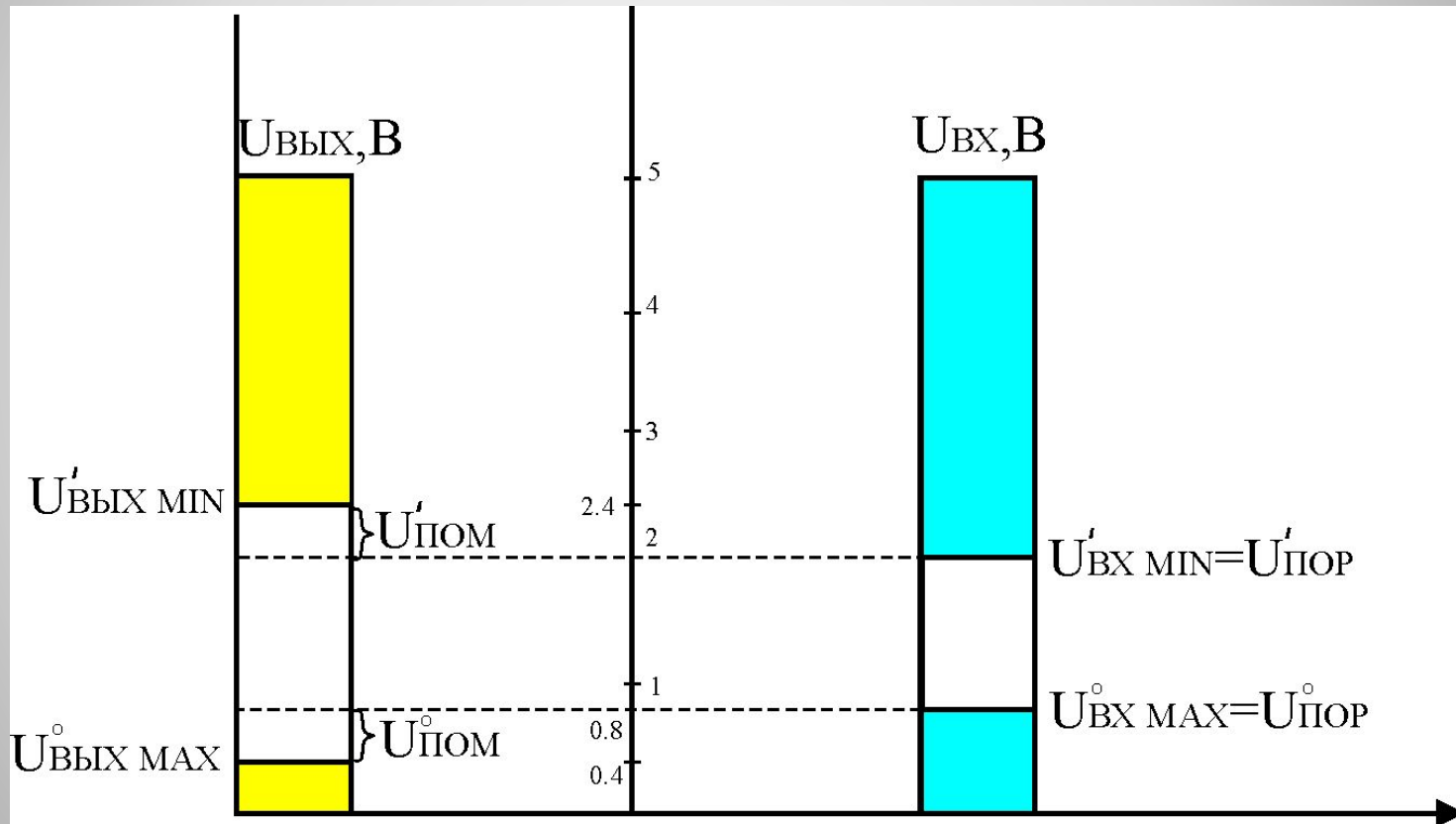
- SPLD - Simple Programmable Logic Devices
- CPLD - Complex Programmable Logic Devices
- FPGA - Field Programmable Gate Arrays
- ASIC - Application-Specific Integrated Circuit
- Gate array - базовый матричный кристалл (БМК)



По уровню интеграции

- малая интегральная схема (МИС) — до 100 элементов в кристалле,
- средняя интегральная схема (СИС) — до 1000 элементов в кристалле,
- большая интегральная схема (БИС) — до 10000 элементов в кристалле,
- сверхбольшая интегральная схема (СБИС) — до 1 миллиона элементов в кристалле,
- ультрабольшая интегральная схема (УБИС) — до 1 миллиарда элементов в кристалле,
- гигабольшая интегральная схема (ГБИС) — более 1 миллиарда элементов в кристалле.

Логические уровни



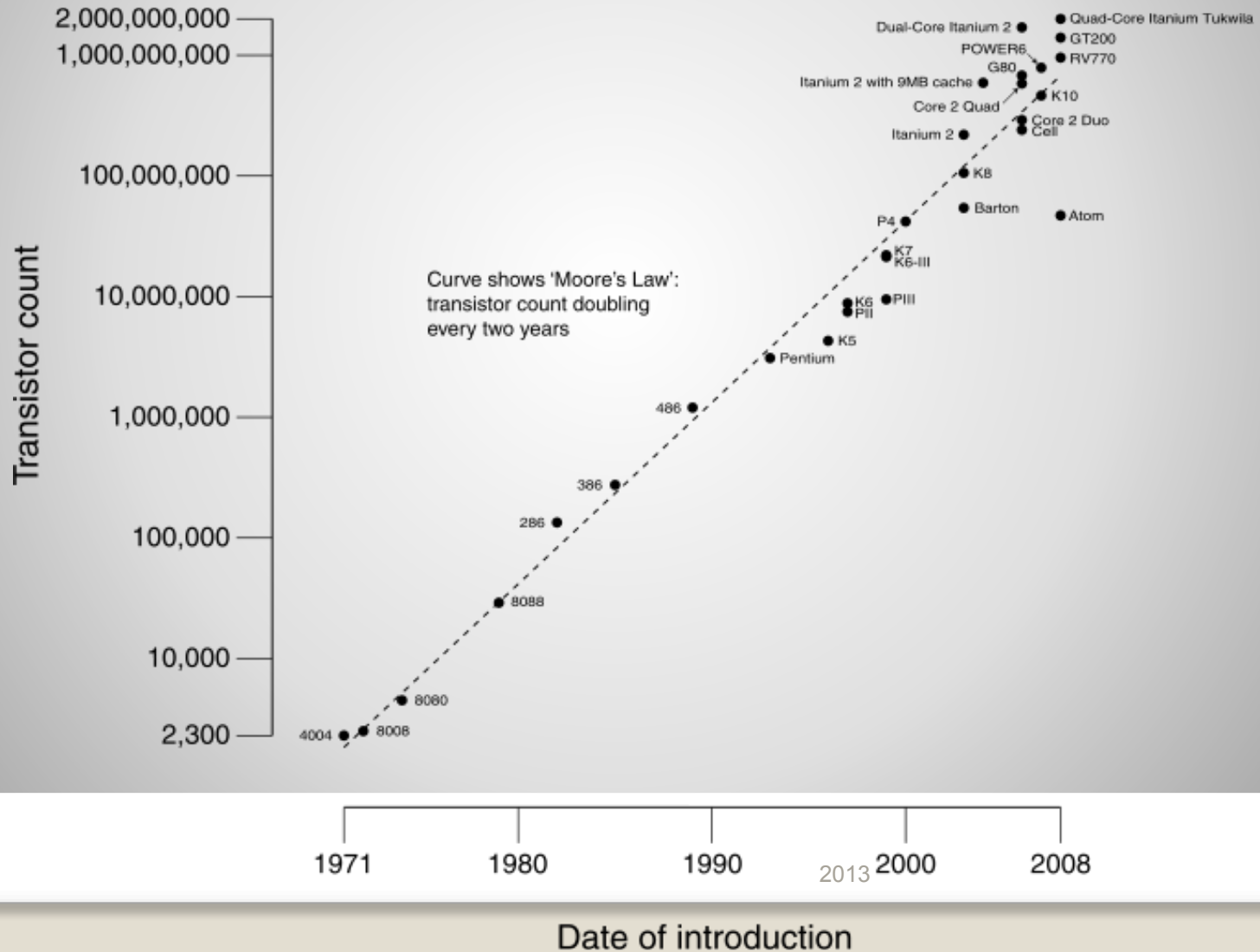
Обозначение сигналов

Входное напряжение низкого уровня	$U^0_{ВХ}$	U_{IL}
Входное напряжение высокого уровня	$U^1_{ВХ}$	U_{IH}
Выходное напряжение низкого уровня	$U^0_{ВЫХ}$	U_{OL}
Выходное напряжение высокого уровня	$U^1_{ВЫХ}$	U_{OH}
Напряжение питания	$U_{п}$	U_{CC}

Обозначение линий питания

- V_{CC} , V_{DD} , V_{+} , V_{S+} положительное питание
 - CC – collector – коллектор
 - DD – drain – сток
- V_{EE} , V_{SS} , V_{-} , V_{S-} отрицательное питание или земля
 - EE – emitter – эмиттер
 - SS – source – исток
- $U_{пит}$ – напряжение питания

Закон Мура



КР1533ЛАЗ

Четыре логических элемента 2И-НЕ

Аналог - SN74ALS00A

Микросхема содержит четыре идентичных логических элемента со стандартным активными выходами, выполняющих Булевы функции $Y = \overline{D1 \cdot D2}$ или $Y = \overline{D1 + D2}$ положительной логике.

Расположение выводов

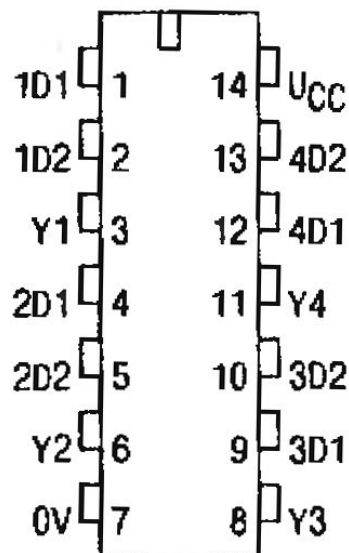


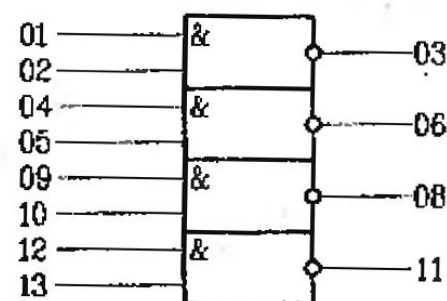
Таблица истинности

D1	D2	Y
H	H	L
L	H	H
H	L	H
L	L	H

Таблица назначения выводов

01	1D1	Вход
02	1D2	Вход
03	Y1	Выход
04	2D1	Вход
05	2D2	Вход
06	Y2	Выход
07	0V	Общий вывод
08	Y3	Выход
09	3D1	Вход
10	3D2	Вход
11	Y4	Выход
12	4D1	Вход
13	4D2	Вход
14	UCC	Напряжение питания

Условно-графическое обозначение



Статические параметры КР1533ЛА3

Обозначение	Наименование параметра	Норма		Единица измерения	Режим измерения
		не менее	не более		
U_{OH}	Выходное напряжение высокого уровня	2,5		В	$U_{CC}=4,5В$ $U_{IH}=2,0В$ $U_{IL}=0,8В$ $I_{OH}=-0,4мА$ $I_{OL}=-0,4мА$
U_{OL}	Выходное напряжение низкого уровня		0,4 0,5	В В	$U_{CC}=4,5В$ $U_{IH}=2,0В$ $U_{IL}=0,8В$ $I_{OL}=4мА$ $I_{OL}=8мА$
I_{IH}	Входной ток высокого уровня		20	мкА	$U_{CC}=5,5В$ $U_{IH}=2,7В$
I_{IL}	Входной ток низкого уровня		1-0,11	мА	$U_{CC}=5,5В$ $U_{IL}=0,4В$
I_O	Выходной ток	1-151	1-701	мА	$U_{CC}=5,5В$ $U_O=2,25В$
U_{CDI}	Прямое падение напряжения на антизвонном диоде		1-1,51	В	$U_{CC}=4,5В$, $I_I=-18мА$
I_{CCH}	Ток потребления при высоком уровне выходного напряжения		0,85	мА	$U_{CC}=5,5В$
I_{CCL}	Ток потребления при низком уровне выходного напряжения		3,0	мА	$U_{CC}=5,5В$

Динамические параметры КР1533ЛА3

Обозначение	Наименование параметра	Норма		Единица измерения	Режим измерения
		не менее	не более		
t_{PLH}	Время задержки распространения сигнала при выключении		11	нс	$U_{CC}=5,0В\pm 10\%$ $R_L=0,5кОм$ $C_L=50пФ$ $t=2нс$
t_{PHL}	Время задержки распространения сигнала при включении		8	нс	$U_{CC}=5,0В\pm 10\%$ $R_L=0,5кОм$ $C_L=50пФ$ $t=2нс$

Предельно допустимые электрические режимы эксплуатации приведены в Приложении 1 в табл. 1.

Для справки:

- емкость входа — не более 5 пФ;
- допускается подключение к выходам емкости не более 200 пФ, при этом нормы на динамические параметры не регламентируются;
- эксплуатация микросхем в режиме измерения I_O , U_{CDI} не допускается;
- допустимое значение статического потенциала — 200 В;
- допускается кратковременное воздействие (в течение не более 5 мс) напряжения питания до 7 В;
- собственные резонансные частоты микросхем до 20 кГц отсутствуют;
- максимальное время фронта нарастания и время фронта спада входного импульса — не более 1 мкс.

Дополнительная информация:

- технические условия БКО.348.806-01ТУ.

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SDAS187A – APRIL 1982 – REVISED DECEMBER 1994

- Package Options Include Plastic Small-Outline (D) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) 300-mil DIPs

description

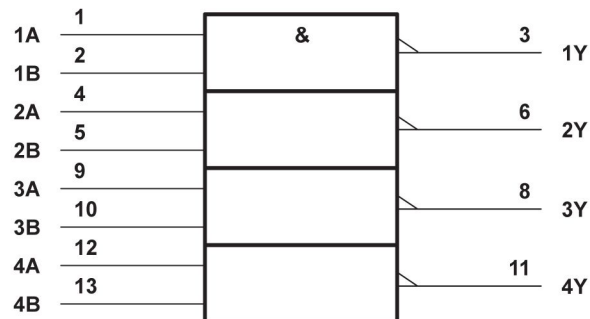
These devices contain four independent 2-input positive-NAND gates. They perform the Boolean functions $Y = \overline{A \cdot B}$ or $Y = \overline{A + B}$ in positive logic.

The SN54ALS00A and SN54AS00 are characterized for operation over the full military temperature range of -55°C to 125°C . The SN74ALS00A and SN74AS00 are characterized for operation from 0°C to 70°C .

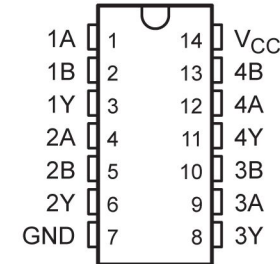
FUNCTION TABLE
(each gate)

INPUTS		OUTPUT Y
A	B	
H	H	L
L	X	H
X	L	H

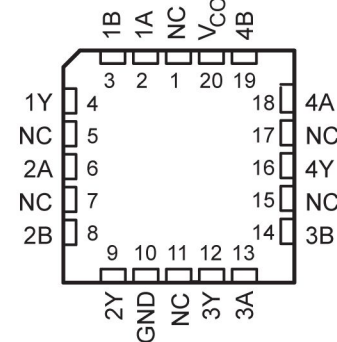
logic symbol†



SN54ALS00A, SN54AS00 . . . J PACKAGE
SN74ALS00A, SN74AS00 . . . D OR N PACKAGE
(TOP VIEW)



SN54ALS00A, SN54AS00 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

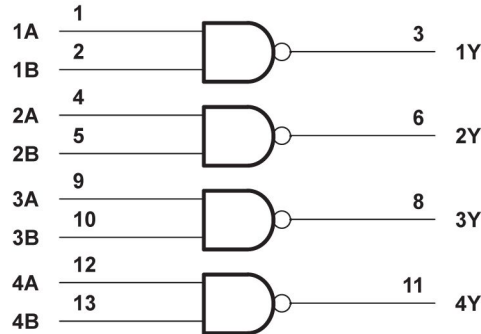
† This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

Pin numbers shown are for the D, J, and N packages.

SN54ALS00A, SN54AS00, SN74ALS00A, SN74AS00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SDAS187A – APRIL 1982 – REVISED DECEMBER 1994

logic diagram (positive logic)



Pin numbers shown are for the D, J, and N packages.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC}	7 V
Input voltage, V_I	7 V
Operating free-air temperature range, T_A : SN54ALS00A	-55°C to 125°C
SN74ALS00A	0°C to 70°C
Storage temperature range	-65°C to 150°C

† Stresses beyond those listed under “absolute maximum ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under “recommended operating conditions” is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

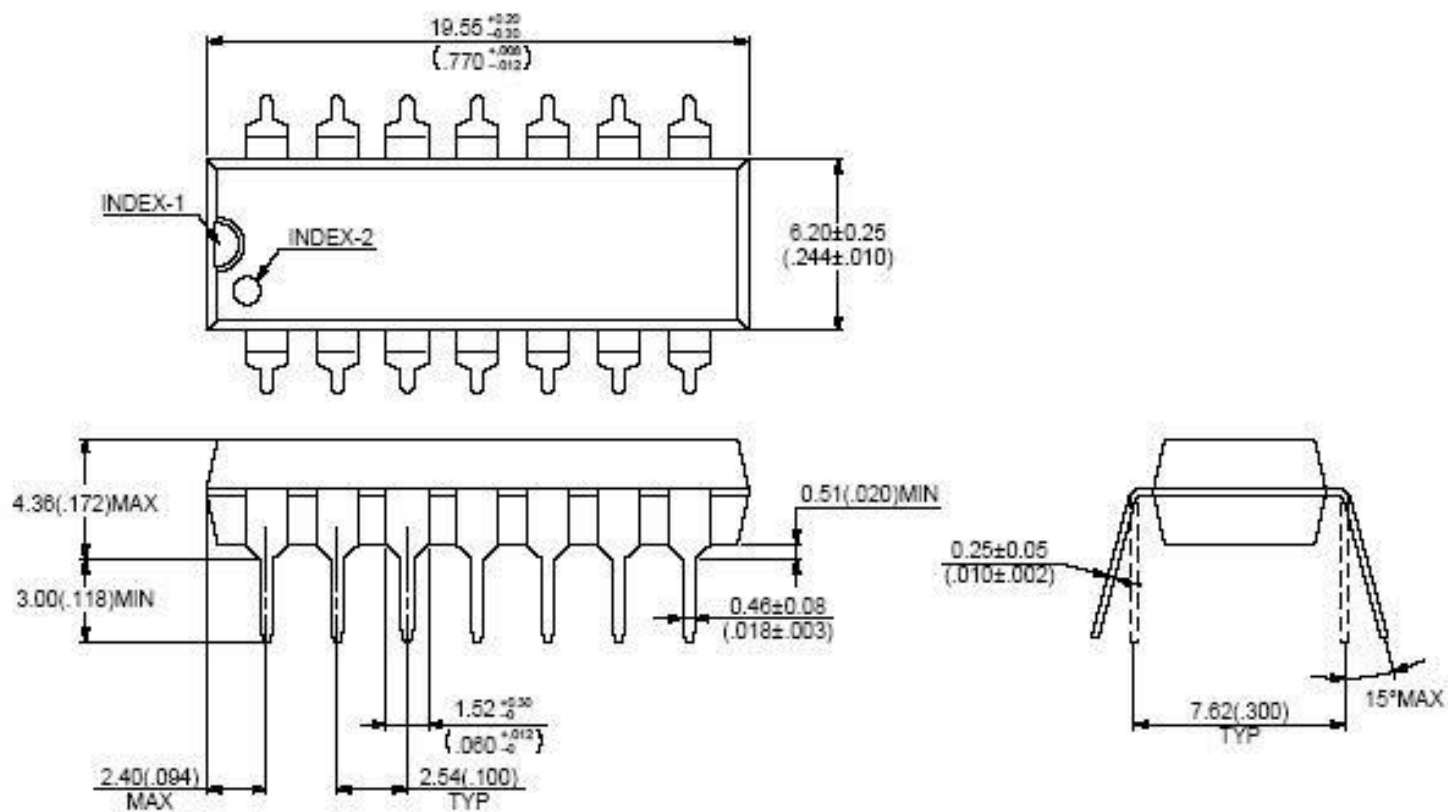
recommended operating conditions

		SN54ALS00A			SN74ALS00A			UNIT	
		MIN	NOM	MAX	MIN	NOM	MAX		
V_{CC}	Supply voltage	4.5	5	5.5	4.5	5	5.5	V	
V_{IH}	High-level input voltage	2			2			V	
V_{IL}	Low-level input voltage	0.8‡			0.8			V	
		0.7§							
I_{OH}	High-level output current	-0.4			-0.4			mA	
I_{OL}	Low-level output current	4			8			mA	
T_A	Operating free-air temperature	-55			0			70	°C

‡ Applies over temperature range -55°C to 70°C

§ Applies over temperature range 70°C to 125°C

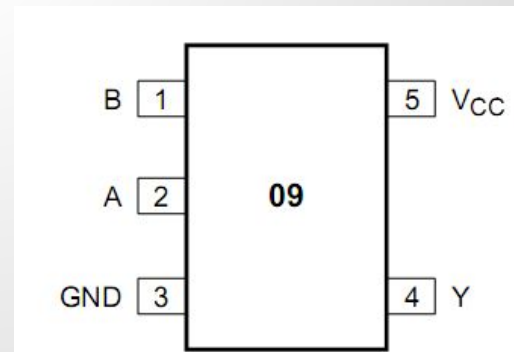
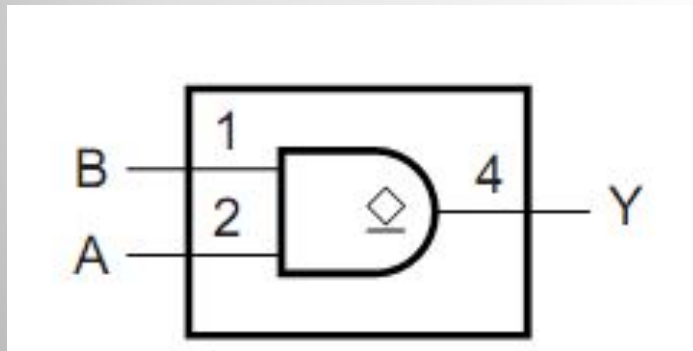
14-pin plastic DIP
(DIP-14P-M02)



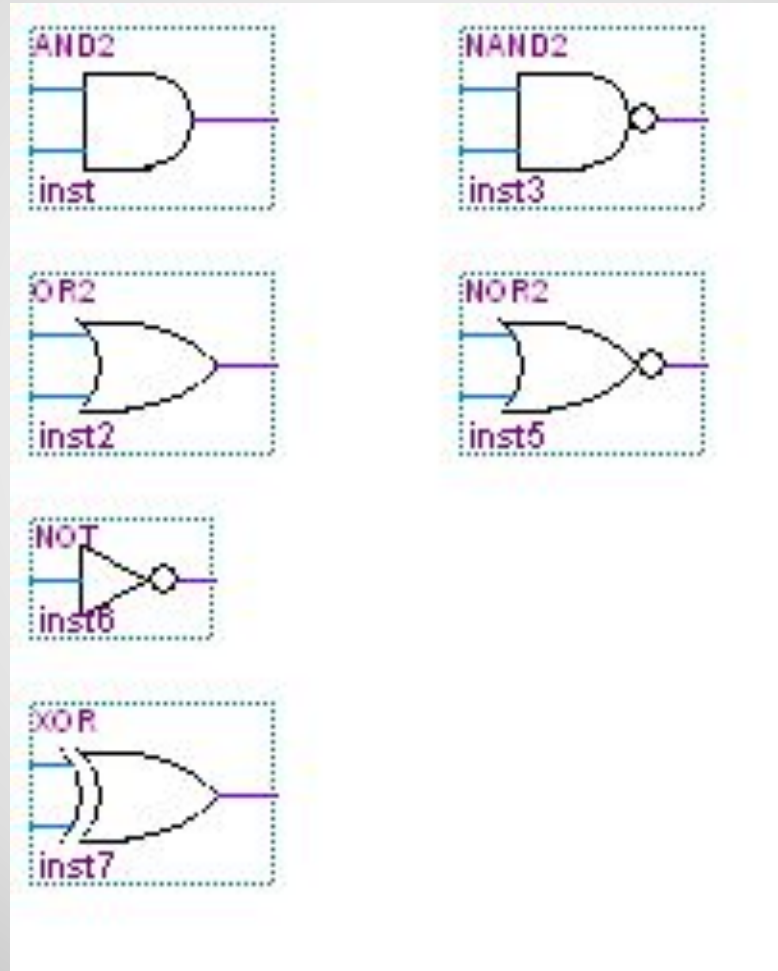
Ko

Одновентильные микросхемы

- 74АНС1G09 – NXP
- 2И с открытым коллектором
- 5-выводный корпус 2x2 мм



Логические элементы



Применение:

ПЛИС широко используется для построения различных по сложности и по возможностям цифровых устройств, например:

- устройств с большим количеством портов ввода-вывода (бывают ПЛИС с более чем 1000 выводов («пинов»));
- устройств, выполняющих цифровую обработку сигнала (ЦОС);
- цифровой видеоаудиоаппаратуры;
- устройств, выполняющих передачу данных на высокой скорости;
- устройств, выполняющих криптографические операции, систем защиты информации;
- устройств, предназначенных для проектирования и прототипирования интегральных схем специального назначения (ASIC);
- устройств, выполняющих роль мостов (коммутаторов) между системами с различной логикой и напряжением питания;
- реализаций нейрочипов;
- устройств, выполняющих моделирование квантовых вычислений.

Этапы проектирования:

- 1) Задание принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др.
- 2) Логический синтез с помощью программ-синтезаторов (получение списка электрических соединений (в виде текста) из абстрактной модели, записанной на языке описания аппаратуры).
- 3) Разводка и размещение элементов, входящих в состав печатной платы (резисторов, генераторов, АЦП, конденсаторов и т.д.) с помощью программ.
- 4) Создание загрузочного файла прошивки.
- 5) Программирование загрузочного файла прошивки в ПЛИС (прошивка).

Язык описания аппаратуры (англ. **hardware description language**) — тип компьютерных языков для формального описания электрических цепей, особенно цифровой логики. Он описывает структуру и функционирование цепи.

VHDL vs. Verilog

В любом случае, и графическое и текстовое описание проекта реализует цифровую электронную схему, которая в конечном счете будет «встроена» в ПЛИС.

- **VHDL:**
- **VHDL** (англ. VHSIC (Very high speed integrated circuits) Hardware Description Language) — язык описания аппаратуры интегральных схем. Язык проектирования **VHDL** является базовым языком при разработке аппаратуры современных вычислительных систем.
- Был разработан в 1983 г. по заказу Министерства обороны США с целью формального описания логических схем для всех этапов разработки электронных систем, начиная модулями микросхем и заканчивая крупными вычислительными системами.
- Первоначально язык предназначался для моделирования, но позднее из него было выделено синтезируемое подмножество. Написание модели на синтезируемом подмножестве позволяет автоматический синтез схемы функционально эквивалентной исходной модели. Средствами языка VHDL возможно проектирование на различных уровнях абстракции (поведенческом или алгоритмическом, регистровых передач, структурном), в соответствии с техническим заданием и предпочтениями разработчика.

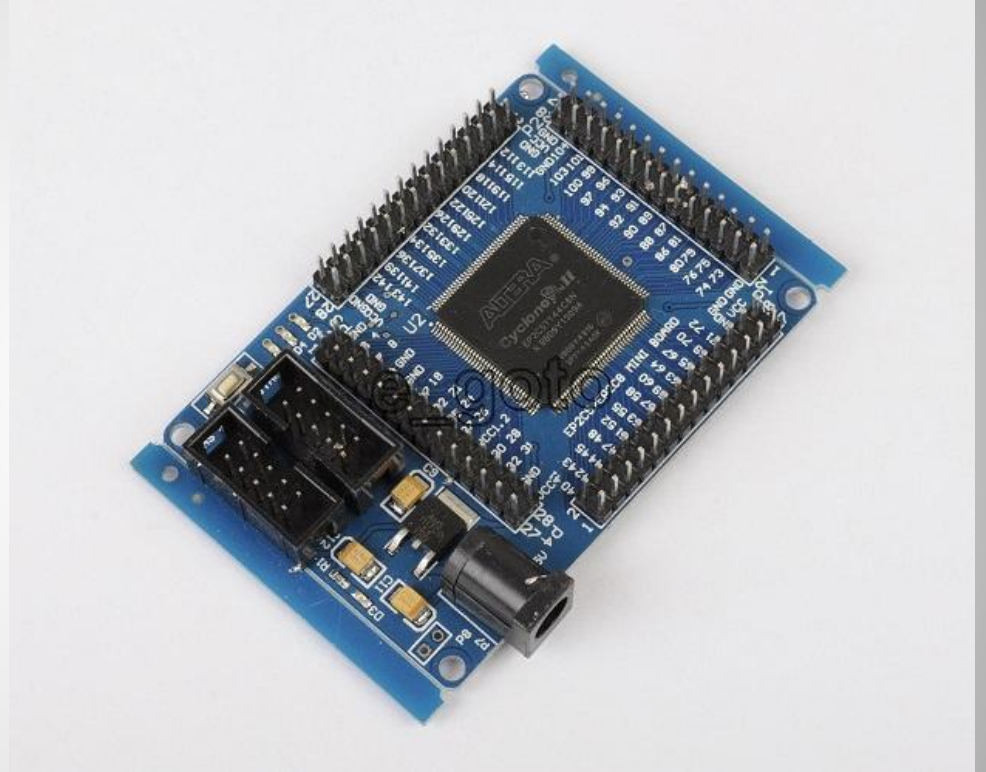
- [Бибило П.Н.](#) Основы языка VHDL: Учебное пособие. Изд. 5-е. — М.: Книжный дом «ЛИБРОКОМ», 2012. — 328 с. — [ISBN 978-5-397-02584-3](#).
- *Суворова Е., Шейнин Ю.* Проектирование цифровых систем на VHDL. — СПб.: ВНУ, 2003. — С. 576. — [ISBN 5-94157-189-5](#).
- *Грушвицкий Р. И., Мурсаев А. Х., Угрюмов Е. П.* Проектирование систем на микросхемах с программируемой структурой. — С-Пб.: БХВ-Петербург, 2006. — С. 736. — [ISBN 5-94157-657-9](#).
- *Бабак В. П., Корченко А. Г., Тимошенко Н. П., Филоненко С. Ф.* VHDL. Справочное пособие по основам языка. — М.: Додэка - XXI, 2008. — С. 224. — [ISBN 978-5-94120-169-3](#).

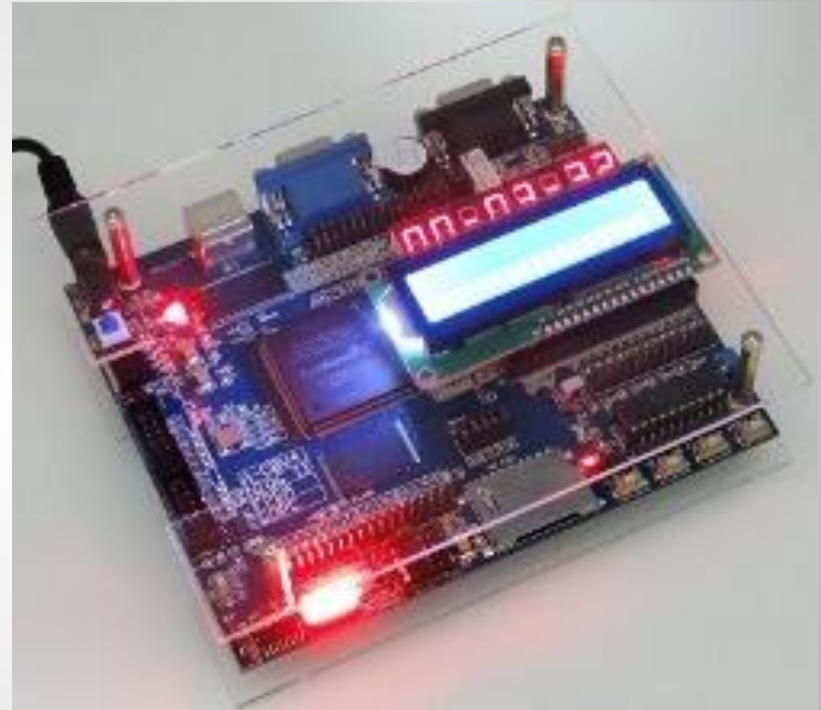
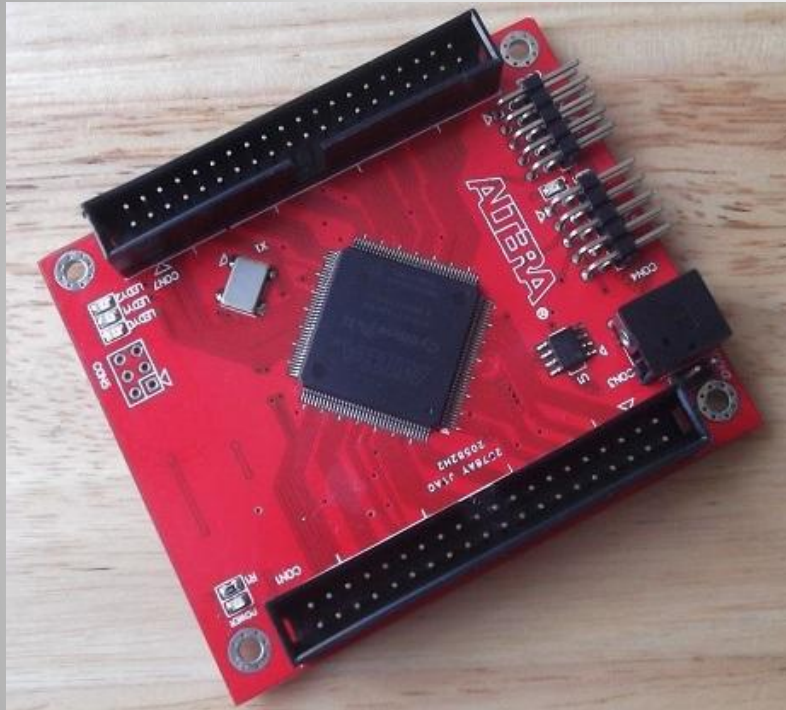
- **Verilog:**
- Разработчики Verilog сделали его синтаксис очень похожим на синтаксис языка C, что упрощает его освоение. Verilog имеет препроцессор, очень похожий на препроцессор языка C, и основные управляющие конструкции «if», «while» также подобны одноимённым конструкциям языка C. Соглашения по форматированию вывода также очень похожи (см. printf).
- Следует отметить, что описание аппаратуры, написанное на языке Verilog (как и на других HDL-языках) принято называть программами, но в отличие от общепринятого понятия программы как последовательности инструкций, здесь программа задает структуру системы. Так же для языка Verilog не применим термин «выполнение программы».
- **AHDL** — проприетарный язык описания аппаратуры от **Altera Corporation** предназначенный для программирования выпускаемых ей ПЛИС. Язык имеет Ада-подобный синтаксис и схож с **VHDL** или **Verilog**. Он поддерживается компиляторами Quartus и Max+ от Altera.

Программатор:



Отладочник:





Чем ПЛИС отличается от контроллера и когда их применять? Тут всё довольно просто: ПЛИС - это, по сути, мешок логики на одном кристалле, которую можно произвольно соединять: те самые триггеры, AND, OR и тому подобные примитивы, как, например, в серии K155 или 74НС. Контроллер же - это готовый процессор, встроенная память, шины данных и команд, периферия и т.д. В общем-то говоря, из большой ПЛИС можно сделать маленький контроллер, но эта затея, по крайней мере, глупая.

Итак, контроллер заточен под выполнение длинных цепочек команд, их циклического повторения, переключения с одной цепочки на другую и т.д., а ПЛИС заточена под выполнение простых логических операций и, что немаловажно, большого количества сразу (и даже на разных тактовых частотах).

Product Family - ProASIC3

ProASIC3 Devices	A3P030	A3P060	A3P125	A3P250	A3P400	A3P600	A3P1000
Cortex-M1 Devices				M1A3P250	M1A3P400	M1A3P600	M1A3P1000
System Gates	30,000	60,000	125,000	250,000	400,000	600,000	1,000,000
Equivalent LEs	330	700	1.5 K	3K	5K	7K	11K
RAM kbits (1,024 bits)	-	18	36	36	54	108	144
4,608-Bit Blocks	-	4	8	8	12	24	32
FlashROM Bits	1,024	1,024	1,024	1,024	1,024	1,024	1,024
Secure (AES) ISP ¹	-	Yes	Yes	Yes	Yes	Yes	Yes
PLLs	-	1	1	1	1	1	1
I/O Standards	Std. & Hot Swap	Std.+	Std.+	Std.+/ LVDS	Std.+/ LVDS	Std.+/ LVDS	Std.+/ LVDS
I/O Banks (+JTAG)	2	2	2	4	4	4	4
Maximum User I/Os	81	96	133	157	194	235	300
Speed Grades	Std., -1, -2	Std., -1, -2	Std., -1, -2	Std., -1, -2	Std., -1, -2	Std., -1, -2	Std., -1, -2
Temperature Grades	C, I	C, I, T	C, I, T	C, I, T, M	C, I	C, I	C, I, T, M
Single-Ended I/Os / Differential I/O Pairs							
QN48	34						
QN68	49						
CS121		96					
VQ100	77	71	71	68/13			
TQ144		91	100				
PQ208			133	151/34	151/34	154/35	154/35
FG144		96	97	97/24	97/25	97/25	97/25
FG256				157/38 ²	178/38	177/43	177/44
FG484					194/38	235/60	300/74

Cyclone Series Introduction

	Cyclone FPGA	Cyclone II FPGA	Cyclone III FPGA	Cyclone IV FPGA	Cyclone V FPGA
Year introduced	2002	2004	2007	2009	2011
Process technology	130 nm	90 nm	65 nm	60 nm	28 nm
Recommended for new designs	No	No	Yes	Yes	Yes

Table 1. Cyclone FPGA Family Overview

Feature	EP1C3	EP1C4	EP1C6	EP1C12	EP1C20
LEs	2,910	4,000	5,980	12,060	20,060
M4K RAM Blocks (4 Kbits + Parity)	13	17	20	52	64
Embedded Memory (Kbits)	59	77	90	234	288
PLLs	1	2	2	2	2
Maximum User I/O Pins	104	301	185	249	301
Differential Channels	34	129	72	103	129
Availability	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now
Industrial and Automotive Temperature	Yes (1)	Yes	Yes	Yes	Yes

Table 1. Cyclone III FPGA Family Overview

Device	EP3C5	EP3C10	EP3C16	EP3C25	EP3C40	EP3C55	EP3C80	EP3C120
Logic elements (LEs)	5,136	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K embedded memory blocks (1)	46	46	56	66	126	260	305	432
Embedded memory (Kbits)	414	414	504	594	1,134	2,340	2,745	3,888
18-bit x 18-bit embedded multipliers	23	23	56	66	126	156	244	288
Phase-locked loops (PLLs)	2	2	4	4	4	4	4	4
Maximum user I/O pins	182	182	346	215	535	377	429	531
Differential channels	70	70	140	83	227	163	181	233
Availability	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now	Buy Now

