

2. Элементы оборудования информационно-вычислительных комплексов.

2.1. Системные шины.

- Шина - это среда передачи сигналов, к которой можно параллельно подключать несколько компонентов вычислительной системы и через которую осуществляется обмен данными между ними.

Шины ПК можно разделить на три категории:

- локальные, для подключения внутренних компонентов ПК (диски, видеопамять);
- расширения, для подключения более медленных внешних устройств (печать, СОМ-порт, модем ...);
- процессорные, для подключения быстрых устройств (ОЗУ, Кэш-память).

Шины

- Шины расширений

- ISA - Industrial Standard Architecture, (1984), 5.5 MB/c, 16 разр. (данные), 6 уст.;
- MCA - Micro Channel Architecture, (1987), 76 MB/c, 32 разр. для маш.PS/2, 15 уст.;
- EISA - Extended ISA, (1989), 33 MB/c, 32 разр., 15 уст-в;

- Локальные шины

- VLB - Vesa Local Bus (1990), 32 разр., 132 MB/c, 4 уст-ва, отсут. арбитраж шины;
- PCI - Peripheral Component Interconnect, (1991), 120-132 MB/c (32 разр.), 264 MB/c (64 разр.);
- AGP (Accelerated Graphics Port), 1066 MB/c, 2112 MB/c, 2 реж. DMA, Execute;

- Интерфейсные шины
- Интерфейсы внешних запоминающих устройств
 - ATA - Advanced Technology Attachment (Усовершенствованная технология соединения), ориентирован на подключение НГМД, НЖМД. Интерфейс ATA обеспечивает обмен информации с устройствами IDE (Integrated Drive Electronics), т.е. с устройствами со встроенным контроллером, иногда называют IDE- интерфейсом;
 - ATA-2 - расширенная спецификация ATA (до 4 устройств);
 - ATA-3 - расширенная спецификация ATA, направленная на повышение надежности;
 - ATAPI - ATA Package Interface (пакетный интерфейс ИФ ATA), программная спецификация для подключения к ИФ ATA других устройств (CD-ROM);
 - E-IDE - Enhanced IDE, расширенный ИФ, позволяет подключать до четырех устройств, включая CD-ROM, скорость 133 Мб/с.
100 Мб/с, 16-разрядный интерфейс, 40-проводной ленточный кабель.
 - SCSI - Small Computers System Interface - Системный ИФ малых компьютеров, 8-разрядная, до 8 устройств, скорость 3-4 Мб/с;
 - SCSI-2 - 16/32 разрядная, 8-16 устройств, скорость 100 Мб/с

Интерфейсы устройств ввода-вывода

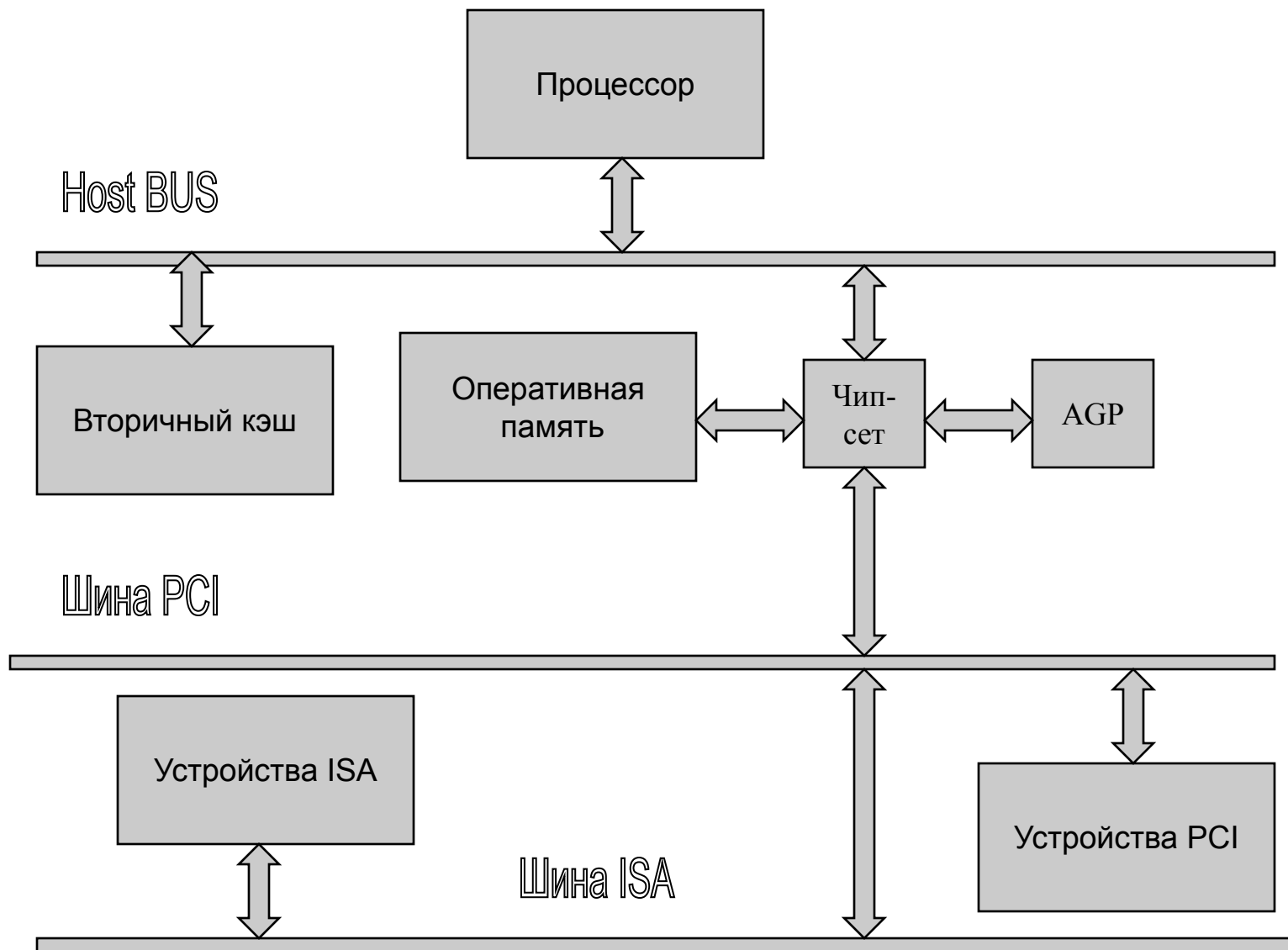
- 1. Параллельный ИФ.

- LPT-порт, Line PrintTer, еще называется SPP - Standart Parallel Port, является однонаправленным, скорость 150 кБ/с, 3-4 порта;
- EPP - Enhanced Parallel Port, обеспечивает двунаправленный обмен данными со скоростью до 2 Мб/с, до 64 устройств;
- ECP - Extended Capability Port (порт с расширенными возможностями), поддерживает компрессию данных, двунаправленный обмен со скоростью до 4 Мб/с, до 128 устройств;

Интерфейсы устройств ввода-вывода

- 2. Последовательный ИФ.
 - COM - порт, Communication, двунаправленный, до 4 портов, скорости обмена от 50 до 115200 бит/с;
 - USB - Universal Serial Bus, двунаправленный по двухпроводному ИФ со скоростью 1,5 или 12 Мбит/с. Через концентраторы возможно подключение до 127 устройств;
 - Fire Wire - огненный провод, шестипроводный кабель обеспечивает цифровую связь до 63 устройств без применения хабов со скоростью до 1,6 Гбит/с.

Архитектура компьютера, построенная на мезонинной технологии



Системная микросхема (чипсет)

- 2 базовые микросхемы: северный и южный мост.
- Северный мост обеспечивает управление: шиной ОП, инт.шинами PCI, AGP и системной шиной МП;
- Южный мост имеет контроллеры: дисководов, клавиатуры, мыши и управляет интерфейсными шинами.

2.1.2. Специализированные системные шины. Особенности промышленных компьютеров.

- VME - bus, поддерживает 8/16/32/64 разрядные архитектуры, пропускная способность до 80 Мбит/с;
 - Логическая организация шины:
 - асинхронная, в одном крейте работают модули разного быстродействия;
 - не зависит от разрядности архитектуры;
 - новые архитектурные расширения, позволяют увеличить скорость передачи до 400 Мбит/с;
 - 4-х уровневая система арбитража, позволяющая организовывать многопроцессорные системы.
 - Механические особенности:
 - до 20 модулей в одной стойке;
 - 96 штырьковый разъем;
 - типоразмер плат.
- Octagon System, Ampro, PEP, Motorola.

2.2. Архитектура современных процессоров

- Двумя основными архитектурами набора команд, используемыми компьютерной промышленностью на современном этапе развития вычислительной техники являются архитектуры **CISC** и **RISC**, **VLIW** и **MISC**.

- Основоположником CISC-архитектуры можно считать компанию IBM с ее базовой архитектурой /360, ядро которой используется с 1964 года и дошло до наших дней, например, в таких современных мейнфреймах как IBM ES/9000.
- Лидером в разработке микропроцессоров с полным набором команд (**CISC - Complete Instruction Set Computer**) считается компания Intel со своей серией x86 и Pentium. Эта архитектура является практическим стандартом для рынка микрокомпьютеров.
- **Для CISC-процессоров характерно:** сравнительно небольшое число регистров общего назначения; большое количество машинных команд, некоторые из которых нагружены семантически аналогично операторам высокоуровневых языков программирования и выполняются за много тактов; большое количество методов адресации; большое количество форматов команд различной разрядности; преобладание двухадресного формата команд; наличие команд обработки типа регистр-память.

- Основой архитектуры современных рабочих станций и серверов является архитектура компьютера с сокращенным набором команд (**RISC - Reduced Instruction Set Computer**). Зачатки этой архитектуры уходят своими корнями к компьютерам CDC6600, разработчики которых (Торнтон, Крэй и др.) осознали важность упрощения набора команд для построения быстрых вычислительных машин. Эту традицию упрощения архитектуры С. Крэй с успехом применил при создании широко известной серии суперкомпьютеров компании Cray Research. Однако окончательно понятие RISC в современном его понимании сформировалось на базе трех исследовательских проектов компьютеров: процессора 801 компании IBM, процессора RISC университета Беркли и процессора MIPS Стенфордского университета.

- В 1980 году Д.Паттерсон со своими коллегами из Беркли начали свой проект и изготовили две машины, которые получили названия RISC-I и RISC-II. Главными идеями этих машин было отделение медленной памяти от высокоскоростных регистров и использование регистровых окон. В 1981 году Дж.Хеннесси со своими коллегами опубликовал описание стенфордской машины MIPS, основным аспектом разработки которой была эффективная реализация конвейерной обработки посредством тщательного планирования компилятором его загрузки.

- Эти три машины имели много общего. Все они придерживались архитектуры, отделяющей **команды обработки от команд работы с памятью, и делали упор на эффективную конвейерную обработку**. Система команд разрабатывалась таким образом, чтобы выполнение любой команды занимало небольшое количество машинных тактов (предпочтительно один машинный такт). Сама логика выполнения команд с целью повышения производительности ориентировалась на аппаратную, а не на микропрограммную реализацию. Чтобы упростить логику декодирования команд использовались команды фиксированной длины и фиксированного формата.

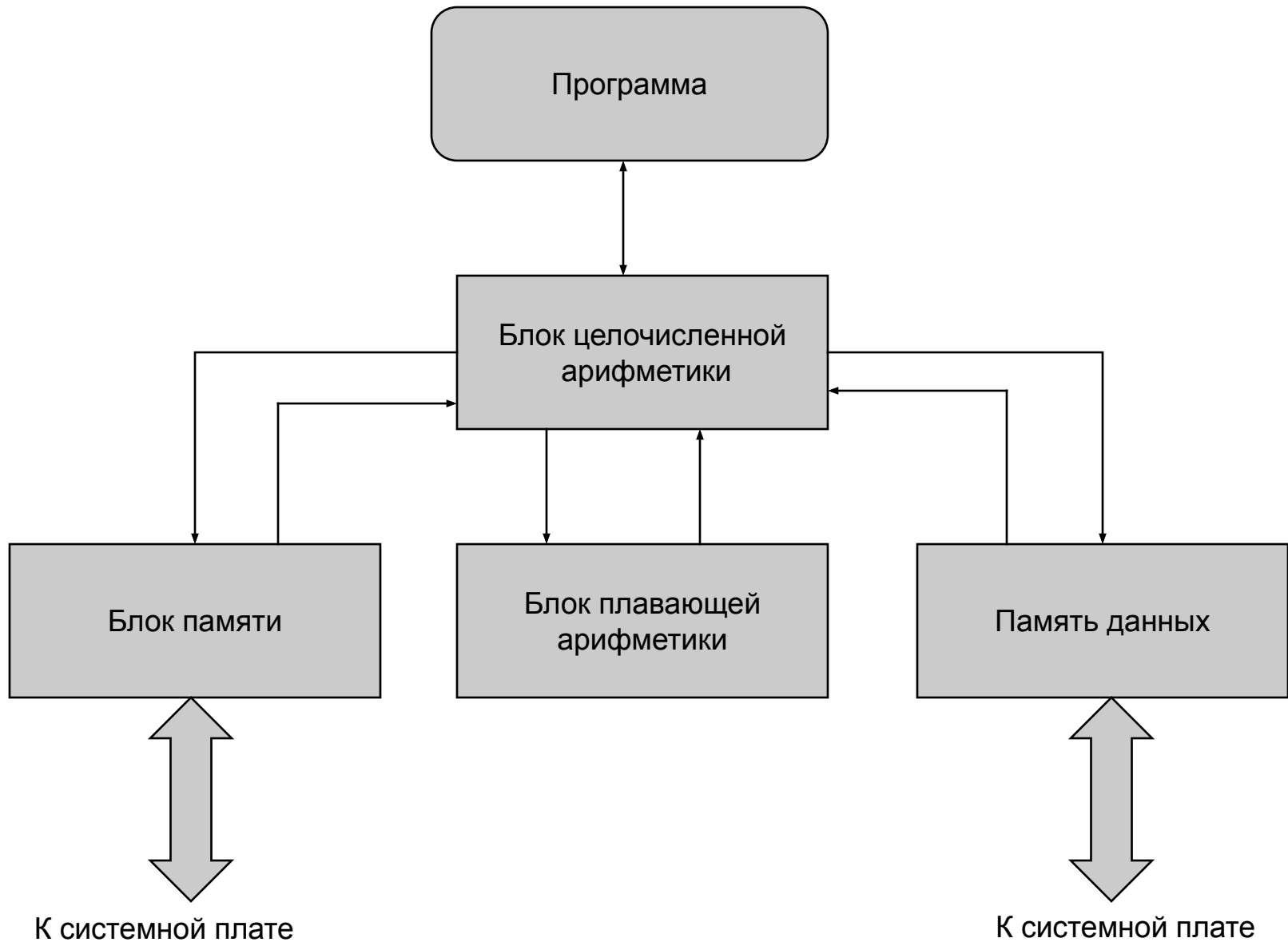
- Среди других особенностей RISC-архитектур следует отметить **наличие достаточно большого регистрового файла** (в типовых RISC-процессорах реализуются 32 или большее число регистров по сравнению с 8 - 16 регистрами в CISC-архитектурах), что позволяет большему объему данных храниться в регистрах на процессорном кристалле большее время и упрощает работу компилятора по распределению регистров под переменные. Для обработки, как правило, используются трехадресные команды, что помимо упрощения дешифрации дает возможность сохранять большее число переменных в регистрах без их последующей перезагрузки.

- Современные компиляторы используют также преимущества другой оптимизационной техники для повышения производительности, обычно применяемой в процессорах RISC: **реализацию задержанных переходов и суперскалярной обработки**, позволяющей в один и тот же момент времени выдавать на выполнение несколько команд.

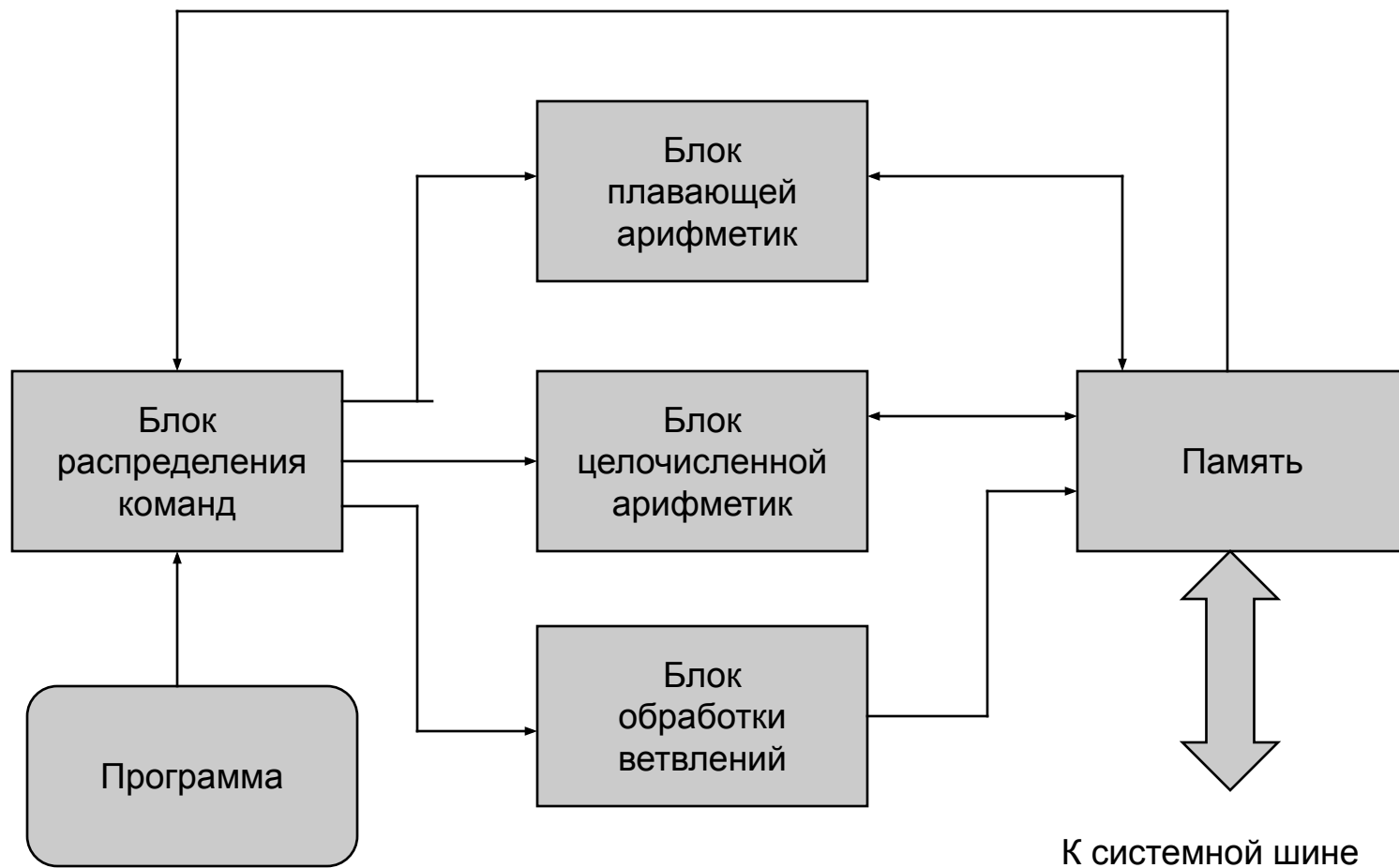


Отметим, что разработках компании Intel (имеется в виду Pentium P54C и процессор следующего поколения P6), а также ее последователей-конкурентов (AMD R5, Cyrix M1, NexGen Nx586 и др.) широко используются идеи, реализованные в RISC-микропроцессорах, так что многие различия между CISC и RISC стираются.

Традиционная архитектура процессора



Архитектура RISC - процессора



Суперскалярные и суперконвейерные процессоры. Примеры реализации.

● Суперконвейерный подход:

- каждая команда процессора разбивается на возможно большее количество элементарных операций, выполняемых последовательно;
- для выполнения каждой специализированной операции используется отдельное устройство - ступень суперконвейера;
- одновременно обрабатывается столько команд, сколько ступеней конвейера.

● Недостатки:

- высокие требования к аппаратной части;
- сложности создания многопроцессорных комплексов.

- Суперскалярный подход, используется :
 - конвейерная обработка команд, но значительно короче;
 - распараллеливание потока команд к разным функциональным устройствам.
- Недостатки:
 - высокие требования к компилятору (ЦПВ).