



Программируемая логическая интегральная схема (ПЛИС)

Миронова П.д, Фаткулина Д. р.
Студенты группы РФ15-37Б

ПЛИС

- ПЛИС – это Программируемая Логическая Интегральная Схема
- В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся посредством программирования (проектирования). Для программирования используются программатор и IDE (отладочная среда), позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др

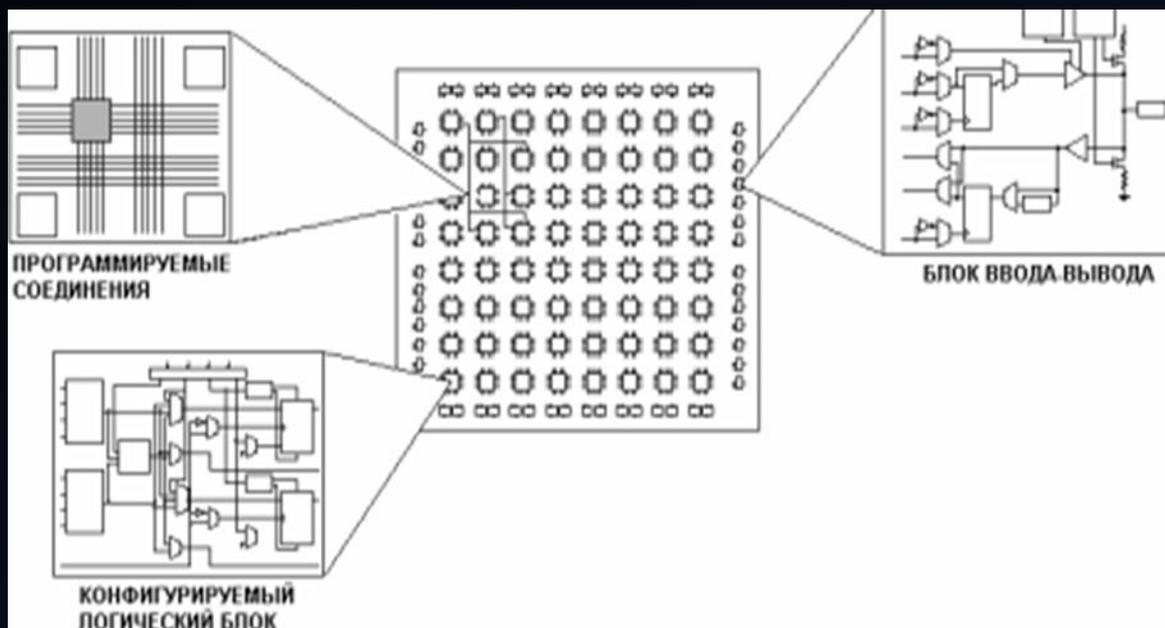
классификации

- ПЛИС можно классифицировать по многим признакам, в первую очередь:
 - по уровню интеграции и связанной с ним логической сложности;
 - по архитектуре (типу функциональных блоков, характеру системы межсоединений);
 - по числу допустимых циклов программирования;
 - по типу памяти конфигурации ("теневой" памяти);
 - по степени зависимости задержек сигналов от путей их распространения;
 - по системным свойствам;
 - по схемотехнологии (КМОП, ТТЛШ и др.);
 - по однородности или гибридности (по признаку наличия или отсутствия в микросхеме областей с различными по методам проектирования схемами, такими как ПЛИС, БМК, схемы на стандартных ячейках).

Все перечисленные признаки имеют значение и отображают ту или иную сторону возможных классификаций. Выделяя основные признаки и укрупняя их, рассмотрим классификацию по трем, в том числе двум комплексным, признакам:

- по архитектуре;
- по уровню интеграции и однородности/гибридности;
- по числу допустимых циклов программирования и связанному с этим типу памяти конфигурации.

конструкция



- В наиболее типичном варианте ПЛИС, выполненная по технологии FPGA, состоит из прямоугольной матрицы конфигурируемых логических блоков (Configurable Logic Blocks, CLB), блоков ввода-вывода (Input/Output Block, IOB) и дополнительных блоков. Между CLB располагаются программируемые трассировочные линии. Между матрицей CLB и блоками ввода-вывода имеются отдельные межсоединения, которые и обеспечивают подключение внешних сигналов.

Типы и устройство ПЛИС

- По принципу формирования требуемой структуры целевого цифрового устройства все основные современные ПЛИС подразделяются на две группы:
 - CPLD (Complex Programmable Logic Device - Сложные Программируемые Логические Устройства);
 - FPGA (Field-Programmable Gate Array - Программируемая Пользователем Вентильная Матрица).

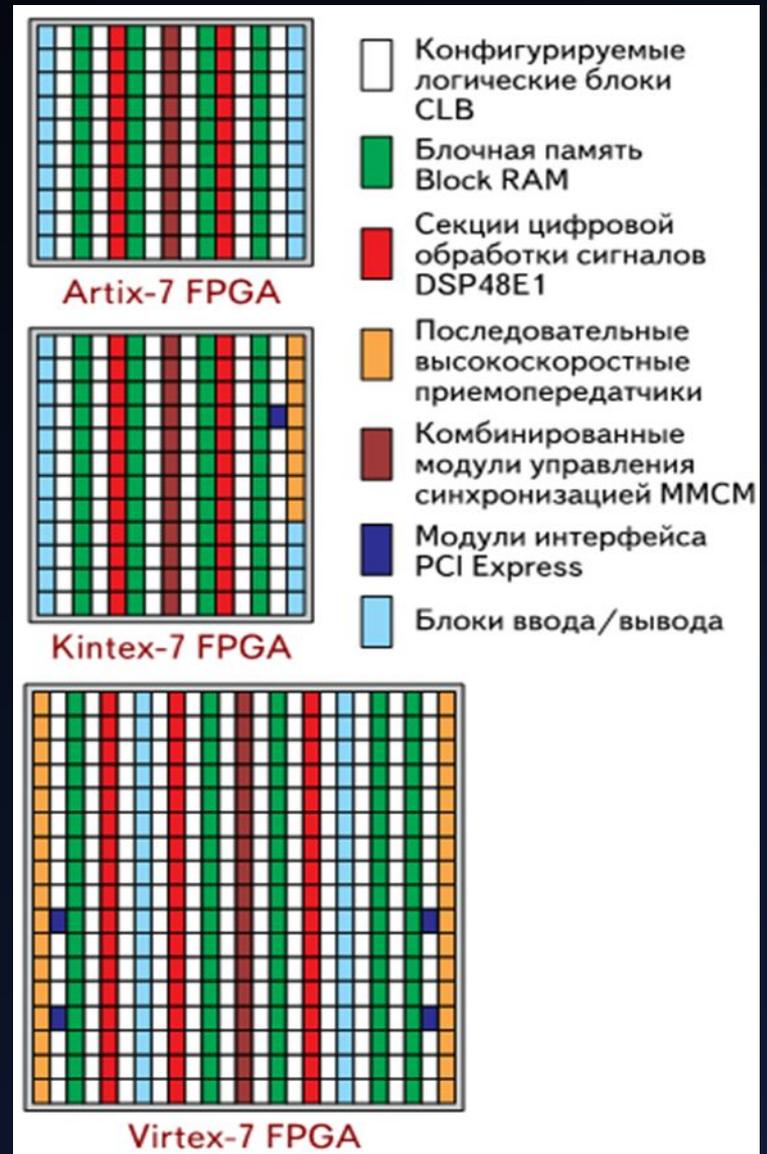
CPLD

- CPLD основаны на матрицах макроячеек (МЯ, MacroCells, MC). Макроячейки - сравнительно большие, но стандартизованные высокоуровневые структуры интегральной схемы, выполняющие логические и другие, более сложные, функции, такие как триггеры, регистры и др. МЯ объединяют в функциональные блоки, управляемые переключающей матрицей
- Подход к изготовлению ИС с использованием макроячеек применяют не только в CPLD, но и при заказном не полностью специализированном проектировании (Semi-Custom Design): на отдельном слое полупроводниковой пластины в избыточном количестве размещают стандартный для данного производства набор матриц МЯ; в этом случае проектирование конкретной ИС, выполняемое лишь за счёт соединения МЯ, занимает гораздо меньше время.
Важной отличительной особенностью и во многом преимуществом CPLD перед большинством FPGA является наличие внутренней энерго-независимой конфигурирующей памяти.
Недостатком подхода с применением матриц МЯ является меньшая плотность ИС. CPLD позиционируются как решение для сравнительно простых задач цифровой схемотехники.
К CPLD относятся такие ИС, как представители нескольких поколений семейств MAX фирмы Altera, семейства XC9500, XA9500 (для автомобильной промышленности) и CoolRunner фирмы Xilinx и другие.

FPGA

- Функциональное назначение FPGA сходно с CPLD, но более высокая гибкость внутренней архитектуры, а также гораздо более высокая логическая вместимость даёт FPGA преимущества во многих областях применения. В основе FPGA лежат логические блоки (или вентили - gates), похожие на переключатели со множеством входов и одним выходом. Эти блоки реализуют базовые двоичные операции: AND, NAND, OR, NOR и XOR. Принципиальным отличием FPGA является то, что и функции самих блоков, и конфигурация их связей между собой могут меняться специальными управляющими схемами. Каждый логический блок имеет несколько входов (4-6) и один выход и основан на таблице поиска (Look Up Table - LUT) - память, используемая для хранения значений простых логических функций. Значения входов LUT задаёт конечную логическую функцию, определяемую выходом. Таким образом применяется подход замены процесса вычисления на операции простого поиска значений. Так же каждый вентиль имеет синхронизирующий вход, подключённый к отдельным трассировочным путям. Помимо логических блоков каждая FPGA содержит программируемые ключи для создания соединения между вентилями (Interconnection Switches) и блоки ввода-вывода для подключения внутренней схемы к внешним выводам ИС. Между любым соседним вентиляем расположен один блок-ключ FPGA можно использовать лишь тогда, когда логические блоки запрограммированы для реализации необходимых функций, а линии соединений запрограммированы на реализацию требуемых взаимосвязей между логическими блоками и блоками ввода-вывода. Запоминающие ячейки LUT в FPGA энергозависимы. Это означает, что они теряют свое содержимое всякий раз при отключении питания. Следовательно, чип FPGA должен за программироваться каждый раз при включении питания. Обычно, данные, необходимые для программирования хранятся в микросхеме ППЗУ, расположенной на той же плате, что и чип FPGA. Такой "недостаток" может сыграть роль в конкретной разработке, так как это свойство FPGA позволяет создавать адаптивные системы с динамически изменяющейся во времени структурой. То есть, в разные моменты времени использовать один и тот же кристалл для реализации различных цифровых устройств, которые наилучшим образом соответствуют изменяющимся во времени внешним условиям (например, обеспечивать работу сотового телефона в сетях с различными стандартами в зависимости от доступности той или иной сети в данный момент времени).

- Современные ПЛИС также содержат блоки памяти (BRAM), секции цифровой обработки сигналов (DSP) и в отдельных случаях – аналого цифровые и цифроаналоговые преобразователи.
- Каждый модуль двухпортовой блочной памяти емкостью 36 кбит, который может использоваться в виде двух независимых блоков объемом 18 кбит, оснащен встроенной системой обнаружения и коррекции ошибок (ECC) и специальной схемой управления, необходимой для организации запоминающих устройств



Этапы проектирования

- Задание принципиальной электрической схемы или программы на специальных языках описания аппаратуры: Verilog, VHDL, AHDL и др.
- Логический синтез с помощью программ-синтезаторов (получение списка электрических соединений (в виде текста) из абстрактной модели, записанной на языке описания аппаратуры).
- Проектирование с помощью программ «разводчиков-и-размещальщиков» печатной платы, на которой микросхема ПЛИС займет место среди дополнительных элементов, которые не реализуются средствами самой ПЛИС (резисторов, генераторов, АЦП, конденсаторов и т.д.), а также выполняется согласование параметров передачи сигналов ПЛИС с периферийными модулями либо шиной компьютера.[прояснить].
- Создание загрузочного файла прошивки[прояснить].
- Загрузка файла в микросхему ПЛИС. В результате чего она становится узко-специализированной микросхемой с фиксированным функционалом. В отличие от загрузки программы в программируемый контроллер, где логическая структура остается гибкой и перестраивается под каждую требуемую операцию по ходу чтения выполняемой программы.[прояснить].