

Тема 4.3. Цифровые последовательностные устройства (3 час)

(обобщённая структурная схема
последовательностного устройства;
триггеры *RS*- *T*-, *D*- и *JK*-типа; двоичный
счётчик; десятичный счётчик;
универсальный регистр; схемы
элементов памяти; запоминающие
устройства)

В общем случае на вход цифрового устройства поступает n двоичных переменных $X (x_1x_2x_n)$, а с выхода снимается m двоичных переменных $Y (y_1y_2y_m)$. При этом устройства осуществляют (реализуют) определенную связь (ФАЛ) между входными и выходными переменными.

В комбинационных устройствах – КУ (автоматах без памяти) значения выходного сигнала (Y) в течение каждого такта работы определяются значениями входного сигнала (X) только в этот такт, и не зависят от того, какие переменные подавались на входы в предыдущие такты, т. е. $Y = f(X)$. Другими словами, эти устройства, состоящие только из логических элементов, лишены памяти: не хранят информацию о прошлом. Входные и выходные сигналы комбинационных устройств могут принимать только два значения: 1 и 0.

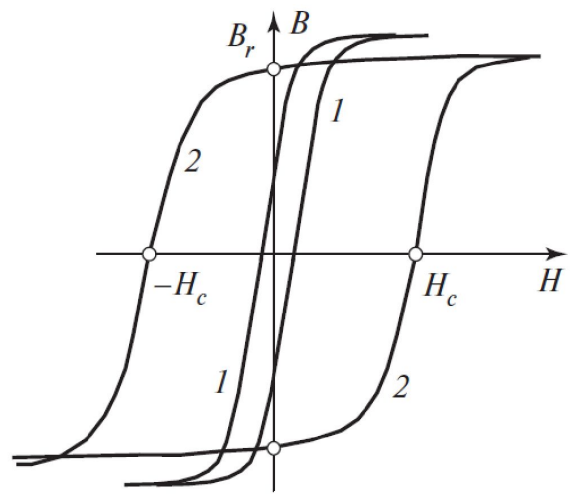
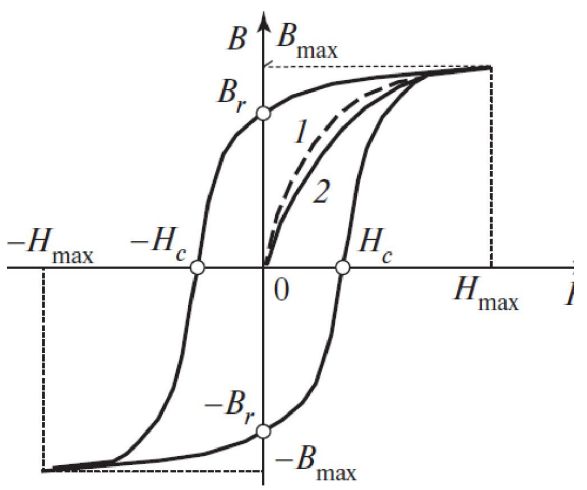
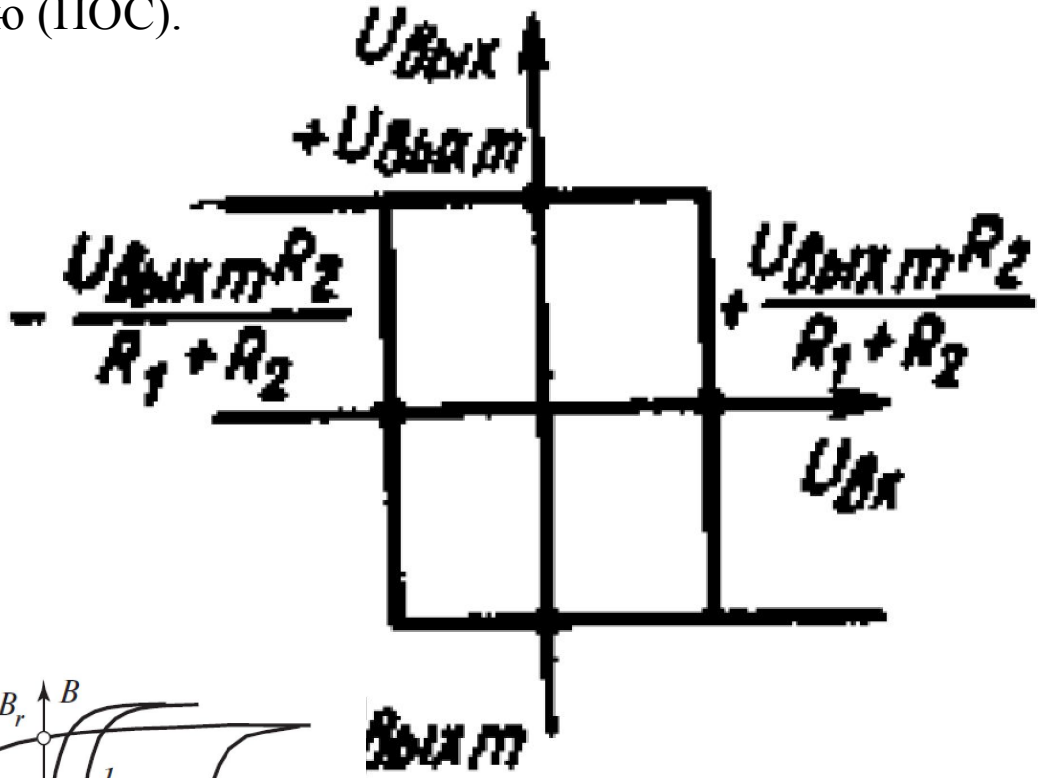
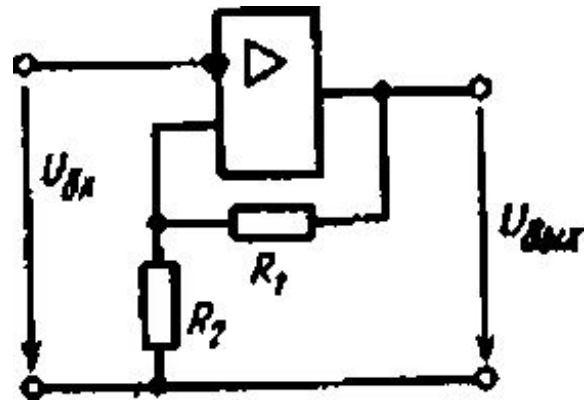
Триггер — устройство последовательного типа с двумя устойчивыми состояниями равновесия, способное скачкообразно переходить из одного состояния в другое под воздействием внешнего управляющего сигнала, превышающего пороговое значение, предназначен для записи и хранения информации.

Эти цифровые устройства способны сохранять свою память только при наличии напряжения питания. Поэтому признаку их можно относить к элементарным схемам оперативной памяти.

При отсутствии внешних воздействий триггер может сколь угодно долго находиться в одном из устойчивых состояний.

Триггеры могут выполнять функции реле, переключателей, на их основе строят счетчики, распределители и другие устройства.

В общем случае триггер содержит собственно элемент памяти и некоторую входную комбинационную схему, преобразующую входные сигналы триггера в сигналы, требуемые для управления элементом памяти. Простейший триггер состоит только из элемента памяти, который может быть реализован на основе операционного усилителя, охваченного глубокой положительной обратной связью (ПОС).



Триггер — электронная схема, имеющая два устойчивых состояния; переходы из одного состояния в другое и обратно совершаются под действием специальных запускающих

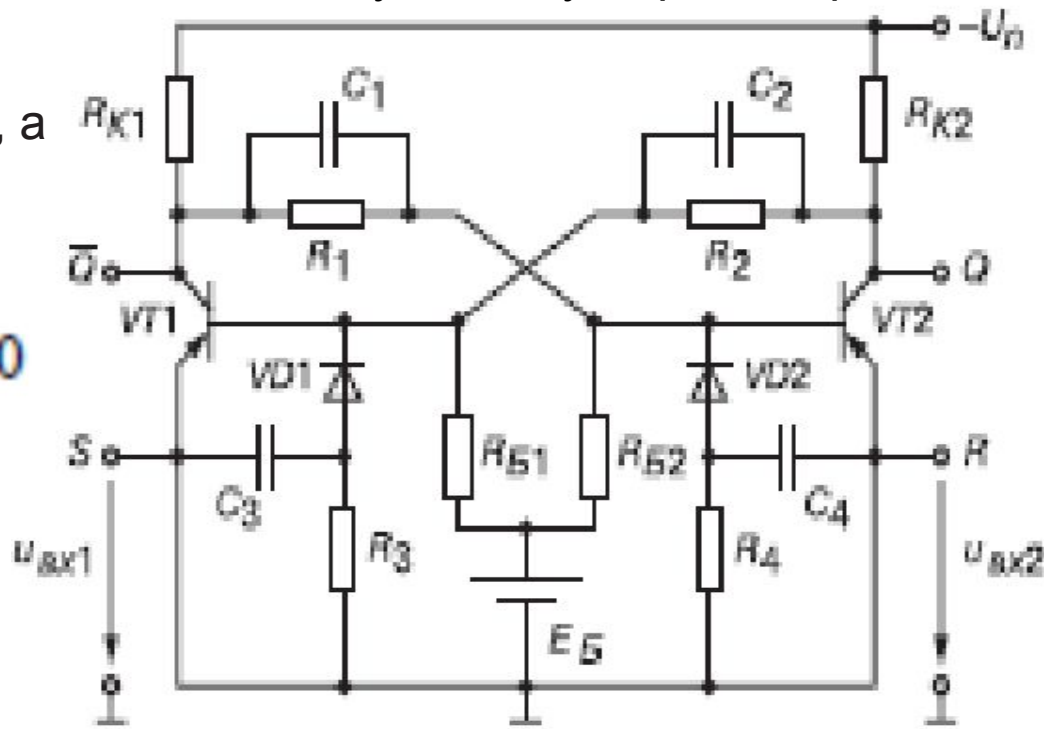
импульсов. Простейшая схема триггера на биполярных транзисторах с внешним смещением E_B приведена на рис. 4.11, а.

Триггер можно рассматривать как двухэлементный усилитель постоянного тока (с резистивной связью), охваченный положительной обратной связью (R_1C_1 и R_2C_2) по напряжению между коллекторами и базами транзисторов $VT1$ и $VT2$. Обязательное условие работы триггера: если один транзистор открыт (т. е. находится в режиме насыщения), то другой в это время должен быть закрыт (т. е. находится в режиме отсечки). Форсирующие конденсаторы $C1$ и $C2$ используют для ускорения процессов переключения транзисторов.

Пусть при $t = 0$ транзистор $VT1$ открыт, а транзистор $VT2$ закрыт. При этом напряжение на базе $VT2$

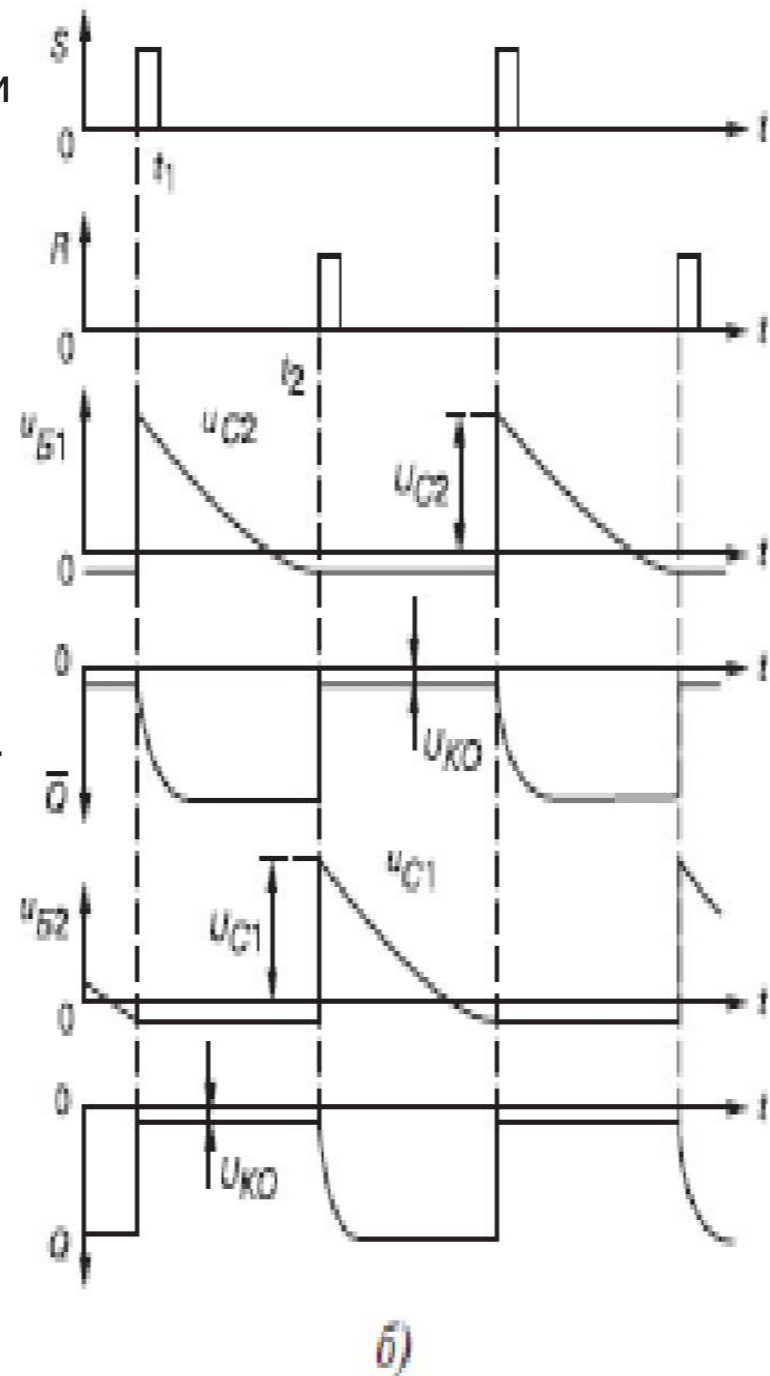
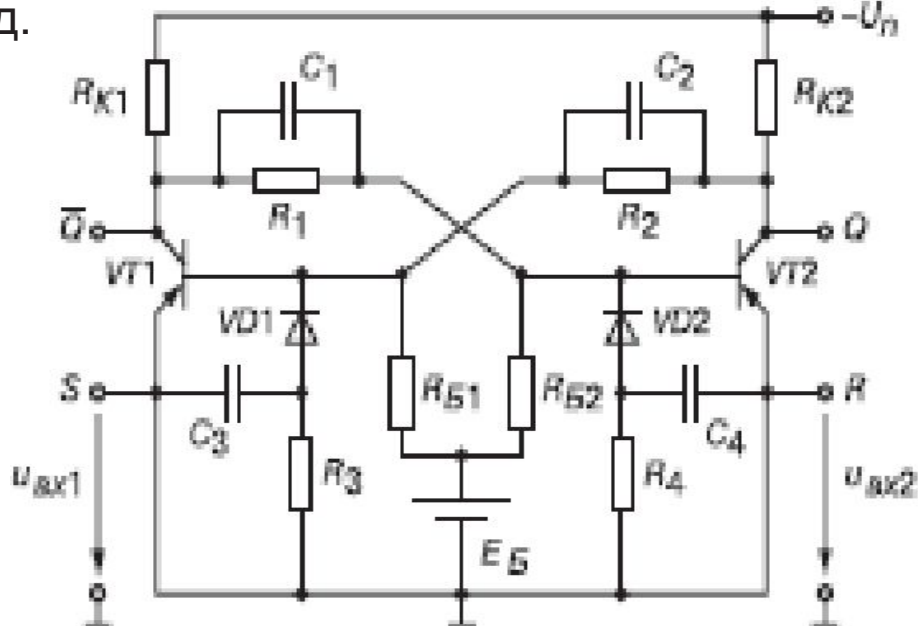
$$u_{B2} = \frac{E_B R_1}{(R_1 + R_{B2})} - \frac{i_{K1} R_1 R_{B2}}{(R_1 + R_{B2})} > 0$$

для надежного его закрытия должно быть больше нуля (рис. б). В этом состоянии триггер будет находиться до подачи на вход S импульса $+u_{вх2}$.



В это время ток i_{B1} уменьшается и транзистор $VT1$ выходит из режима насыщения, его коллектор становится более отрицательным, и на выходе - устанавливается сигнал $U_1 = -U_n$. Положительная обратная связь (ПОС) развивается лавинообразно, открывается транзистор $VT2$, т. е. триггер "опрокидывается" (переключается); на выходе Q устанавливается напряжение U_{KO} (рис. 4.11, б). В процессе "опрокидывания" триггера конденсатор C_1 заряжается, и его зарядный ток увеличивает ток базы транзистора $VT2$, ускоряя установление на его коллекторе напряжения U_{KO} .

Если при $t = t_2$ подан на вход R импульс $+u_{ex1}$, то происходит вновь "опрокидывание" триггера: на выходе - устанавливается напряжение $U_{K1} = U_{KO}$ и т. д.



б)

Различают триггеры:

- асинхронные (нетактируемые) - переключаются в момент подачи входного сигнала;
- синхронные (тактируемые) – переключаются при подаче синхронизирующих импульсов
- со статическим управлением - управляются уровнем импульса входного сигнала, т.е. воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход).;
- с динамическим управлением - воспринимают информационные сигналы при изменении (перепаде) сигнала на входе синхронизации (С) от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход) («триггер управляемый фронтом»).
- одноступенчатые (latch, защёлки) - состоят из одной триггерной структуры, обозначают одной буквой Т;
- двухступенчатые (flip-flop, шлёпающие) - состоят из двух триггеров: ведущего и ведомого, обозначают двумя буквами ТТ;
- RS, D, JK, T и др. (табл. 1).

Примечание. Синхронные триггеры могут управляться уровнем импульса входного сигнала, его передним фронтом и задним фронтом (срезом).

Обозначения входов триггера:

S – вход, устанавливающий триггер в единичное состояние (на Q (прямом выходе) - 1);

R - вход, устанавливающий триггер в нулевое состояние (на Q (прямом выходе) ноль);

C – вход синхронизации;

D – информационный вход (на этот вход подается информация для дальнейшего занесения её в триггер);

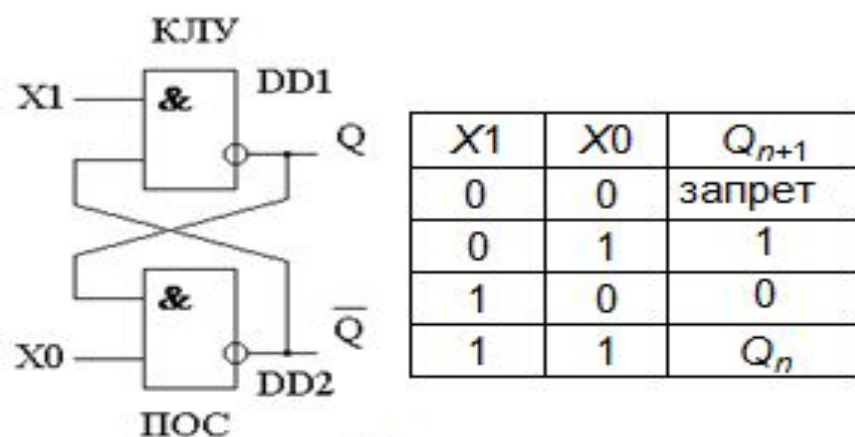
T - счетный вход;

Входы - прямые, инверсные

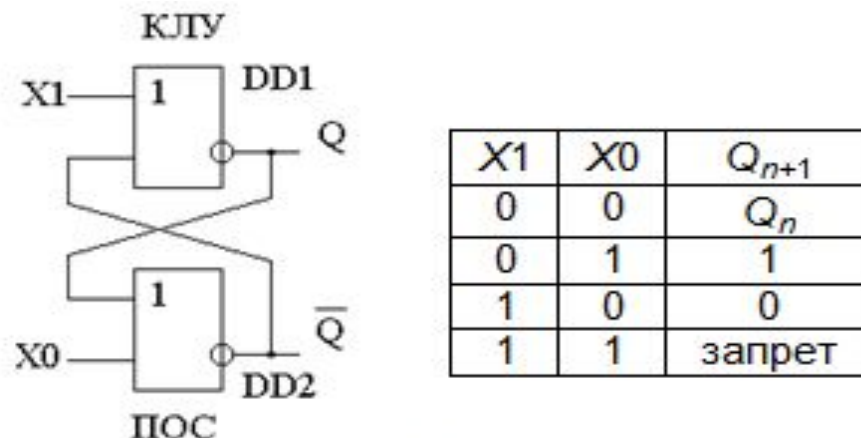
Асинхронный триггер изменяет своё состояние непосредственно в момент появления соответствующего информационного сигнала(ов), с некоторой задержкой равной сумме задержек на элементах, составляющих данный триггер.

Синхронные триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (от англ. clock). Этот вход также обозначают термином «такт». Такие информационные сигналы называют синхронными. Синхронные триггеры в свою очередь подразделяют на триггеры со статическим и с динамическим управлением по входу синхронизации С.

В основу любого триггера положена схема, состоящая из двух логических элементов И-НЕ или ИЛИ-НЕ, которые охвачены положительной обратной связью.



а) Схемы простейших триггеров



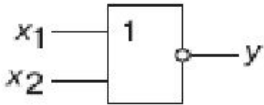
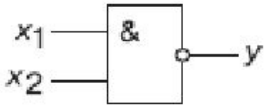
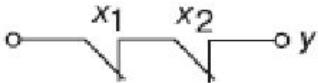
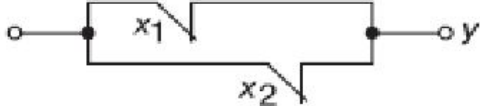
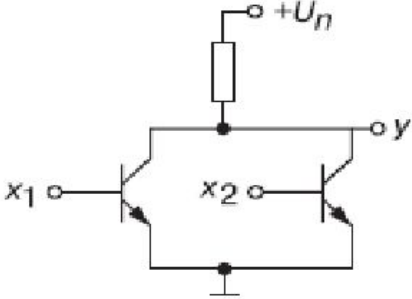
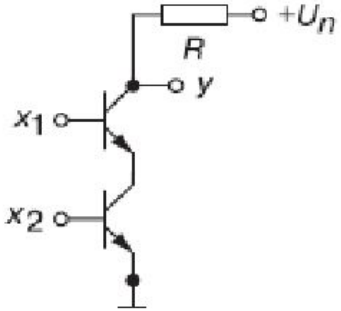
б)

При описании работы триггера приняты следующие соглашения:

если $Q=1$, а $\bar{Q} = 0$, триггер находится в состоянии установки (установлен), если $\bar{Q}=0$, а $Q=1$, триггер находится в сброшенном состоянии (сброшен)

При описании триггера также пользуются понятием активного логического уровня. Для изменения выходного сигнала триггера, или, как принято говорить, для изменения его *состояния*, на вход схемы рис. 17.2, а, выполненной на элементах И—НЕ, следует подать сигнал $x=0$. Для переключения триггера (рис. 17.2, б), выполненного на элементах ИЛИ—НЕ, требуется сигнал $x=1$. Для обоих триггеров (рис. 17.2), если $x_0=0$, а $x_1=1$, то $y_0=1$ и $y_1=0$. Однако в триггере на рис. 17.2, а активным определяющим сигналом будет $x_0=0$, а в триггере на рис. 17.2, б — $x_1=1$.

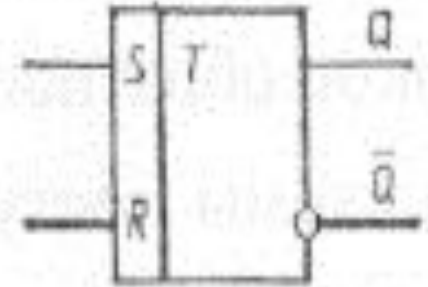
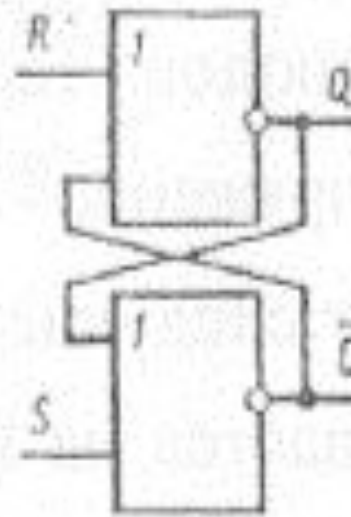
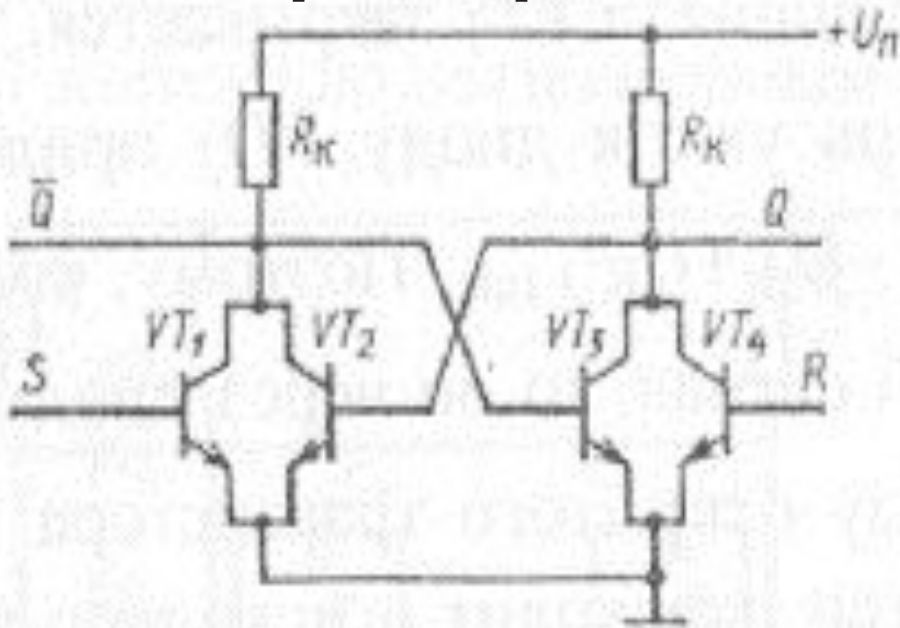
Формы отображения базовых логических функций

Наименование функции →	Функция Пирса	Функция Шеффера																														
Символическая	↓																															
Буквенная	ИЛИ-НЕ	И-НЕ																														
Условная графическая																																
Аналитическая	$y = x_1 \downarrow x_2$	$y = x_1 x_2$																														
Табличная (истинности)	<table style="margin: auto; border-collapse: collapse;"> <tr><td style="padding: 5px;">x_1</td><td style="padding: 5px;">x_2</td><td style="padding: 5px;">y</td></tr> <tr><td style="padding: 5px;">0</td><td style="padding: 5px;">0</td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">0</td><td style="padding: 5px;">1</td><td style="padding: 5px;">0</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;">0</td><td style="padding: 5px;">0</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td><td style="padding: 5px;">0</td></tr> </table>	x_1	x_2	y	0	0	1	0	1	0	1	0	0	1	1	0	<table style="margin: auto; border-collapse: collapse;"> <tr><td style="padding: 5px;">x_1</td><td style="padding: 5px;">x_2</td><td style="padding: 5px;">y</td></tr> <tr><td style="padding: 5px;">0</td><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">0</td><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;">0</td><td style="padding: 5px;">1</td></tr> <tr><td style="padding: 5px;">1</td><td style="padding: 5px;">1</td><td style="padding: 5px;">0</td></tr> </table>	x_1	x_2	y	0	1	1	0	1	1	1	0	1	1	1	0
x_1	x_2	y																														
0	0	1																														
0	1	0																														
1	0	0																														
1	1	0																														
x_1	x_2	y																														
0	1	1																														
0	1	1																														
1	0	1																														
1	1	0																														
Контактная																																
Схематехническая																																

И – НЕ → $\begin{cases} 0 - \text{активный,} \\ 1 - \text{пассивный;} \end{cases}$

ИЛИ – НЕ → $\begin{cases} 1 - \text{активный,} \\ 0 - \text{пассивный.} \end{cases}$

RS-триггер (прямые входы, ИЛИ-НЕ)



Q^n	$S^n \cdot R^n$			
	00	10	11	01
0	0	1	0	0
1	1	1	0	0

хранение информации

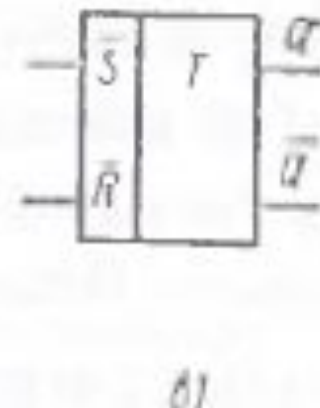
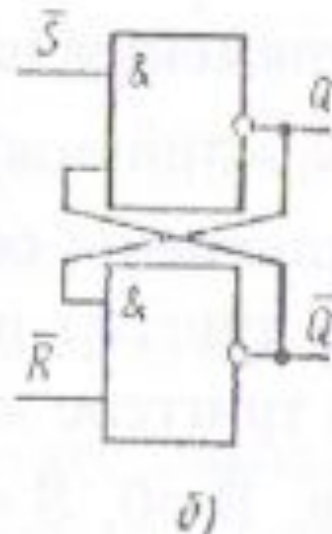
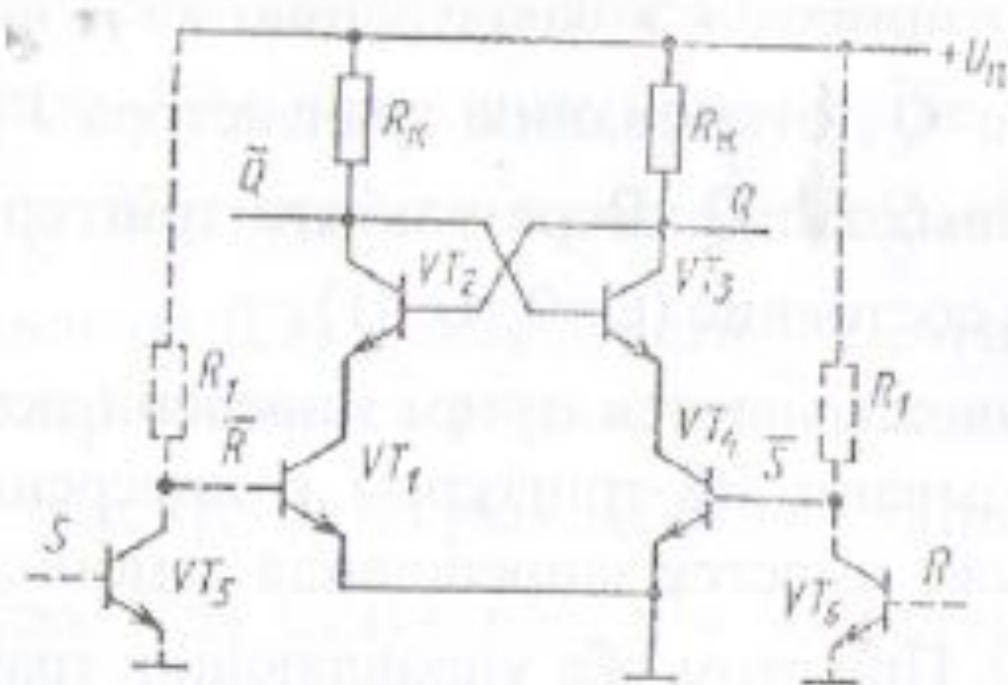
сброс триггера

установка триггера

запрещённое состояние

S^n	R^n	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

RS-триггер (инверсные входы, И-НЕ)



RS-триггер имеет два отдельных входа — R (установки нуля на выходе, Q = 0) и S (установки 1 на выходе, Q = 1) и два выхода — прямой Q и инверсный \bar{Q} .

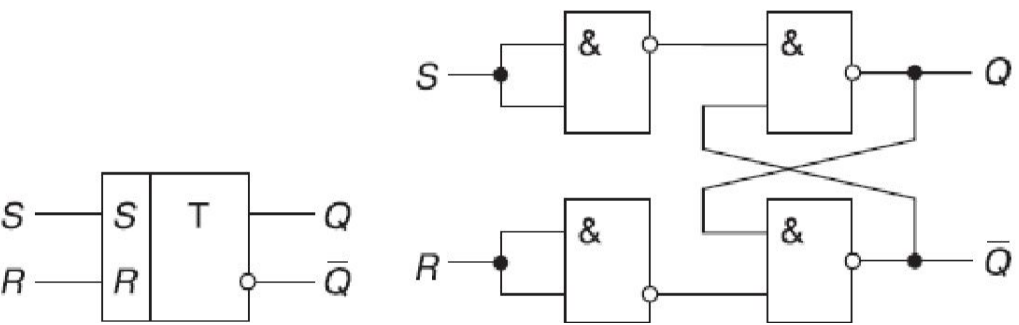


Таблица переходов RS-триггера на элементах И—НЕ

Q_n	Q_{n+1}	\bar{R}	\bar{S}
0	0	—	1
0	1	1	0
1	0	0	—
1	1	—	—

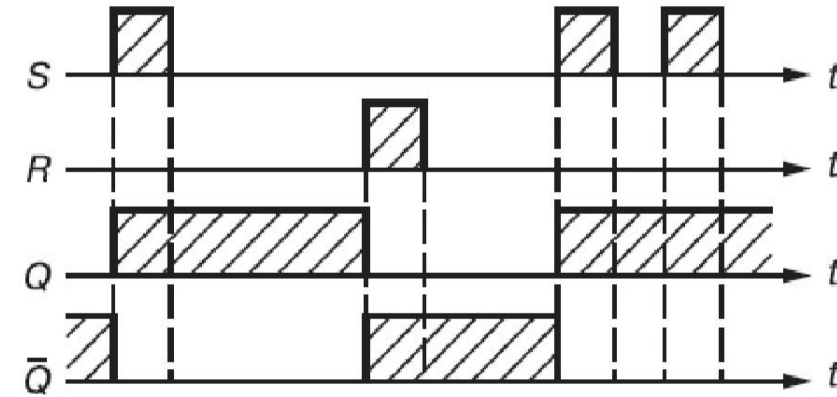
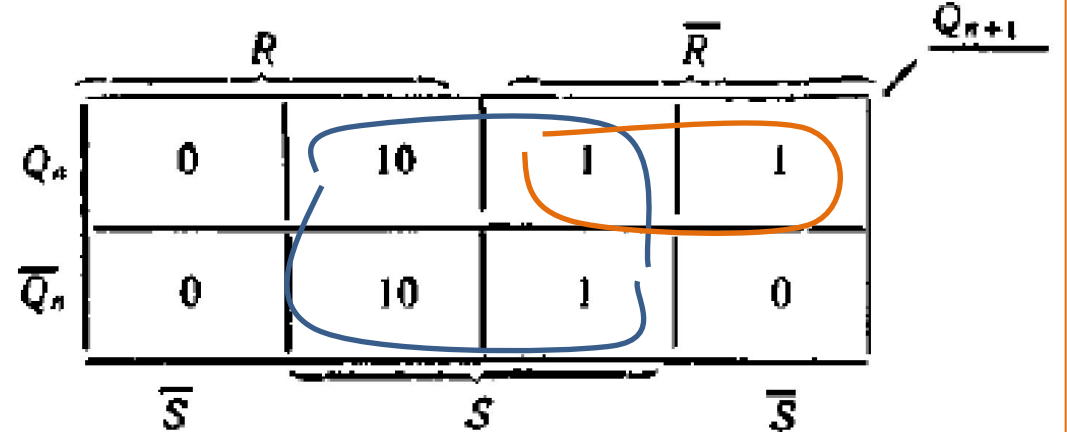


Таблица переходов RS-триггера на элементах ИЛИ—НЕ

Q_n	Q_{n+1}	R	S
0	0	—	0
0	1	0	1
1	0	1	0
1	1	—	—

ФАЛ RS-триггера



$$Q^{t+1} = S + Q^t \bar{R}.$$

схема реализации RS-триггера на логических элементах И-НЕ либо ИЛИ-НЕ с ОС выходов триггера и входов логических элементов. Сигнал ОС позволяет в триггере учитывать его предшествующее состояние.

Асинхронный RS-триггер — устройство, переход которого из одного устойчивого состояния в другое происходит по мере поступления сигналов на информационные входы.



Рис. 9.17. Логическая схема (а), условное изображение (б), таблица перехода (в), временные диаграммы (г) асинхронного RS-триггера на ЛЭ 2ИЛИ-НЕ и на ЛЭ 2И-НЕ с условным изображением (д)

Временная диаграмма работы триггера показывает, что единичное состояние асинхронного триггера продолжается начиная с переднего фронта входного сигнала: $S = 1$ (при $R = 0$), до его переключения (когда $S = 0$, $R = 1$), то есть триггер управляется *полным импульсом*. Такое управление называется *потенциальным* или *статическим*. Асинхронный триггер может быть построен на логических элементах И-НЕ

Синхронный триггер имеет *дополнительный третий вход С*, который называется *синхронизирующим (тактирующим, тактовым)*

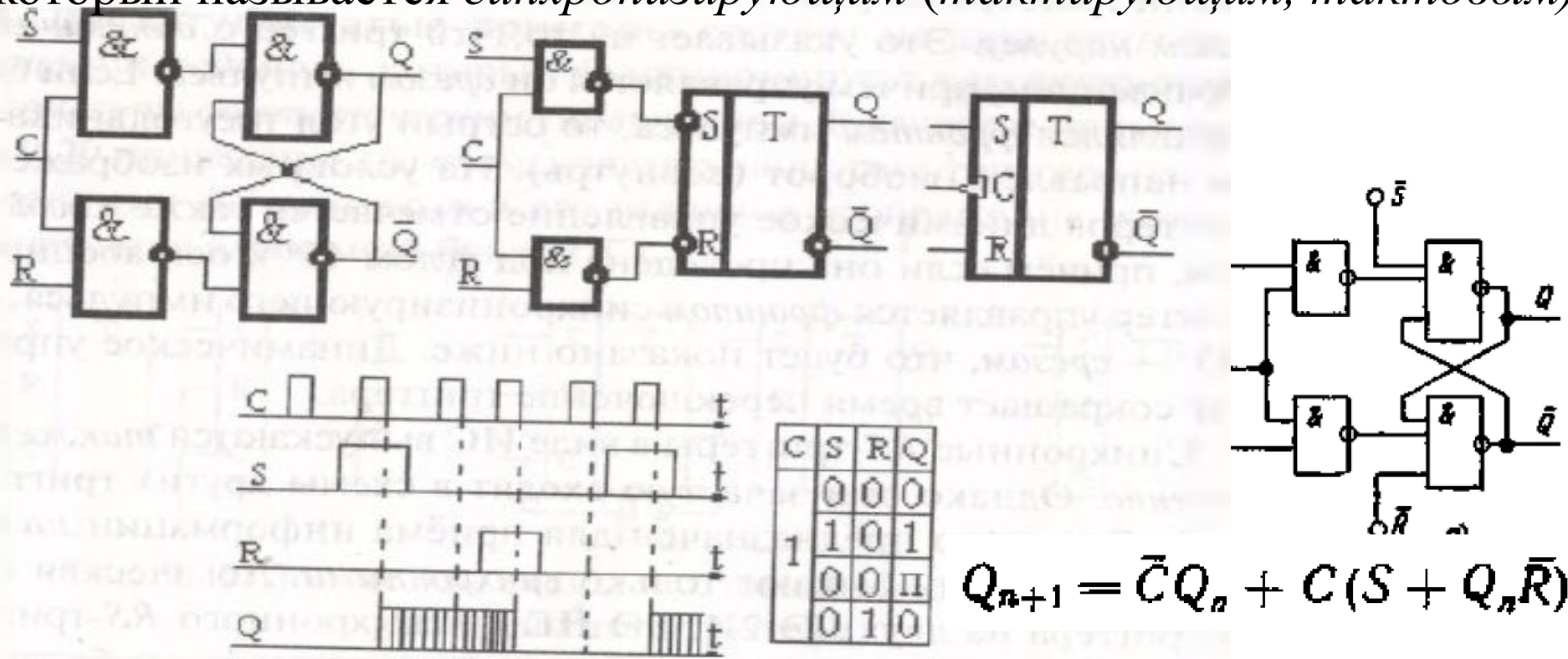
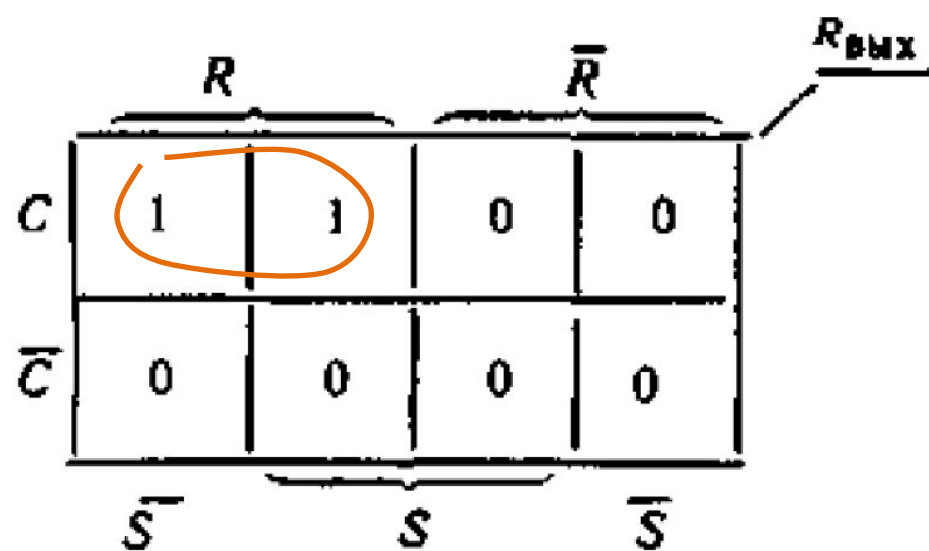
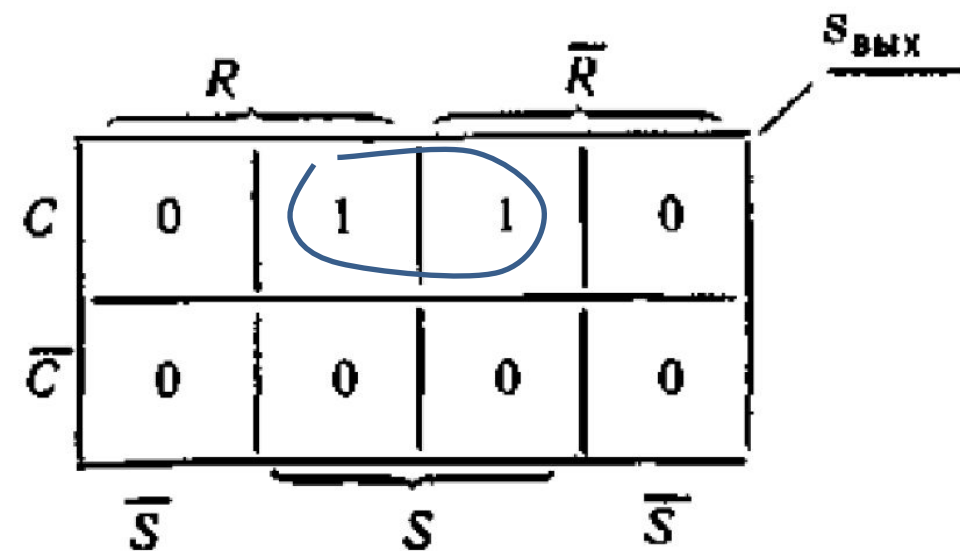


Рис. 9.18. Логические схемы, условное изображение, таблица перехода, временные диаграммы синхронного RS-триггера на ЛЭ 2И-НЕ и на ЛЭ 2И-НЕ с условным изображением

Синхронные триггеры бывают со *статическим* (управляются *всеи длительностью* импульса) и *динамическим* (управляются *фронтом* или *срезом* импульса) управлениями. Если в условном изображении триггера на входе С стоит *треугольник острым углом наружу*, либо *косая черта* под углом 45° к оси абсцисс, у, триггер с *динамическим* управлением по *срезу* импульса, если стоит *треугольник острым углом вовнутрь* либо *косая черта* под углом 135° к оси абсцисс, триггер управляется *фронтом* импульса. Динамическое управление сокращает время переключения триггера.

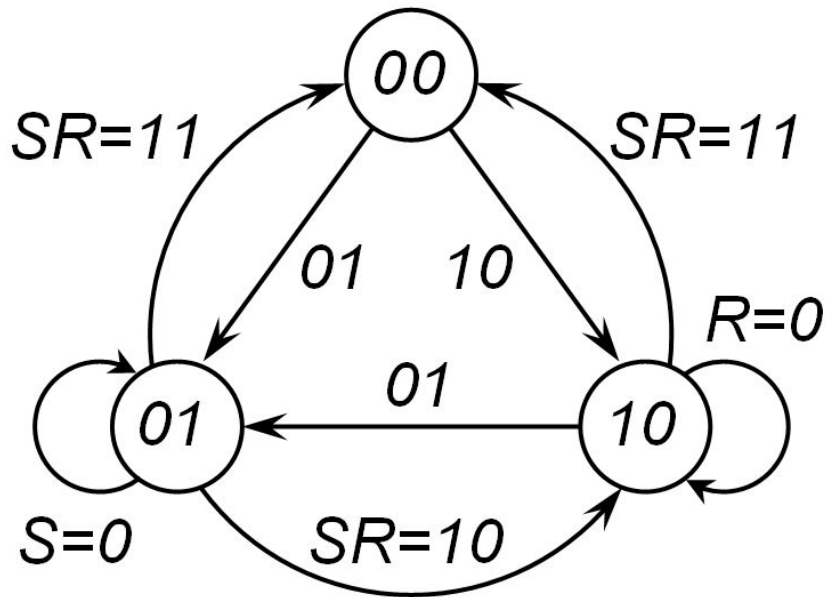
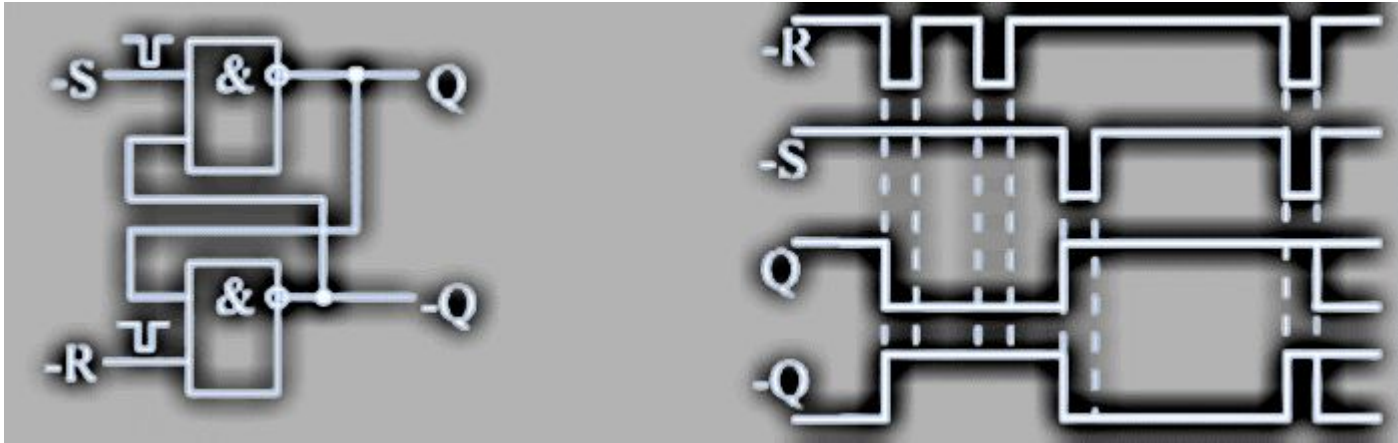
Таблица истинности формирования управляющих сигналов
синхронного RS-триггера

C	$R_{вх}$	$S_{вх}$	$R_{вых}$	$S_{вых}$
1	0	0	0	0
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0



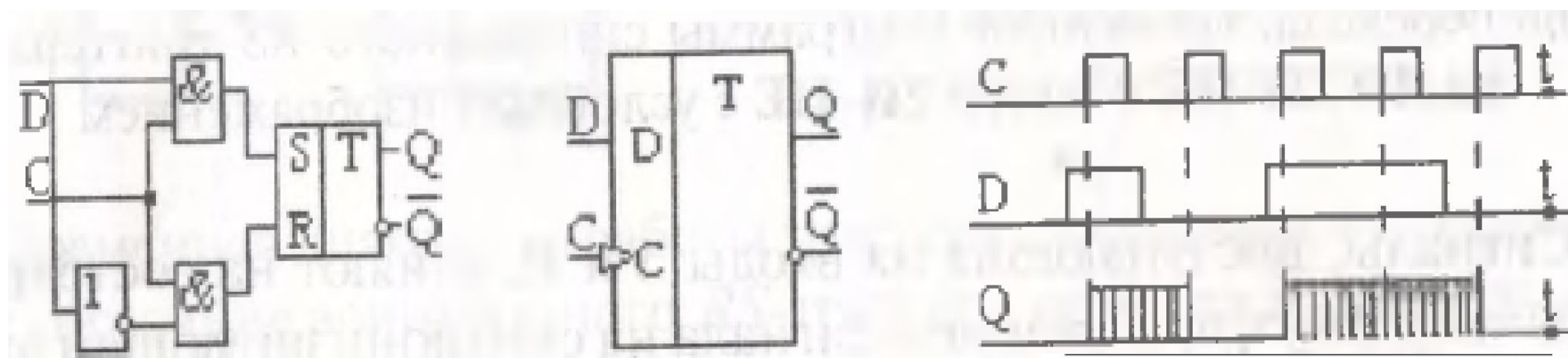
Откуда $S_{вых} = CS$, $R_{вых} = CR$. $Q_{n+1} = \bar{C}Q_n + C(S + Q_n\bar{R})$

В основу абсолютно любого триггера положена схема, состоящая из двух логических элементов И-НЕ или ИЛИ-НЕ, которые охвачены положительной обратной связью.



S	R	Q	\overline{Q}
0	0	Без помехи	Без помехи
0	1	0	1
1	0	1	0
1	1	?	?

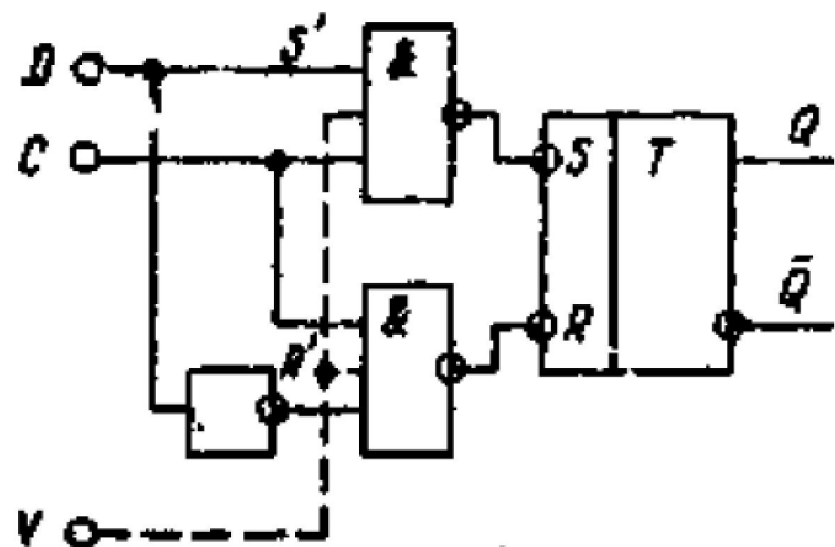
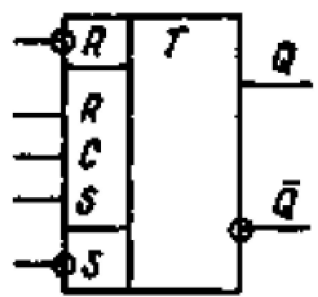
D-триггер предназначен для приёма информации по одному D-ВХОДУ, БЫВАЮТ ТОЛЬКО синхронными.

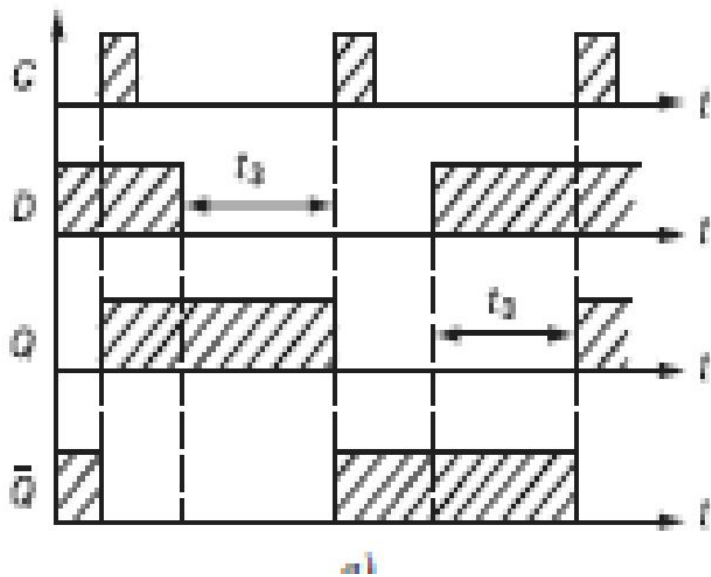
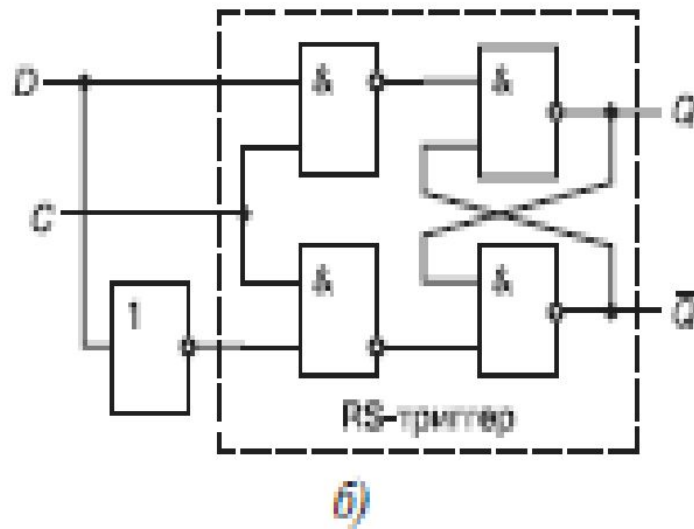
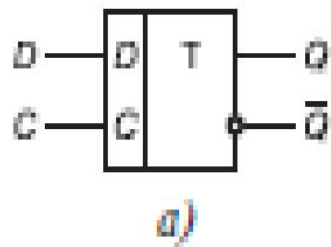


Функция переходов:

$$Q^{t+1} = \bar{C}^t Q^t + C^t D^t$$

C^t	D^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1





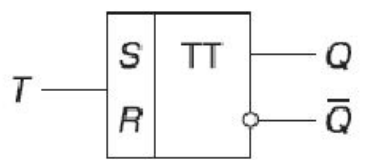
D-триггер переходит в состояние 0-1, если по приходу синхронизирующего сигнала $C = 1$ на информационном входе дежурил сигнал $D = 1$. При этом на выходе верхнего по схеме ЛЭ 2И появляется логическая 1, которая передается на вход S «S-триггера». На выходе же нижнего по схеме ЛЭ 2И при этом появляется 0, который передается на вход R «R-триггера». В результате D-триггер перейдет в состояние 0-1. Более того, в таком состоянии триггер остается и после окончания сигнала на входе D до прихода очередного тактового сигнала на вход C, возвращающего триггер в исходное состояние ($Q = 0$). Таким образом, D-триггер *задерживает* (затягивает) выходной сигнал по сравнению с входным. Это происходит и в случае, когда импульс на входе D перекрывает очередной сигнал на $C = 1$. Поэтому D-триггер называют еще триггером *задержки*.

Синхронный D-триггер функционирует в соответствии с таблицей, из которой видно, что при отсутствии синхроимпульса ($C = 0$) состояние триггера остается неизменным. При условии же $C = 1$ триггер передает на выход сигнал, поступивший на его вход D в предыдущем такте.

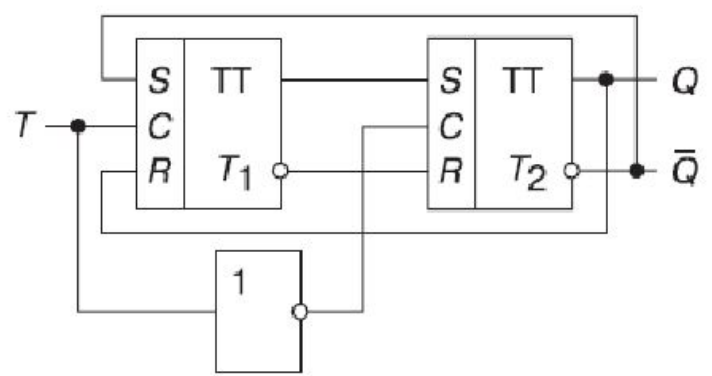
6.7.3. T-триггер

Триггер со счетным запуском (*T*-триггер) должен переключаться каждым импульсом, подаваемым на единственный счётный вход *T* (рис. 6.16, *a*).

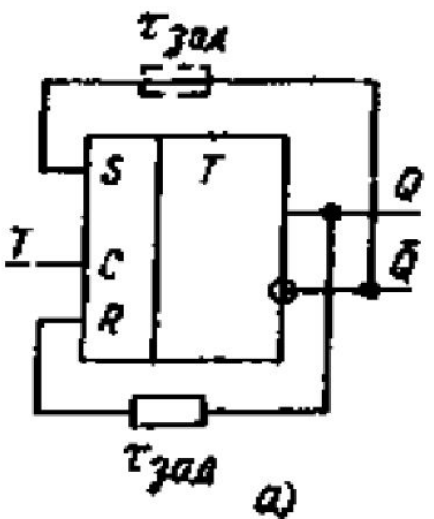
Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0



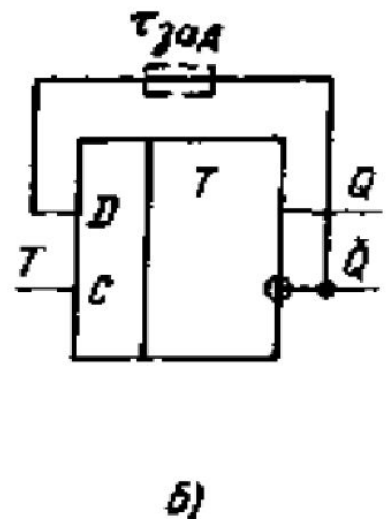
a)



б)



a)



б)

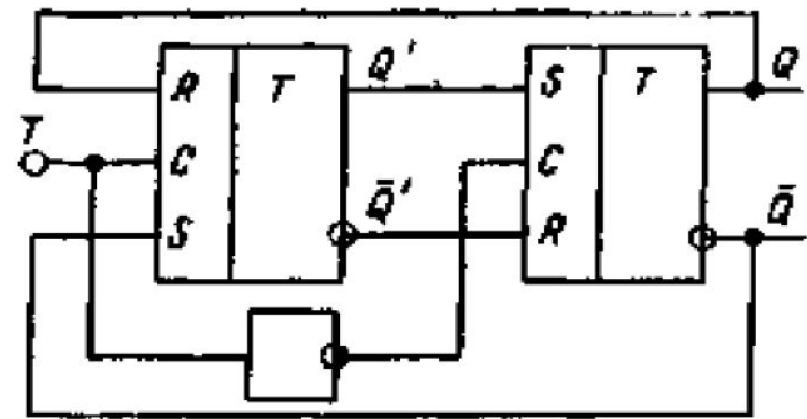
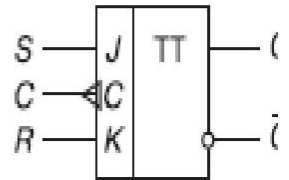
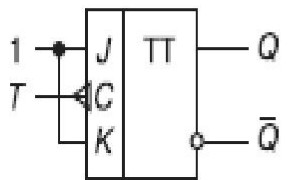
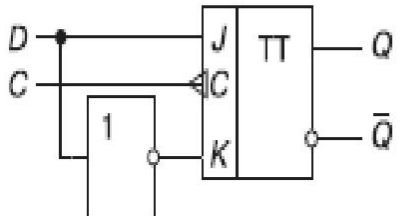
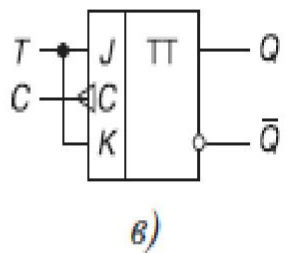
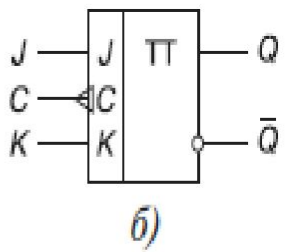
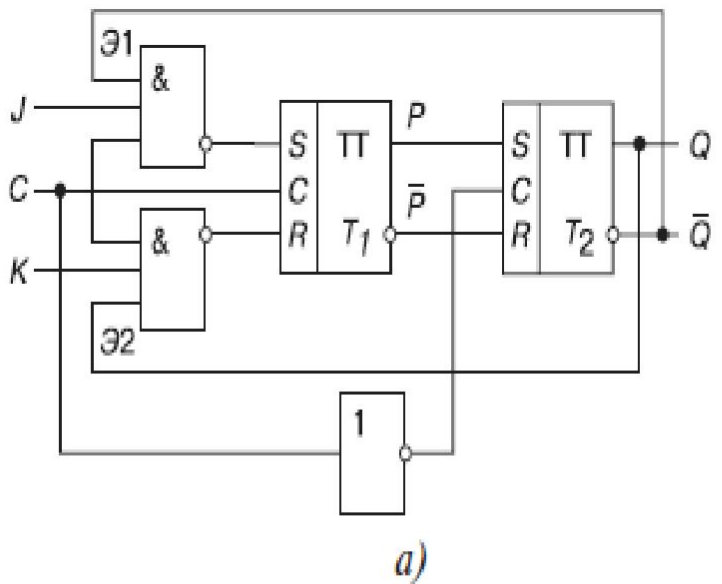


Рис. 17.7. Асинхронные *T*-триггеры на основе *RS* (*a*) и *D*-триггеров (*б*)

Рис. 17.8. Двухступенчатый *T*-триггер

JK-триггеры - всегда синхронные (тактируемые), имеют информационные входы J и K, которые по своему воздействию на устройство аналогичны входам S и R тактируемого RS-триггера: при J = 1, K = 0 триггер по тактовому импульсу C устанавливается (Q = 1); при J = 0, K = 1 — сбрасывается (Q = 0), при J = K = 0 — хранит ранее принятую информацию.

В отличие от тактируемого RS-триггера одновременное присутствие логических 1 на информационных входах не является для JK-триггера запрещённой комбинацией; при J = K = 1 триггер работает в счётном режиме, т. е. переключается каждым тактовым импульсом на входе C.



J'	K'	Q'	Q ^{l+1}
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	0
1	1	1	0

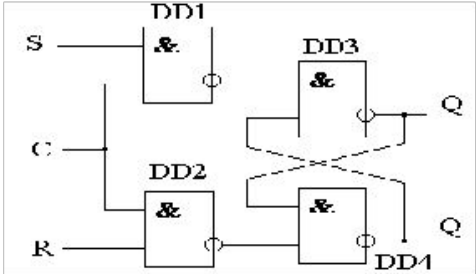
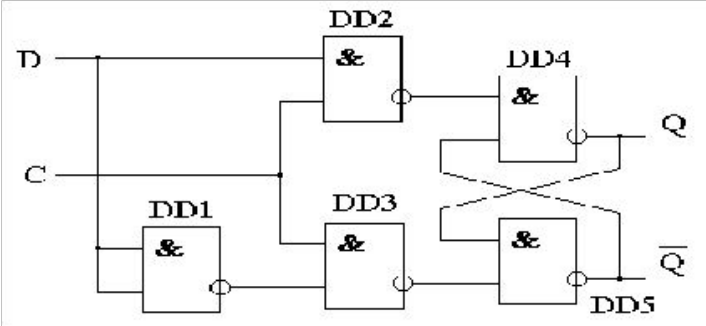
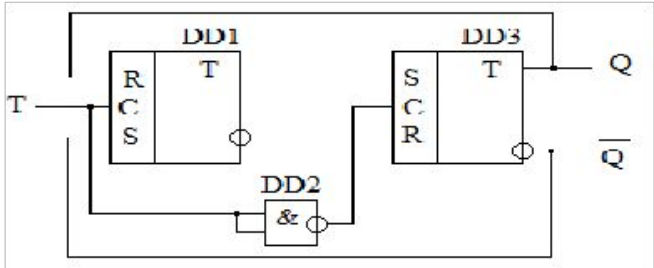
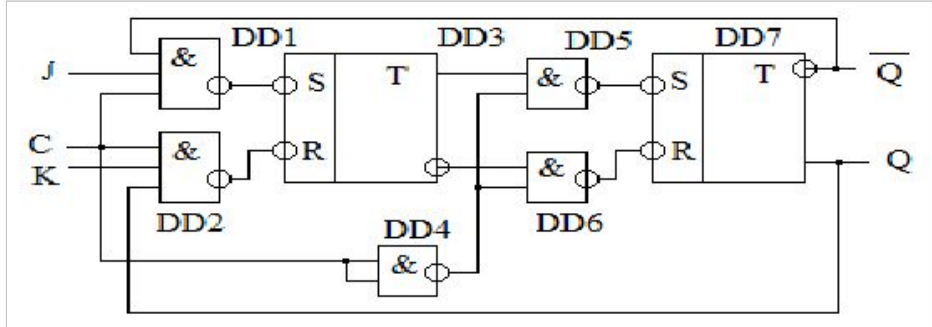
Асинхронный JK-триггер

$$Q_{n+1} = J\bar{Q}_n + \bar{K}Q_n$$

Синхронный JK-триггер

$$Q_{n+1} = C(J\bar{Q}_n + \bar{K}Q_n) + \bar{C}Q_n$$

Основные типы триггеров

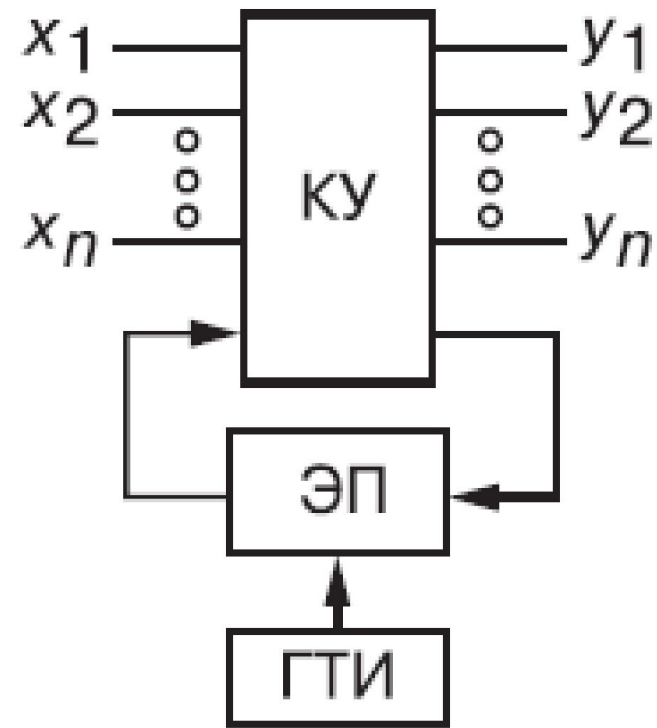
Тип триггера	Схема	Таблица переходов																																			
<p>Асинхронный RS-триггер</p>		<table border="1"> <thead> <tr> <th>Q_n</th> <th>Q_{n+1}</th> <th>R</th> <th>S</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>-</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>-</td> </tr> </tbody> </table>	Q_n	Q_{n+1}	R	S	0	0	-	0	0	1	0	1	1	0	1	0	1	1	0	-															
Q_n	Q_{n+1}	R	S																																		
0	0	-	0																																		
0	1	0	1																																		
1	0	1	0																																		
1	1	0	-																																		
<p>D-триггер</p>		<table border="1"> <thead> <tr> <th>Q_n</th> <th>Q_{n+1}</th> <th>D</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	Q_n	Q_{n+1}	D	0	0	0	0	1	1	1	0	0	1	1	1																				
Q_n	Q_{n+1}	D																																			
0	0	0																																			
0	1	1																																			
1	0	0																																			
1	1	1																																			
<p>Двухступенчатый асинхронный T-триггер</p>	 	<table border="1"> <thead> <tr> <th>Q_n</th> <th>Q_{n+1}</th> <th>T</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>Q_n</th> <th>Q_{n+1}</th> <th>J</th> <th>K</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>-</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>-</td> </tr> <tr> <td>1</td> <td>0</td> <td>-</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>-</td> <td>0</td> </tr> </tbody> </table>	Q_n	Q_{n+1}	T	0	0	0	0	1	1	1	0	1	1	1	0	Q_n	Q_{n+1}	J	K	0	0	0	-	0	1	1	-	1	0	-	1	1	1	-	0
Q_n	Q_{n+1}	T																																			
0	0	0																																			
0	1	1																																			
1	0	1																																			
1	1	0																																			
Q_n	Q_{n+1}	J	K																																		
0	0	0	-																																		
0	1	1	-																																		
1	0	-	1																																		
1	1	-	0																																		

2. Прочерк в таблице переходов означает, что на данный информационный вход может быть подан произвольный логический сигнал (либо «0», либо «1»).

В последовательностных устройствах (автоматах с памятью) значения выходных двоичных переменных определяют, как значениями входных переменных X в течение рассматриваемого такта работы, так и существовавшими переменными в предыдущих тактах.

Для этого в последовательностных устройствах, кроме логических, должны быть еще и запоминающие элементы — *элементы памяти* (ЭП) с множеством входов и выходов, называемые также цепями обратной связи, в соответствии со стрелками, указывающими прохождение сигналов.

Цифровые устройства с памятью наз. конечными автоматами, т.к. память устройства охватывает конечное число тактов, формируемых генератором тактовых импульсов (ГТИ).

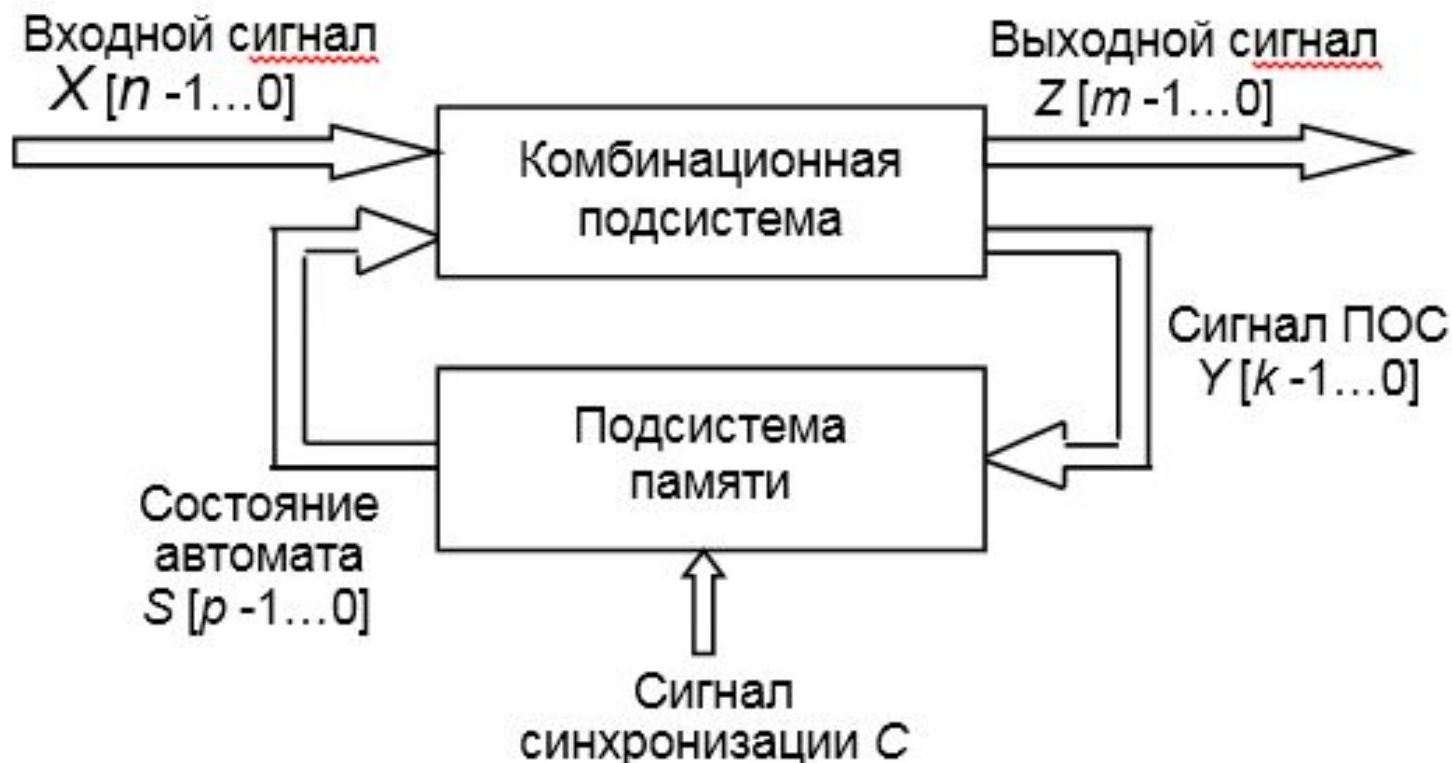


КУ – комбина-
ционное устрой-
ство, ЭП –
элемент памяти,
ГТИ – тактовый
генератор

Реализация алгоритма работы конечного автомата предполагает, что на входе логического устройства действует не только комбинация внешних входных сигналов, но и сигналы, отображающие предысторию работы устройства. Такие сигналы могут вырабатываться в самом комбинационном устройстве и совместно с внешними подаваться на его вход. Очевидно, что в последовательностном устройстве существует канал передачи информации с его выхода на вход, причем эта информация суммируется с внешней цепью положительной обратной связи (ПОС), охватывающей исходное комбинационное устройство.

Автомат Мура: $Z = f(Q)$

Автомат Мили: $Z = f(X, Q)$



Для описания алгоритма работы цифрового автомата используют либо граф переходов, либо таблицу состояний.

Таблица состояний включает $G + 1$ столбец и 2^n строк, где G – число различных комбинаций входных сигналов $X[n-1...0]$, которые могут присутствовать на входе автомата. В первом столбце перечисляются все возможные состояния автомата (состояния S_n). Остальные столбцы соответствуют возможным входным сигналам. На пересечении i -ой строки, соответствующей текущему состоянию автомата (состояние S_i) и j -го столбца, соответствующего текущему значению входного сигнала (сигнал $X(j)$) записывается дробь, числитель которой показывает следующее состояние автомата (S_{n+1}), а знаменатель – текущее значение выходного сигнала Z .

Таблица состояний для алгоритма:

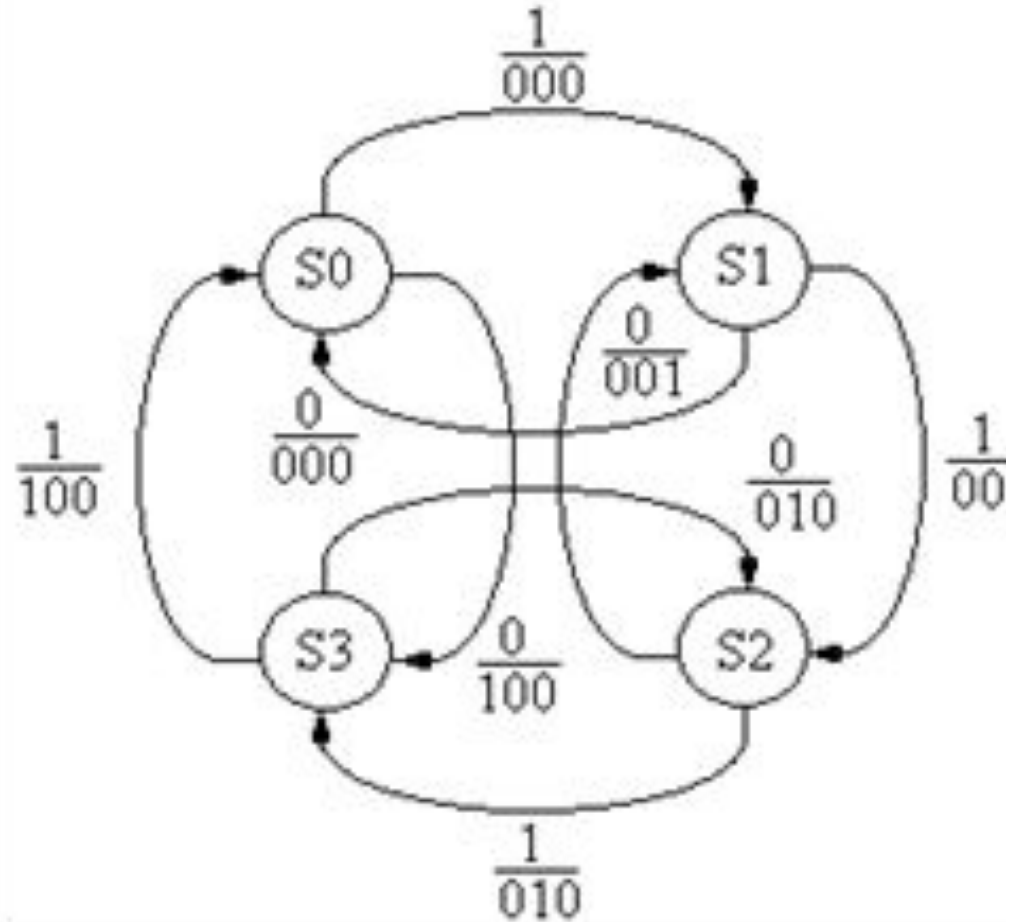
- при входном сигнале $X = 1$:
000, 001, 010, 100;
- при входном сигнале $X = 0$:
100, 010, 001, 000.

S_n	$X = 1$	$X = 0$
00	01/000	11/100
01	10/001	00/000
10	11/010	01/001
11	00/100	10/010

Граф переходов представляет графическую интерпретацию алгоритма работы цифрового автомата. Он наиболее удобен для начальной формализации алгоритма его работы. При построении графа переходов каждому состоянию автомата ставится в соответствие некоторая вершина графа, а переход из одного состояния в другое соответствует направленному ребру, соединяющему начальное и конечное состояния. Причем каждое ребро взвешено, т. е. над ним указывается дробь, числитель которой указывает значение входного сигнала, под действием которого осуществляется указанный переход, а знаменатель соответствует текущему значению выходного сигнала автомата $Z[m-1 \dots 0]$.

Граф состояний для алгоритма:

- при входном сигнале $X = 1$:
000, 001, 010, 100;
- при входном сигнале $X = 0$:
100, 010, 001, 000.



Алгоритм синтеза цифрового автомата.

.Исходя из условий функционирования определяют число необходимых для реализации состояний ($S_{\text{НЕОБ}}$) - наибольшее значение выходных кодов устройства, формируемых при одном значении входного сигнала.

.Определяют объем памяти триггерной подсистемы из условия, что n - разрядный двоичный код 2^n может принимать значений:

$$q \geq \text{CEIL}(\log_2 S_{\text{НЕОБ}}),$$

где CEIL - округление результат логарифмирования до ближайшего большего целого.

3. Синтезируют граф переходов, (алгоритм работы устройства).

4. Выбирают тип триггера для реализации подсистемы памяти.

5. По формальному описанию алгоритма работы автомата и таблице переходов выбранного триггеры составляют расширенную таблицу истинности, характеризующую работу комбинационной подсистемы автомата. Число строк этой таблицы равно максимальному числу входных сигналов на входе комбинационной подсистемы. В столбцах таблицы записывают: $X[n-1 \dots 0]$ – входной сигнал, $S_n [q-1 \dots 0]$ – текущее состояние автомата, $S_{n+1} [q-1 \dots 0]$ – последующее состояние автомата, $Y[k-1 \dots 0]$ – сигнал ПОС, $Z[m-1 \dots 0]$ – выходной сигнал автомата.

6. По таблице истинности минимизируют функции алгебры логики (ФАЛ), описывающие работу комбинационной подсистемы автомата;

7. По полученным ФАЛ, синтезируют схему цифрового автомата.

Поведение структуры описывается четырьмя группами различных сигналов: X — кодовое слово входного воздействия; Z — кодовое слово выходного сигнала; Y — кодовое слово, обеспечивающее требуемый порядок смены состояний автомата; Q — кодовое слово, характеризующее состояние автомата.

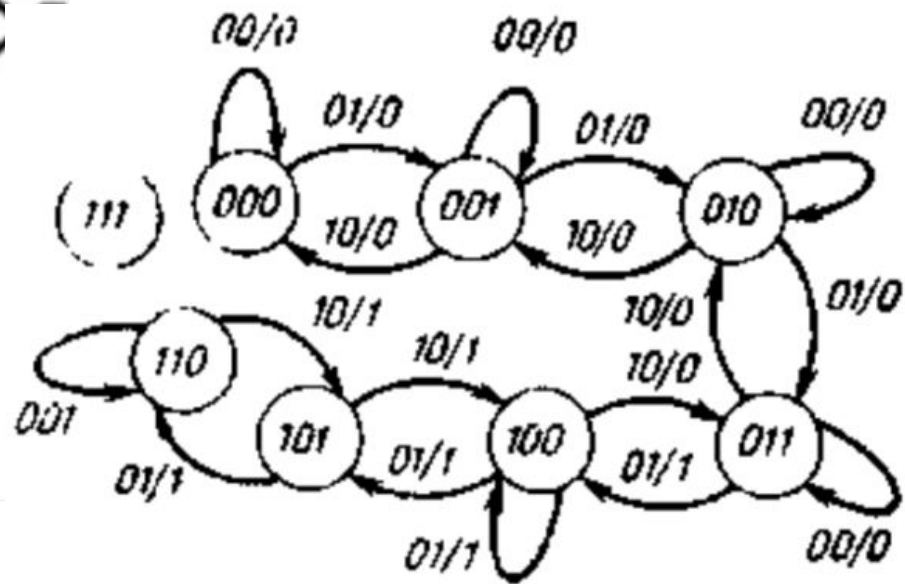
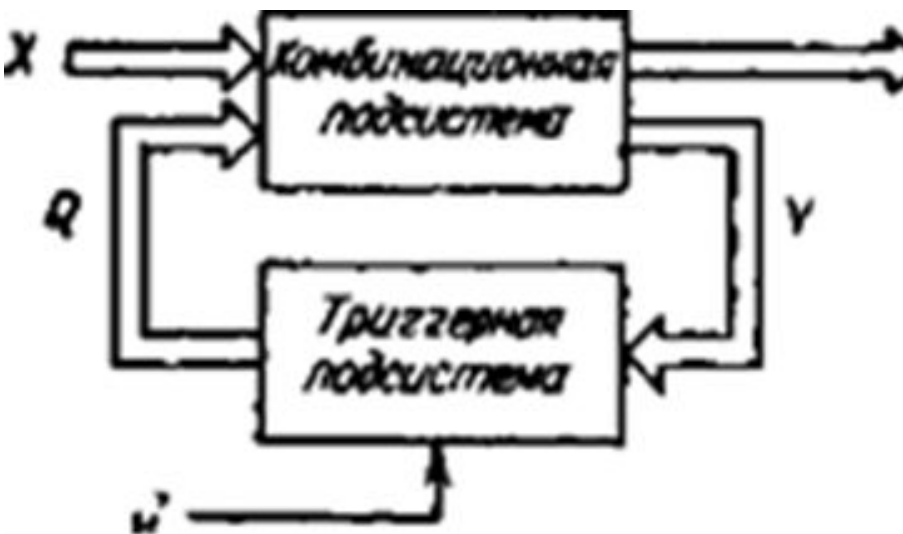


Рис. 17.18. Граф переходов цифрового автомата

Регистры устройства на основе триггеров для хранения информации, которая поступает и хранится в регистре в виде n -разрядных двоичных чисел.

Кроме хранения, регистр может осуществлять:

• сдвиг принятого кодового числа,

• преобразование двоичного кода из прямого в обратный (единицы заменяются нулями, а нули — единицами), и наоборот,

• логические сложение и умножение.

По способу ввода и вывода разрядов числа различают регистры:

• Параллельные (ввод и вывод всех разрядов кодового числа осуществляется одновременно),

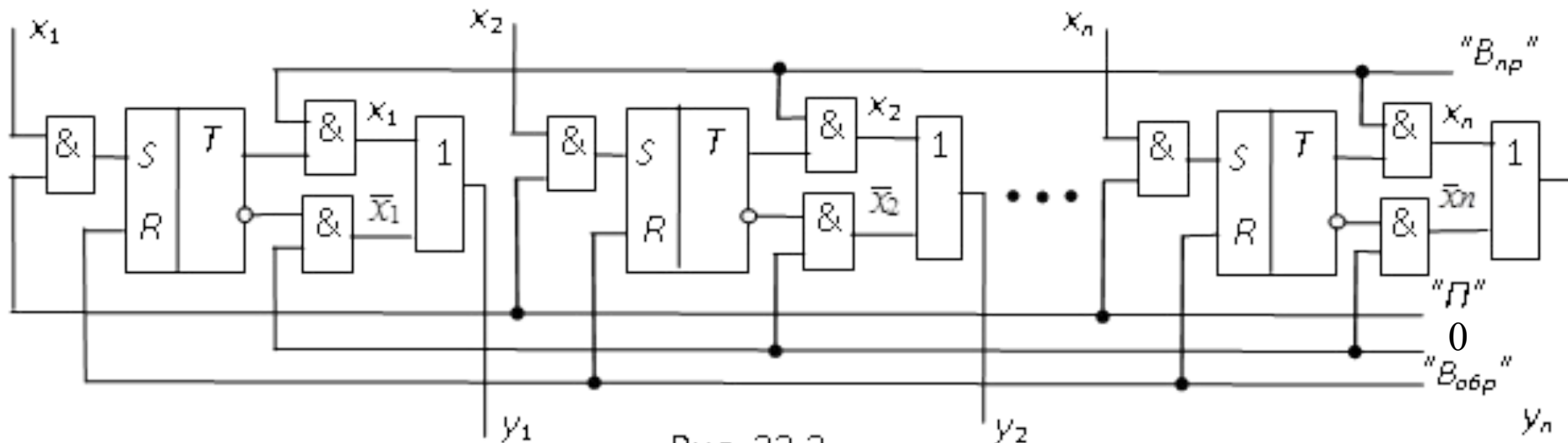
• Последовательные (числа вводятся и выводятся последовательно),

• параллельно-последовательные (ввод числа производится в параллельной форме, а вывод — в последовательной, или наоборот).

Регистр, в котором можно осуществить сдвиг числа, называют *сдвигающим* (сдвиговым), причем сдвиг может быть или в одну сторону (в сторону младшего разряда — *правый сдвиг*, или в сторону старшего разряда — *левый сдвиг*), или в обе стороны (*реверсивный сдвигающий* регистр). В этом смысле последовательный и параллельно последовательный регистры относят к сдвиговым.

ПАРАЛЛЕЛЬНЫЙ РЕГИСТР НА RS-ТРИГГЕРАХ

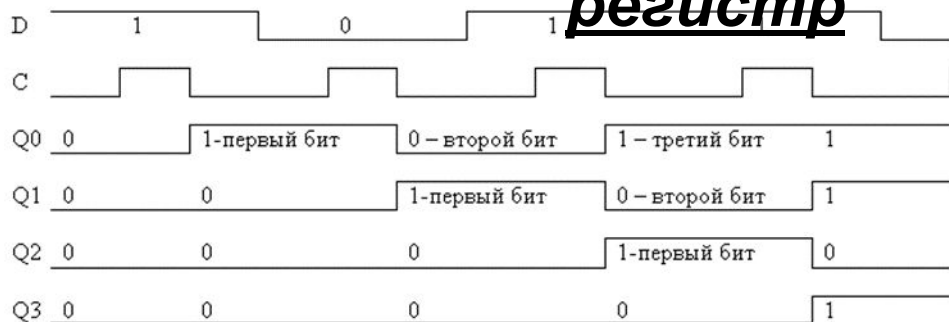
Любой регистр состоит из связанных между собой триггеров с динамическим или статическим управлением и логических элементов, причем количество триггеров равно количеству разрядов в записываемом числе. Синтез регистра сводится к выбору типа триггеров и логических элементов И, НЕ, ИЛИ для реализации заданных операций



Ввод (запись) числа осуществляется в два такта. Во избежание ошибочной записи числа $x_1x_2\dots x_n$ в первом такте все триггеры регистра обнуляются. Для этого на шину "0" подаётся логический 0. Во втором такте по сигналу 1 на шине "И" ("Приём") через конъюнктуры одновременно записывается в соответствующие разряды регистра двоичное число $x_1x_2\dots x_n$. Вывод (считывание) числа $y_1y_2\dots y_n$ в прямом коде происходит по сигналу 1 на шине "В_{пр}", а в обратном – по сигналу 1 на шине "В_{обр}".

если для параллельных регистров подходили как триггеры работающие по потенциалу (триггеры-защелки), так и триггеры, работающие по фронту, то для реализации последовательного (сдвигового) регистра подходят только D триггеры, работающие по фронту

сдвиговый регистр



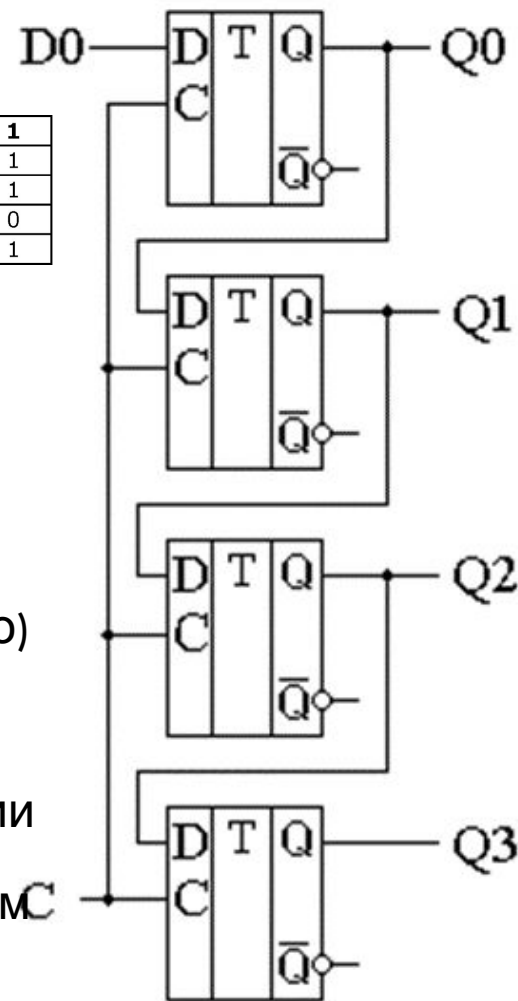
№ такта	1	2	3	4
Q0	1	0	1	1
Q1	X	1	0	1
Q2	X	X	1	0
Q3	X	X	X	1

Внутри сдвигового регистра триггеры соединены последовательно, то есть выход первого соединён с входом второго и т.д.

Входы синхронизации в последовательных (сдвиговых) регистрах, как и в параллельных регистрах, объединяются. Это обеспечивает одновременность смены состояния всех триггеров, входящих в состав последовательного (сдвигового) регистра.

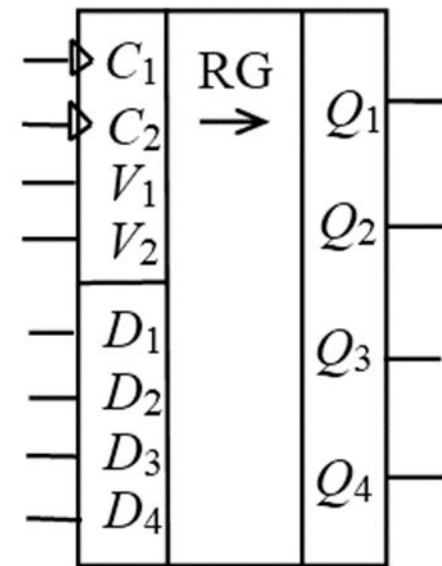
Преобразование последовательного кода в параллельный в последовательном (сдвиговом) регистре производится следующим образом. Отдельные биты двоичной информации последовательно подаются на вход сдвигового регистра D0. Каждый бит сопровождается отдельным тактовым импульсом C синхронизации, который поступает на вход синхронизации последовательного регистра C.

После поступления первого тактового импульса логический уровень, присутствующий на входе D0, запоминается в первом триггере последовательного (сдвигового) регистра и поступает



микросхема серии К155). При $V_2 = 0$ разряды числа вводят последовательно в регистр через вход V_1 ; синхроимпульсы, поступающие на вход C_1 , обеспечивают сдвиг вправо разрядов числа; регистр работает как сдвигающий. В микросхеме (см. рис. 33.1) предусмотрен также параллельный ввод всех разрядов числа по синхроимпульсу на входе C_2 с входов D_1, \dots, D_4 при $V_2 = 1$. В данном случае регистр работает как параллельный.

Если выводы последнего триггера сдвигающего регистра соединить с входами первого, то получится *кольцевой* регистр сдвига, называемый *кольцевым счётчиком*. Его коэффициент пересчёта равен числу разрядов n : единица, записанная в один из разрядов, периодически появляется на выходе счётчика после того, как пройдут n сдвигающих синхроимпульсов



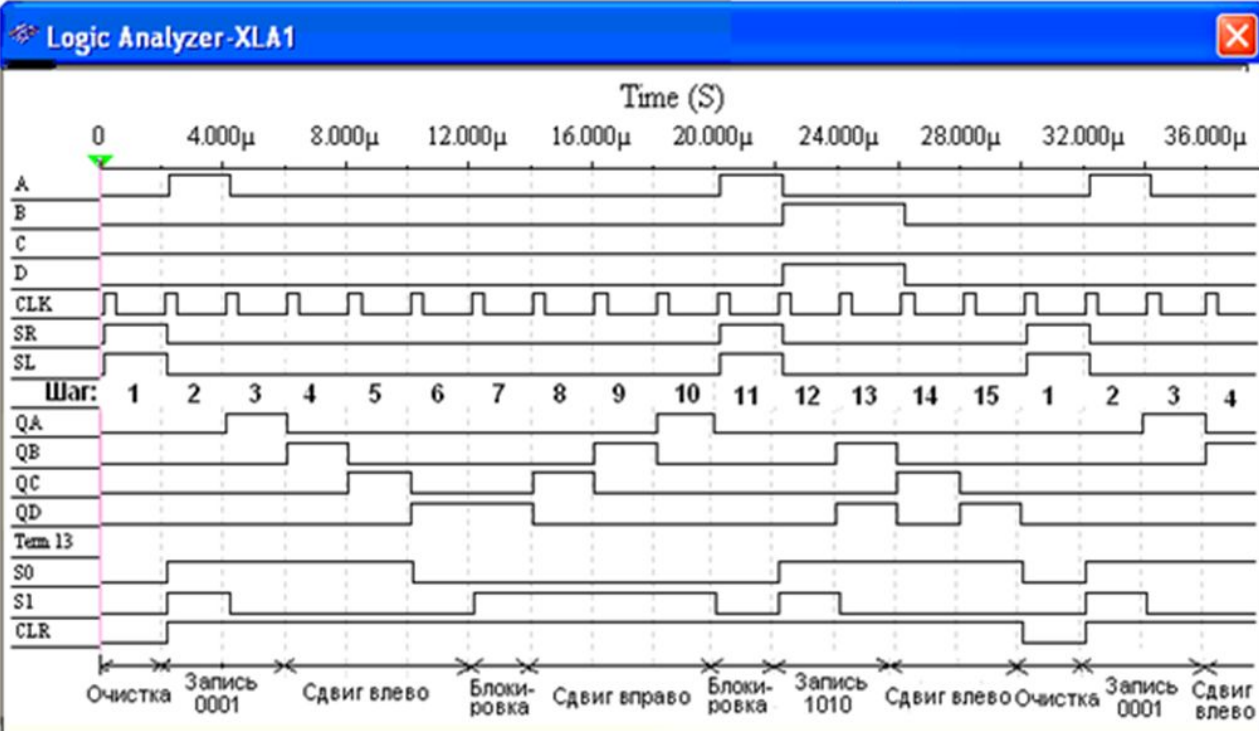
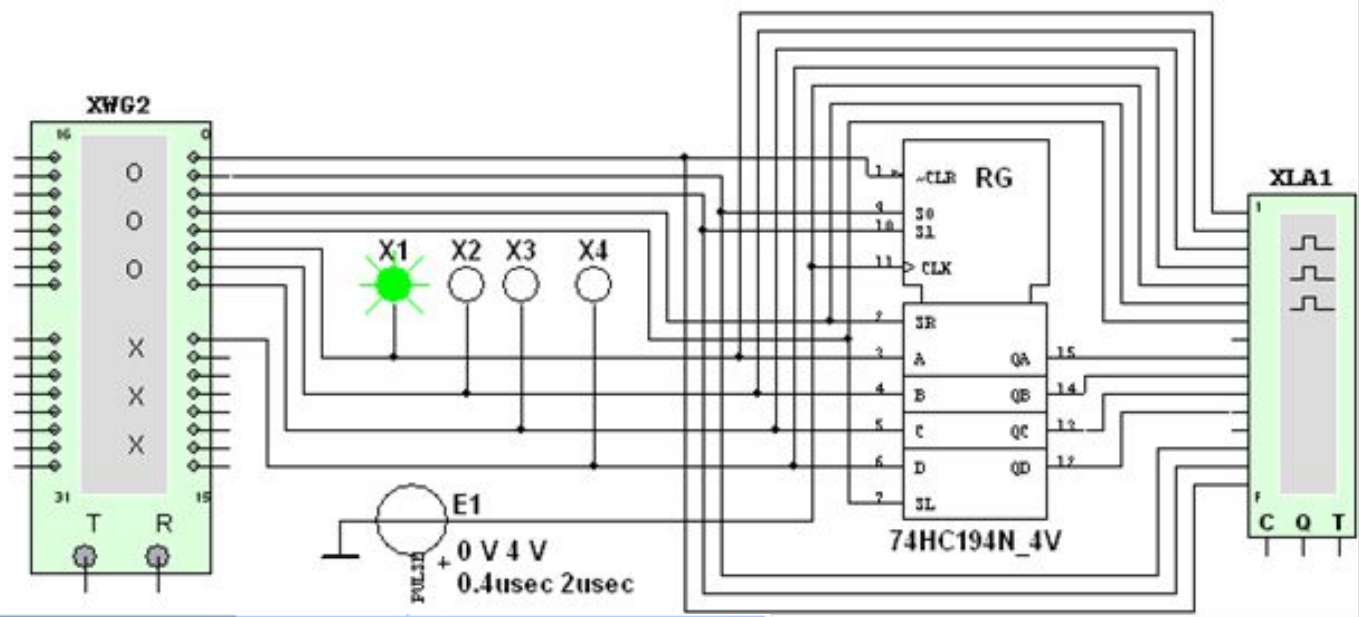


Рис. 33.6

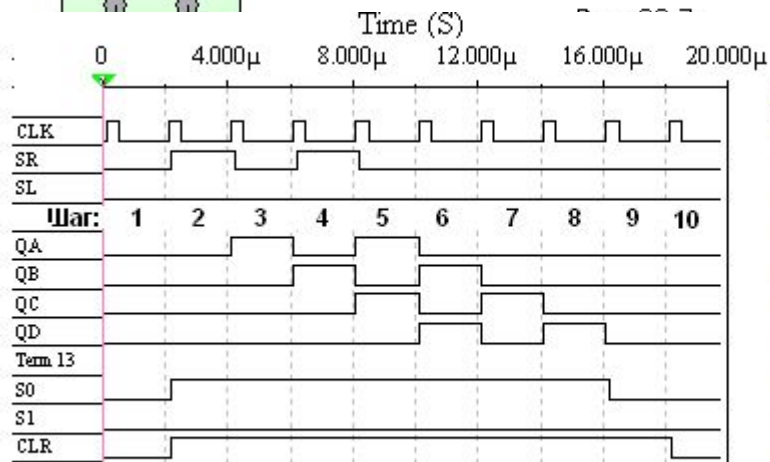
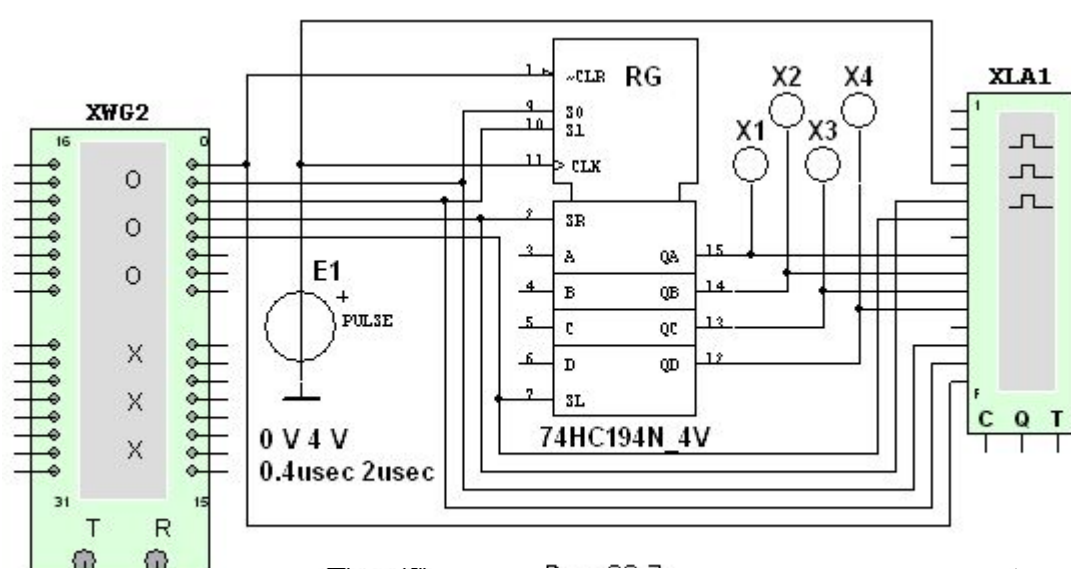


Рис. 33.8

00000	1
01011	2
00011	3
01011	4
00011	5
00011	6
00011	7
000	
000	
000	

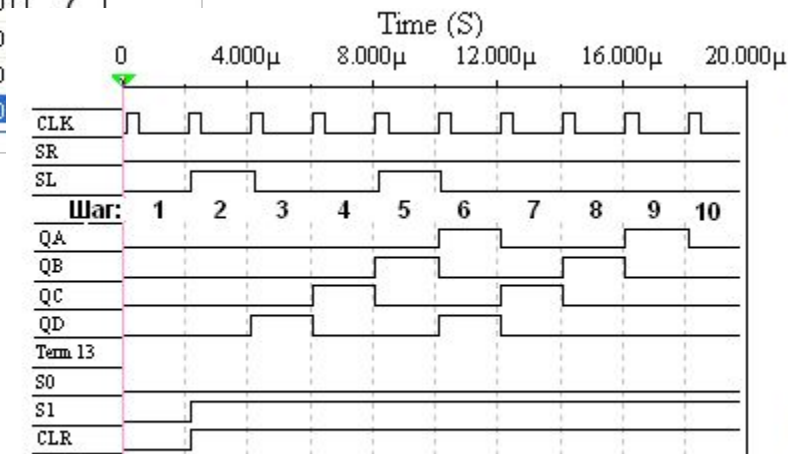


Рис. 33.9

000000	1
010101	2
000101	3
000101	4
010101	5
000101	6
000101	7
000101	8
000101	9
000101	10

Объединив в одной микросхеме несколько регистров и добавив на входе дешифратор DCW, а на выходе мультиплексор MS, получают *регистровую (сверхоперативную) память*. Входы D_i четырёх или восьми регистров, как правило 4-разрядных, подключают к общей входной шине данных DIN . Вход загрузки требуемого регистра выбирается дешифратором записи DCW на основании поступающего на его вход адреса записи WA , т. е. кода номера загружаемого регистра. *Запись* данных, присутствующих на шине DIN , происходит в момент поступления сигнала разрешения записи WE .

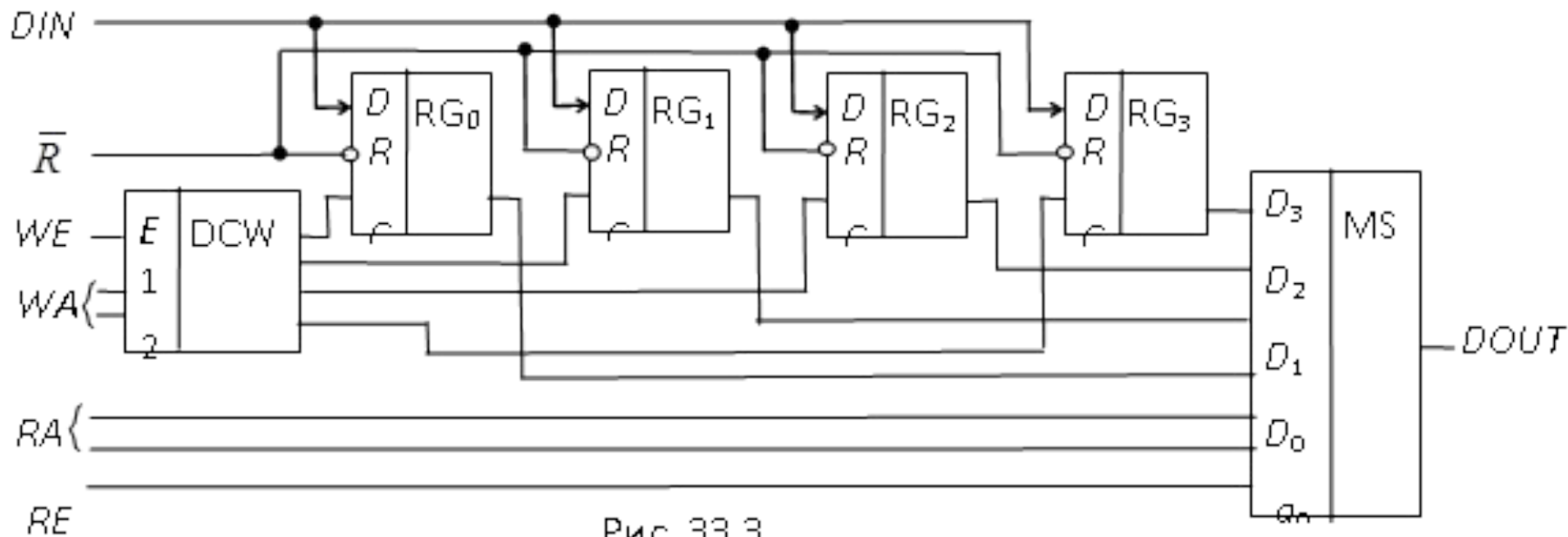


Рис. 33.3

Выходы регистров мультиплексором MS подключаются к выходной шине $DOUT$. Номер регистра, с которого происходит *чтение*, определяется посредством кода адреса чтения RA . Разрешение выдачи данных в шину $DOUT$ происходит по сигналу RE . Поскольку дешифрация адреса записи и адреса чтения производится двумя независимыми узлами, имеющими автономные адресные входы WA и RA , в регистровую память можно одновременно записывать бинарное число в один из регистров и считывать

Регистры процессора

- По назначению регистры процессора различаются на:
- аккумулятор — используется для хранения промежуточных результатов арифметических и логических операций и инструкций ввода-вывода;
- флаговые — хранят признаки результатов арифметических и логических операций;
- общего назначения — хранят операнды арифметических и логических выражений, индексы и адреса;
- индексные — хранят индексы исходных и целевых элементов массива;
- указательные — хранят указатели на специальные области памяти (указатель текущей операции, указатель базы, указатель стека);
- сегментные — хранят адреса и селекторы сегментов памяти;
- управляющие — хранят информацию, управляющую состоянием процессора, а также адреса системных таблиц.

Счётчик предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Состоит из запоминающих ячеек – триггеров обычно D - или JK -типа. Между собой ячейки счётчика соединяют таким образом, чтобы каждому числу импульсов соответствовали состояния 1 или 0 определенных ячеек. При этом совокупность единиц и нулей на выходах n ячеек, называемых разрядами счётчика, представляет собой n -разрядное двоичное число, которое однозначно определяет количество прошедших через входы импульсов.

Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счётчик, называют коэффициентом пересчёта $K_{сч}$.

Если с каждым входным импульсом "записанное" в счётчике число увеличивается, то такой счётчик является *суммирующим*, если же оно уменьшается, то – *вычитающим*. Счётчик, работающий как на сложение, так и на вычитание, называют *реверсивным*.

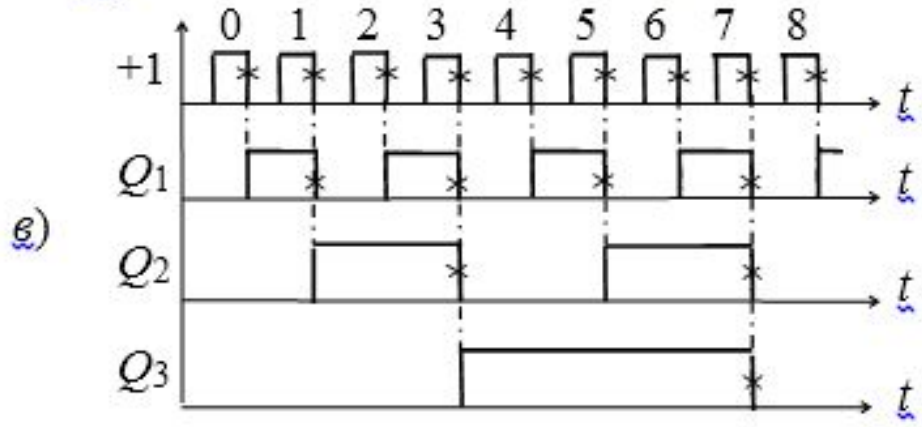
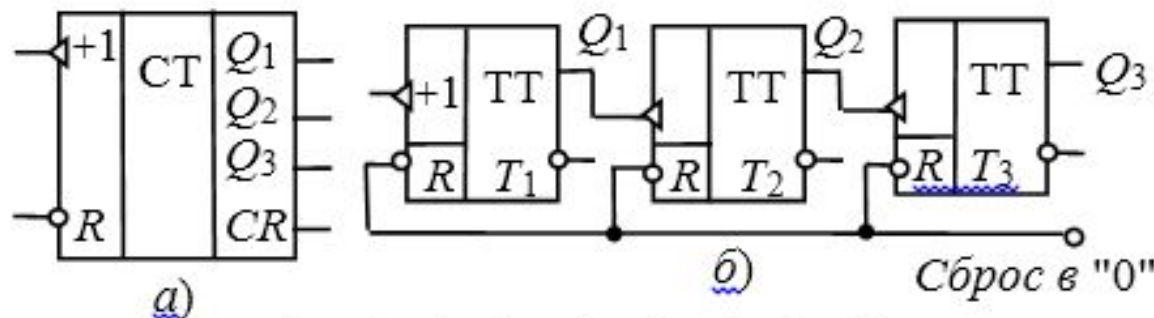
Счётчики входят в состав разнообразных цифровых устройств: электронных часов, делителей частоты, распределителей импульсов, вычислительных и управляющих устройств. Выпускаемые промышленностью интегральные счётчики представляют собой схемы средней интеграции (например, микросхемы серий К155, К176 и др.); среди них многоразрядные бинарные счётчики на сложение и реверсивные счётчики с установочными

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют *асинхронными*, а когда переключение происходит одновременно — *синхронными*. Максимальное число N , которое может быть записано в счётчике, равно $(2^n - 1)$, где n — число разрядов счётчика.

По способу кодирования последовательных состояний различают двоичные счетчики с коэффициентами пересчёта (обнуления) $K_{\text{сч}} = 2^n$, у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел, и недвоичные (двоично-кодированные) с, $K_{\text{сч}} < 2^n$ (десятичные с коэффициентом $K_{\text{сч}} = 10$, делители частоты с коэффициентом деления $K_{\text{сч}} \neq 2^n$).

СЧЁТЧИК С НЕПОСРЕДСТВЕННЫМИ СВЯЗЯМИ

R - вход общего сброса, Q1, Q2 и Q3 – выходы счетчика, CR – выход переноса единицы. Суммирующий вход счетчика обозначается +1, вычитающий -1. Это счетные входы. У асинхронных счётчиков эти входы помечены специальными символами: или, указывающими полярность перепада входного сигнала: 1/0 или 0/1 при которой происходит переключение триггеров счётчика происходит переключение триггеров счётчика



Т а б л и ц а 34.1

Номер входного импульса	Q3	Q2	Q1	CR
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	
5	1	0	1	
6	1	1	0	
7	1	1	1	
0	0	0	0	1

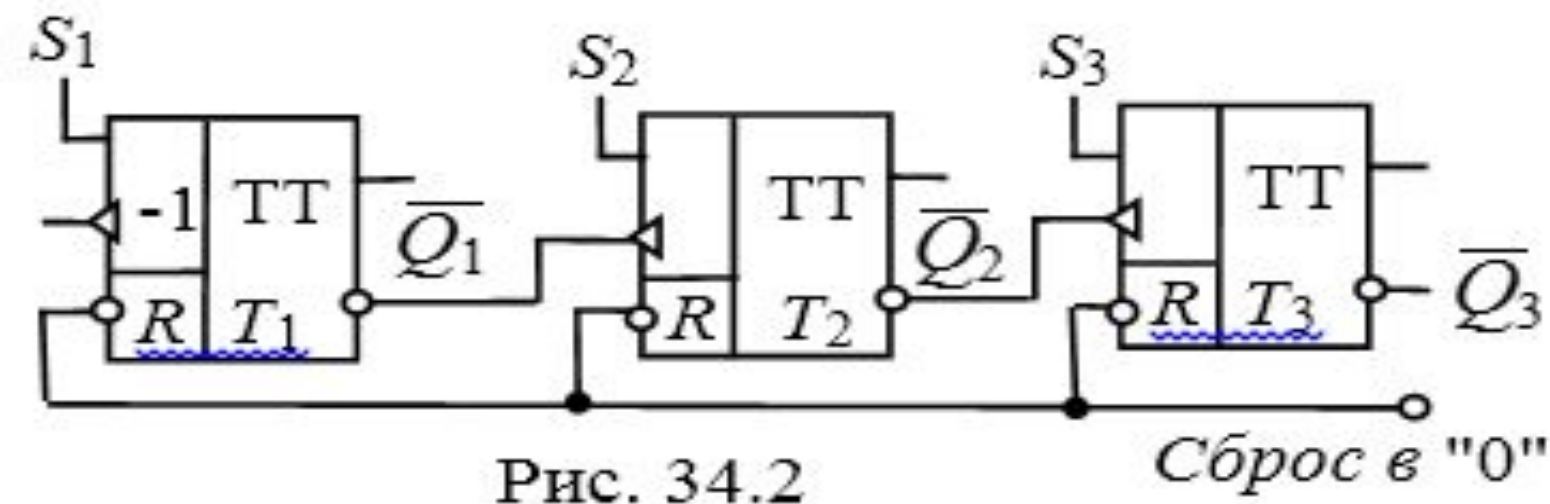
Для переключения триггеров в счётчиках используют следующие связи: непосредственную, тракт последовательного переноса, тракт параллельного переноса. Схема счётчика с непосредственными связями показана на рис. 34.1, б. Первый триггер счётчика T1 образует младший разряд. Он пересчитывает входные импульсы по модулю 2, а состояние его выхода воспринимается следующим T2 триггером как входные сигналы и снова пересчитываются на 2 и т. д.

Рассмотрим воздействие на счётчик, к примеру, шестого (обозначенного на диаграмме цифрой 5) импульса. По его спаду триггер T_1 устанавливается в 0, перепад 1/0 на его выходе Q_1 переключает в 1 триггер T_2 , а триггер T_3 остается в прежнем (единичном) состоянии, так как перепад 0/1 на выходе Q_2 не является для него переключающим.

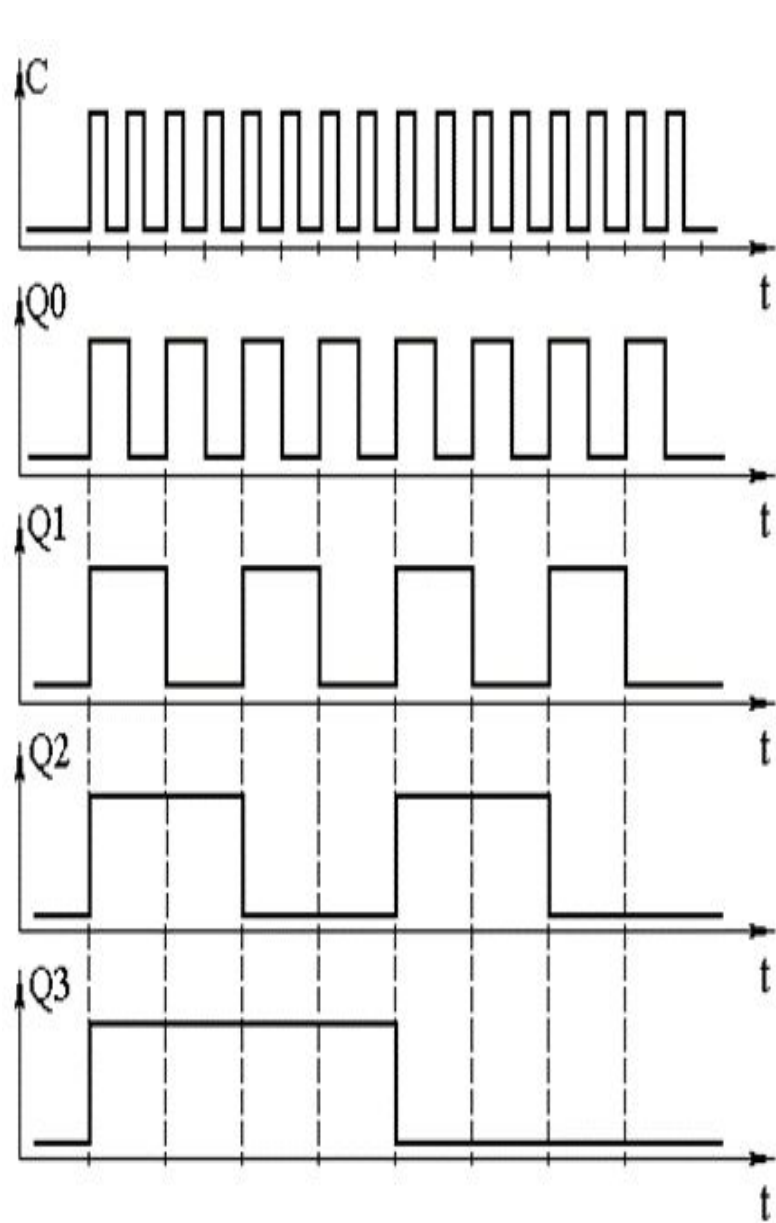
Из диаграммы видно, что частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе. В момент, предшествующий переключению очередного разряда, все предыдущие разряды счётчика находятся в состоянии 1. Восьмой импульс для трехразрядного счётчика (см. табл. 34.1) является импульсом переполнения: им все триггеры устанавливаются в 0 (счётчик "обнуляется").

Если в счётчике используются триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

Схема *вычитающего* счётчика приведена на рис. 34.2, в которой по входам S в разряды счётчика заносят двоичное число, из которого нужно вычесть число, представляемое количеством входных импульсов. Пусть, например, в счётчик (рис. 34.2) занесено число $5_{10} = 101_2$. Первым входным импульсом триггер T_1 переключится из 1 в 0 (по основному выходу); при этом на инверсном выходе $\overline{Q_1}$ возникает перепад 0/1, которым триггер T_2 переключиться не может; в счётчике останется число $100_2 = 4_{10}$.



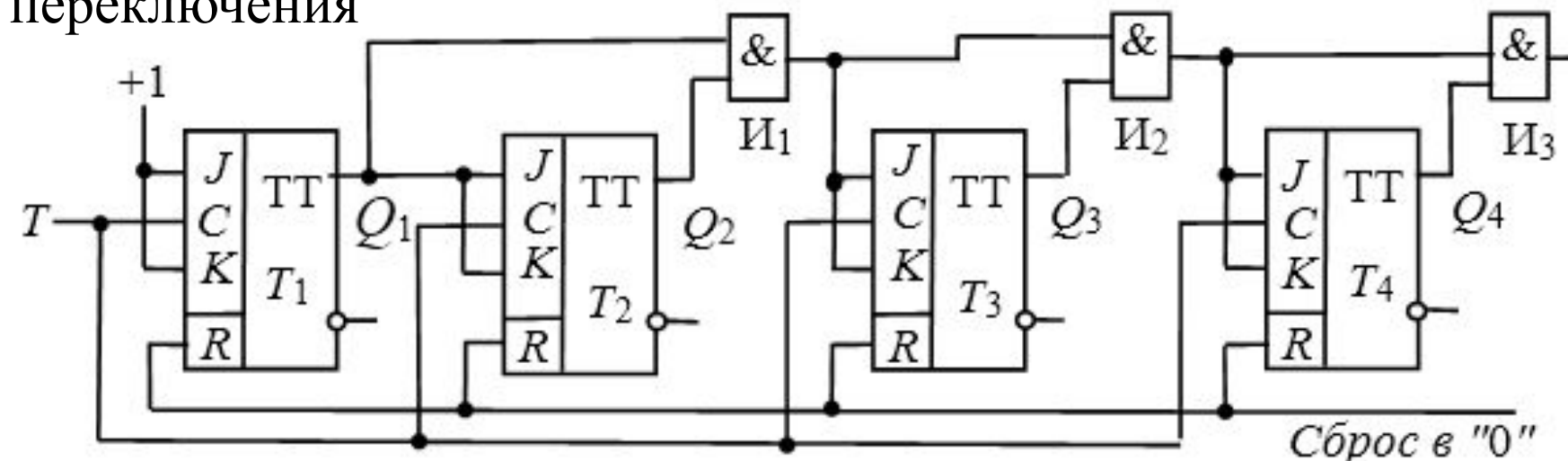
Второй входной импульс устанавливает триггер T_1 в состояние 1, на выходе $\overline{Q_1}$ появляется перепад 1/0, который переключает T_2 в состояние 1, а формирующийся при этом на $\overline{Q_2}$ перепад 1/0 переключает T_3 в состояние 0. В счётчике остается число $011_2 = 3_{10}$. Аналогично можно рассмотреть действие последующих входных импульсов.



В счётчике с непосредственной связью переключение триггеров, вызванное срезом входного сигнала, происходит один за другим, *последовательно*, и задержка распространения *n*-разрядного счётчика, оцениваемая задержкой самого худшего случая – сменой всех 1 на все 0, – в *n* раз больше задержки одного *T*-триггера. Если разрядов много, то большая задержка может оказаться серьёзным недостатком такого счётчика. Из-за невозможности выполнить смену состояния всего счётчика в единый момент времени, счётчики с непосредственной связью бывают только *асинхронными*, т. е. сигналом, переключающим их, является сам входной сигнал.

СУММИРУЮЩИЙ СИНХРОННЫЙ СЧЁТЧИК

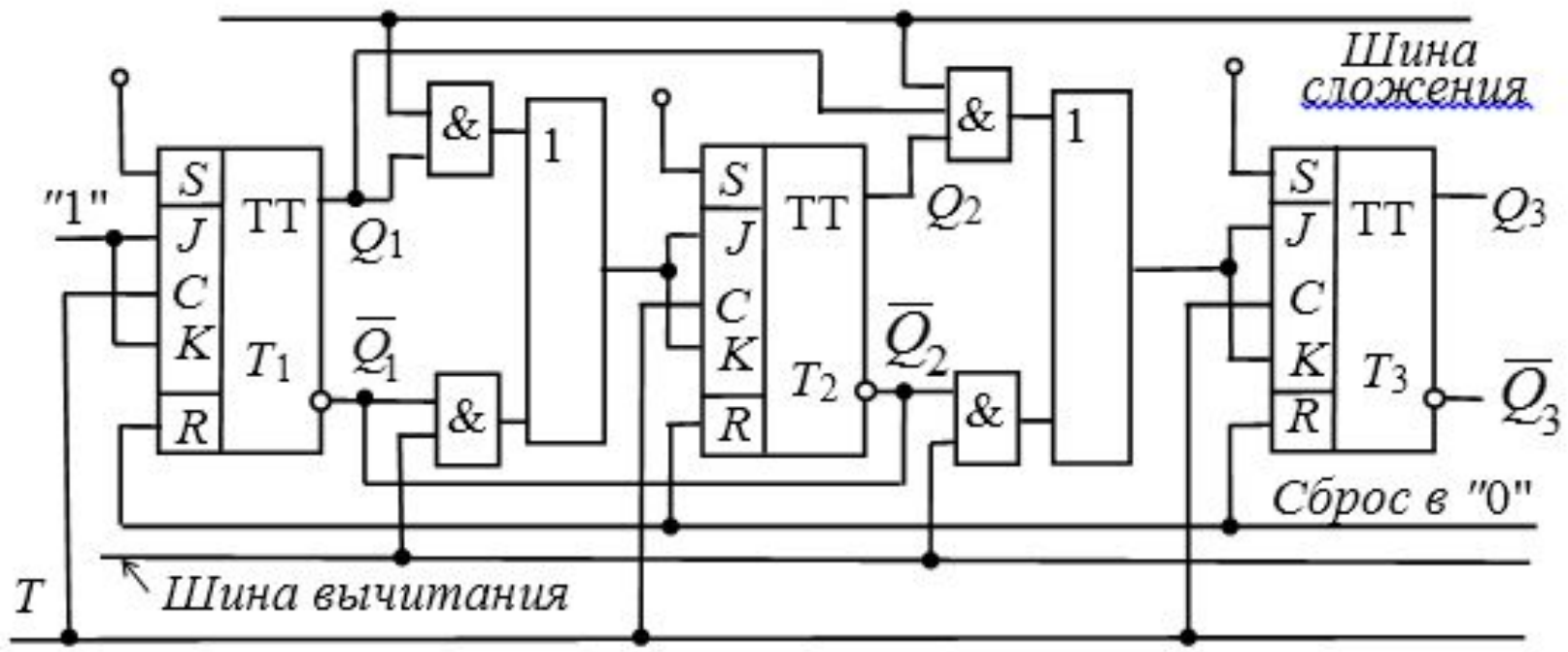
В *синхронном* счётчике переключающиеся разряды переходят в новое состояние одновременно (синхронно). Для того чтобы на входы всех разрядов каждый счётный импульс поступал одновременно, а переключение разрядов происходило в нужной последовательности, в схему добавляют логические цепи, которые обеспечивают переключение одних разрядов, а другие удерживают от переключения



В схеме четырехразрядного синхронного счётчика на JK -триггерах на тактовые входы C всех триггеров счётные импульсы поступают одновременно с входа T . Информационные входы J и K каждого триггера объединены. Триггер T_1 переключается каждым счётным импульсом, так как на его входы J и K постоянно подаётся 1. Остальные триггеры переключаются счётными импульсами при следующих условиях
 T_2 - при $Q_1 = 1$; T_3 - при $Q_1 = 1$ и $Q_2 = 1$; T_4 - при $Q_1 = 1, Q_2 = 1$ и $Q_3 = 1$.

Реверсивный счётчик, фрагмент которого изображен на рис. 34.4, работает как на сложение, так и на вычитание. Для перехода от сложения к вычитанию и обратно изменяют подключение входа последующего триггера к выходам предыдущего.

На объединённые входы J и K каждого триггера подаётся через дизъюнкторы конъюнкция сигналов с выходов предыдущих триггеров: основные выходы предыдущих триггеров присоединяются через конъюнкторы верхнего ряда (при сложении), а инверсные выходы – через конъюнкторы нижнего ряда (при вычитании). При сложении подают 1 на шину сложения, которой вводятся в действие конъюнкторы верхнего ряда; при этом на шине вычитания присутствует 0, вследствие чего конъюнкторы нижнего ряда выключены. Вычитание осуществляется при подаче 1 на шину вычитания и 0 на шину сложения. Счетные импульсы поступают на вход T .



Наибольшее распространение среди не двоичных счётчиков, у которых коэффициент пересчёта $K_{сч} < 2^n$, имеют десятичные счётчики, у которых $K_{сч} = 10$. При проектировании не двоичного счётчика вначале определяют количество его разрядов n так, чтобы 2^n было бóльшим ближайшим к $K_{сч}$ числом. Затем тем или иным способом (например, принудительной установкой некоторых разрядов счётчика в 1) исключают избыточные состояния счётчика, число которых равно $2^n - K_{сч}$.

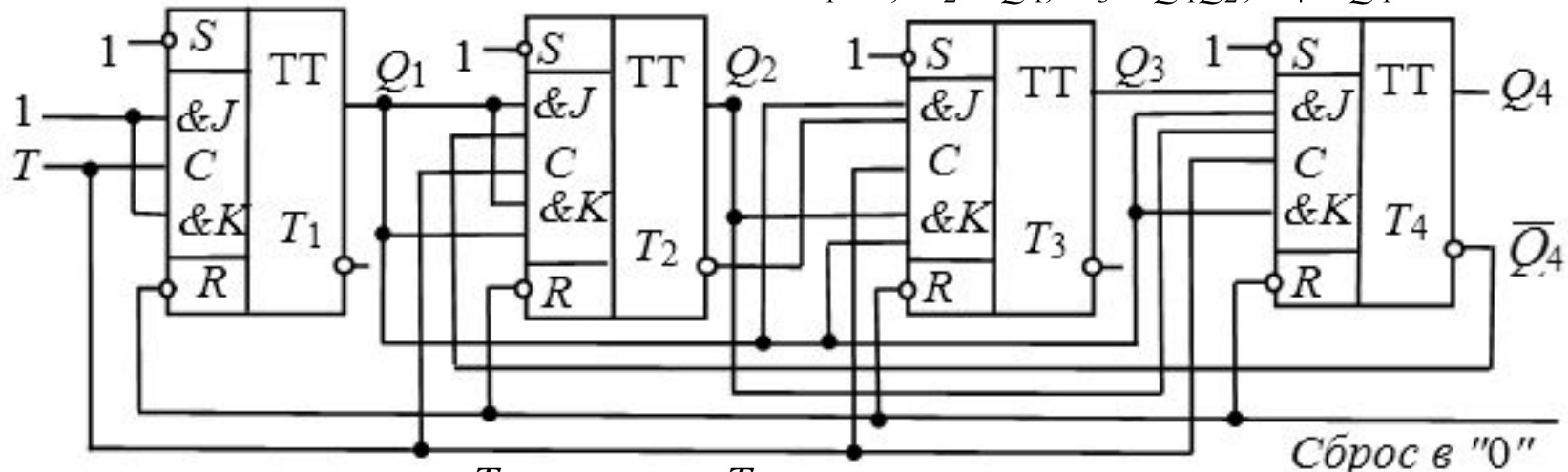
Так, для получения $K_{сч} = 10$ одноразрядный счётчик должен содержать четыре триггера, а избыточные состояния $2^n - K_{сч} = 16 - 10 = 6$ исключают. При проектировании десятичного счётчика чаще используют двоично-десятичное кодирование чисел. В этой системе, например, число 375 записывается как 0011 0111 0101, где сохранены позиции десятичных разрядов: $0011_2 = 3_{10}$, $0111_2 = 7_{10}$, $0101_2 = 5_{10}$.

В связи с этим десятичный счётчик должен состоять из последовательно соединённых декад, информация о каждом из девяти импульсов накапливается в декаде, а десятым импульсом она обнуляется, и единица переносится в следующую декаду. Каждая декада работает в натуральном двоичном коде с весами двоичных разрядов, начиная со старшего, соответственно равными 8, 4, 2, 1, т. е. декада работает в коде 8-4-2-1. Если к выводам декад подключить индикаторы, то они будут показывать записанные числа в декадах в

функциональная схема десятичного счётчика с параллельным переносом на JK -триггерах с встроенными логическими элементами, реализующая переключательные функции:

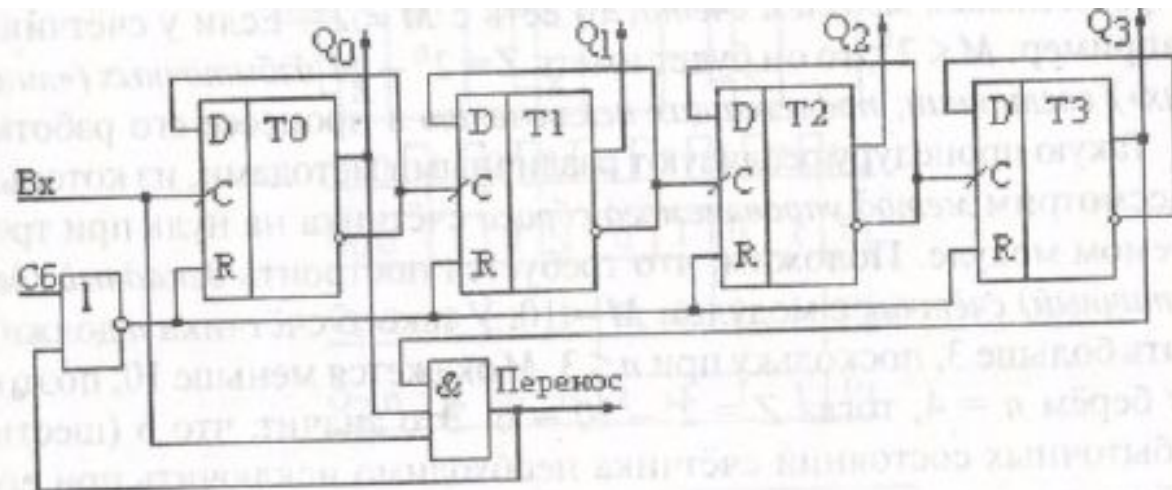
$$J_1 = 1; J_2 = Q_1 \bar{Q}_4; J_3 = Q_1 \bar{Q}_2; J_4 = Q_1 Q_2 Q_3;$$

$$K_1 = 1; K_2 = Q_1; K_3 = Q_1 Q_2; K_4 = Q_1.$$



Пусть по тактовому входу T на триггер T_1 поступило семь импульсов и показание счётчика 0111. При этом на входах K триггеров T_1 , T_2 и T_3 будут логические единицы. Восьмой импульс вызовет переключение всех триггеров счётчика, т. е. в нём будет записан код 1000. Девятый импульс вызовет переключение только первого триггера, так как остальные триггеры заблокированы по входу J уровнями логического нуля с триггеров T_1 , T_2 и T_3 соответственно. Показание счётчика будет 1001. Десятый входной импульс вызовет переключение триггеров T_1 и T_4 , так как триггеры T_2 и T_3 заблокированы по входу J уровнями 0 с выходов соответствующих триггеров. Счётчик зафиксирует двоичный код 0000, т. е. установится в исходное состояние

Уменьшение числа устойчивых состояний в счётчике прямого счёта достигнуто за счёт введения обратных связей, посредством которых сигнал с какого-либо старшего разряда поступает в младшие, обеспечивая при этом изменение естественной последовательности двоичных чисел при подсчёте входных импульсов. Этим способом можно строить счётчики с заданным коэффициентом



T	0	1	2	3	4	5	6	7	8	9	10	11	t
Q_n	0	1	0	1	0	1	0	1	0	1	0	1	t
\bar{Q}_0	1	0	1	0	1	0	1	0	1	0	0	0	t
Q_1	0	0	1	1	0	0	1	1	0	0	0	0	t
\bar{Q}_1	1	1	0	0	1	1	0	0	1	1	0	1	t
Q_2	0	0	0	0	1	1	1	1	0	0	0	0	t
\bar{Q}_2	1	1	1	1	0	0	0	0	1	1	0	1	t
Q_3	0	0	0	0	0	0	0	0	1	1	0	0	t
\bar{Q}_3	1	1	1	1	1	1	1	1	0	0	0	1	t

Рис. 9.26. Логическая схема и временные диаграммы декадного счётчика

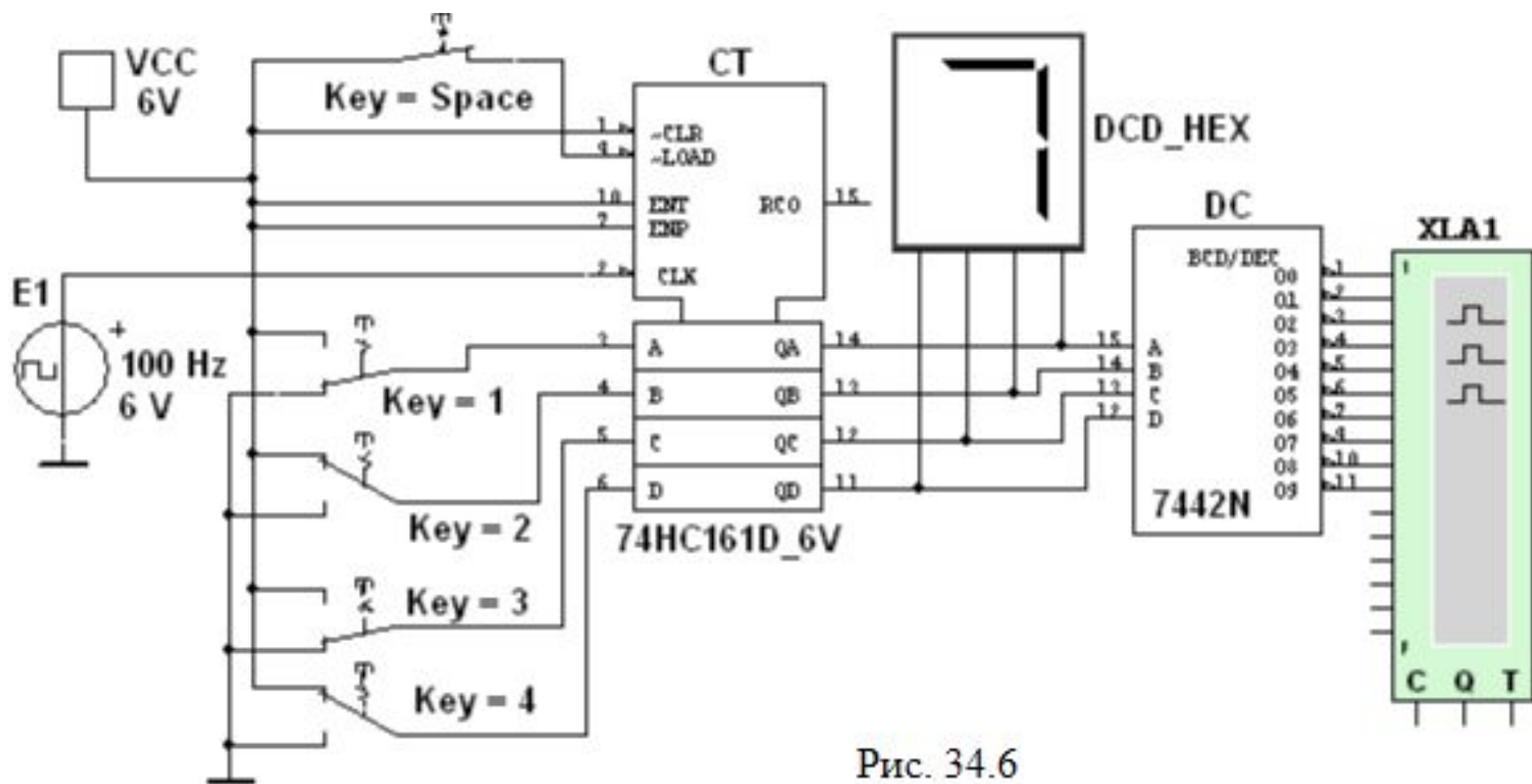
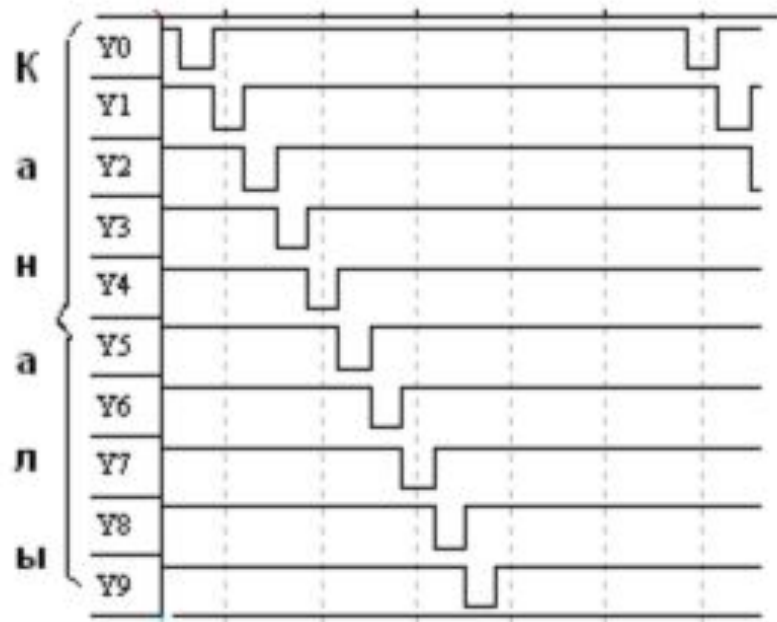
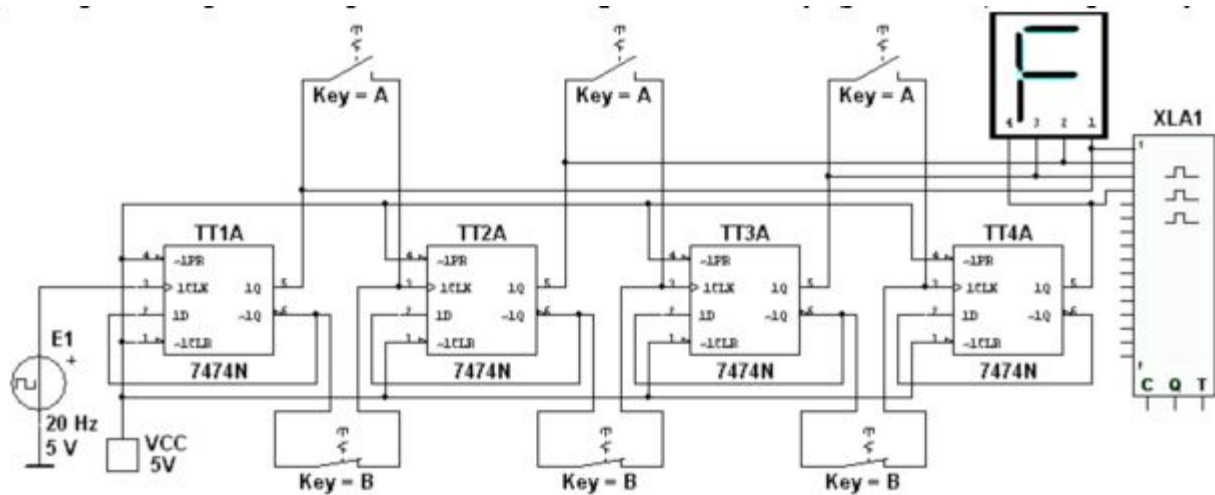
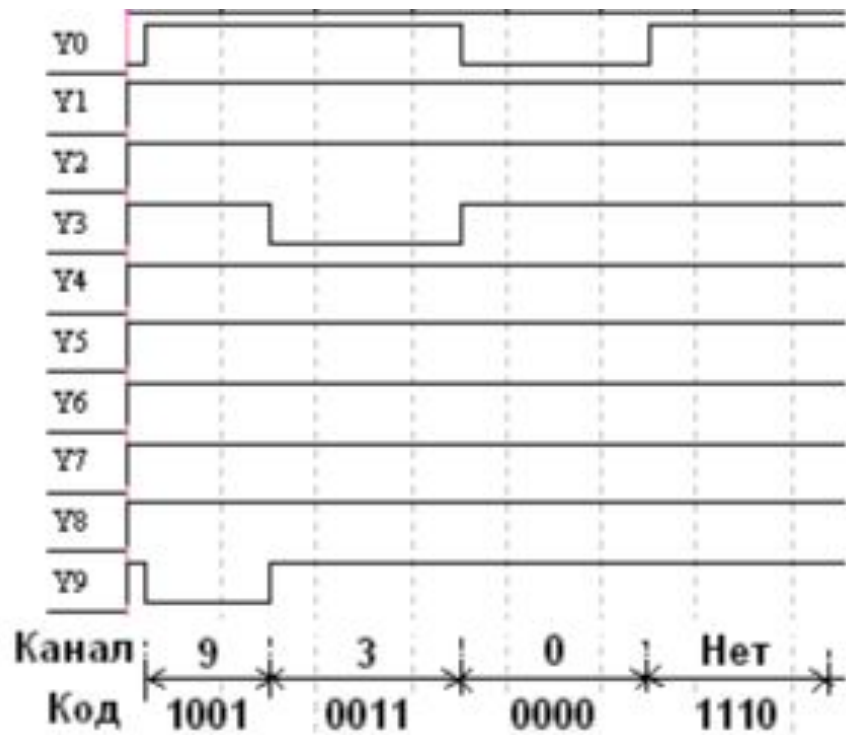
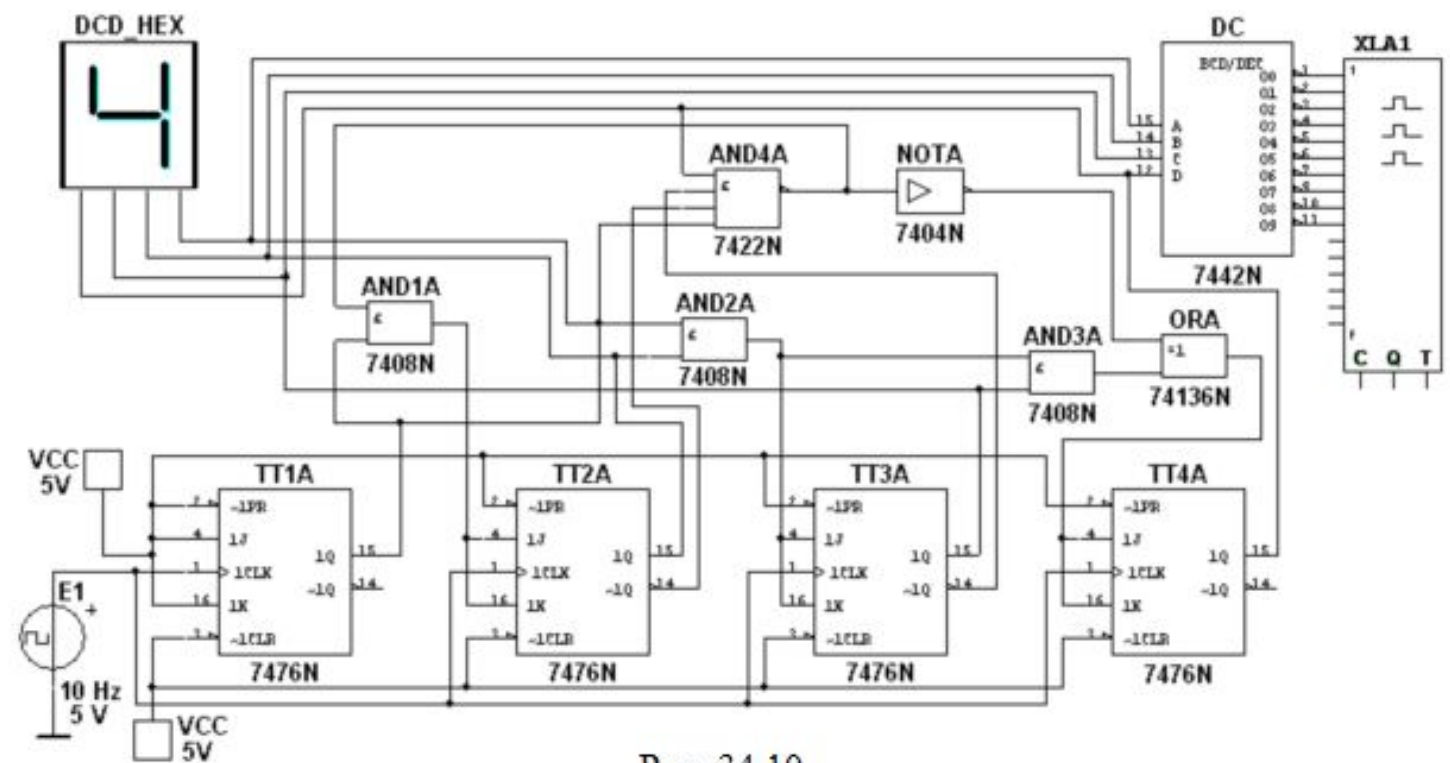
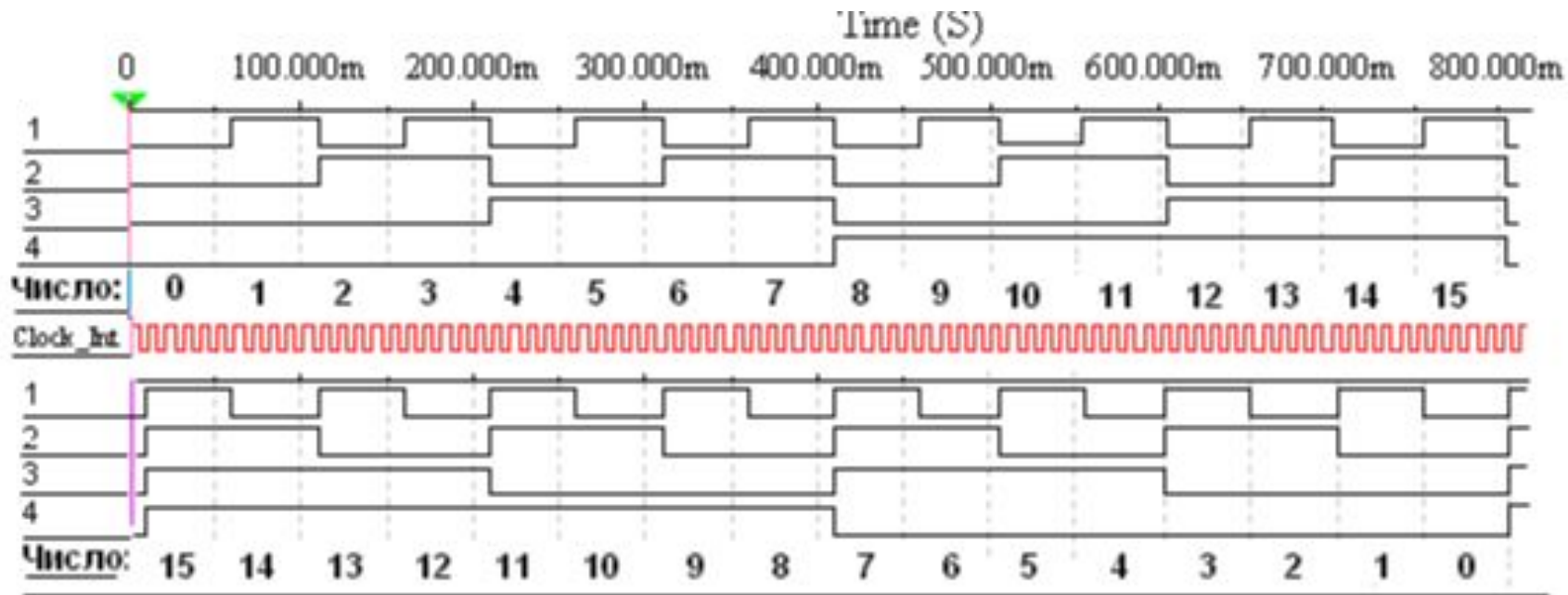


Рис. 34.6



а)





Запоминающим устройством (ЗУ) наз. отдельное устройство вычислительного комплекса или процессора, реализующее функцию памяти. Служит для записи, хранения и выдачи цифровой информации в процессе её обработки.

По принципу действия различают *полупроводниковые, магнитные и оптические ЗУ.*

По функциональному назначению ЗУ разделяют на *оперативные ЗУ (ОЗУ или RAM), предназначенные для произвольной выборки и обновления информации в высоком темпе работы процессора цифровой системы.*

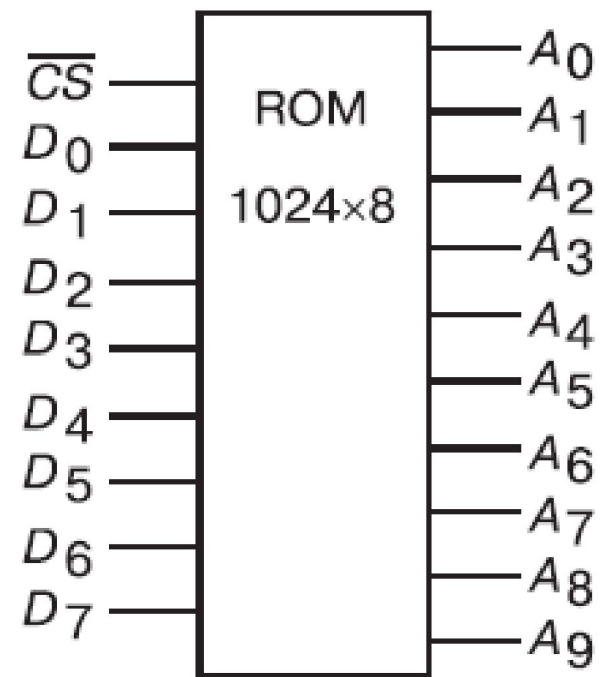
По способу хранения информации различают *статические ОЗУ (СОЗУ) с неизменяемым состоянием элементов памяти при хранении информации и динамические ОЗУ (ДОЗУ), в которых элементы памяти (полупроводниковые ёмкостные элементы) требуют периодического обновления для восстановления необходимого уровня сигналов.*

В отдельную группу выделяют *регистровую* (сверхоперативную ОЗУ с 816 регистрами) память, встраиваемую в микропроцессор; *постоянные ЗУ* (ПЗУ или ROM), предназначенные только для хранения и чтения хранящейся в них информации. К ПЗУ относят полупроводниковые ЗУ, магнитные диски, накопители на магнитных лентах. По способу занесения информации (программирования) полупроводниковых ПЗУ различают *масочные* ПЗУ, программируемые изготовителем в процессе производства, *программируемые* (ППЗУ), в которых пользователь может посредством программатора один раз, как в микросхеме K155PE3, разрушить перемычки, исходя из собственной программы или кода, и *репрограммируемые ЗУ* (РПЗУ), допускающие многократное перепрограммирование, как в микросхеме K573PPФ (стирание осуществляется ультрафиолетовым облучением кристалла) или KP557PP (стирание — под воздействием электрического сигнала). Сюда же относят *Flash-память* (например, микросхемы 28F0165S и 28F032SA ёмкостью 432 Мбит при временах доступа 70150 нс фирмы Intel), обладающую свойством быстрого стирания массивов данных со всего кристалла одним сигналом.

По способу доступа к информации устройства памяти разделяют на адресные ЗУ, ЗУ с последовательным доступом и ассоциативные. В *адресных* ЗУ доступ к ячейке памяти обеспечивается с помощью адресного кода (т. е. доступ по коду номера ячейки), в *ЗУ с последовательным доступом* осуществляется последовательный просмотр всех ячеек памяти, располагающихся в последовательном порядке (образуя очередь), до тех пор, пока не произойдёт обращение к заданной ячейке, а в *ассоциативных* ЗУ поиск и извлечение информации производятся по некоторому признаку самой информации, содержащемуся в хранимом слове, т. е. по содержанию (например, по выделенному тэгу (полю) слов).

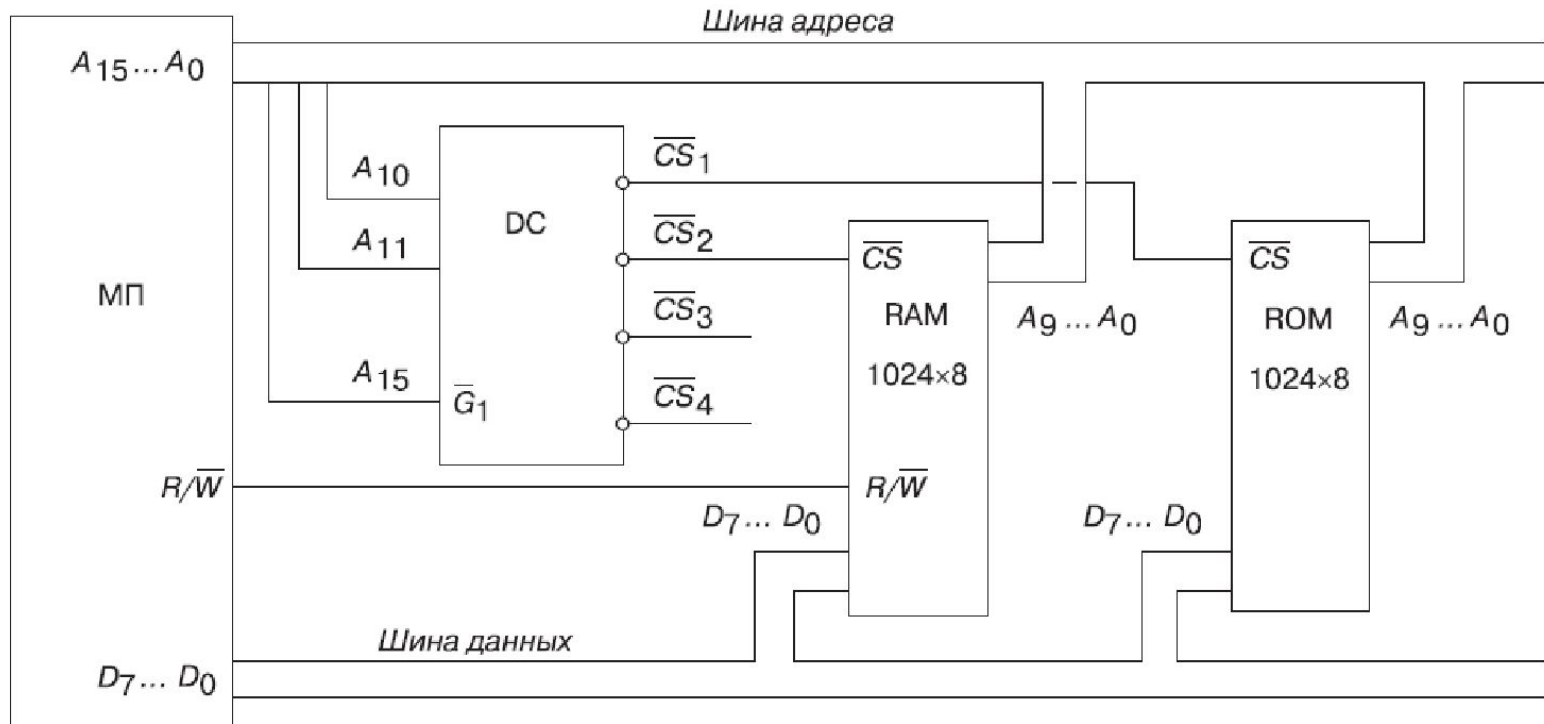
Основная область применения ассоциативного доступа к данным — сверхоперативная *кэш-память*, построенная на основе быстродействующих ЗУ и предназначенная для ускорения доступа к данным и часто используемая подпрограммам с целью повышения скорости выполнения основной программы. Основными показателями ЗУ являются объём памяти (в кило, мега или гигабайтах), *быстродействие* (производительность) — время цикла записи или считывания информации, *временные соотношения* между различными сигналами и *свойство энергонезависимости*, т. е. способность ЗУ сохранять/не сохранять данные при аварийном отключении напряжения питания.

Структурно функциональная организация ОЗУ и ПЗУ зависит от способа доступа (одномерной или двумерной адресации) к нужному элементу или нужной ячейке памяти. Каждое ЗУ характеризуется набором адресов и содержимым ячеек. Число адресов должно быть равно числу ячеек памяти. Обратившись к ЗУ по тому или иному адресу, определяют содержимое соответствующей ячейки, которая может содержать либо единственный бит (0 или 1), либо несколько битов информации.



Десять линий адреса A₉A₀ обеспечивают адресацию $2_{10} = 1024 = 1$ кбит ячеек памяти, а восемь линий D₇D₀ данных показывают, что в каждой ячейке памяти хранятся 8 бит информации. Для этой микросхемы организацию памяти записывают как 1024×8. Байт считывается с микросхемы, когда сигнал считывания с кристалла $\bar{CS} = 0$ (черта над буквами CS означает инверсную логику, т. е. сигнал действует, когда он имеет значение логического нуля).

На рис. 6.30 изображена схема памяти простейшего микропроцессорного устройства. Разводка контактов ОЗУ (RAM) аналогична ПЗУ, но в ней добавлен контакт считывания/записи R/\bar{W} для *шины управления* микропроцессора (МП). Сигнал R/\bar{W} управляет направлением передачи байтов: при $R/\bar{W} = 1$ ЗУ работает в режиме записи в ячейки памяти слов данных $D7D0$, при $R/\bar{W} = 0$ ЗУ работает в режиме чтения содержимого ячеек.



Микросхемы ОЗУ и ПЗУ подключаются к *шине данных* и необходимому числу младших линий *шины адреса*. Сигналы выборки δ_i микросхемы формирует дешифратор DC, обеспечивая одномерный выбор только одной микросхемы. В данный момент времени только на одном из выходов δ_i (из четырёх) дешифратора DC действует сигнал логического нуля при условии, что на его входе сигнал разрешения $G_1 = 0$.

При $G_1 = 1$ ни на одном из выходов DC не будет сигнала логического нуля. Итак, сигнал на линии A_{15} активизирует дешифратор, а сигналы на линиях A_{10} и A_{11} дешифруются и определяют выбор микросхемы.

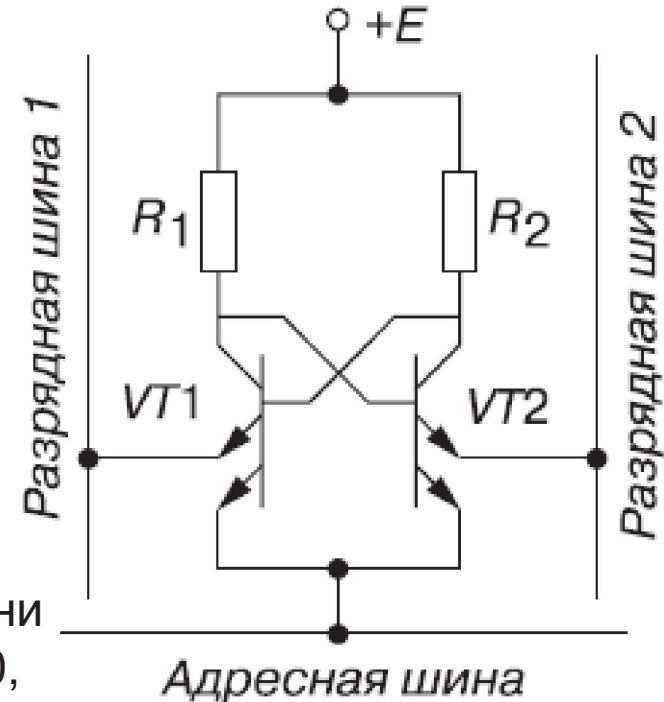
Если в схеме памяти больше четырёх микросхем, то вместо дешифратора 2×4 по требуется дешифратор 3×8 , а на его входы подключают неиспользованные старшие линии шины адреса.

Очевидно, что для хранения бита информации нужен *элемент памяти*, а для хранения бинарного слова — *ячейка* памяти. В качестве элементов, хранящих информацию в ОЗУ, используют *триггеры*, как в микросхеме К155РУ2 (*статическое* наиболее распространённое ОЗУ, имеющее, как правило, одно питающее напряжение), или *ёмкость транзистора*, как в микросхеме КР565РУ1 (*динамическое* ОЗУ, в которой информация хранится в форме наличия или отсутствия заряда). Интегральные схемы ОЗУ содержат на одном кристалле матрицу запоминающих элементов, дешифраторы адреса, формирователи сигналов, усилители считывания и другие схемы управления, необходимые для функционирования ОЗУ.

Элемент памяти на биполярных транзисторах с одномерной адресацией (рис. 6.31) представляет собой триггер, выполненный на двухэмиттерных транзисторах. Нижние эмиттеры транзисторов $VT1$ и $VT2$ подключены к адресной шине, верхние эмиттеры — к разрядным шинам 1 и 2.

В режиме *записи* на адресную шину с выхода дешифратора поступает высокий уровень сигнала, поэтому нижние эмиттеры не оказывают влияния на работу транзисторов. На разрядные шины 1 и 2 поступают с устройства управления МП разные уровни напряжения. Будем считать, что в элементе записан 0, если транзистор $VT1$ открыт, а транзистор $VT2$ закрыт. Если нужно записать в элемент единицу (1), то высокий уровень напряжения подаётся через шину 1 на верхний эмиттер транзистора $VT1$, а через шину 2 на верхний эмиттер транзистора $VT2$ — низкий уровень. Этот случай соответствует закрытому состоянию транзистора $VT1$ и открытому состоянию транзистора $VT2$.

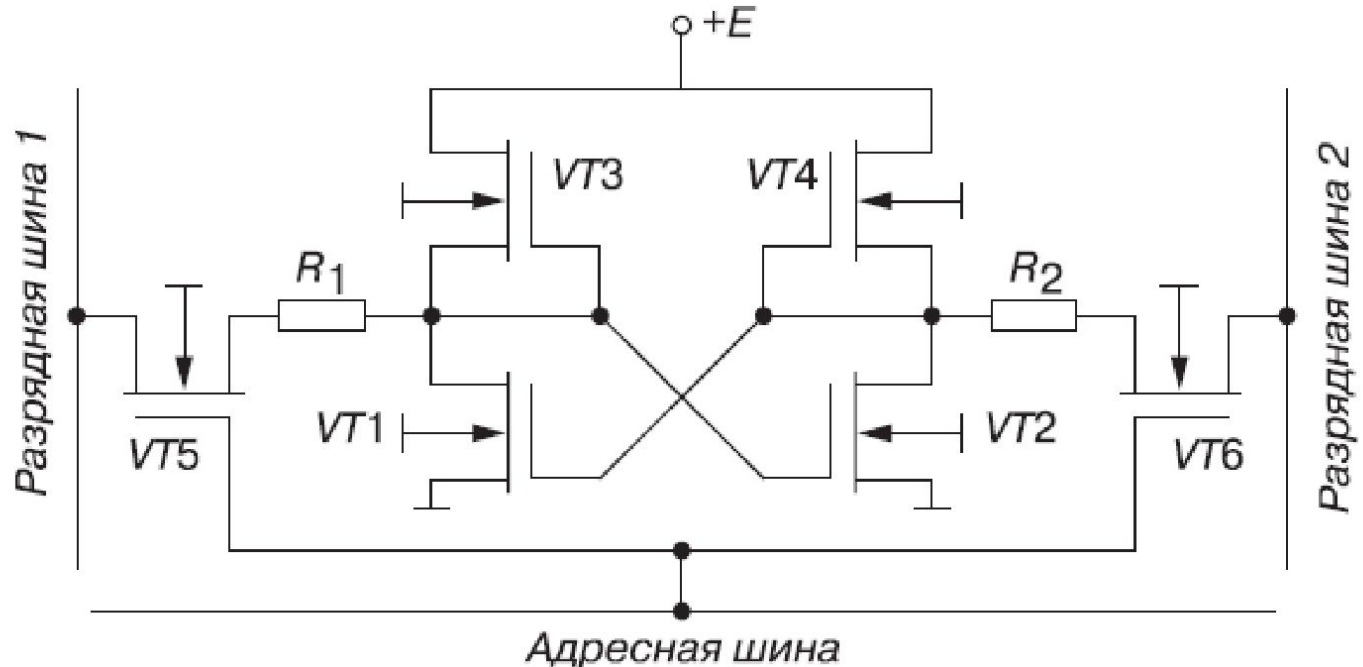
В режиме *считывания* протекающий через верхний эмиттер транзистора $VT2$ ток в шине 2 создаёт на сопротивлении усилителя считывания напряжение, соотв. логической единице. Этот сигнал (1) передаётся на выход 3У. Если транзистор $VT1$ открыт, а транзистор $VT2$ закрыт, то на выход 3У подается сигнал 0.



В режиме *хранения* на адресную шину поступает низкий уровень напряжения, поэтому можно считать, что нижние эмиттеры обоих транзисторов подключены к общей точке схемы. В этом режиме сигналы на верхних эмиттерах не оказывают влияние на состояние транзисторов, т. е. состояние триггера остаётся неизменным.

Запоминающий элемент (триггер) с двухкоординатной выборкой выполняют на двух трёхэмиттерных транзисторах. Третьи эмиттеры каждого транзистора соединяют с выводами *второй* адресной шины.

Пример простейшей схемы элемента памяти на МОП-транзисторах с однокоординатной выборкой приведен на рис. 6.32. Триггер образован транзисторами $VT1$ – $VT4$ (транзисторы $VT3$ и $VT4$ с нулевыми напряжениями на затворах по отношению к своим истокам служат нагрузками в триггере). Резисторы R_1 и R_2 служат для ограничения входных токов в момент отпираания ключевых транзисторов $VT1$



Управление триггером для записи и считывания осуществляется переключением транзисторов $VT5$ и $VT6$. В исходном состоянии напряжения на обеих разрядных шинах 1 и 2 данных, как и на адресной шине, равны нулю. При этом транзисторы $VT5$ и $VT6$ закрыты, так как разность потенциалов между затворами и истоками по абсолютной величине меньше порогового напряжения отпираания. Отметим, что МОП транзисторы со встроенным каналом (n -типа в данном случае) в открытом состоянии способны пропускать сигналы (ток) в обоих направлениях.

В режиме *записи* на адресную шину (соответственно на затворы транзисторов $VT5$ и $VT6$) с выхода дешифратора поступает высокий уровень напряжения (логическая 1), подключая триггеры к разрядным шинам 1 и 2, на которые поступают разные уровни напряжения: на шину 1 подаётся логическая 1, а на шину 2 — логический 0. При этом транзистор $VT5$ открывается, положительный потенциал поступает на затвор транзистора $VT2$. Транзистор $VT2$ переходит в открытое состояние, а транзистор $VT1$ — в закрытое, независимо от его предшествующего состояния. Состоянию триггера с записанной единицей соответствует высокое напряжение на стоке транзистора $VT1$ и близкое к нулю напряжение на стоке транзистора $VT2$. В режиме *считывания* на адресную шину с дешифратора поступает логическая единица, а шины 1 и 2 подключаются к входам усилителей считывания, поэтому единичное состояние триггера передаётся на выход ЗУ.

В режиме *хранения* на адресную шину поступает низкий уровень напряжения, закрытые транзисторы $VT5$ и $VT6$ "изолируют" триггер от разрядных шин, и его состояние остаётся неизменным.

Элемент памяти ПЗУ должен хранить заранее записанную изготовителем информацию. В этом случае говорят, что программа жёстко "зашита" в ЗУ. Из ПЗУ можно только считывать хранимые там слова, но нельзя вносить новые, стирать и заменять записанные слова другими. Полупроводниковые ПЗУ могут быть *диодными* и *транзисторными*.

На рис. 6.33 изображено ПЗУ, состоящее из диодной матрицы и дешифратора адреса DC. Горизонтальные линии матрицы — адресные, вертикальные — разрядные, с которых можно снимать восьмиразрядные двоичные числа, записанные в ПЗУ.



Если, например, с выхода дешифратора DC возбуждается верхняя адресная линия, то сигналы 1 проходят с неё через диоды следующих линий разрядной шины: 8, 6, 4, 2 и 1, т. е. считывается двоичное число 10101011. Аналогично, при возбуждении других линий адресной шины на выходе ПЗУ будут считываться три других двоичных числа. Заметим, что в данном примере диодная матрица является совокупностью элементов ИЛИ: входами элементов являются линии адресной шины, а выходом — одна из линий разрядной шины.

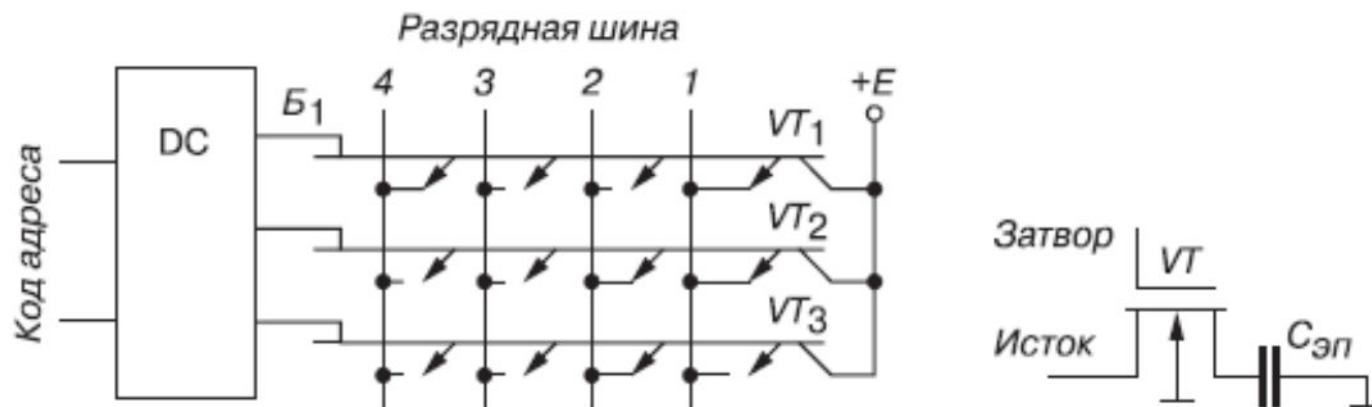
Ячейки памяти статических ПЗУ выполняются также на *многоэмиттерных* транзисторах (рис. 6.34, а). При возбуждении одной из линий адресной шины отпирается транзистор V_{Ti} , база B_i которого присоединена к этой линии. Благодаря этому возбуждаются те линии разрядной шины, к которым присоединены эмиттеры этого транзистора.

В ПЗУ (рис. 6.34, а) записаны три 4разрядных числа (1001, 0011 и 1010), которые образуются на его выходе при возбуждении соответствующей линии адресной шины, вследствие того, что в соответствии с кодами программы расплавлены импульсами тока перемычки в отдельных эмиттерах транзисторов. Это обеспечивает появление на выходе ПЗУ нулей в линиях разрядной шины, где разрушены эмиттеры.

Основой для построения ёмкостного элемента динамической памяти служит МОП транзистор, в котором сток образует одну обкладку конденсатора, а подложка — другую. Диэлектриком между обкладками служит тонкий слой оксида кремния SiO_2 . Электрическая схема элемента памяти приведена на рис. 6.34, б. Логическому нулю соответствует нулевое значение напряжения на конденсаторе $C_{эл}$, логической единице — высокий уровень напряжения. Структура истокзатворсток выполняет функцию транзисторного ключа. Затвор транзистора V_T подключают к линии адресной шины, исток — к линии разрядной шины. Параллельно представленной на рис. 6.34, б структуре подключают дополнительные элементы для нормального функционирования элемента.

При отсутствии напряжения на затворе транзистор VT заперт, конденсатор $C_{\text{эл}}$ элемента памяти отключен от разрядной шины и находится в режиме хранения информации. Чтобы уменьшить изменение напряжения на элементе памяти при считывании информации используют высокочувствительные дифференциальные усилители с положительной обратной связью — усилители регенерации напряжения до уровня $+E$ на конденсаторе $C_{\text{эл}}$.

В связи с небольшим значением ёмкости $C_{\text{эл}}$ элемента памяти заряд в ней не может храниться более 115 мс. Поэтому с помощью устройства управления микропроцессора обеспечен в ЗУ режим принудительной регенерации с периодом повторения цикла, равным обычно 12 мс, посредством специального кварцевого генератора импульсов регенерации, а также синхронизированного тактовыми импульсами счётчика и мультиплексора



№ функ- ции	Название функции	Обозначение
0	Константа нуль	0
1	Конъюнкция, логическое умножение, произведение, совпадение, И	$x_1x_0, x_1 \wedge x_0, x_1 \& x_0$
2	Запрет по x_0 , ЗАПРЕТ	$\overline{x_1x_0}$
3	Переменная x_1	x_1
4	Запрет по x_1 , ЗАПРЕТ	$\overline{x_1}x_0$
5	Переменная x_0	x_0
6	Неравнозначность, сумма по модулю 2, исключающее ИЛИ	$x_1 \oplus x_0, x_1 + x_0 \pmod{2}$
7	Дизъюнкция, логическое сложение, сумма, ИЛИ	$x_1 + x_0, x_1 \vee x_0$
8	Отрицание дизъюнкции, функция Пирса, ИЛИ — НЕ	$\overline{x_1 + x_0}, x_1 \nabla x_0, x_1 \downarrow x_0$
9	Равнозначность, эквивалентность	$x_1 \equiv x_0$
10	Отрицание x_0	$\overline{x_0}$
11	Импликация по x_0	$x_0 \rightarrow x_1, x_1 + \overline{x_0}$
12	Отрицание x_1	$\overline{x_1}$
13	Импликация по x_1	$x_1 \rightarrow x_0, x_1 + x_0$
14	Отрицание конъюнкции, функция Шеффера, И — НЕ	$x_1x_2, x_1 \overline{\wedge} x_2, x_1 / x_2$
15	Константа единица	1

Арифметико-логическое устройство (АЛУ) — часть центрального процессора, которая в общем случае формирует функции двух входных переменных и порождает одну выходную переменную. Эти функции обычно состоят из простых арифметических операций, простых логических операций и операций сдвига.

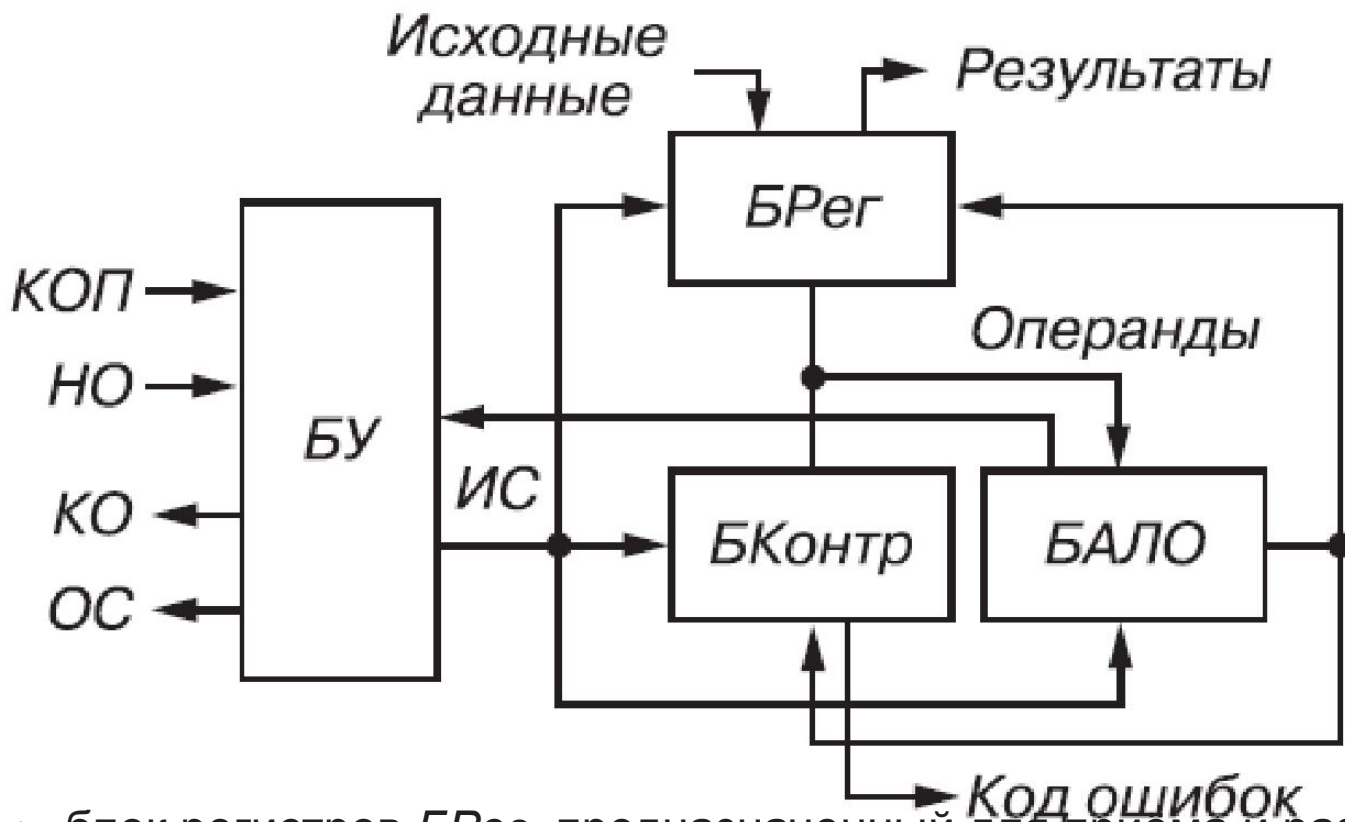
Вне зависимости от того, насколько широк круг операций, реализуемых современными АЛУ, главными среди них остаются операции арифметического сложения и умножения, продолжительность выполнения которых указывается в качестве основных характеристик вычислительного устройства. Простейшие операции: арифметическое сложение (вычитание), логическое умножение, логическое сложение, сумма по модулю два, инверсия, сдвиг влево, сдвиг вправо, инкремент (положительное приращение), декремент (отрицательное приращение) выполняются в АЛУ с помощью только аппаратных средств (схем на логических элементах). Операция умножения (деления), как правило, выполняется программным способом (с применением последовательного исполнения нескольких операций сложения и сдвига, выполненных аппаратным способом).

По способу действия над операндами АЛУ подразделяют на параллельного и последовательного действия.

По способу представления чисел различают АЛУ для чисел с фиксированной и плавающей запятой (точкой), для десятичных чисел.

По способу организации работы АЛУ делят на синхронные и асинхронные, а по характеру используемых элементов и узлов — на универсальные, в которых операции для всех форм представления чисел выполняются одними и теми же схемами, и функциональные, в которых операции над операндами с фиксированной и плавающей запятой, с десятичными переменными и логическими переменными осуществляются в отдельных операционных блоках.

По связи с оперативной памятью (ОЗУ) вычислительного устройства различают АЛУ с непосредственной и магистральной связями. В АЛУ с непосредственной связью схемы управления передачей информации соединены непосредственно с выходами регистров, а в АЛУ с магистральной связью схемы для преобразования информации выделены в отдельные блоки с двумя шинами (входной и выходной), а регистры служат лишь для хранения операндов во время их обработки. АЛУ с магистральной связью используется в процессорах с микропрограммным управлением.



- блок регистров *БРег*, предназначенный для приема и размещения операндов и результата операции;
- блок арифметико-логических операций *БАЛО*, в котором осуществляется преобразование операндов согласно коду операции (*КОП*) в реализуемой команде;
- блок контроля *БКонтр*, обеспечивающий непрерывный оперативный контроль и диагностику ошибок;
- блок управления *БУ*, в котором формируются импульсы синхронизации *ИС*, координирующие взаимодействие всех блоков АЛУ между собой и с другими блоками процессора

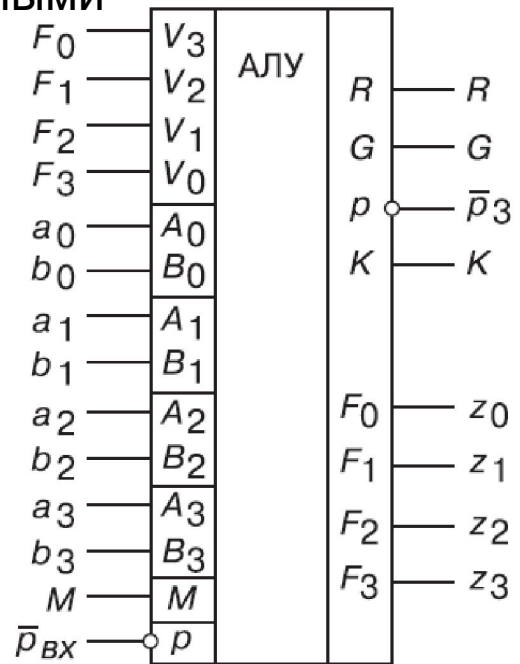
Устройство работает в соответствии с сообщаемыми ему кодами операций, которые нужно выполнить над переменными, помещаемыми в регистры. На разных этапах выполнения команды операции производится анализ преобразований информации, и на основании сигналов признаков ПР блок БУ формирует и выдаёт осведомительный сигнал ОС, характеризующий некоторое состояние процессора. В асинхронных АЛУ выполнение операции производится по сигналу НО (начало операции), а переход к выполнению очередной команды — по сигналу КО (конец операции).

В основе построения схем АЛУ положены одноразрядные комбинационные сумматоры, образующие при определённой коммутации 4разрядный сумматор с параллельным переносом.

Каждая схема АЛУ обеспечивает выполнение над 4-разрядными словами A и B шестнадцати поразрядных логических и арифметико-логических операций (таблица 6.7).

Коммутация АЛУ на выполнение той или иной из 16 операций в заданном режиме производится управляющими сигналами $V_3V_2V_1V_0$ и сигналом M .

При $M = 0$ АЛУ выполняет арифметические операции, а при $M = 1$ — логические. Комбинация входных сигналов $V_3V_2V_1V_0$ определяет одну из 16 выполняемых функций.



При подаче на информационные входы $A_3A_2A_1A_0$ и $B_3B_2B_1B_0$ 4-разрядных двоичных чисел $a_3a_2a_1a_0$ и $b_3b_2b_1b_0$ результат суммирования $z_3z_2z_1z_0$ фиксируется на выходах $F_3F_2F_1F_0$, а результат сравнения — на выходе K .

В каждом из четырёх разрядов АЛУ значения z_i ($i = 0, 1, 2, 3$) формируются схемами, реализующими переключательную функцию

$$z_i = s_i^* \bar{p}_i \vee \bar{s}_i^* p_i,$$

где $s_i^* = \bar{T}_i^* \bar{G}_i^* \vee \bar{T}_i^* G_i^*$; $\bar{T}_i^* = \overline{a_i \vee bV_0 \vee \bar{b}_i V_1}$; $\bar{G}_i^* = a_i \bar{b}_i V_2 \vee a_i b_i V_3$.

Сигналы переноса внутри АЛУ из младшего разряда в старший формируются схемой параллельного переноса под управлением сигнала M :

$$p_{ex}^i = p_{ex} \vee M; \quad p_0 = G_0 \vee T_0 p_{ex} \vee M; \quad p_1 = G_1 \vee T_1 G_0 \vee T_1 T_0 p_{ex} \vee M;$$

$$p_2 = G_2 \vee T_2 G_1 \vee T_2 T_1 G_0 \vee T_2 T_1 T_0 p_{ex} \vee M,$$

а сигнал переноса из старшего разряда p_3 формируется схемой, реализующей выражение

$$\bar{p}_3 = \bar{G} \vee \bar{p}_{ex} R_i,$$

где $\bar{G} = \overline{\bar{T}_3 \vee \bar{T}_2 \bar{G}_3 \vee \bar{T}_1 \bar{G}_2 \bar{G}_3 \vee \bar{T}_0 \bar{G}_1 \bar{G}_2 \bar{G}_3}$ — функция генерации переноса из АЛУ;
 $R = \bar{G}_0 \bar{G}_1 \bar{G}_2 \bar{G}_3$ — функция распространения переноса через 4-разрядную группу сумматора АЛУ.

Выбор функции $V_3 V_2 V_1 V_0$	Положительная логика		
	$M = 1,$ логические операции	$M = 0,$ арифметико-логические операции	
		$\bar{F}_{ex} = 1$	$\bar{F}_{ex} = 0$
0 0 0 0	\bar{A}	A	$A + 1$
0 0 0 1	$\overline{A \vee B}$	$A \vee B$	$A \vee B + 1$
0 0 1 0	$\bar{A}B$	$A \vee \bar{B}$	$A \vee \bar{B} + 1$
0 0 1 1	0	Минус 1 (дополнение до 2)	0
0 1 0 0	\overline{AB}	$A + A\bar{B}$	$A + A\bar{B} + 1$
0 1 0 1	\bar{B}	$AB + A\bar{B}$	$AB + A\bar{B} + 1$
0 1 1 0	$A \oplus B$	$A - B - 1$	$A - B$
0 1 1 1	$A\bar{B}$	$A\bar{B} - 1$	$A\bar{B}$
1 0 0 0	$\bar{A} \vee B$	$A + AB$	$A + AB + 1$
1 0 0 1	$\overline{A \oplus B}$	$A + B$	$A + B + 1$
1 0 1 0	B	$A \vee \bar{B} + AB$	$A \vee \bar{B} + AB + 1$
1 0 1 1	AB	$AB - 1$	AB
1 1 0 0	1	$A + A^*$	$A + A + 1$
1 1 0 1	$A \vee \bar{B}$	$A \vee B + 1$	$A \vee B + A + 1$
1 1 1 0	$A \vee B$	$A \vee \bar{B} + A$	$A \vee \bar{B} + A + 1$
1 1 1 1	A	$A - 1$	A

* сдвиг на один разряд влево; \vee – логическое сложение; $+$ – арифметическое сложение

Пользуясь приведенными выражениями, можно проанализировать процессы выполнения всех операций, перечисленных в таблице 6.7. Например, при $M = 1$ и $V_3V_2V_1V_0 = 0000$ имеем $\overline{T}_i^* = a_i$, $\overline{G}_i^* = 0$, $\overline{s}_i^* = a_i$ и $z_i = a_i$, т. е. схема АЛУ выполняет операцию отрицания числа $A = a_3a_2a_1a_0$; при $M = 0$ и $V_3V_2V_1V_0 = 1001$ — арифметическое сложение $A + B$, при $V_3V_2V_1V_0 = 0110$ — вычитание $A - B$, а при $V_3V_2V_1V_0 = 1100$ — сдвиг влево на один разряд и $\overline{p}_{ex} = 0$.

Результат сравнения двух 4-разрядных чисел A и B на выходе K (см. рис. 6.28) формируется схемой АЛУ в соответствии с выражением

$$K = \overline{z_0 \vee z_1 \vee z_2 \vee z_3}.$$

Для организации параллельного переноса данных между каскадами АЛУ предусмотрены выходы: G — выход генерации переноса; R — выход распространения переноса и p — выход переноса со старшего разряда АЛУ.

Триггер — это логическое устройство с двумя устойчивыми состояниями 0 и 1, имеющие несколько входов и два выхода, один прямой, а другой инверсный.

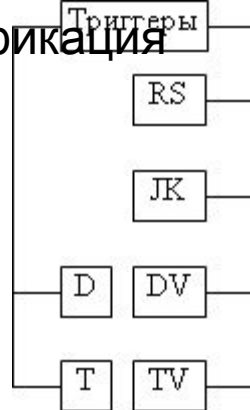
Триггеры — *динамические* и *статические*. Названы они так по способу представления выходной информации.

Динамический триггер - управляемый генератор, одно из состояний которого (единичное) характеризуется наличием на выходе непрерывной последовательности импульсов определённой частоты, а другое (нулевое) — отсутствием выходных импульсов. Смена состояний производится внешними импульсами.

Статические триггеры - устройства, каждое состояние которых характеризуется неизменными уровнями выходного напряжения (выходными потенциалами): высоким — близким к напряжению питания и низким — около нуля. Статические (потенциальные) триггеры, в свою очередь, подразделяются на две неравные по практическому значению группы — симметричные и несимметричные триггеры. Оба класса реализуются на двухкаскадном двухинверторном усилителе с положительной обратной связью, а названием своим они обязаны способам организации внутренних электрических связей между элементами схемы.

Триггер — устройство, обладающее двумя устойчивыми состояниями и способное скачком переходить из одного устойчивого состояния в другое под действием управляющего сигнала. Указанные *устойчивые состояния* обеспечивают им *память* (запоминать двоичные числа «0» или «1»), Триггеры бывают *одноступенчатыми* (состоят из одной триггерной структуры) и *двухступенчатыми* (состоят из двух триггеров — ведущего и ведомого). Они могут управляться *уровнем* импульса входного сигнала, его *передним* фронтом и *задним* фронтом или *срезом*. Их подразделяют на *асинхронные* (нетактируемые) и *синхронные* (тактируемые), а также на RS, D, JK, T и др.

Функциональная классификация триггеров



Классификация триггеров по способу ввода информации



Одноступенчатые триггеры (**latch**, защёлки) состоят из одной ступени представляющей собой элемент памяти и схему управления, бывают, как правило, со статическим управлением. Одноступенчатые триггеры с динамическим управлением применяются в первой ступени двухступенчатых триггеров с динамическим управлением. Одноступенчатый триггер на УГО обозначают одной буквой - Т.

Двухступенчатые триггеры (**flip-flop**, шлёпающие) делятся на триггеры со статическим управлением и триггеры с динамическим управлением. При одном уровне сигнала на входе С информация, в соответствии с логикой работы триггера, записывается в первую ступень (вторая ступень заблокирована для записи). При другом уровне этого сигнала происходит копирование состояния первой ступени во вторую (первая ступень заблокирована для записи), выходной сигнал появляется в этот момент времени с задержкой равной задержке срабатывания ступени. Обычно двухступенчатые триггеры применяются в схемах, где логические функции входов триггера зависят от его выходов, во избежание временных гонок. Двухступенчатый триггер на УГО обозначают двумя буквами - ТТ.

Триггеры со сложной логикой бывают также одно- и двухступенчатые. В этих триггерах наряду с синхронными сигналами присутствуют и асинхронные. Такой триггер изображён на рис. 1, верхний (S) и нижний (R) входные сигналы являются асинхронными.

Асинхронный триггер изменяет своё состояние непосредственно в момент появления соответствующего информационного сигнала(ов), с некоторой задержкой равной сумме задержек на элементах, составляющих данный триггер. *Синхронные* триггеры реагируют на информационные сигналы только при наличии соответствующего сигнала на так называемом входе синхронизации С (от англ. clock). Этот вход также обозначают термином «такт». Такие информационные сигналы называют синхронными. Синхронные триггеры в свою очередь подразделяют на триггеры со статическим и с динамическим управлением по входу синхронизации С.

Триггеры со статическим управлением воспринимают информационные сигналы при подаче на вход С логической единицы (прямой вход) или логического нуля (инверсный вход).

Триггеры с динамическим управлением воспринимают информационные сигналы при изменении (перепаде) сигнала на входе С от 0 к 1 (прямой динамический С-вход) или от 1 к 0 (инверсный динамический С-вход). Также встречается название «триггер управляемый фронтом».

Одноступенчатые триггеры (**latch**, защёлки) состоят из одной ступени представляющей собой элемент памяти и схему управления, бывают, как правило, со статическим управлением. Одноступенчатые триггеры с динамическим управлением применяются в первой ступени двухступенчатых триггеров с динамическим управлением. Одноступенчатый триггер на УГО обозначают одной буквой - Т.

Двухступенчатые триггеры (**flip-flop**, шлёпающие) делятся на триггеры со статическим управлением и триггеры с динамическим управлением. При одном уровне сигнала на входе С информация, в соответствии с логикой работы триггера,