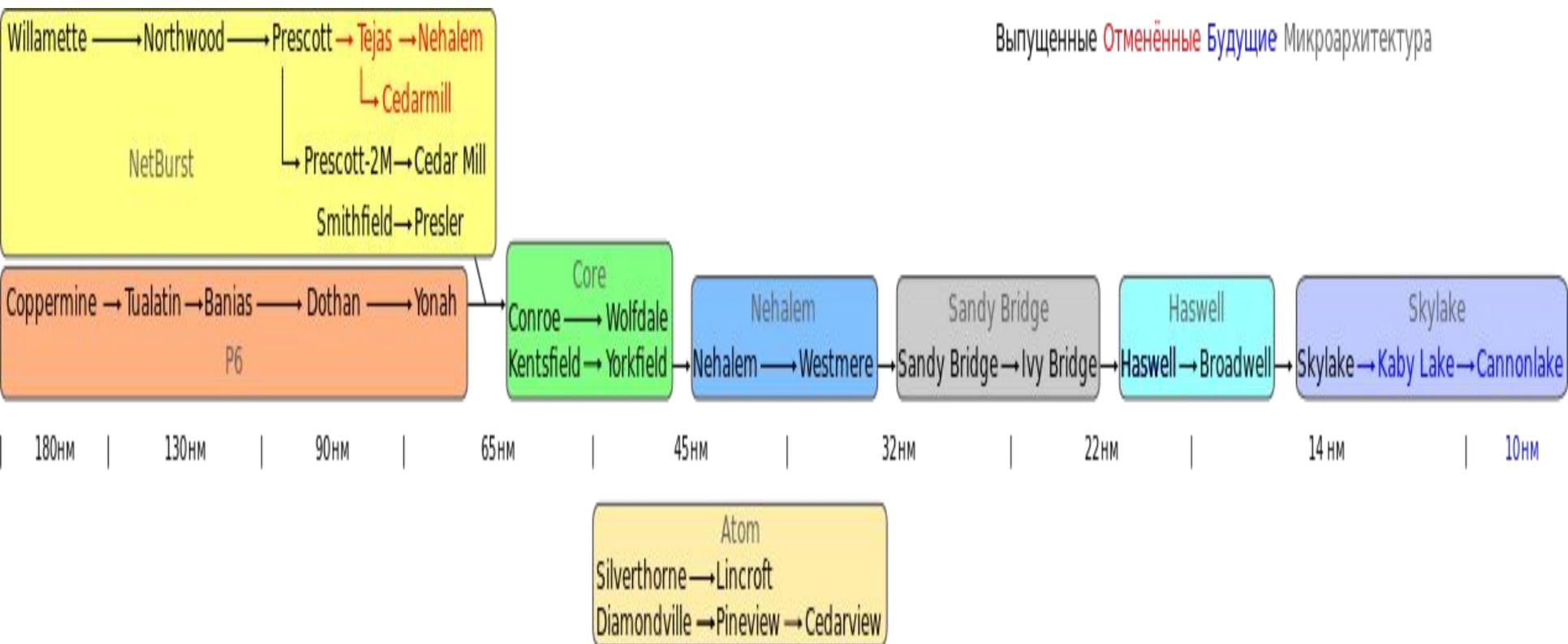


Архитектура процессоров Intel и AMD

Цель лекции: рассмотреть
особенности универсальных
процессоров процессоров Intel и
AMD

Эволюционная линейка интел



2006

Архитектура Intel Core

Восьмое поколение

Yonah

- Основана на принципах энергетической экономичности Pentium M и технологиях Pentium 4. 65 нм, до 2.5 ГГц

Дополнительные усовершенствования

Расширенное динамическое выполнение -
4 команды за один такт на ядро

Интеллектуальное управление L2 кэш – совместное использование ядрами

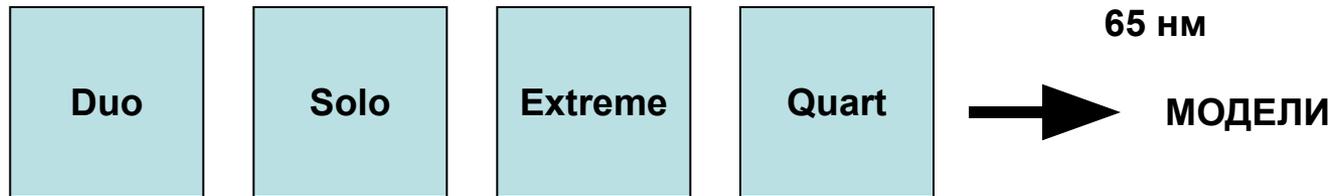
Интеллектуальное управление питанием

Улучшенная цифровая обработка мультимедиа – многие команды SSE, SSE2, SSE3 выполняются за 1 такт

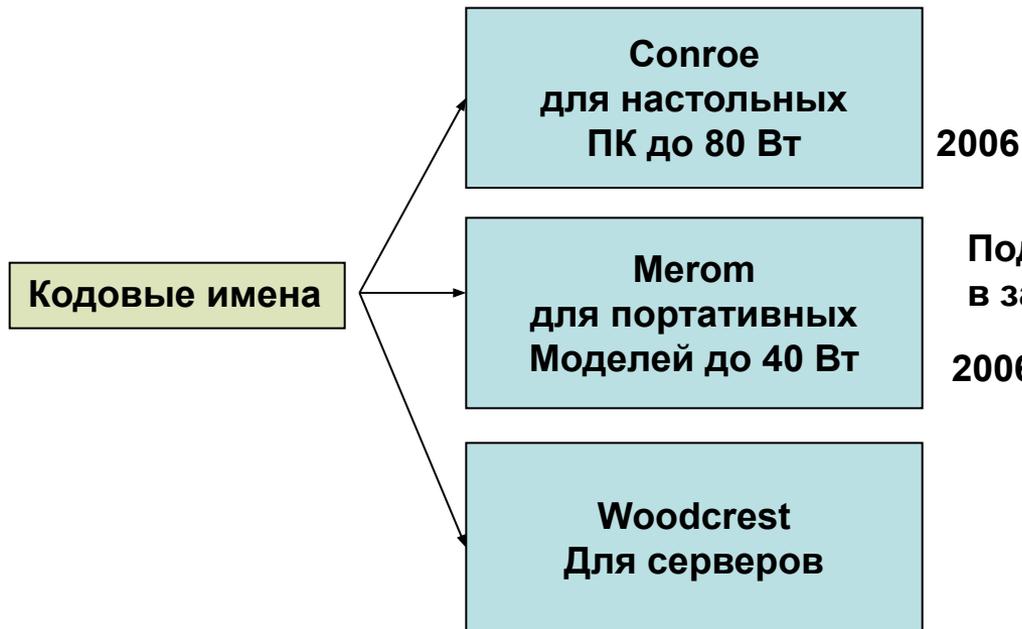
Применение технологий микрослияния и макрослияния

Intel Core 2 июль 2006

ВОСЬМОЕ ПОКОЛЕНИЕ



Введена концепция независимого «выключения» ядер, и введен режим отдачи мощности загруженному ядру от не загруженного



2006

Поддерживает EM64T, кэш L2 в зависимости от модели от 2 до 4МБайт

2006 г.

Характеристика процессоров Core i5\i7 2009-2010 г.

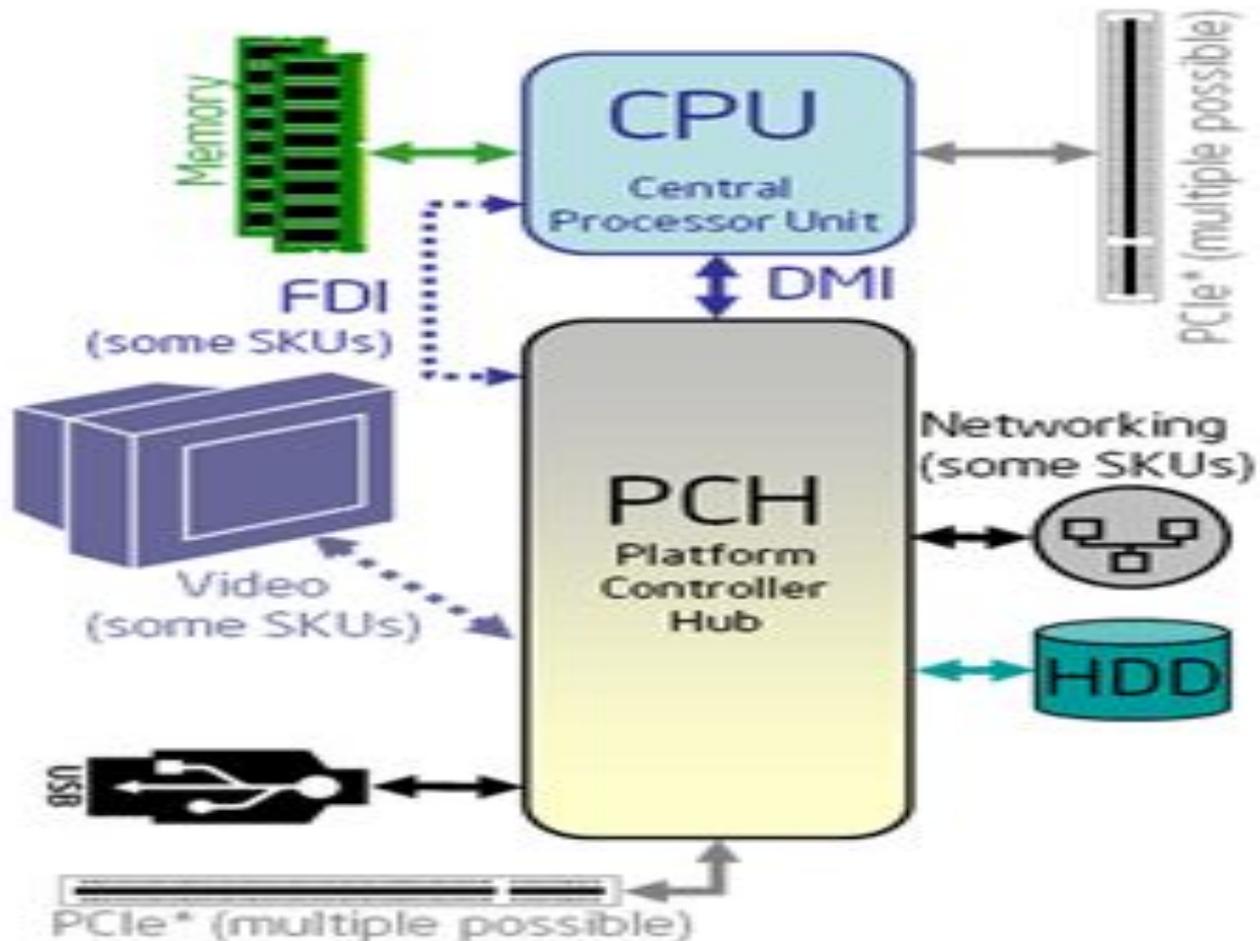
Параметры	Core i3		Core i5		Core i7			Core i7 Extreme Edition
	Clarkdale	Arrandale	Lynnfield	Clarkdale	Lynnfield	Clarksfield	Bloomfield	
Кодовое название	Clarkdale	Arrandale	Lynnfield	Clarkdale	Lynnfield	Clarksfield	Bloomfield	Gulftown
Техпроцесс, нм	32	32	45	32	45	45	45	32
Платформа	Настольная	Мобильная	Настольная	Настольная	Настольная	Мобильная	Настольная	Настольная
Архитектура	Westmere	Westmere	Nehalem	Westmere	Nehalem	Nehalem	Nehalem	Westmere
Сокет (LGA)	1156	mPGA-989	1156	1156	1156	mPGA-989	1366	1366
Поддерживаемые чипсеты Intel	P55/57	Нет данных	P55, P57, H55, H57, Q57	P57, H57, Q57 (требуется FDI для IGP)	P55, P57, H55, H57, Q57	Нет данных	X58	X58
Ядра/потоки	2/4	2/4	4/4	2/4	4/8	4/8	4/8	6/12
Hyper-Threading	Есть	Есть	Нет	Есть	Есть	Есть	Есть	Есть
QPI/DMI	DMI	DMI	DMI	DMI	DMI	DMI	QPI	QPI
Память	Трехканальная	Двухканальная	Двухканальная	Двухканальная	Двухканальная	Двухканальная	Трехканальная	Трехканальная
Функция Turbo	Нет/есть	Нет данных	Есть	Нет данных	Есть	Нет данных	Есть	Есть
Кэш L3	2 × 256 Кбайт	4 Мбайт	8 Мбайт	4 Мбайт	8 Мбайт	6/8 Мбайт	8 Мбайт	12 Мбайт
45 нм IGP	Есть	Есть	Нет	Есть	Нет	Нет	Нет	Нет

Core i7

Производство:	с 10 ноября 2008 года по настоящее время
Производитель:	Intel
Частота ЦП:	1.07 - 4.2 GHz
Скорость QPI:	4,8—6,4 ГП/с
Технология производства:	45—14 нм
<u>Наборы инструкций:</u>	x86 , x86-64 , MMX , SSE , SSE2 , SSE3 , SSSE3 , SSE4.1 , SSE4.2 , AES-NI
<u>Микроархитектура:</u>	Intel Nehalem , Sandy Bridge , Ivy Bridge , Haswell
<u>Число ядер:</u>	2, 4, 6 или 8
<u>Разъёмы:</u>	<ul style="list-style-type: none">• Socket B (LGA 1366)• Socket H (LGA 1156)• Socket H2 (LGA 1155)• Socket H3 (LGA 1150)• Socket R (LGA 2011)• Socket R1 (LGA 2011-3)• µPGA-988• BGA-1288
<u>Ядра:</u>	<ul style="list-style-type: none">• Bloomfield• Lynnfield• Gulftown• Clarksfield• Clarksfield XM• Ivy Bridge• Haswell

Шина DMI

DMI версия 2 20 Гб в сек



Структура Intel Core 2

Длина конвейера 14

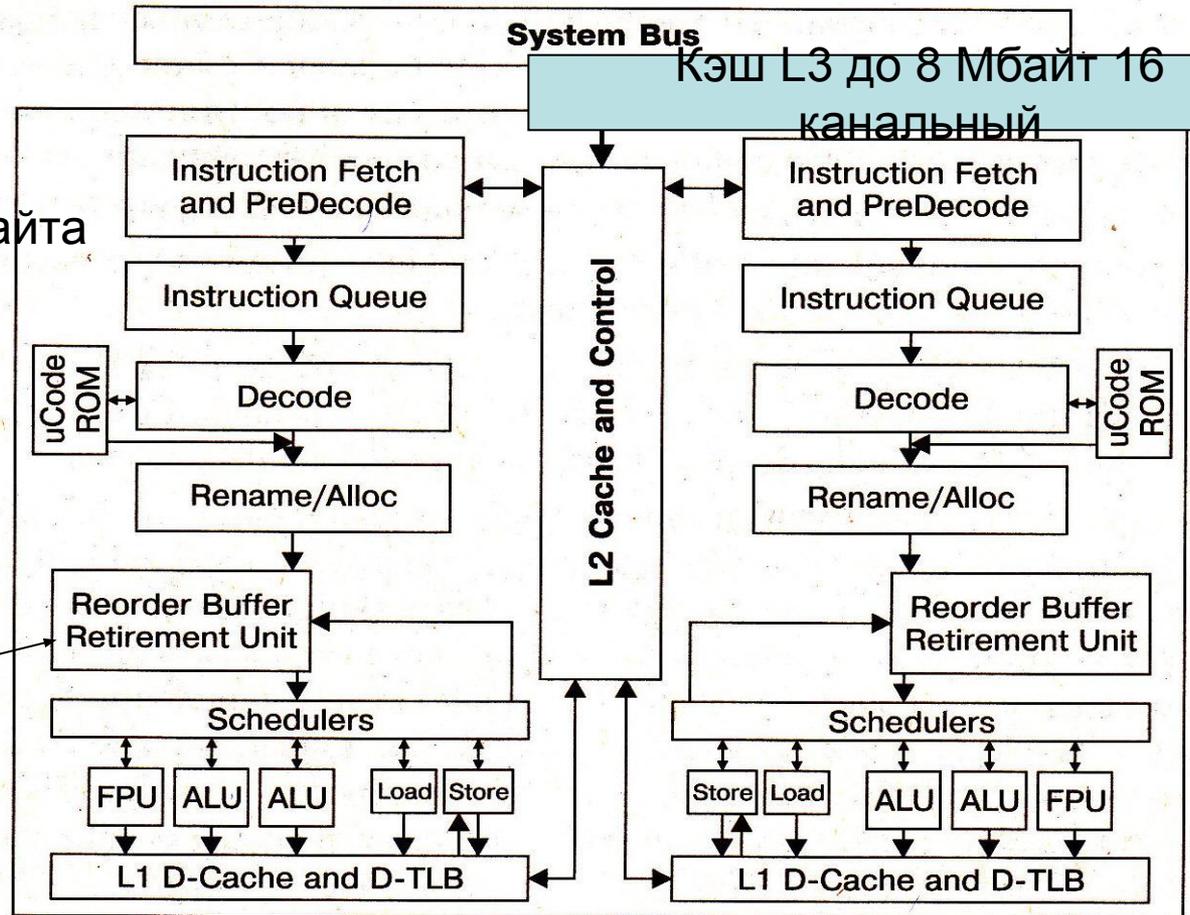
4 команды на ядро

L1 32 Кбайт строка 64 байта
8 канальный

Для команд с большим
количеством микроопераций

Переименование регистров
приводит к безконфликтной
работе.

Размер буфера
переупорядочивания
расчитан на 98 микрооп.



Архитектура Intel Core

Yonah



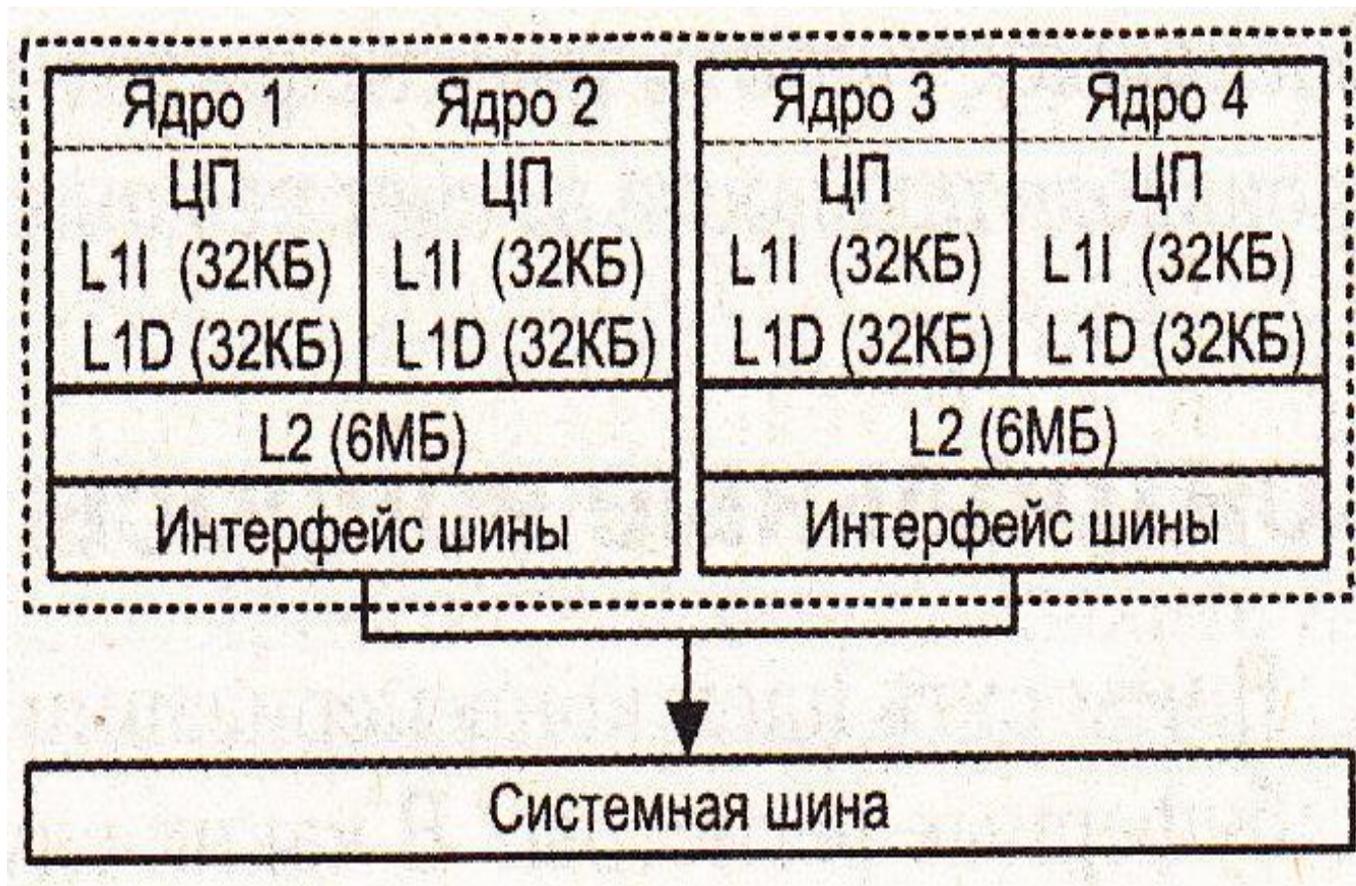
Недостатки:

- большие задержки при обращении к памяти, так как трафик проходит через контроллер памяти чипсета;
- Нет поддержки команд EM64T;

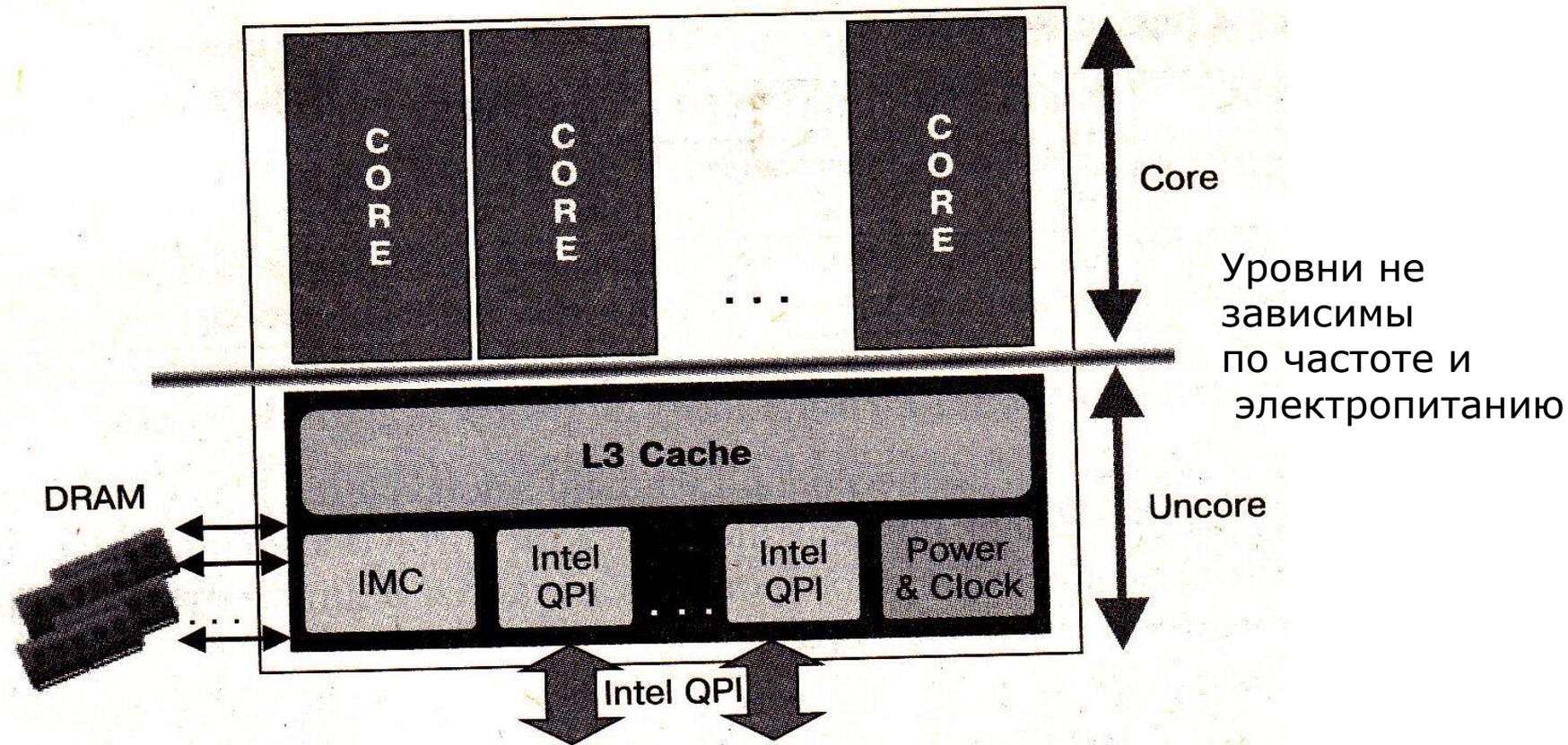
Макрослияние – объединение пары последовательных команд в одну в процессе декодирования.

Микрослияние - группировка и соединение микроопераций. На 10% уменьшает число микроопераций

Структура многоядерного процессора Intel Core 2 Quad



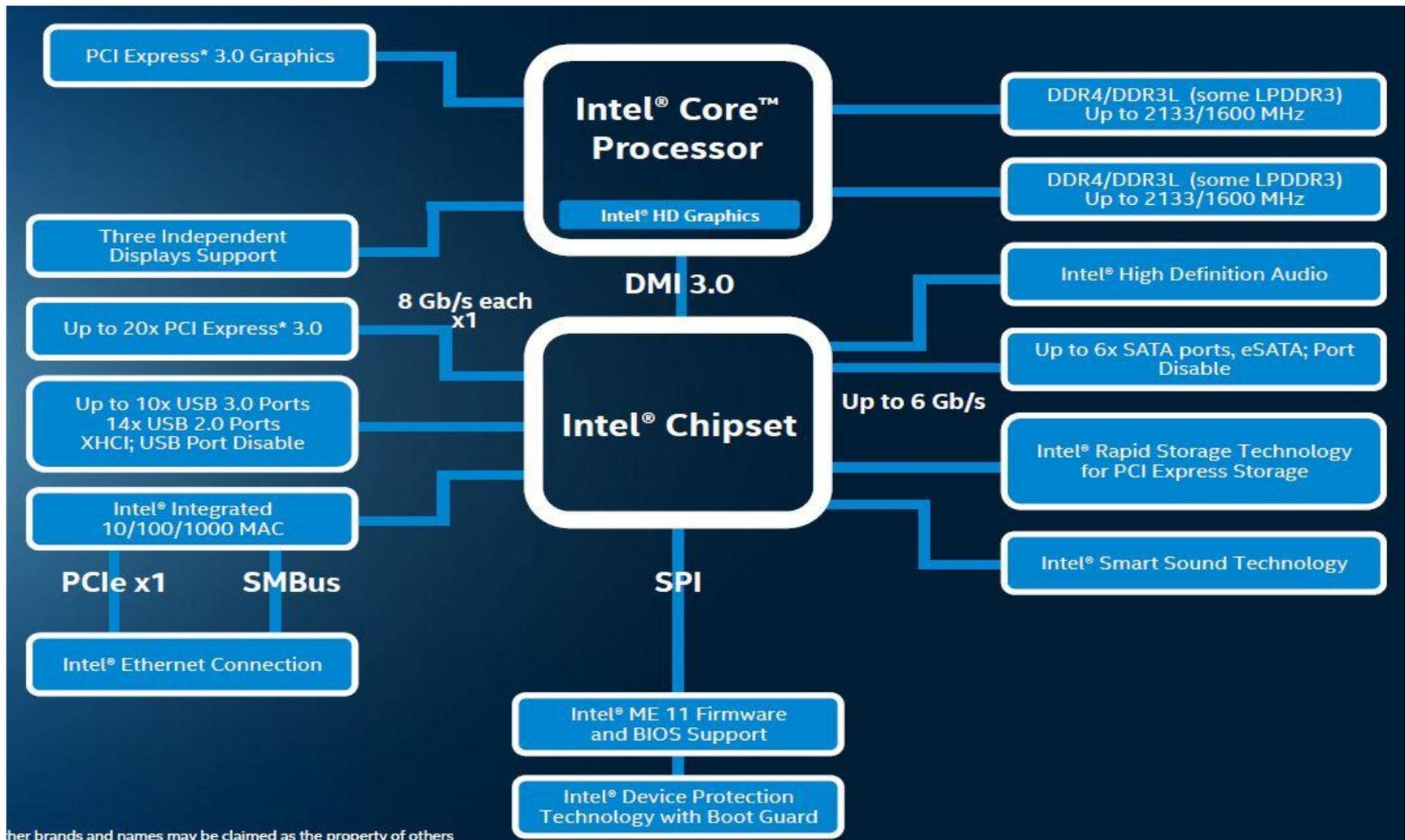
Структура процессора Bloomfield



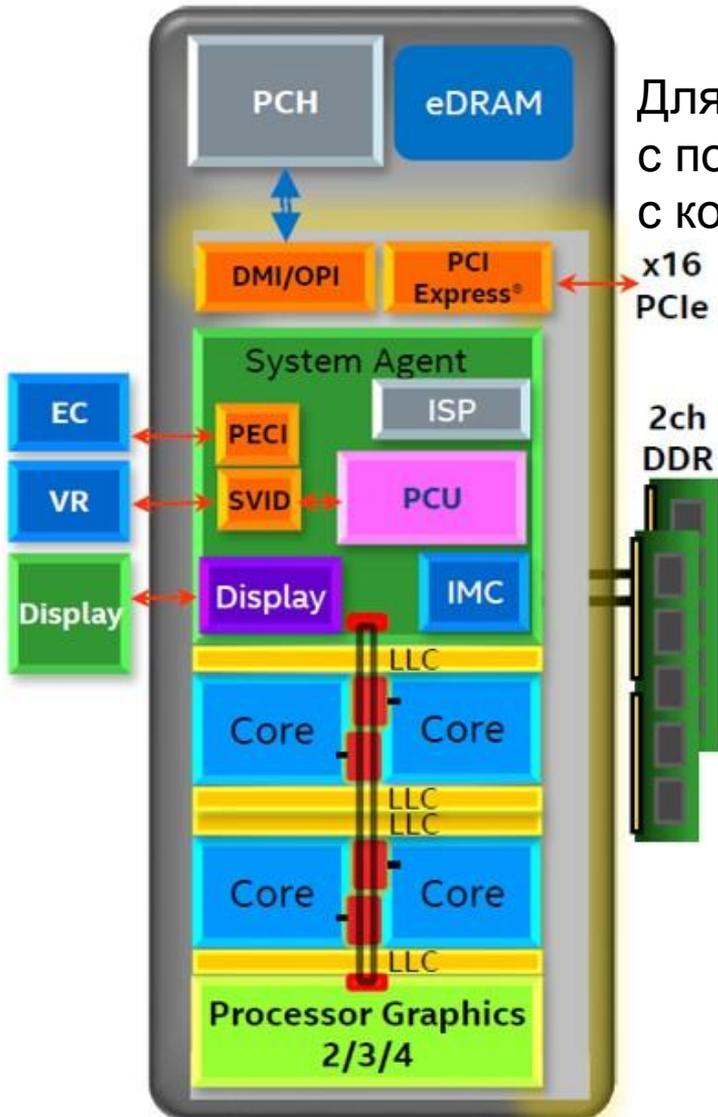
Поддерживается режим Turbo BOOST динамическая подстройка частоты и подключения питания.

Каждым ядром поддерживается SMT - мультитрейдинг. 8 виртуальных ядер.

Платформа для настольных процессоров Skylake — LGA1151.



Skylake



Для беспроводной передачи мультимедийного контента с помощью технологий Intel WiDi или Pro WiDi с компьютеров на телевизоры, мониторы

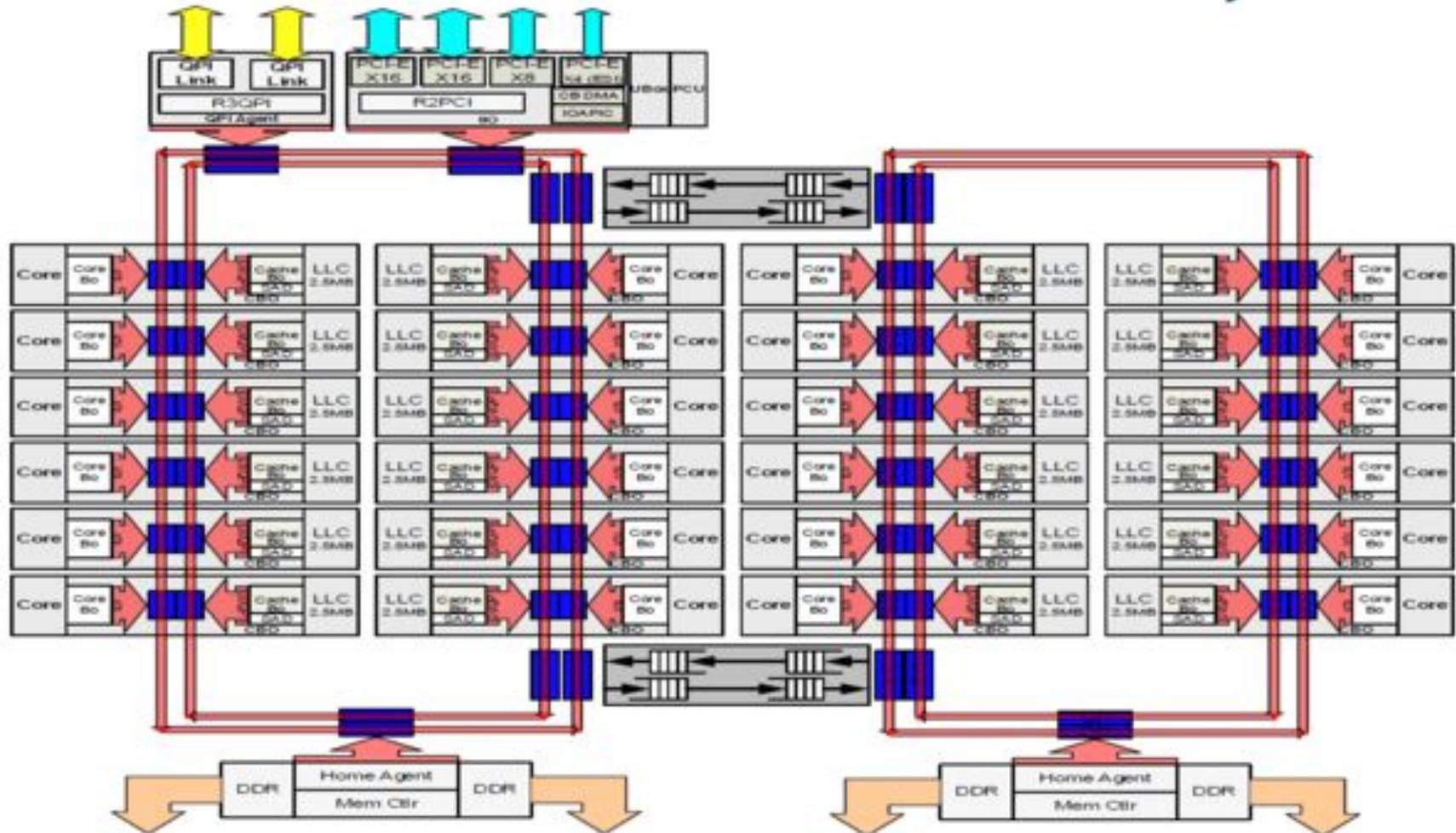
PCH (Platform Controller Hub,

управляющий блок PCU (Package Control Unit)

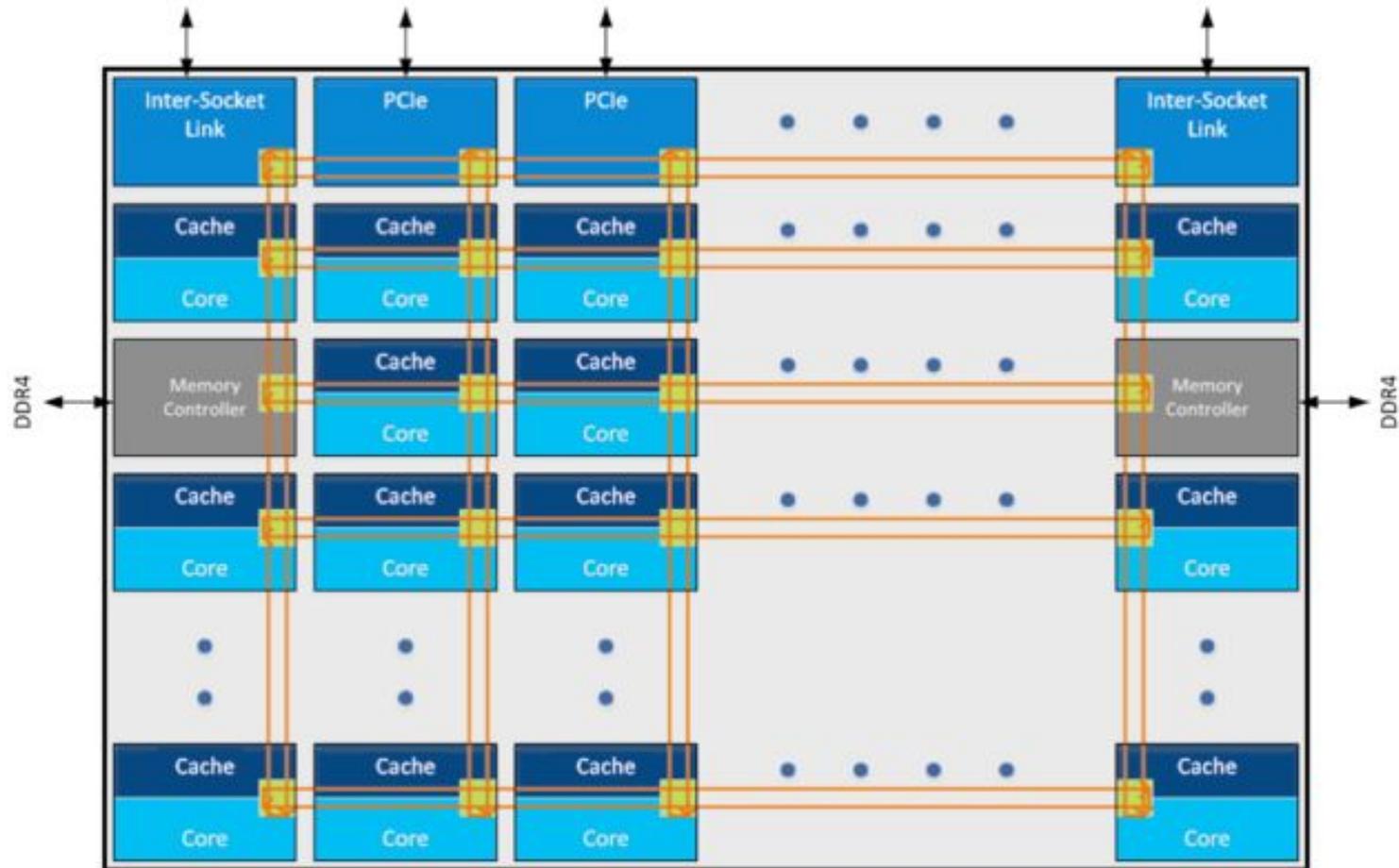
новый процессор обработки изображений ISP (Image Signal Processing).

Использование кольцевой шины в архитектуре HEXALEM

Intel® Xeon® Processor E5 v4 Product Family HCC

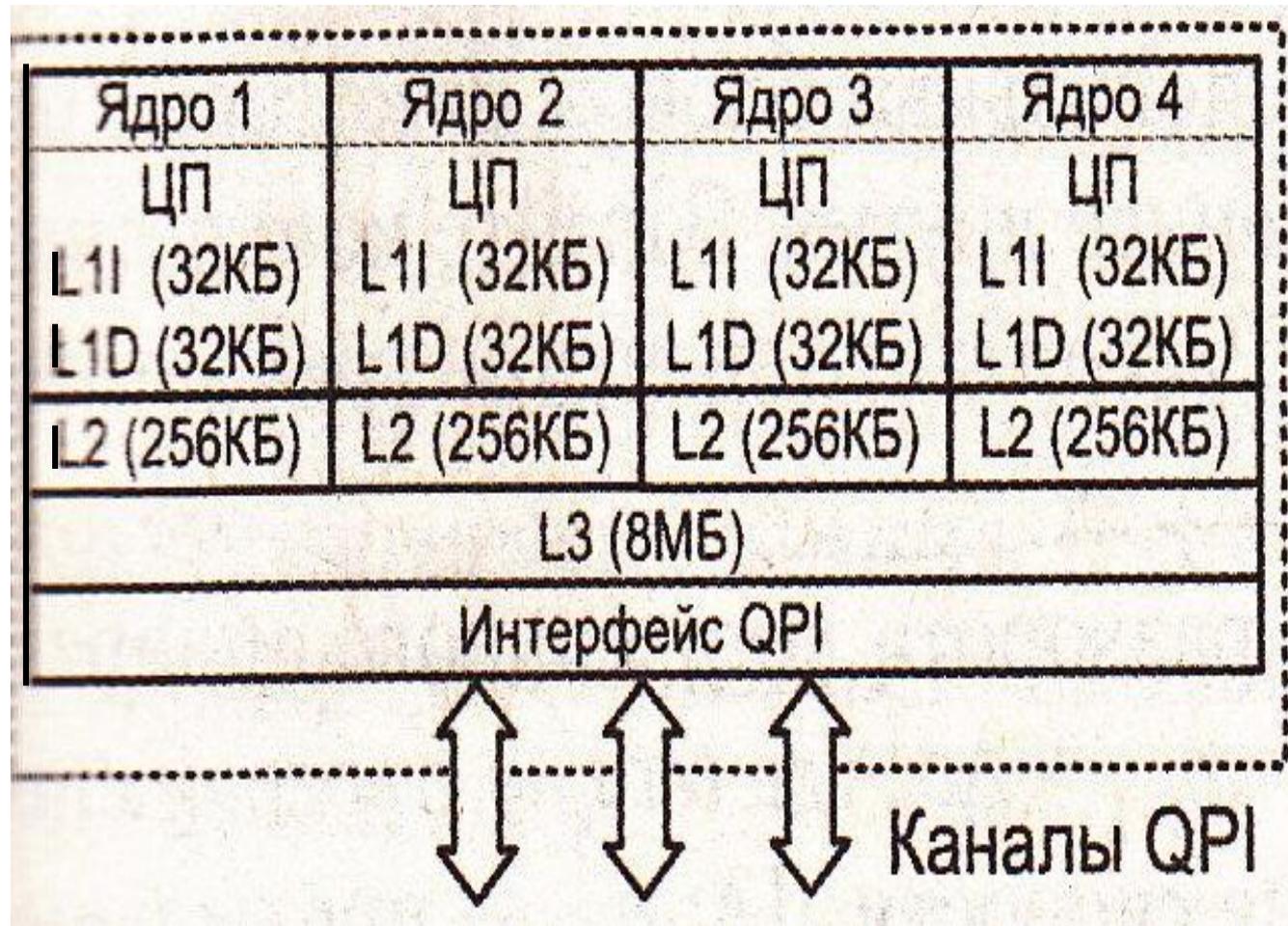


Skylake-SP разработчики Intel



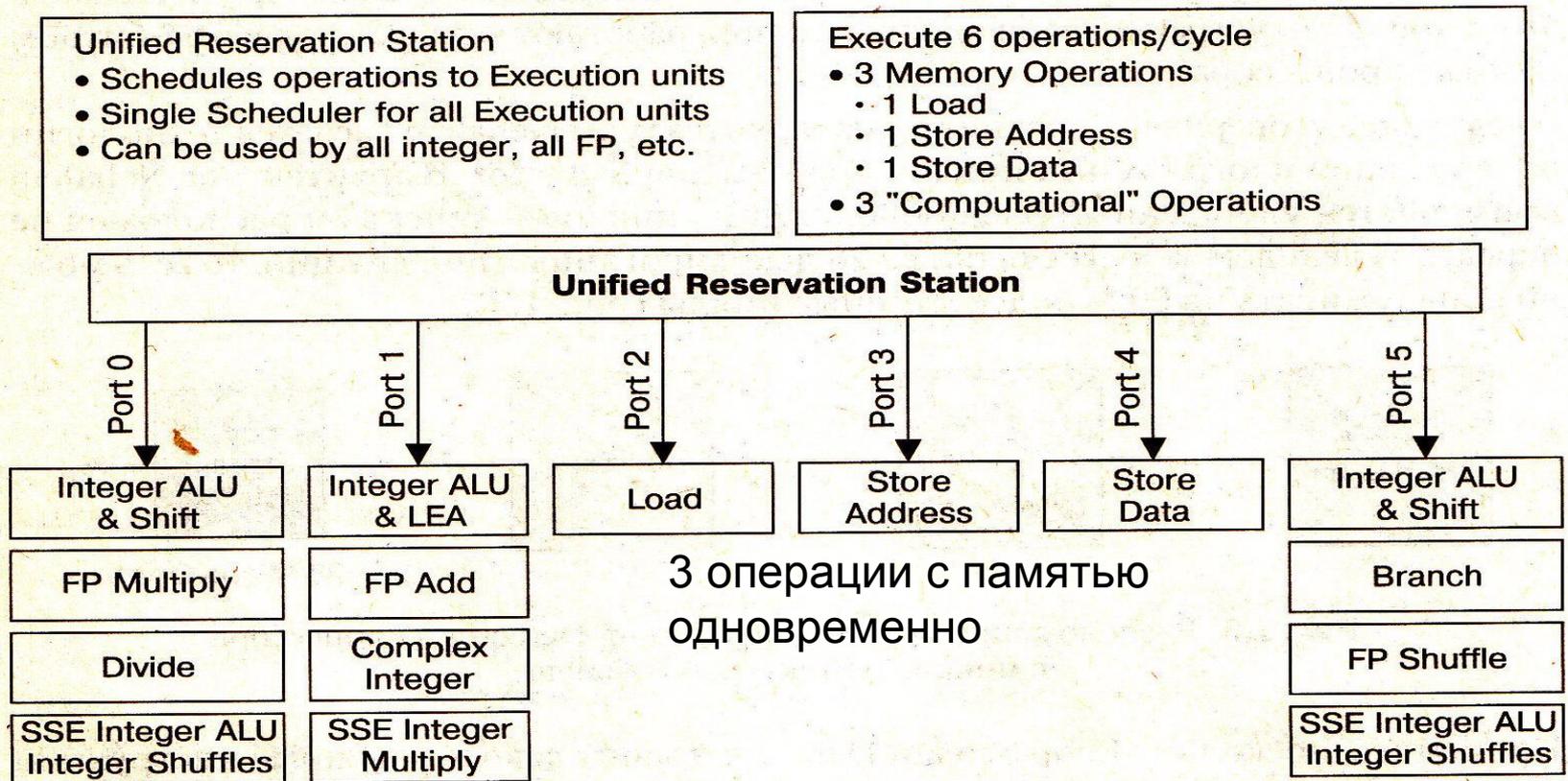
Каждое ядро в новой архитектуре имеет свой коммутатор с буфером и связано с любым другим ядром в составе процессора только через два узла — исходящий и входящий.

Структура многоядерного процессора Intel Nehalem



Исполнительные блоки процессора Intel Nehalem

Усовершенствования позволяют исполнять 6 операций за такт



Буфер переупорядочивания увеличен до 128 микроопераций. Конвейер 16 ступ.

Ключевые технологии Core и Nehalem

- Intel Wide Dynamic Execution – исполнение до 5 микроопераций за такт.
- Intel Intelligent Power Capability – управление энергопотреблением.
- Intel Advanced Smart Cache – общая кэш для двух ядер.
- Intel Smart Memory Access – предварительная загрузка данных.
- Intel Advanced Digital Media Boost – обработка 128 разрядных, мультимедийных команд за один такт.
- Intel 64 technology – 64 разрядная арифметика.
- Intel Dynamic Acceleration – увеличение производительности в однопоточных приложениях, когда одно ядро простаивает а второй увеличивает производительность.
- Dynamic FSB Switching – изменение частоты и напряжения системной шины.

Запас по частоте до 5.4ГГц
при охлаждении жидким азотом.

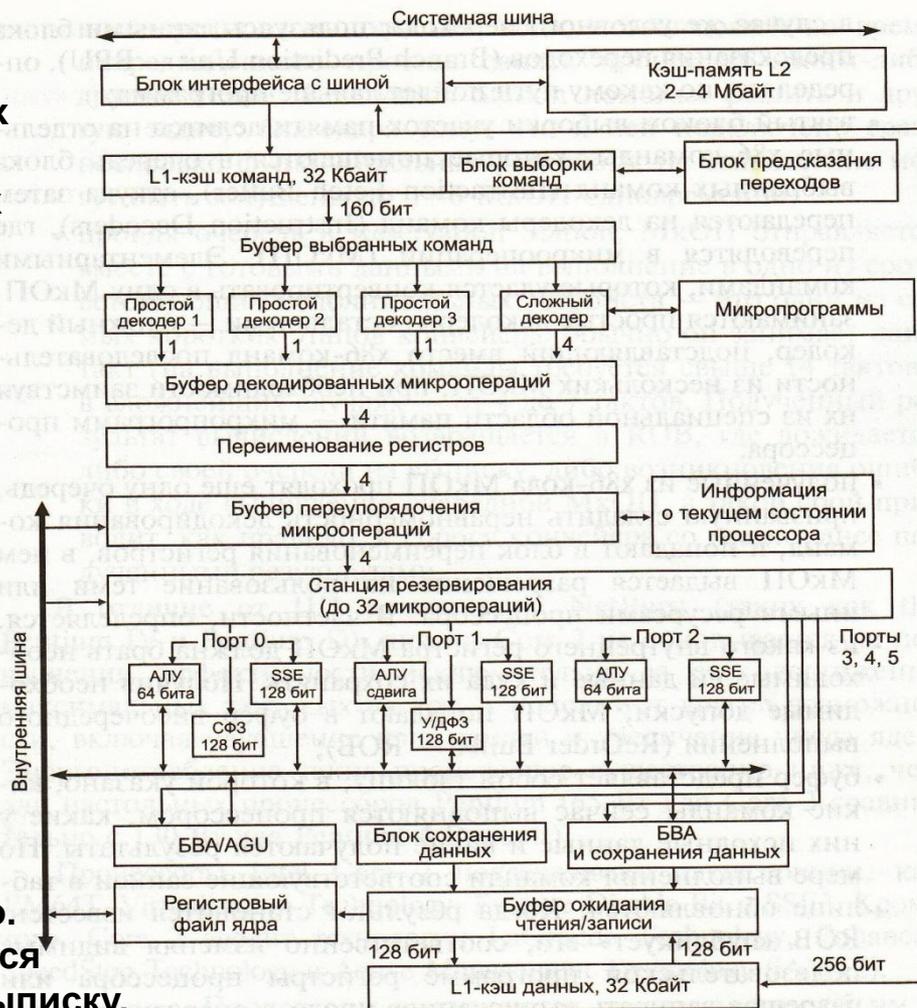
40% повышение эффективности

Conroe

2006 г.

При 40% снижении энергопотребления

1. Загрузка кэш команд и данных.
2. Блок выборки команд управляет ходом выполнения программы с учетом условных и безусловных переходов.
3. Буфер выбранных команд направляет их на декодирование с учетом их сложности.
4. Микрооперации попадают в блок переименования регистров, в котором микрооперациям выдается разрешение на использование ресурсов процессора. Где взять данные и где их сохранить?
5. Получив все допуски и разрешения микрооперации поступают в блок переупорядочивания. Это таблица, которая указывает какие команды выполняются процессором, какие у них данные и какие результаты.
6. Сделав отметку в БПМ микрооперации передаются на станцию резервирования, где они ожидают необходимые им данные и необходимое исполнительное устройство.
7. После выполнения результат отправляется в БПМ, где дожидается своей очереди на выписку.



Intel Atom 2008 г.

Z500 Silverthorne

45 нм, предназначен для использования в портативных и ультрамобильных изделиях.

Кэш команд – 32 Кбайт, кэш данных – 24 Кбайт.

2 АЛУ. 47 млн.

транзисторов.

800-1866 МГц, 0.65-2.4

Вт. Поддерживает 32-

битный код и команды MMX, SSE, SSE2, SSE3.

Отсутствует

внеочередное

исполнение,

опережающее

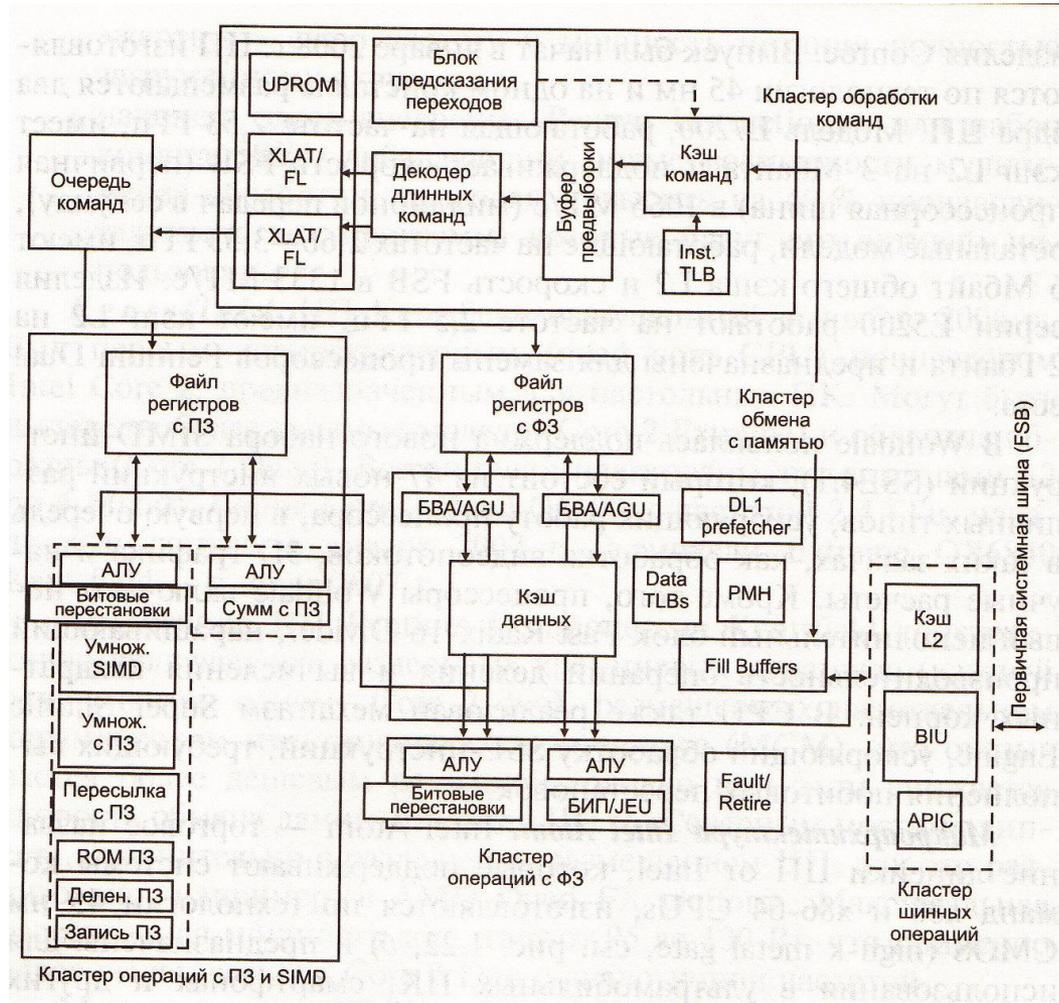
исполнение, ротация

регистров.

Выполняет две

команды за цикл как

Pentium 1993г.



Процессоры от AMD

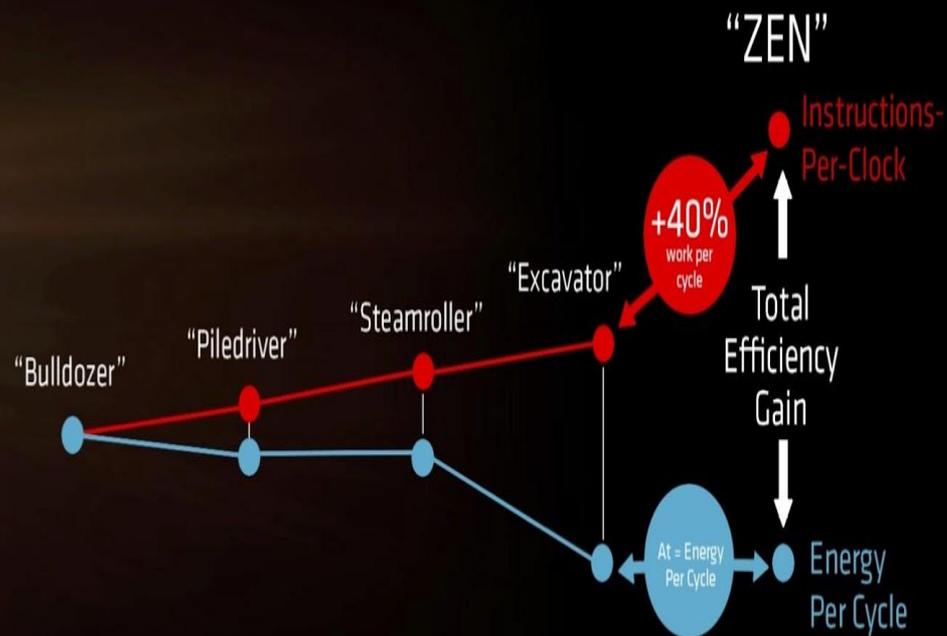
- *Положительные стороны:*
 - начиная с 2008 года, большинство процессоров AMD могут выжимать прирост производительности до 20% при разгоне,
 - присутствует возможность изменять напряжение в каждом из ядер процессора,
 - доступной цена,
 - отличное соотношение цена-качество,
 - при работе в двух и более мощных программах существенного спада производительности не наблюдается,
 - при замене процессора этого производителя на новый, нет необходимости менять материнскую плату.

Потребляемая мощность

- Сравнение интел и амд по потребляемой мощности



DEFYING CONVENTION: PERFORMANCE, THROUGHPUT AND EFFICIENCY



*Based on AMD Internal Testing

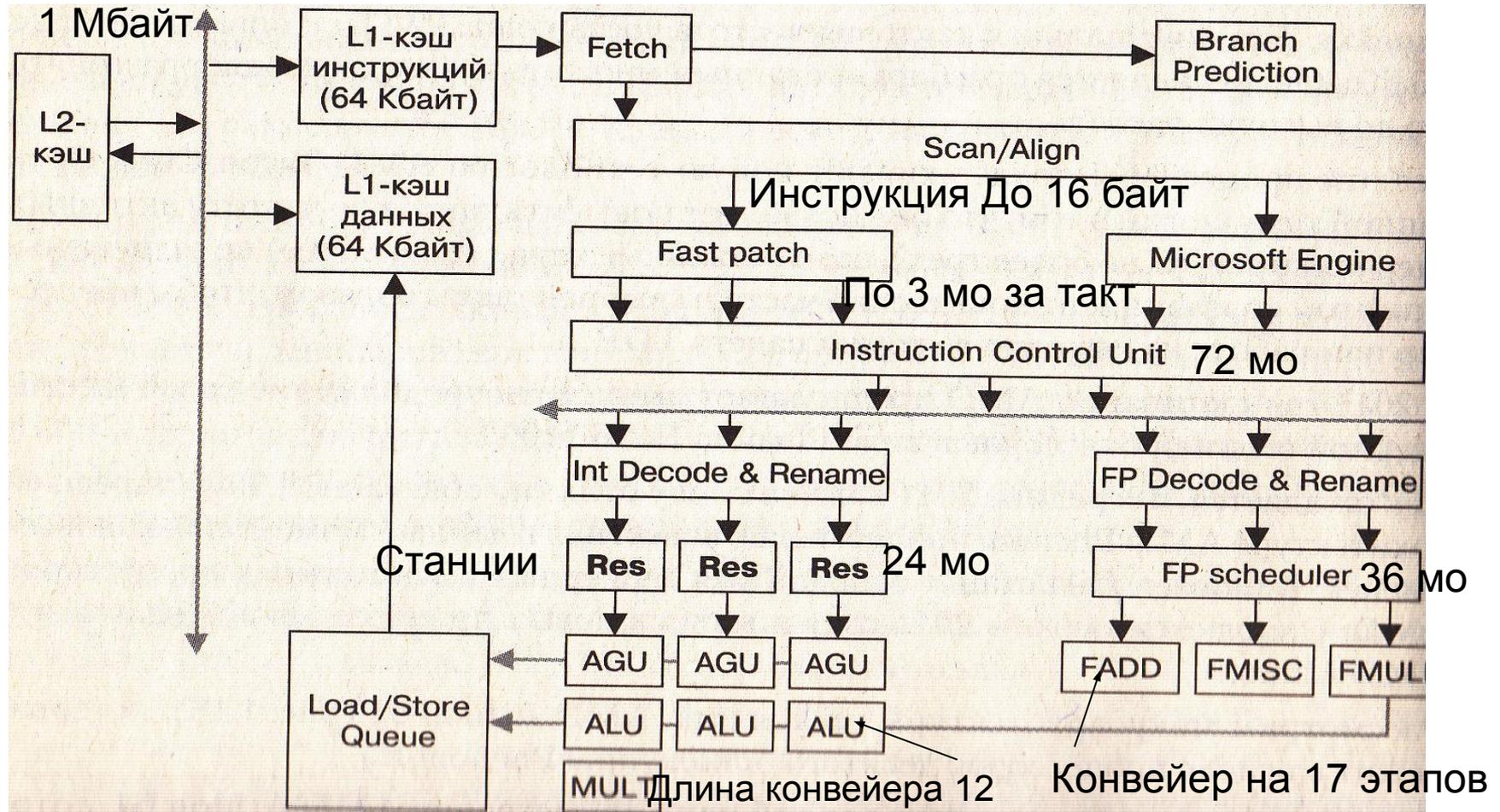


Chart for illustrative purposes only

Процессоры AMD

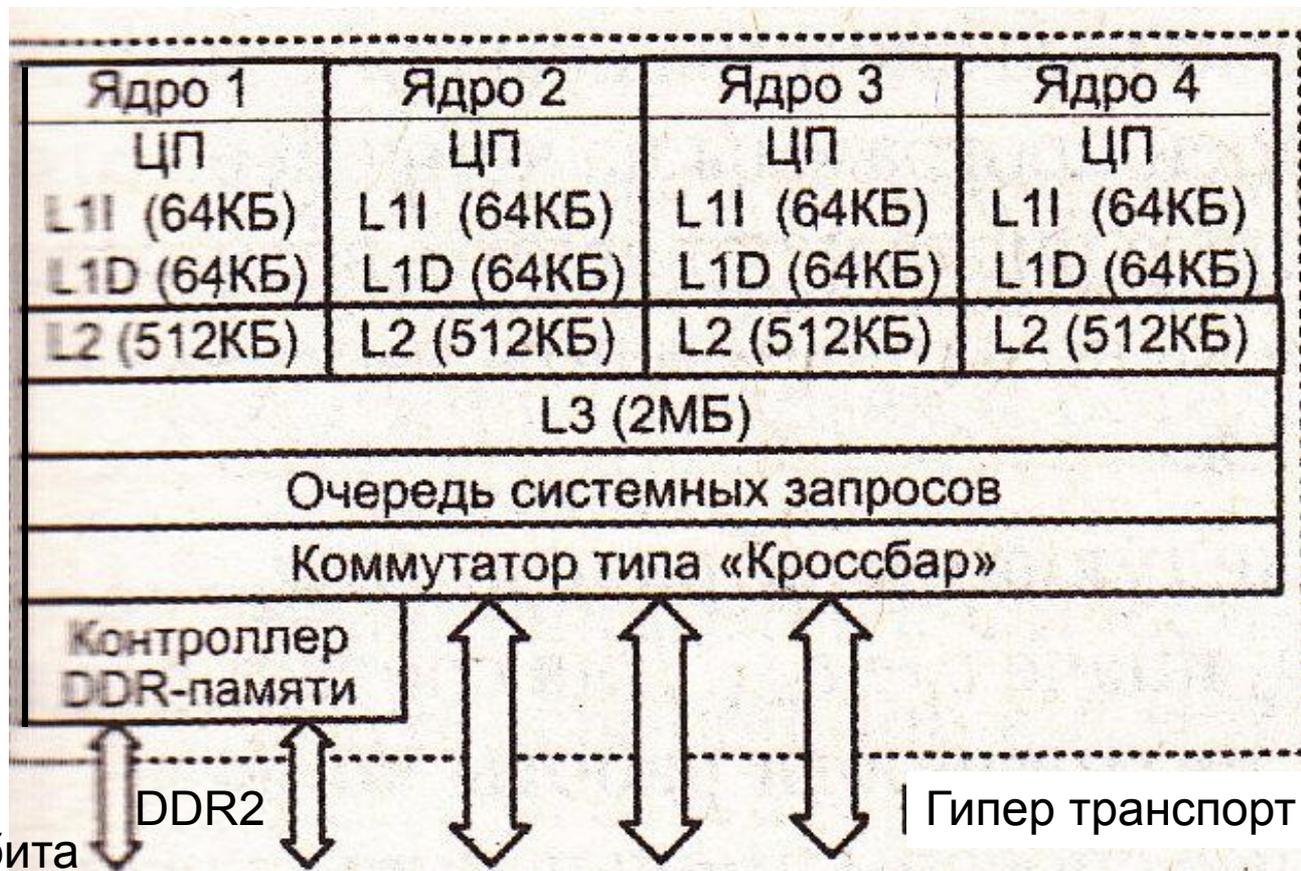
	AMD FX-6350	AMD FX-8350	AMD FX-8370	AMD FX-9370	AMD FX-9590
Кодовое имя	Vishera	Vishera	Vishera	Vishera	Vishera
Микроархитектура	Piledriver	Piledriver	Piledriver	Piledriver	Piledriver
Техпроцесс	32 нм	32 нм	32 нм	32 нм	32 нм
Сокет	AM3+	AM3+	AM3+	AM3+	AM3+
Число ядер/потоков	6/6	8/8	8/8	8/8	8/8
Тактовая частота (Turbo Core)	3,9 (4,2) ГГц	4,0 (4,2) ГГц	4,0 (4,3) ГГц	4,4 (4,7) ГГц	4,7 (5,0) ГГц
Встроенный контроллер памяти	Двухканальный DDR3-1866	Двухканальный DDR3-1866	Двухканальный DDR3-1866	Двухканальный DDR3-1866	Двухканальный DDR3-1866
Кэш третьего уровня	8192 Кбайт	8192 Кбайт	8192 Кбайт	8192 Кбайт	8192 Кбайт
Число линий PCI Express	Нет	Нет	Нет	Нет	Нет
Встроенная графика	Нет	Нет	Нет	Нет	Нет
Уровень TDP	125 Вт	125 Вт	125 Вт	220 Вт	220 Вт
Цена	6500 руб.	9000 руб.	10 000 руб.	11 000 руб.	13 500 руб.

Структура процессора AMD Athlon 64



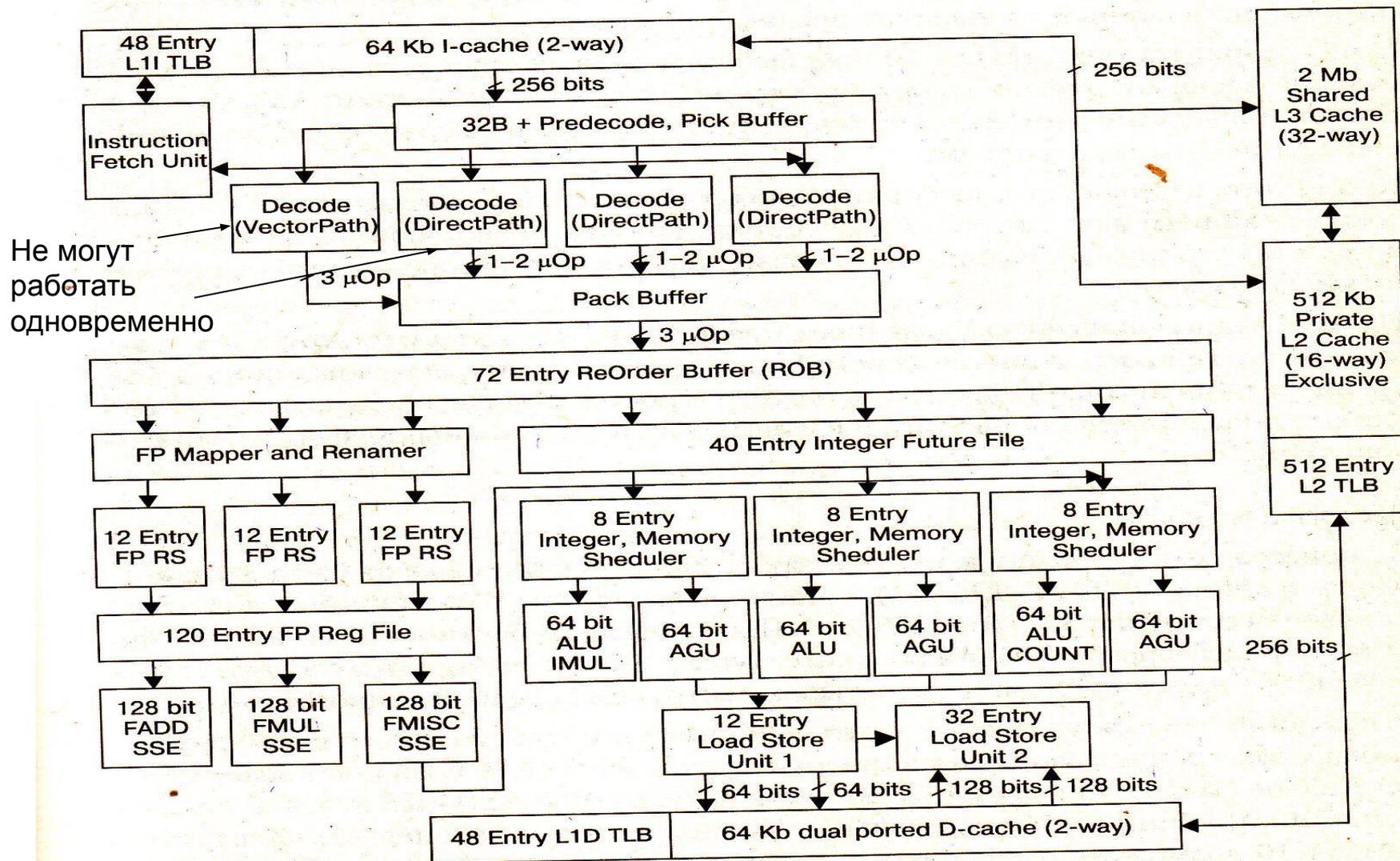
За 1 такт процессора выполняются 3 целочисленные команды и 3 вещественных

Структура многоядерного процессора AMD Phenom X4



Особенность – режим Turbo Core, двухканальный контроллер памяти с, преимуществом операции чтения, коммутатор, шина Гипер Транспорт.

Ядро процессоров Phenom K-10



Технологии платформы K-10

- Cool Core – выключение частей процессора не используемые в данный момент.
- Independent Dynamic Core – позволяет каждому ядру работать на своей частоте в зависимости от загрузки и менять ее независимо. Пять энергетических уровней. Без изменения питания. Уровень питания определяется питанием ядра работающего на максимальной частоте.
- Dual Dynamic Power Management – применение двух линий для питания ядер и контроллера памяти/
- Шина Гипер Транспорт имеет динамическую рабочую частоту привязанную к частоте процессора с коэффициентом $\frac{3}{4}$.

соров:

Модель	FX-81 70	FX-8 150	FX-8 120	FX-8 100	FX-6 200	FX-6 130	FX-6 120	FX-6 100	FX-4 200	FX-4 170	FX-4 150	FX-4 130	FX-4 120	FX-4 100
Кодовое Имя	Zambezi													
Ядра/Модули	8/4				6/3				4/2					
Штатная Частота	3.9 GHz	3.6 GHz	3.1 GHz	2.8 GHz	3.8 GHz	3.6 GHz	3.6 GHz	3.3 GHz	3.3 GHz	4.2 GHz	3.8 GHz	3.8 GHz	3.9 GHz	3.6 GHz
В режиме Turbo	4.5 GHz	4.2 GHz	4.1 GHz	3.7 GHz	3.9 GHz	3.9 GHz	4.3 GHz	4.1 GHz	-	4.3 GHz	3.8 GHz	3.9 GHz	4.0 GHz	3.7 GHz
Кэш 2 уровня	8MB				6MB				4MB					
Кэш 3 уровня	8MB											4MB	8MB	
Тепловыделение (TDP)	125W			95W	125W		95W		125W		95W	125W	95W	
Память	максимальная частота памяти 1866 MHz													
Версия Black Edition	Да													
Поддержка Turbo Core	Да								Нет		Да			
Сокет	AM3+													
Техпроцесс	32 nm													

Идея архитектуры K-11

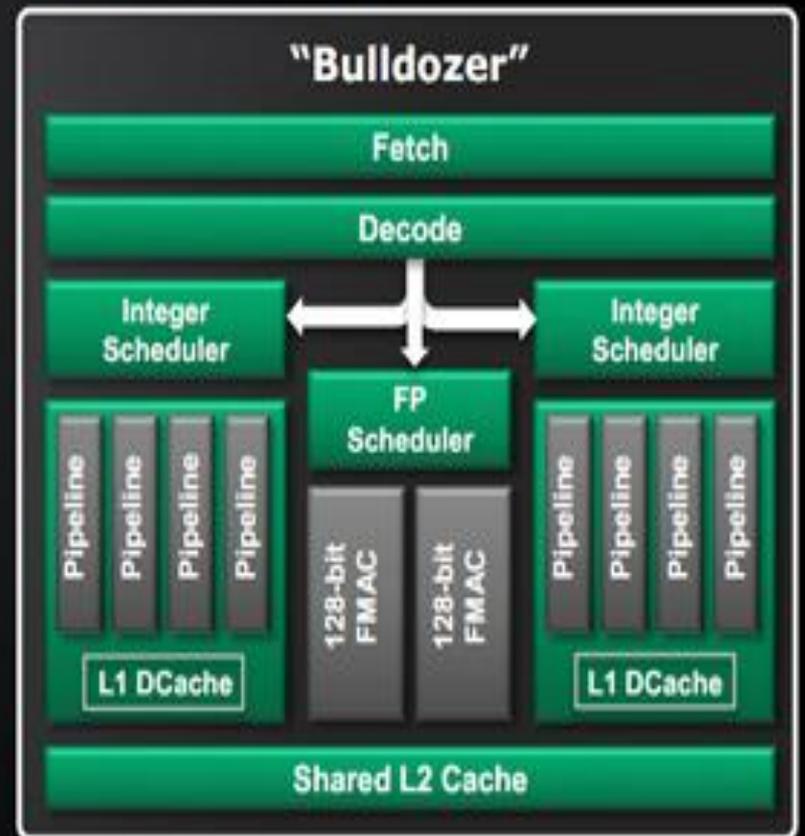
- AMD решила использовать совершенно другой подход для новой архитектуры Bulldozer.
- Было решено создать двухядерные модули, которые вместе используют некоторые ресурсы (L2 кэш-память, модуль вычислений с плавающей запятой), но не являются полностью независимыми друг от друга.
- Оптимизация заключается в том, что на обычных многоядерных процессорах, некоторые модули могут бездействовать, и такие модули могут быть объединены в архитектуре Bulldozer.
- А если будет меньше модулей – значит, будет меньше потрачено материала, а это, в свою очередь, позитивно повлияет на стоимость, на экономию энергии и на уменьшение количества тепла.

Общие ресурсы

“Bulldozer” x86 Architecture:

AMD’s Latest Leap Forward

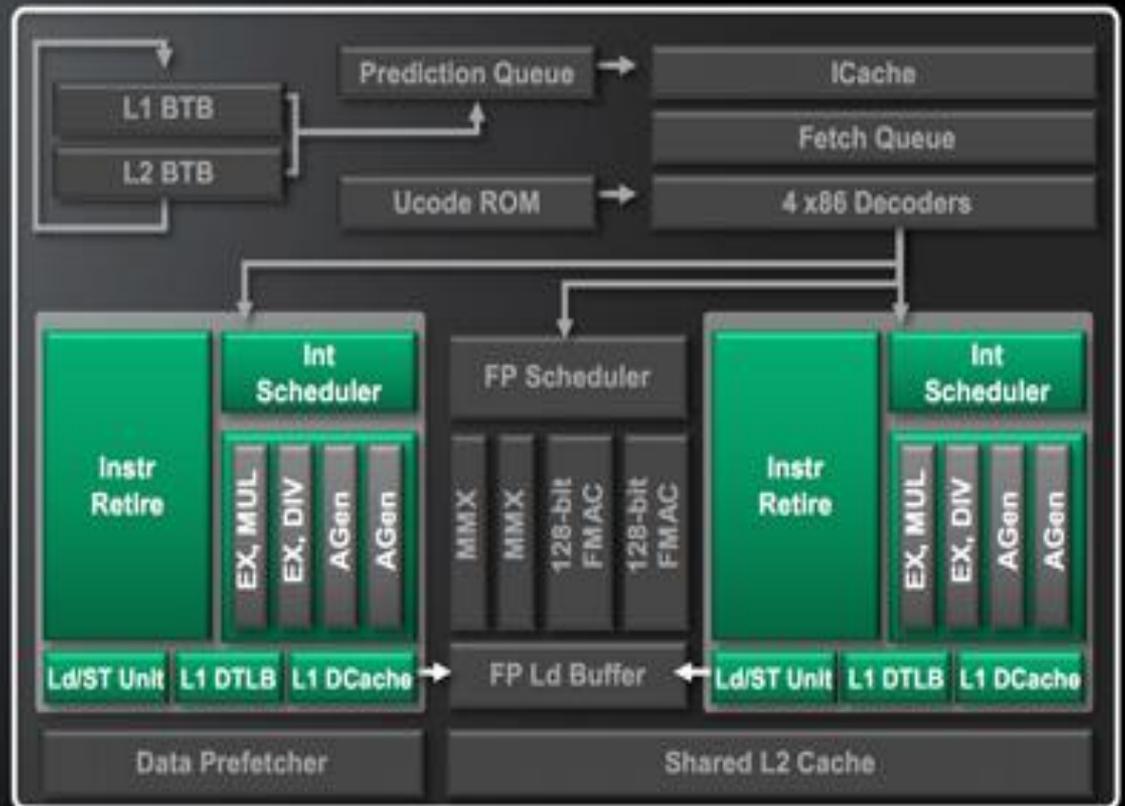
- Two tightly linked cores share resources to increase efficiency
- ISA extensions, including FP “FMAC”
- Extensive new power efficiency and management innovations
- Designed for knee-of-the-curve IPC features and low gates/clock
- 2011 desktop and server



Выделенные ядра

Core Microarchitecture – Dedicated Cores

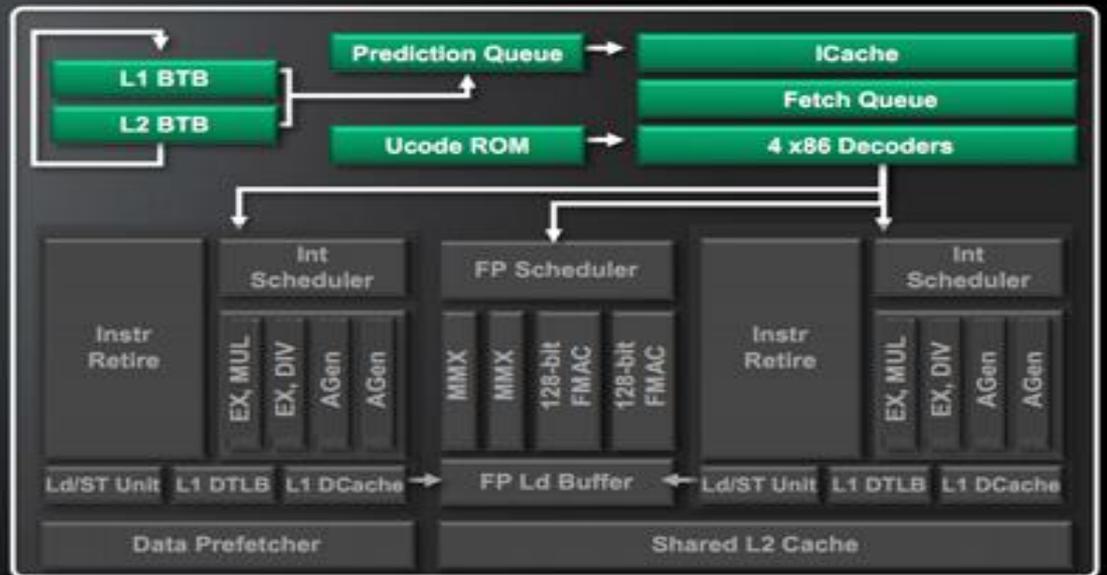
- Thread retire logic
- PRF-based register renaming
- Unified scheduler per core
- Way-predicted 16K Byte L1 Dcache
- DTLB: 32-entry fully associative
- Fully out-of-order ld/st
 - 2 128-bit loads/cycle
 - 1 128-bit store/cycle
 - 40-entry Load queue
 - 24-entry Store queue



Общие ресурсы

Core Microarchitecture – Shared Frontend

- Decoupled predict and fetch pipelines
- Prediction-directed instruction prefetch
- Icache: 64K Byte, 2-way
- 32-Byte fetch
- ITLBs:
 - L1: 72-entry, FA, mixed page sizes
 - L2: 512-entry, 4-way, 4K pages
- Branch fusion

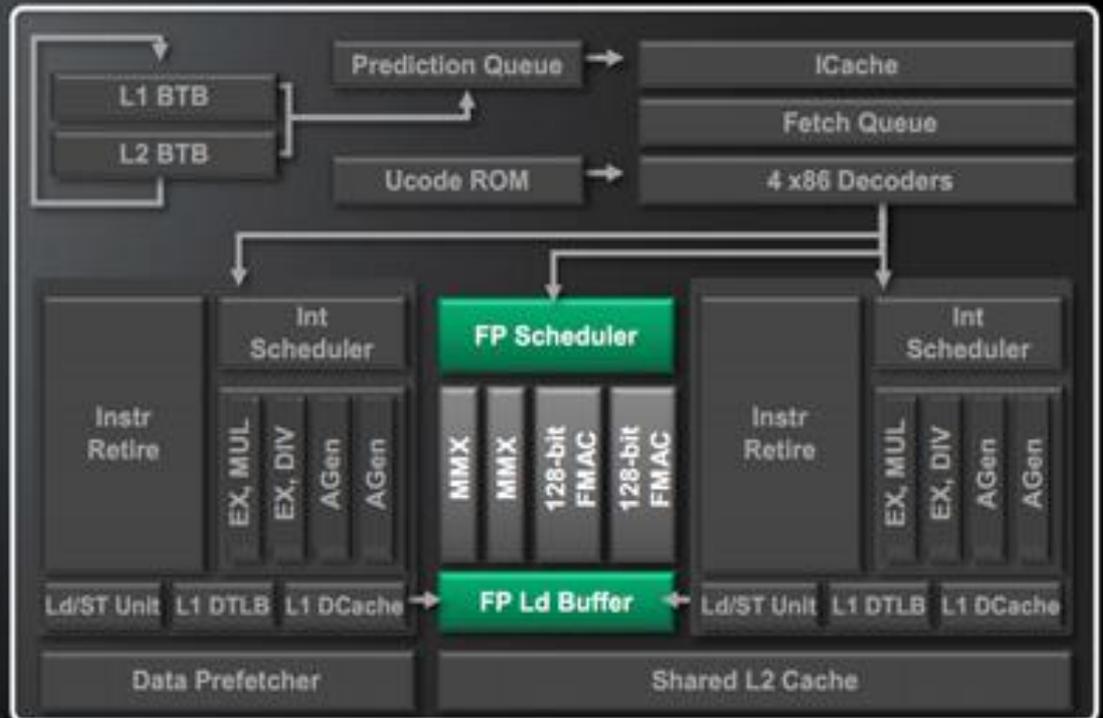


в совместном использовании потоков оказывается та часть процессора, которая осуществляет предварительную обработку данных. Предсказатель ветвления, x86-декодеры, и так далее, включая 64-килобайтный кеш инструкций, — все это содержится в единственном разделяемом блоке двухъядерного модуля Bulldozer.

Общий блок обработки вещественных чисел

Core Microarchitecture – Shared FPU

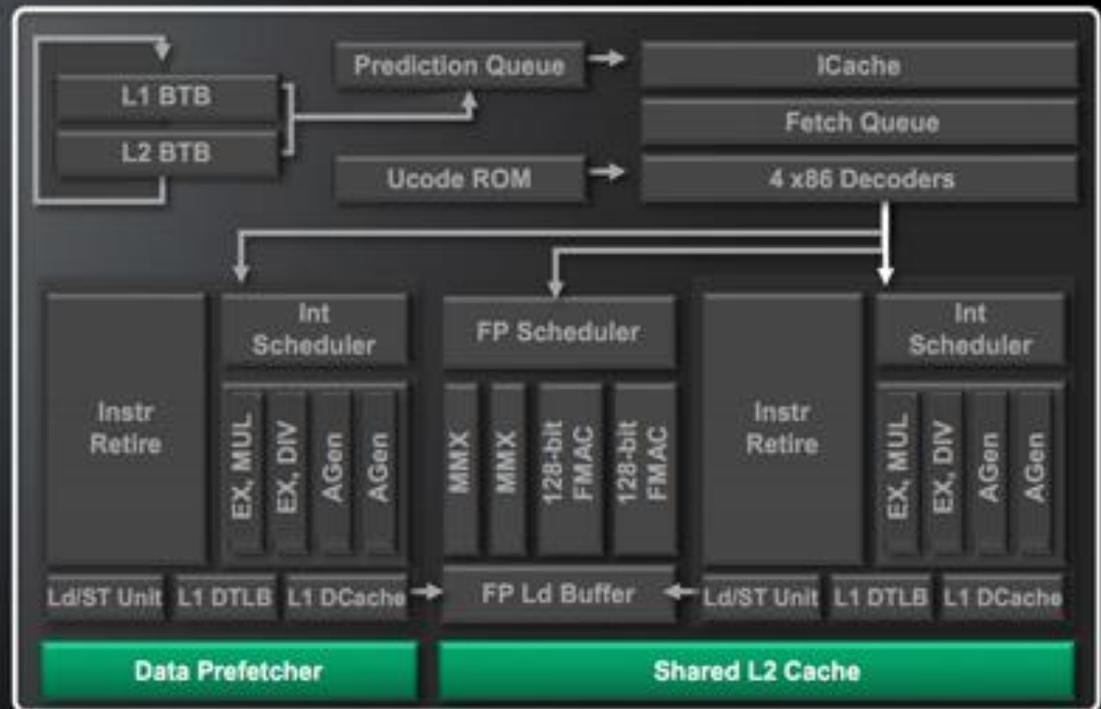
- Co-processor organization
- Reports completion back to parent core
- Dual 128-bit FMAC pipes
- Dual 128-bit packed integer pipes
- PRF-based register renaming
- Unified scheduler (for both threads)



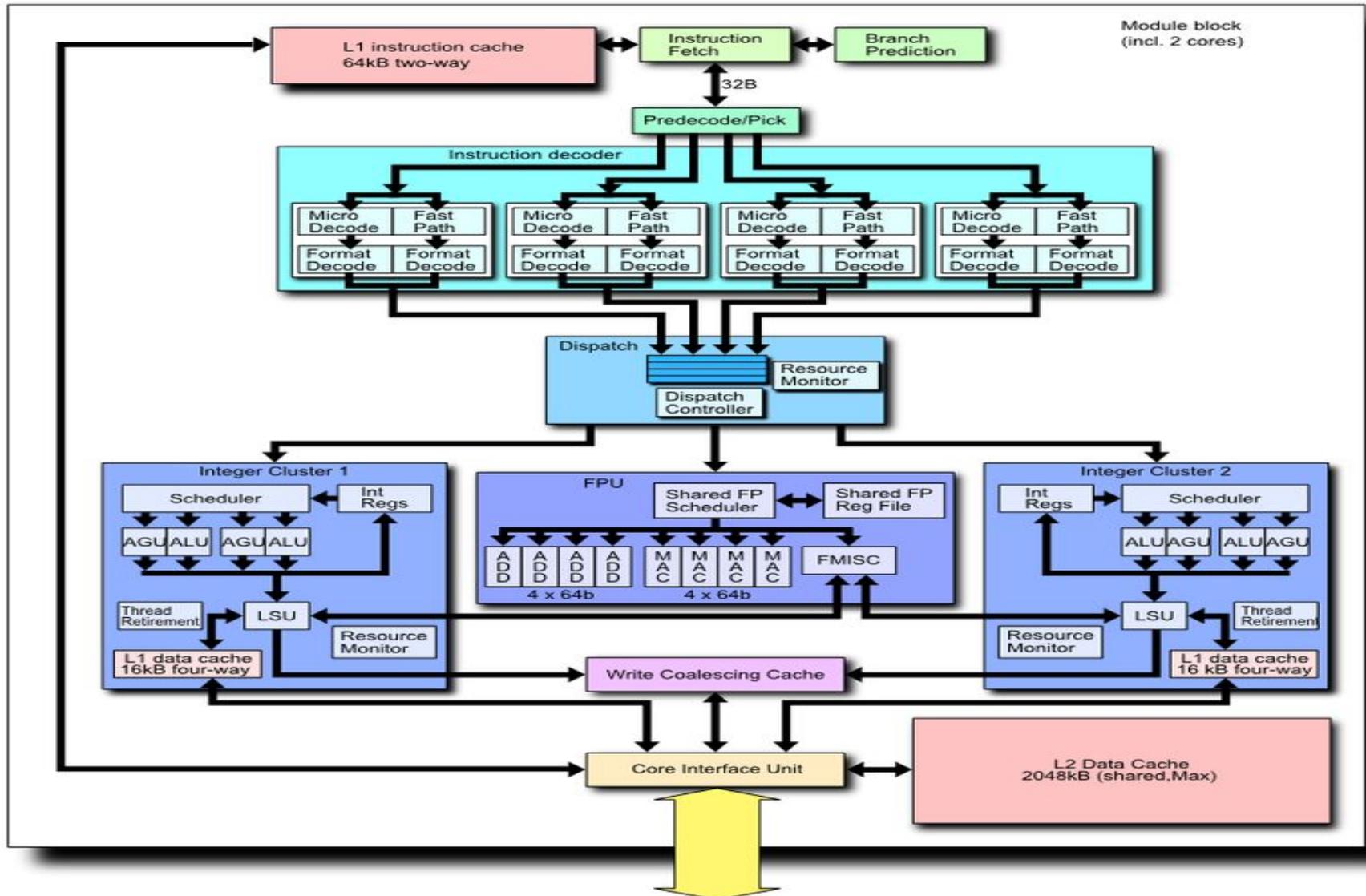
Общий кэш второго уровня

Core Microarchitecture – Shared L2

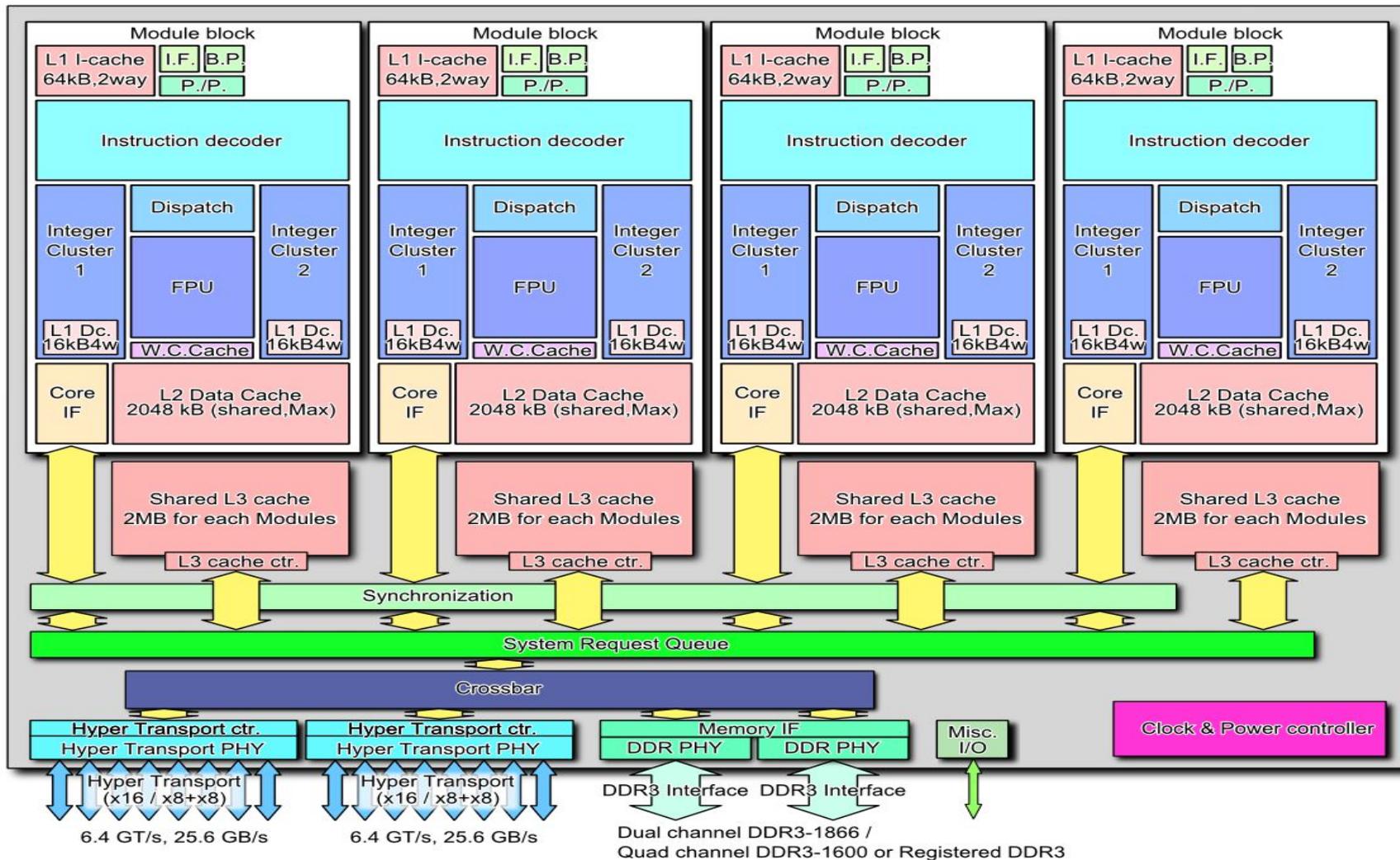
- 16-way unified L2 cache
- L2 TLB and page walker
 - 1024-entry, 8-way
 - Services both I-side and D-side requests
- Multiple data prefetchers (more on this later)
- 23 outstanding L2 cache misses for memory system concurrency



Процессор AMD bulldozer K-11

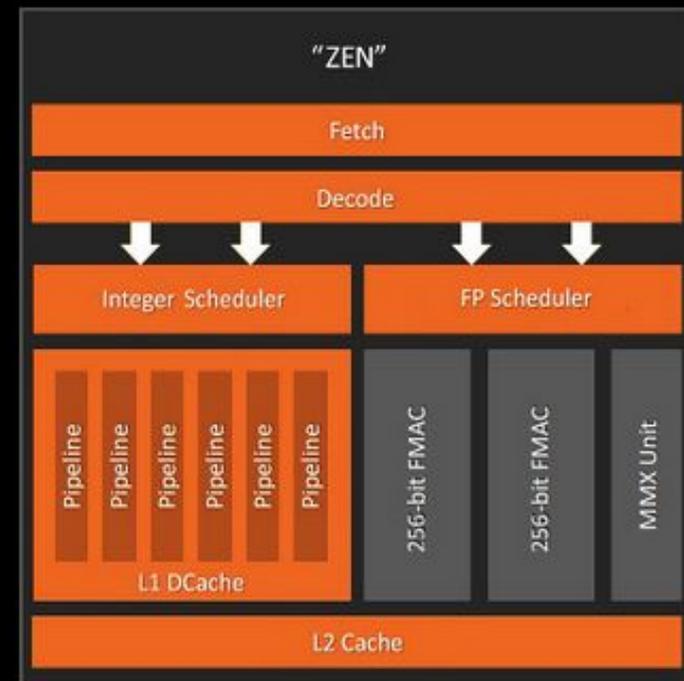
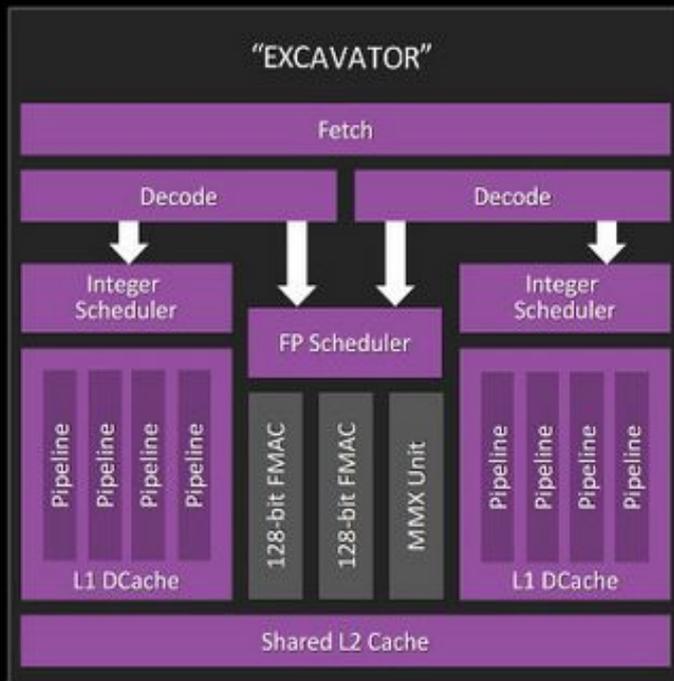


8 ядерный бульдозер



K-11 AMD

INTRODUCING AMD'S "ZEN" CORE



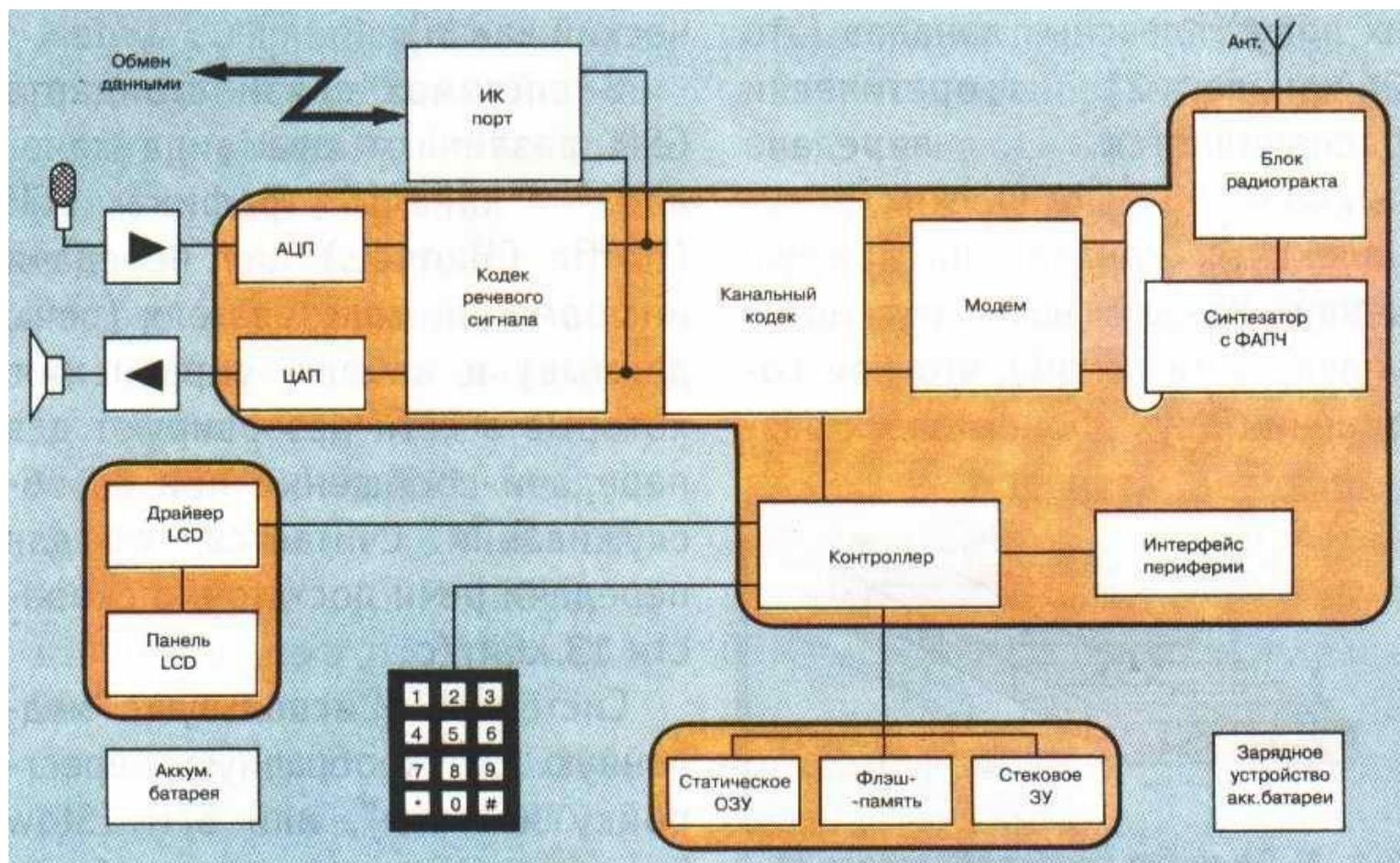
Особенности ZEN

- два потока на ядро;
- кэш декодированных микроопераций;
- 16 МБ общей кэш-памяти третьего уровня (2 МБ на ядро, тип — victim);
- большая унифицированная кэш-память второго уровня (512 КБ на ядро);
- два блока с реализацией аппаратных ускорителей стандарта шифрования AES;

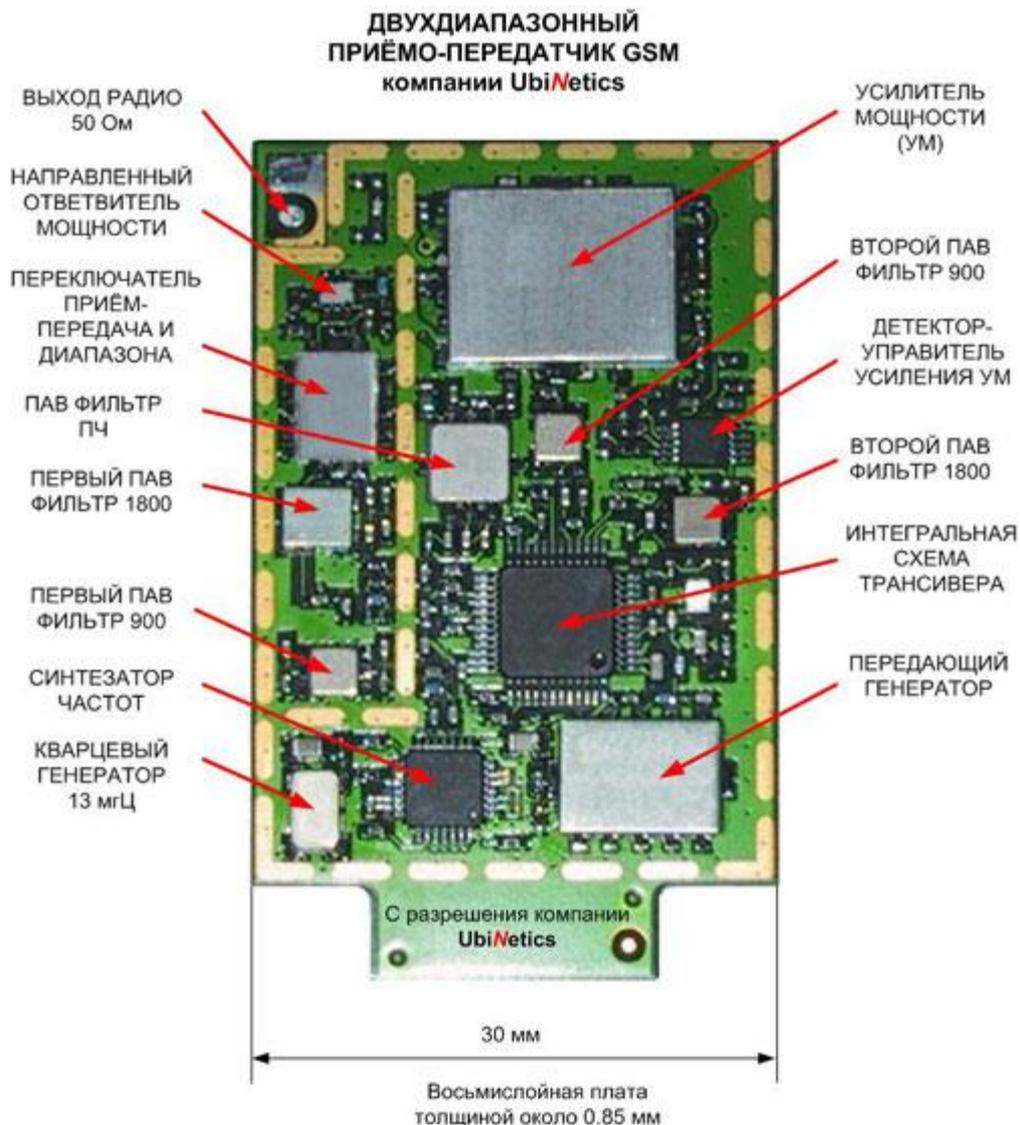
Микропроцессоры для сотовых телефонов(некоторые)

- **Samsung** Galaxy S 432нм Samsung Exynos 5410 восьмиядерный big.LITTLE ARM Cortex-A15+A7
- **HTC** One 32нм Qualcomm Snapdragon 600 APQ8064 четырехядерный ARM Cortex-A9
- **Samsung** Galaxy S III, Galaxy Note II, Galaxy Note 10.1 32нм Samsung Exynos 4412 четырехядерный ARM Cortex-A9
- **Samsung** Chromebook XE303C12, Nexus 10 32нм Samsung Exynos 5250 двухядерный ARM Cortex-A15
- **Samsung** Galaxy S II, Galaxy Note, Tab 7.7, Galaxy Tab 7 Plus 45нм Samsung Exynos 4210 двухядерный ARM Cortex-A9
- **Samsung** Galaxy S, Wave, Wave II, Nexus S, Galaxy Tab,
- **Meizu** M9 45нм Samsung Exynos 3110 одноядерный ARM Cortex-A8
- **Apple** iPhone 3GS, iPod touch 3gen 65нм Samsung S5PC100 одноядерный ARM Cortex-A8
- **LG** Optimus G, Nexus 4,
- **Sony** Xperia Z 28нм Qualcomm APQ8064 (ядра Krait) четырехядерный ARM Cortex-A9

Структурная схема GSM телефона



Приемо-передатчик GSM



Топ-10

- **6-ядерный Qualcomm Snapdragon 808**
- В его архитектуре используется концепция совмещения нескольких разных по частоте ядер ARM big.LITTLE. В нее входят два ядра Cortex A57 по 2 ГГц и четыре ядра Cortex A53 по 1,5 ГГц.



Xiaomi Mi4s, LG G4, Lenovo Vibe X3.

Топ-10

- **6-ядерный Qualcomm Snapdragon 650**
- Структура состоит из четырех ядер Cortex A53 с частотой каждого по 1,2 ГГц и двух высокопроизводительных ядер Cortex-A72 с частотой 1,8 ГГц.



Xiaomi Redmi Note 3 Pro, Sony Xperia X

Топ-10

- **2-ядерный Apple A8**
- Чип оснащен двумя ядрами на однокристальной системе с фирменной архитектурой Cyclone. Обе модели «яблочных» мобильных устройств шестого поколения оснащались по 1 ГБ ОЗУ.



iPhone 6 и iPhone 6 Plus

Топ-10

- **8-ядерный Qualcomm Snapdragon**
- Это улучшенная 8-ядерная версия Snapdragon 650, которая получила четыре ядра Cortex-A53 со стандартной частотой 1,2 ГГц и четыре ядра Cortex-A57 с увеличенным быстродействием в 1,8 ГГц. Ядра работают на базе архитектуры ARMv8-ISA.



Samsung Galaxy A9, Oppo R9 Plus, ZTE Nubia Z11 Max

Топ-10

- **8-ядерный Samsung Exynos 7420**
- используется 8-ядерная архитектура маленьких-больших ядре big.LITTLE, где четыре производительных Cortex-A57 (2,1 ГГц) и четыре менее быстрых Cortex-A53 (1,5 ГГц).



Samsung Galaxy S6 Edge, знаменитый Samsung Galaxy Note 5, и не менее популярный Meizu Pro 5.

Топ-10

- **8-ядерный Huawei Kirin 950**
- используется система из 8 ядер, где идет тоже распределение на четыре Cortex-A53 (частота 1,8 ГГц) и четыре Cortex-A57 (частота 2,3 ГГц).



Huawei P9, Huawei Mate 8, Huawei Honor 8

Топ-10

Smartphone Chip Performance TOP 10 on Antutu V6.0

Data Source: Antutu Benchmark(2016.03)

