

# *Электроника и схемотехника*

## *Лекция №4.*

### *Преобразователи двоичного кода в двоично-десятичный код.*

**1. Решение задачи преобразования двоичного кода в двоично-десятичный.**

**2. Синтез преобразователя двоичного кода в двоично-десятичный. Построение схем преобразователей.**

**3. Преобразователь двоичного в двоично-десятичный код при изменяемой разрядности входного кода.**

# 1. Решение задачи преобразования двоичного кода в двоично-десятичный.

Если представить себе передачу информации на схемах, преобразующих двоично-десятичный в двоичный код, в обратном направлении, то получим преобразователи двоичного кода в двоично-десятичный код. Из этого следует, что в качестве элементарных преобразователей кодов можно использовать преобразователи двоично-десятичного в двоичный код с четырьмя входами и четырьмя выходами, а также с четырьмя входами и пятью выходами, произведя взаимную замену соответствующих весов, указанных на дополнительных полях (рис. 1, а, б).

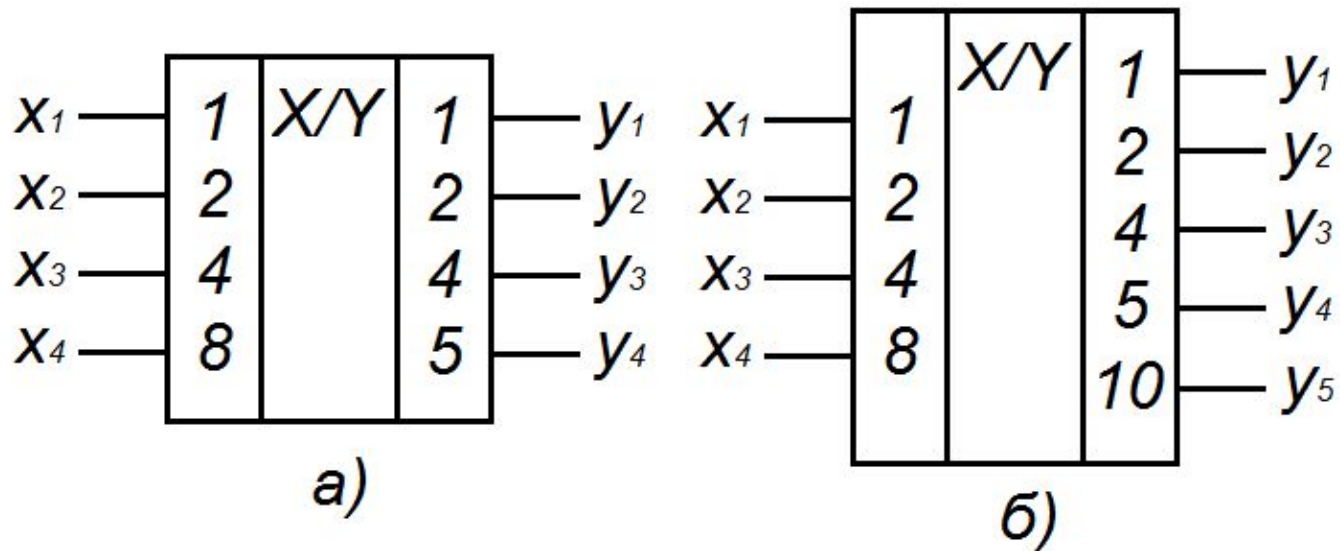


Рис.1 УГО элементарных преобразователей двоичного кода в двоично-десятичный код: а — с четырьмя входами и четырьмя выходами, б — четырьмя входами и пятью выходами

Рассмотрим преобразователь, имеющий четыре входа и четыре выхода (рис. 1., а). Он должен выполнять функцию, обратную функции преобразования двоично-десятичного кода в двоичный код, т. е. при  $X \geq 5$  надо производить сложение числа  $X = (x_4, x_3, x_2, x_1)$  с числом 3. Таким образом, данный преобразователь выполняет функцию:

$$Y = \begin{cases} X, & \text{если } 0 \leq X \leq 4, \\ X + 3, & \text{если } 5 \leq X \leq 9. \end{cases} \quad (1)$$

Числа 10, ..., 15 не могут появляться на входе данного преобразователя. В качестве примера на рис. 2 приведена схема преобразователя девятиразрядного двоичного числа в трехразрядное десятичное число, представленное в двоично-десятичном коде.

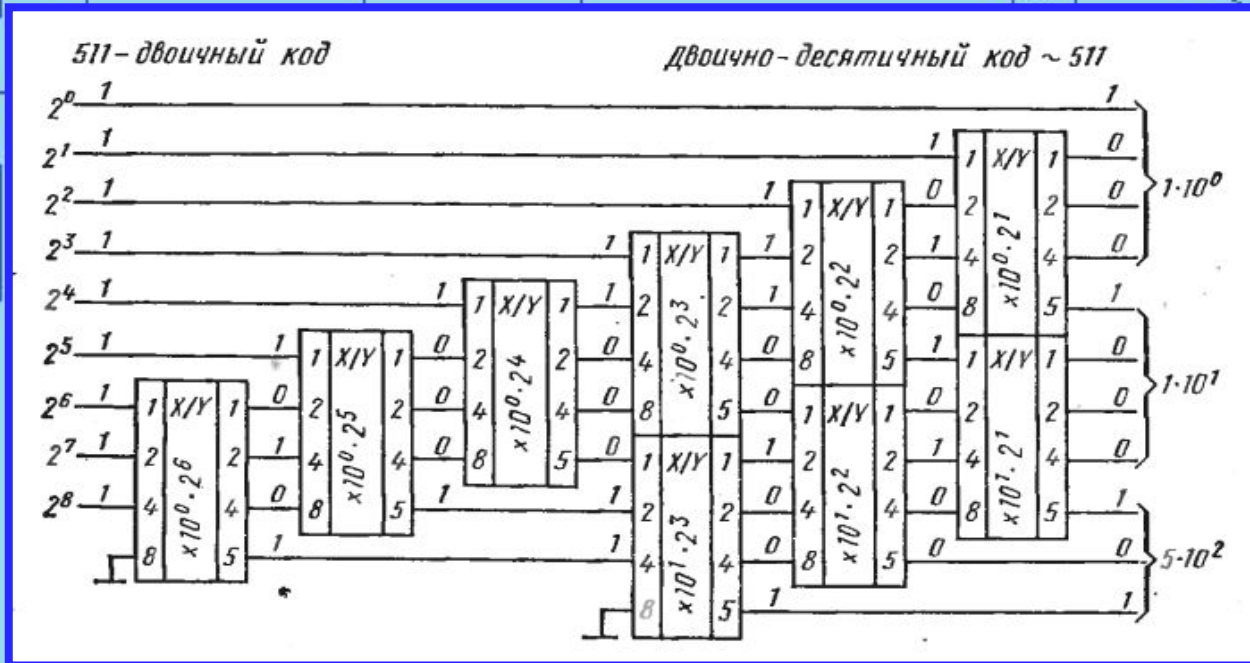


Рис.2 Схема преобразователя восьмиразрядного двоичного кода в двоично-десятичный код, выполненная на элементарных преобразователях с четырьмя входами и четырьмя выходами

Правила составления преобразователей двоичного кода в двоично-десятичный код:

- 1) веса разрядов входных сигналов всех преобразователей кодов должны находиться в отношении 1:2:4:8;
- 2) так как каждый преобразователь кодов преобразует только один двоичный разряд в двоично-десятичный разряд (вес 8 изменяется на вес 5), то преобразователь двоичного кода в двоично-десятичный код имеет пирамидальную структуру;
- 3) построение пирамиды продолжается до тех пор, пока не будут получены веса  $10^j 2^i$ , где  $j = 0, 1, 2, \dots$  (за исключением старшего десятичного разряда);
- 4) на преобразователи нельзя подавать двоичные числа, превышающие сумму весов выходных сигналов  $5 + 4 + 2 + 1 = 12$ .

Последнее правило относится к преобразователям, составляющим нижний ряд схемы преобразователя двоичного кода в двоично-десятичный код (см. рис. 2). По этим правилам можно составить схему преобразователя для любого n-разрядного двоичного числа.

## 2.4 Синтез преобразователя двоичного кода в двоично-десятичный. Построение схем преобразователей.

### Синтез преобразователя кодов

Выполним синтез преобразователя, описываемого соотношением (1), условное графическое обозначение которого представлено на рис. 1а. Для этого по функции составим таблицу истинности (табл. 1).



Таблица № 1

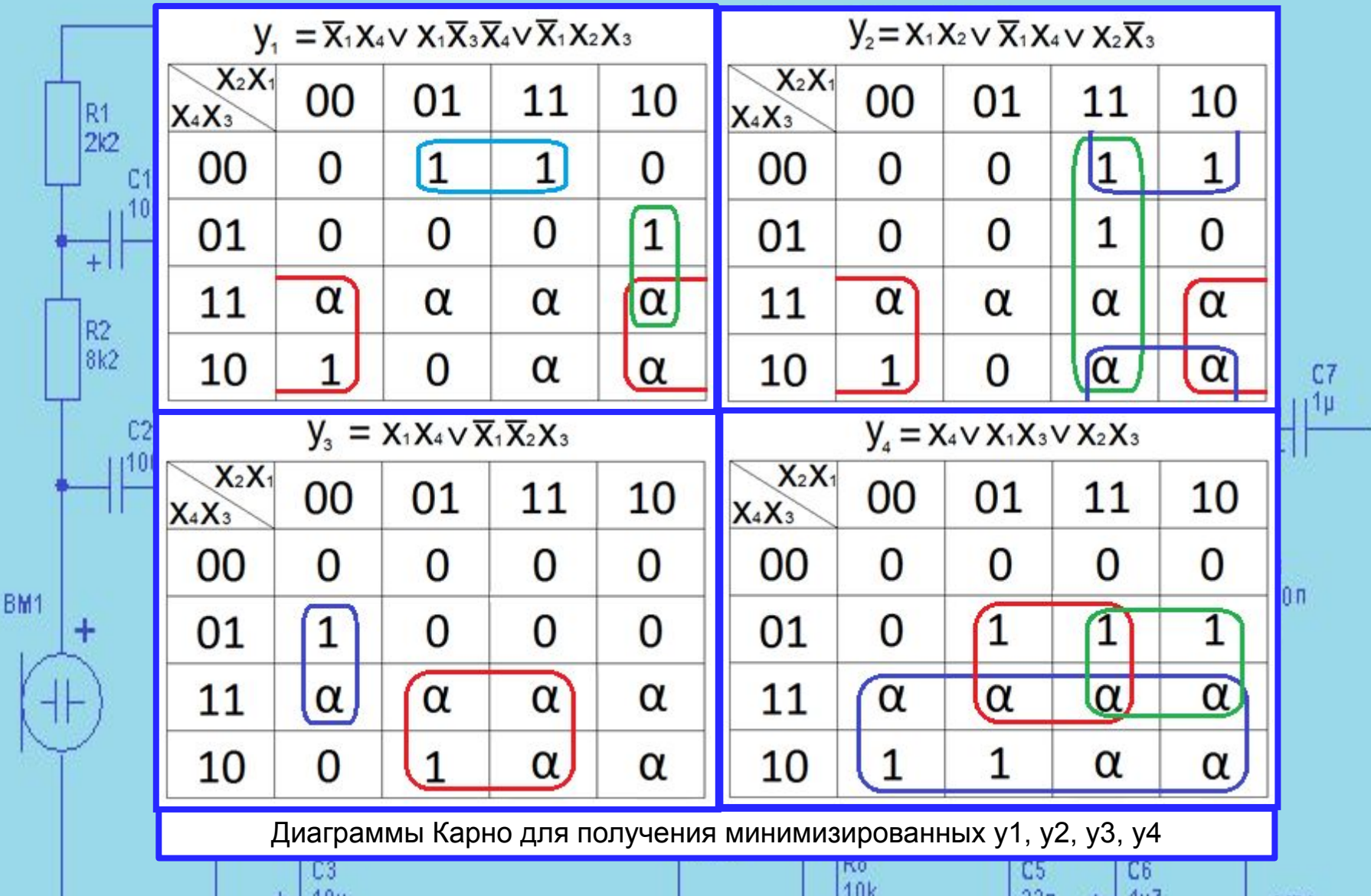
i	x4	x3	x2	x1	y4	y3	y2	y1
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
8	0	1	0	1	1	0	0	0
9	0	1	1	0	1	0	0	1
10	0	1	1	1	1	0	1	0
11	1	0	0	0	1	0	1	1
12	1	0	0	1	1	1	0	0

Таблица истинности преобразователя кодов

Сделаем синтез преобразователя кодов, задаваемого соотношением (1), которому соответствует таблица истинности (табл. 1), приведенная выше. Составим диаграммы Карно (или Вейча) для функций  $y_1, \dots, y_4$ , минимизируем и получим выражения:

$$\begin{aligned}
 y_1 &= \bar{x}_1 x_4 \vee x_1 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3; \\
 y_2 &= x_1 x_2 \vee \bar{x}_1 x_4 \vee x_2 \bar{x}_3; \\
 y_3 &= x_1 x_4 \vee \bar{x}_1 \bar{x}_2 x_3; \\
 y_4 &= x_4 \vee x_1 x_3 \vee x_2 x_3.
 \end{aligned}$$

Для определенности использовались диаграммы Карно.



Поскольку двоичные сумматоры выполняют более сложные функции, чем логические элементы И-НЕ (ИЛИ-НЕ), то рассмотрим синтез преобразователя, описываемого соотношением (1), на двоичных сумматорах.

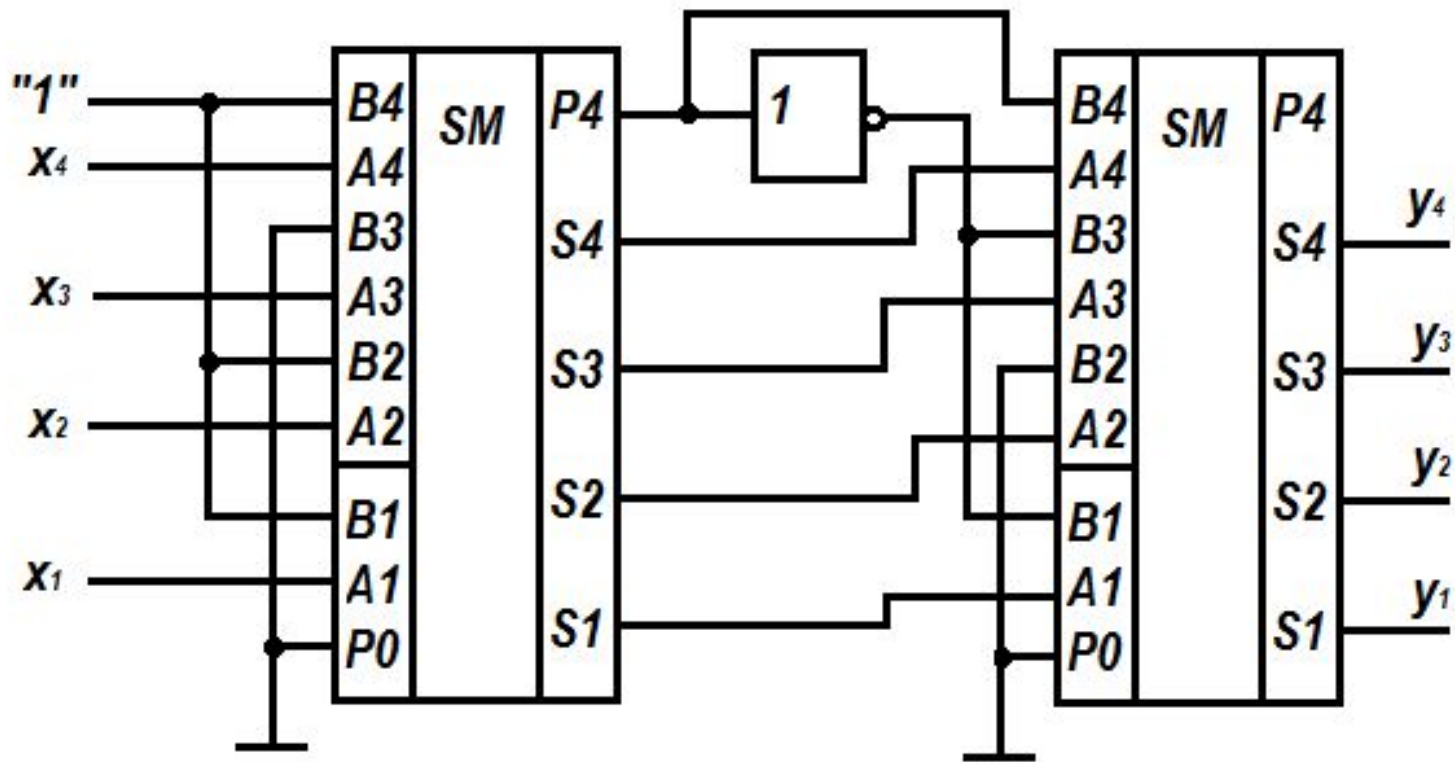


Рис.3 Схема элементарного преобразователя двоичного кода в двоично-десятичный с четырьмя входами и четырьмя выходами, выполненная на четырехразрядных сумматорах

Так как при  $5 \leq X \leq 9$  функция  $Y = X + 3$ , то необходимость операции суммирования с числом 3 можно установить с помощью сумматора, вычисляющего сумму  $X + 11$ , поскольку при  $X \geq 5$  возникает перенос  $P_4 = 1$ , а при  $X < 5$  - перенос  $P_4 = 0$ . Тогда, используя второй двоичный сумматор (рис. 3), легко реализовать функцию, описываемую соотношением (1). Действительно, при  $P_4 = 0$  второй двоичный сумматор вычисляет сумму  $(X + 11) + 5 = 16 + X$ . Так как выходами схемы являются выходы второго сумматора  $S_1, S_2, S_3, S_4$ , то число 16, которое появляется на выходе  $P_4$ , те-

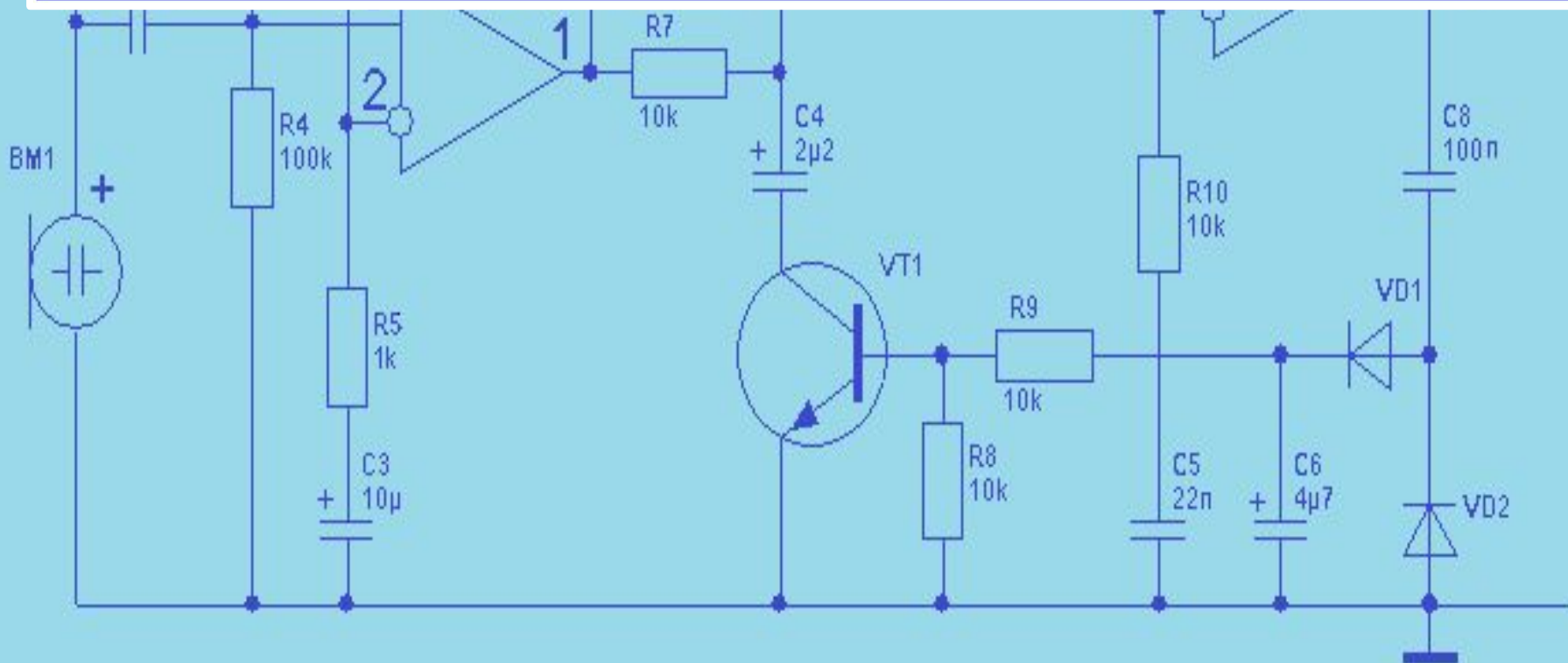
руется. Если же  $P_4 = 1$ , то второй двоичный сумматор вычисляет сумму  $(X + 11) + 8 = X + 19 = 16 + (X + 3)$ . Итак, схема на рис. 3 действительно выполняет функцию описываемую соотношением (1).

Выполним синтез такого же преобразователя на сдвоенных четырехканальных мультиплексорах (см. рис. 4). Для этого будем считать, что сложность получаемой в результате синтеза комбинационной схемы зависит от выбора переменных, используемых в качестве адресных переменных мультиплексора. Если в качестве адресных переменных для функций  $y_1$  и  $y_4$  использовать переменные  $x_1$  и  $x_3$ , а для функций  $y_2$  и  $y_3$  — переменные  $x_1$  и  $x_2$ , то будет получена наиболее экономичная комбинационная схема.

Для мультиплексоров, реализующих функции выходов:

$y_1$  и  $y_4$  (см. рис.4)  $A_0 = 1, A_1 = x_2, A_2 = A_3 = x_4, B_0 = 0, B_1 = x_2, B_2 = \overline{x_4}, B_3 = x_4$ ;

$y_2$  и  $y_3$  (см. рис.4)  $A_0 = 1; A_2 = \overline{x_3}, A_2 = 0, A_3 = x_4, B_0 = B_1 = 0, B_2 = x_4, B_3 = x_3$ .





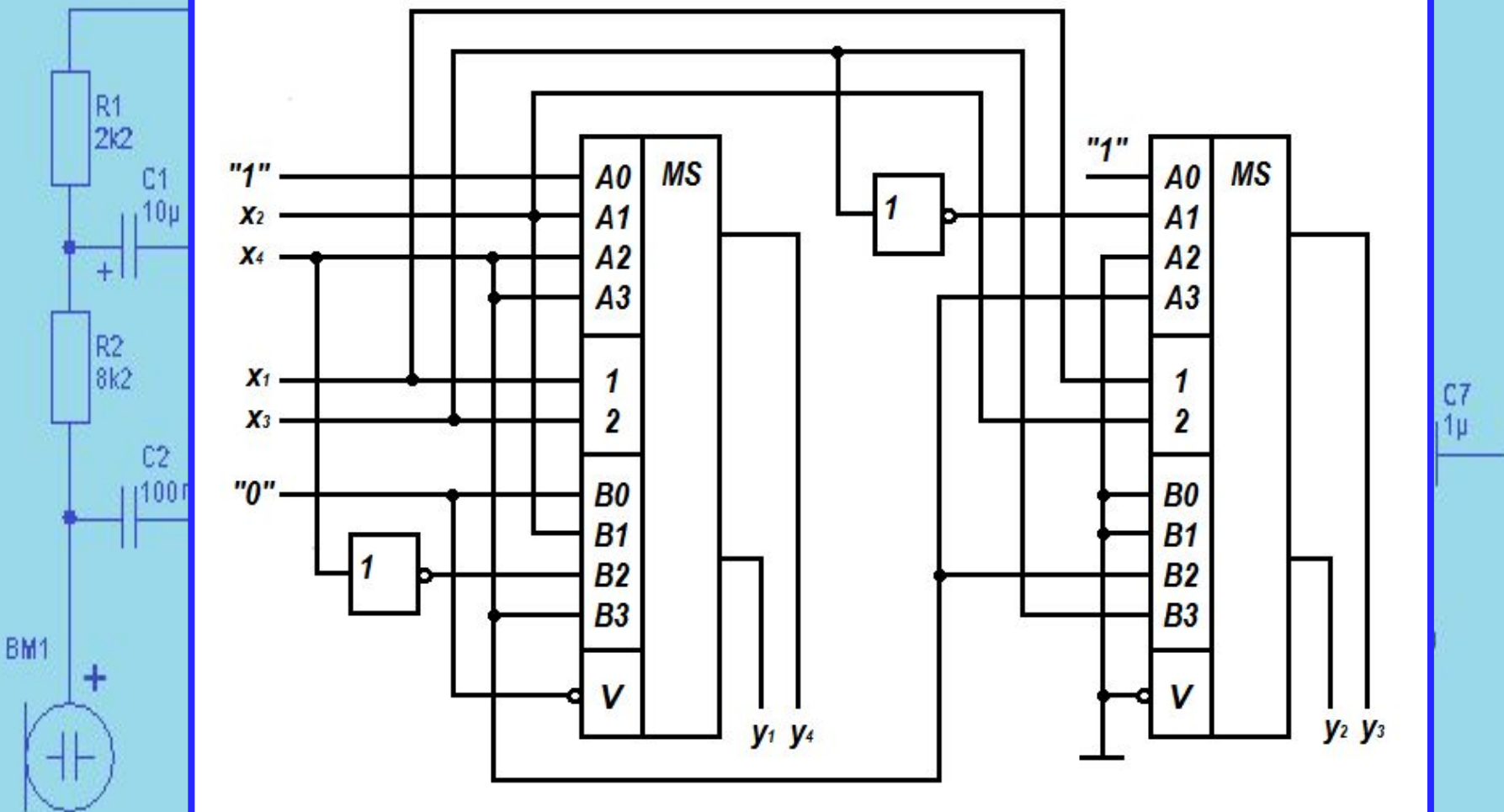


Рис.4 Схема элементарного преобразователя двоичного кода в двоично-десятичный код с четырьмя входами и четырьмя выходами на двух сдвоенных четырехканальных мультиплексах

Недостатком рассмотренных преобразователей кодов с четырьмя входами и четырьмя выходами является то, что сумма весов входных сигналов ( $8 + 4 + 2 + 1 = 15$ ) больше, чем сумма весов выходных ( $5 + 4 + 2 + 1 = 12$ ), что вызывает необходимость подачи сигнала «0» на некоторые преоб-

разователи (см. рис. 2). пропускает его постоянную составляющую.

На рис. 5, также как и на рис. 1 б, показан элементарный преобразователь кодов, имеющий четыре входа и пять выходов, сумма весов выходных сигналов которого ( $10 + 5 + 4 + 2 + 1 = 22$ ) больше суммы весов входных сигналов ( $8 + 4 + 2 + 1 = 15$ ). Такой преобразователь позволяет уменьшить число микросхем, используемых для построения преобразователя двоичного кода в двоично-десятичный код (рис. 6), так как на значения двоичных чисел, подаваемых на входы элементарных преобразователей, сняты ограничения.

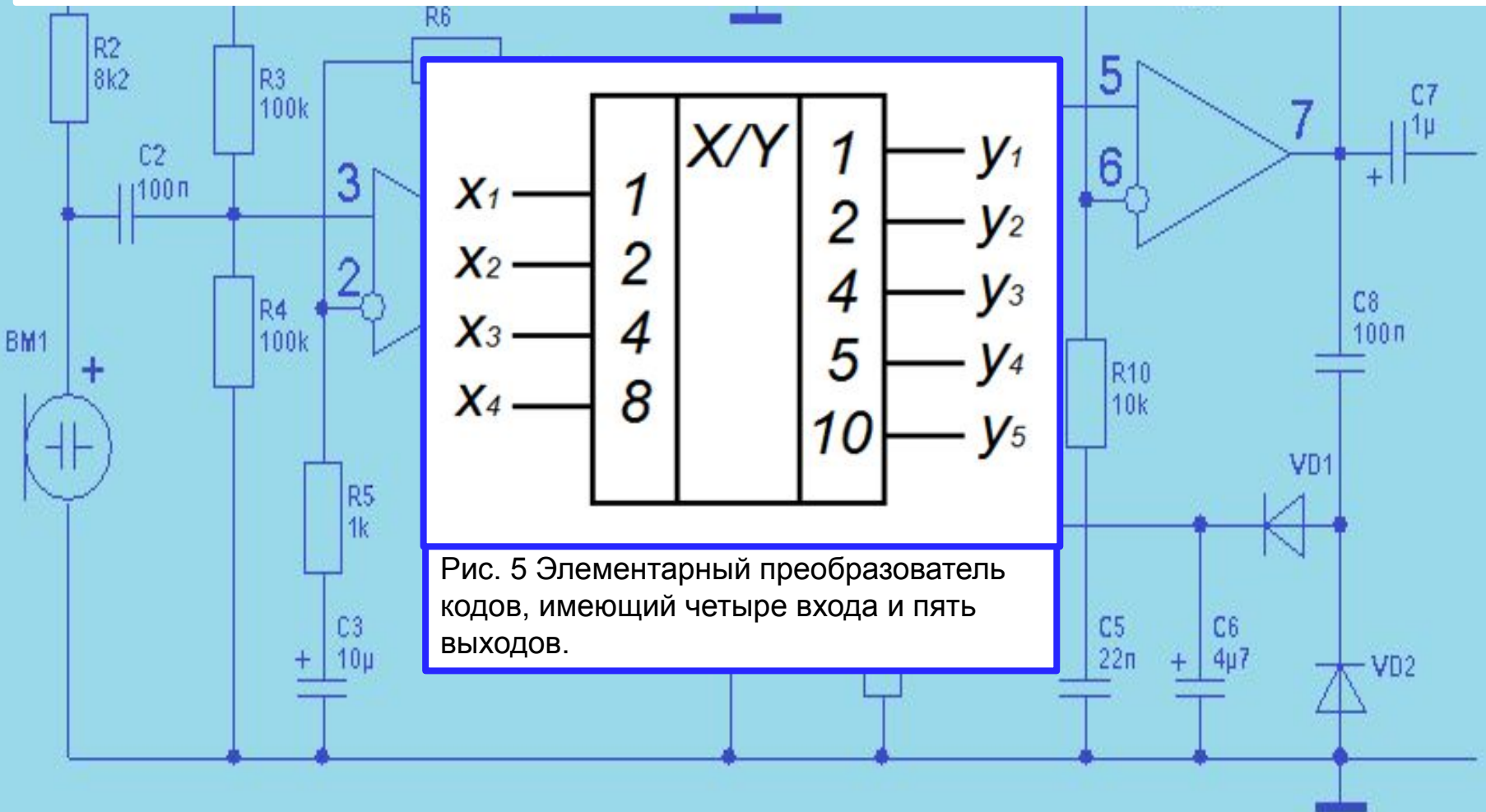


Рис. 5 Элементарный преобразователь кодов, имеющий четыре входа и пять выходов.

511 - двоичный код

Двоично-десятичный код ~ 511

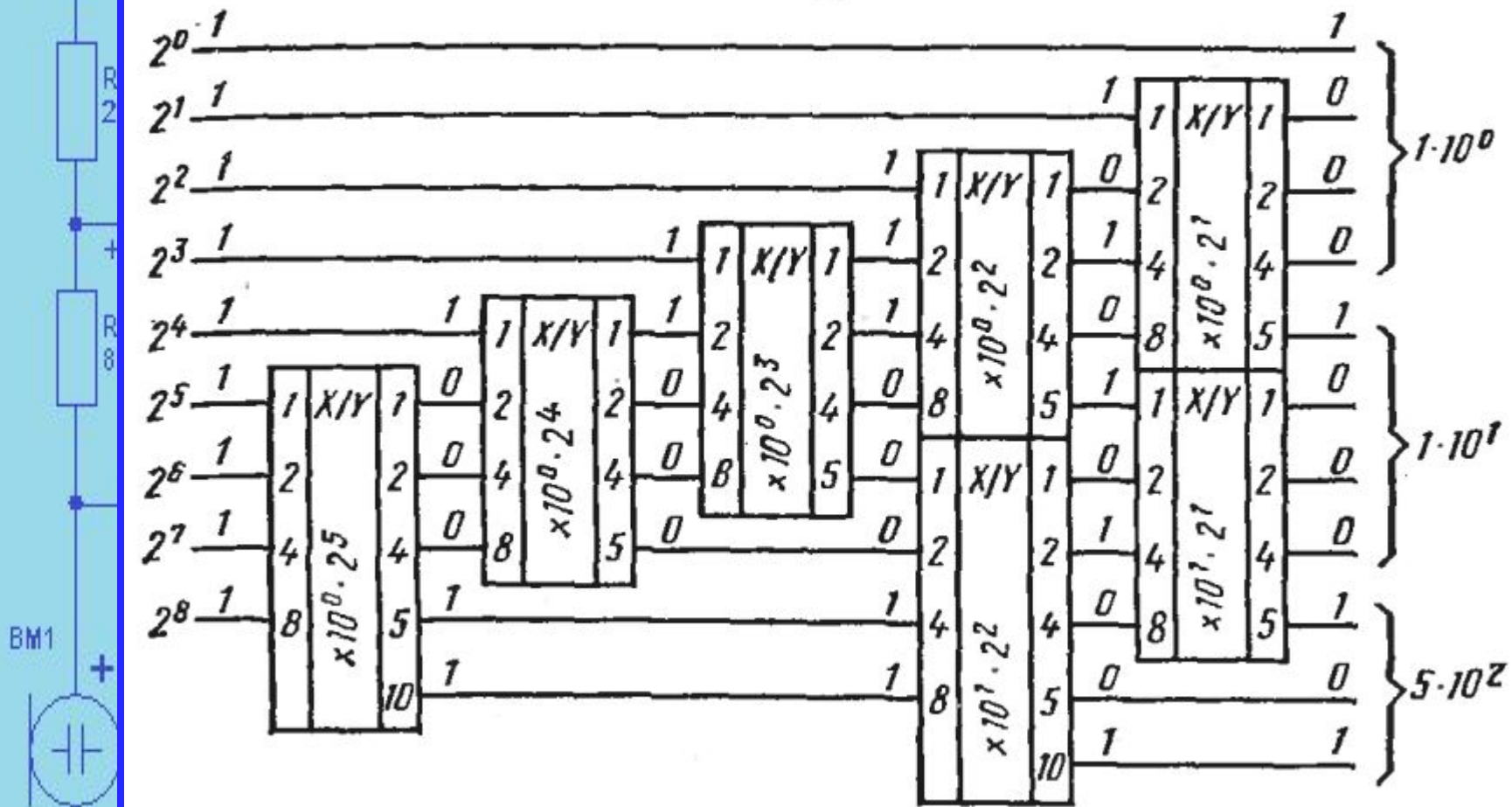
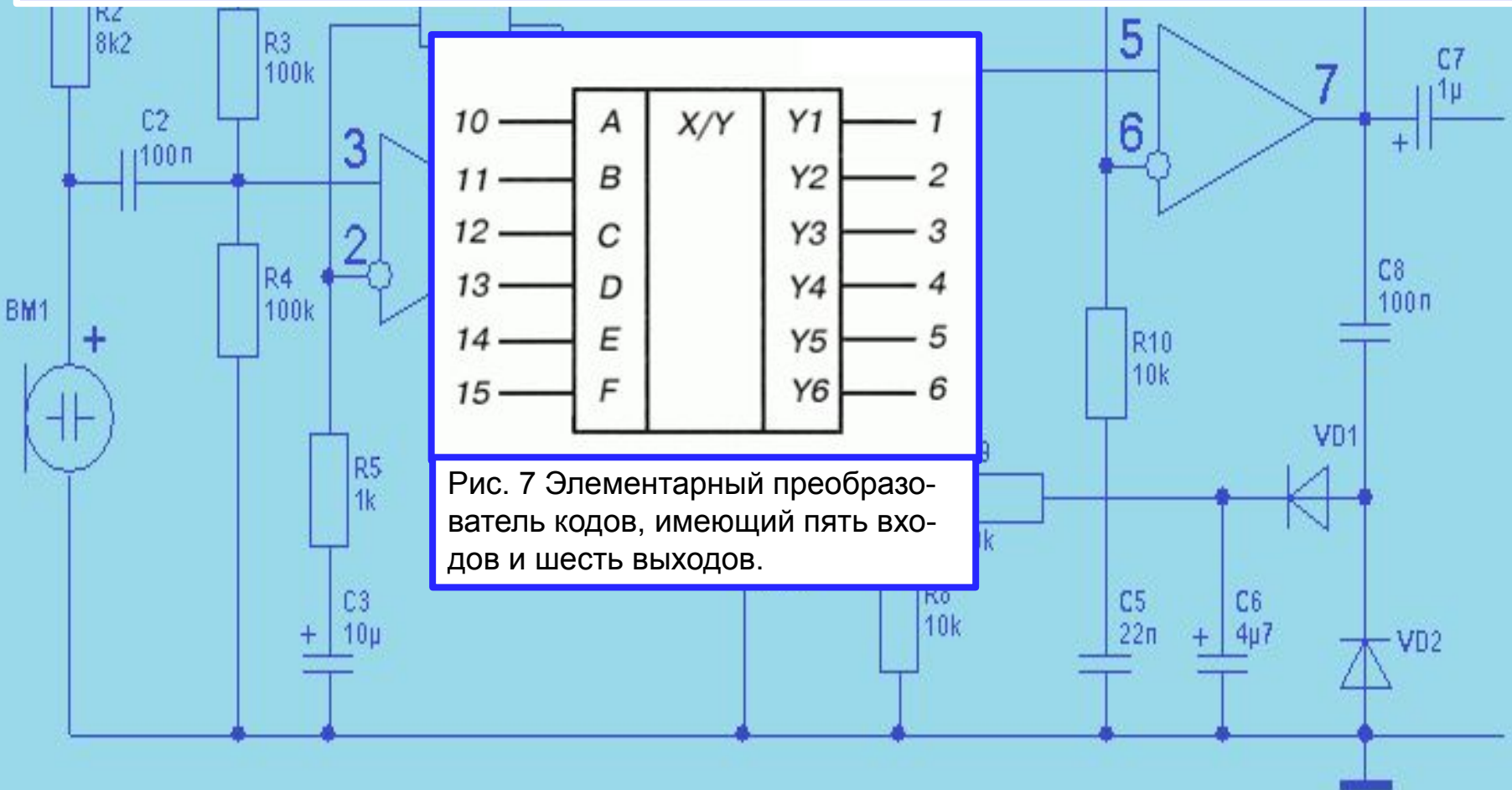


Рис.6 Схема преобразователя восьмиразрядного двоичного кода в двоично-десятичный код, выполненная на элементарных преобразователях с четырьмя входами и пятью выходами



На рис. 7 показан преобразователь кодов, имеющий пять входов и шесть выходов ( $V$  – дополнительный стробирующий вход). Такой преобразователь реализован на микросхеме K155ПР7, которая выполнена в виде ПЗУ. Понятно, что чем больше двоичных разрядов преобразуется в двоично-десятичные разряды, тем проще будет схема преобразователя многоразрядного двоичного кода в многоразрядный двоично-десятичный код.

На рис. 8 показана схема преобразователя 12-разрядного двоичного кода в двоично-десятичный код, выполненная на основе микросхем K155ПР7. Правила составления схемы данного преобразователя такие же, как и схемы преобразователя, представленного на рис. 6. Таким же образом можно составить схему преобразователя для любого  $n$ -разрядного двоичного кода.





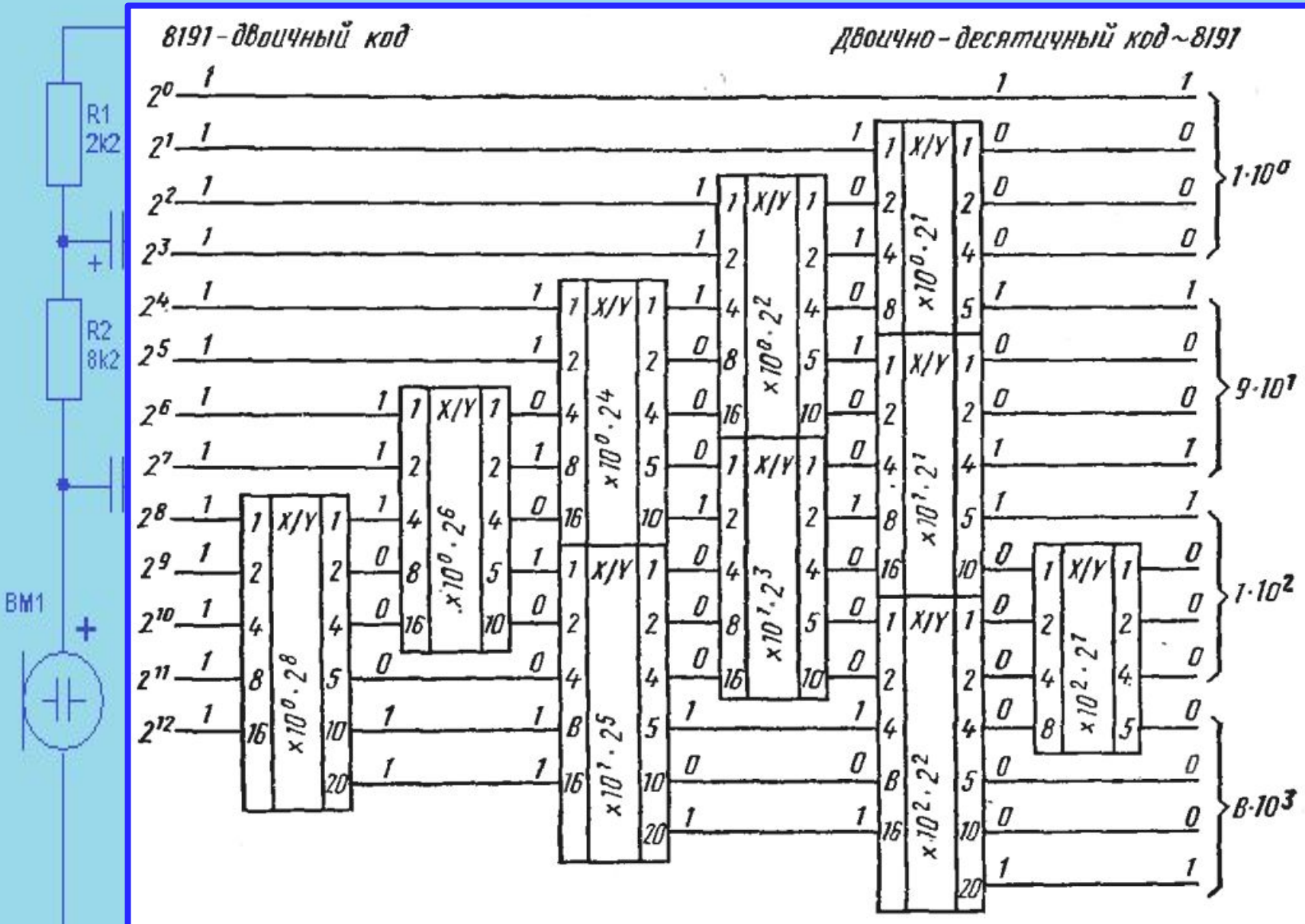


Рис.8 Схема преобразователя 12-разрядного двоичного кода в двоично-десятичный код, выполненная на микросхемах 155ПР7

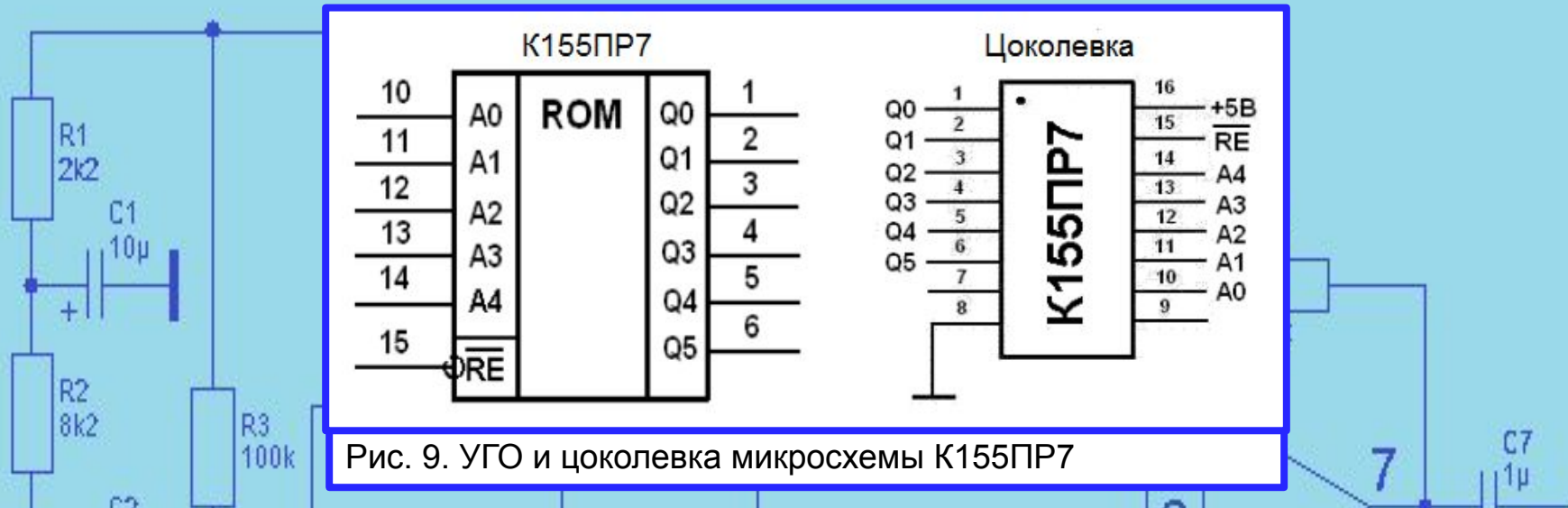


Рис. 9. УГО и цоколевка микросхемы К155ПР7

Назначение выводов:

- 1 - выход Q0(Y1);
- 2 - выход Q1(Y2);
- 3 - выход Q2(Y3);
- 4 - выход Q3(Y4);
- 5 - выход Q4(Y5);
- 6 - выход Q5(Y6);
- 7,9 - свободные;
- 8 - общий;
- 10 - вход адресный A0(A);
- 11 - вход адресный A1(B);
- 12 - вход адресный A2(C);
- 13 - вход адресный A3(D);
- 14 - вход адресный A4(E);
- 15 - вход разрешения выборки RE(F)
- 16 - напряжение питания.

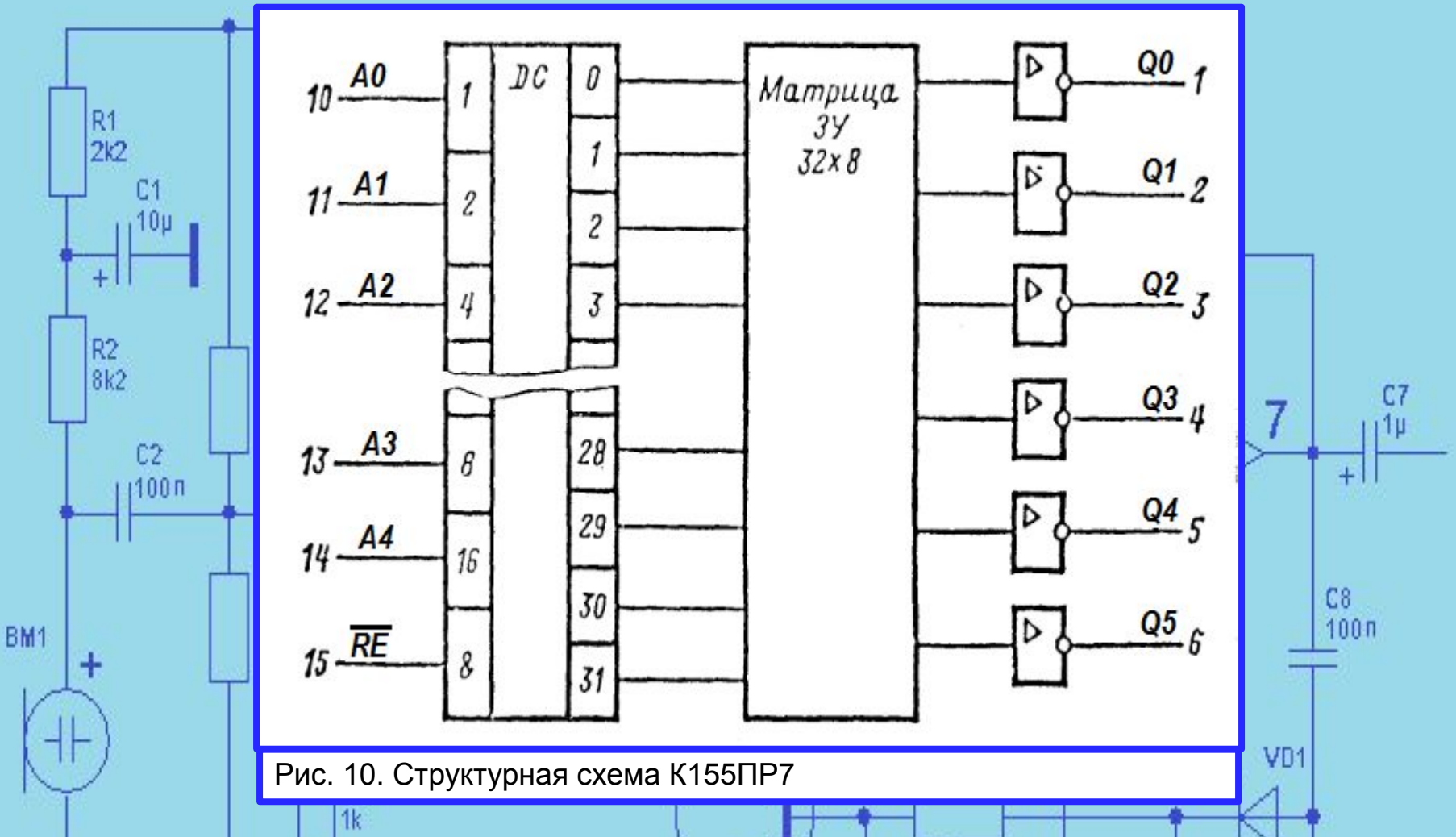


Рис. 10. Структурная схема К155ПР7

ИМС К155ПР7 построена по тому же принципу, что и К155ПР6, но отличается обратным действием, т.е. преобразует двоичный код на входах в двоично-десятичный код на выходах. Двоичный код подается на входы А0...А4. Вход разрешения RE используется также, как и в ИМС К155ПР6. Выходы Q6 и Q7 у данной микросхемы не коммутируются и всегда имеют высокие выходные уровни напряжения.

Таблица истинности и параметры микросхемы К155ПР7 приведены на рис.11 и 12, соответственно.

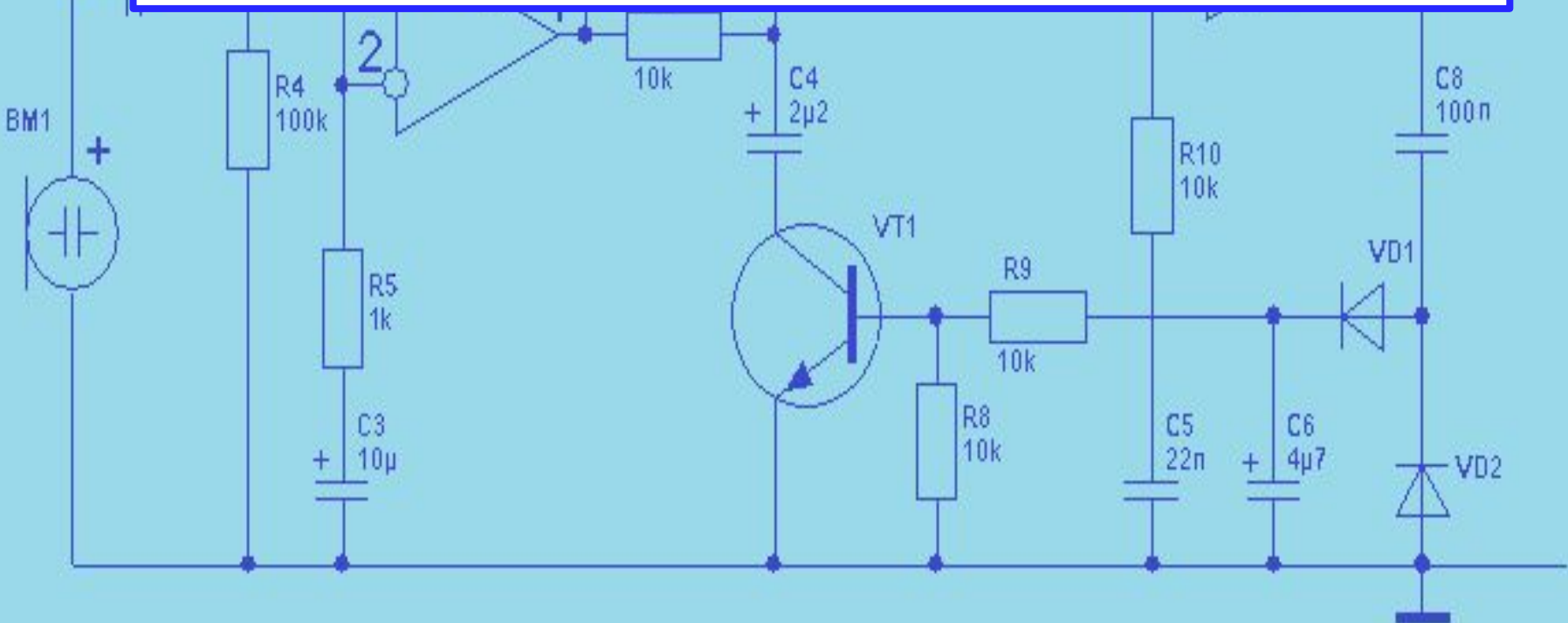
Номер слова	Вход						Двоичный-десятичный код на выходе							
	A4	A3	A2	A1	A0	RE	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0
0	Н	Н	Н	Н	Н	Н	В	В	Н	Н	Н	Н	Н	Н
1	Н	Н	Н	Н	В	Н	В	В	Н	Н	Н	Н	Н	В
2	Н	Н	Н	В	Н	Н	В	В	Н	Н	Н	Н	В	Н
3	Н	Н	В	В	Н	В	В	Н	Н	Н	Н	Н	В	В
4	Н	Н	В	Н	Н	Н	В	В	Н	Н	Н	В	Н	Н
5	Н	Н	В	Н	В	Н	В	В	Н	Н	В	Н	Н	Н
6	Н	Н	В	В	Н	Н	В	В	Н	Н	В	Н	Н	В
7	Н	Н	В	В	В	Н	В	В	Н	Н	В	Н	В	Н
8	Н	В	Н	Н	Н	Н	В	В	Н	Н	В	Н	В	В
9	Н	В	Н	Н	В	Н	В	В	Н	Н	В	В	Н	Н
10	Н	В	Н	В	Н	Н	В	В	Н	В	Н	Н	Н	Н
11	Н	В	Н	В	В	Н	В	В	Н	В	Н	Н	Н	В
12	Н	В	В	Н	Н	Н	В	В	Н	В	Н	Н	В	Н
13	Н	В	В	Н	В	Н	В	В	Н	В	Н	Н	В	В
14	Н	В	В	В	Н	Н	В	В	Н	В	Н	В	Н	Н
15	Н	В	В	В	В	Н	В	В	Н	В	В	Н	Н	Н
16	В	Н	Н	Н	Н	Н	В	В	Н	В	В	Н	Н	В
17	В	Н	Н	Н	В	Н	В	В	Н	В	В	Н	В	Н
18	В	Н	Н	В	Н	Н	В	В	Н	В	В	Н	В	В
19	В	В	В	Н	Н	Н	В	Н	Н	В	В	Н	Н	Н
20	В	Н	В	Н	Н	Н	В	В	В	Н	Н	Н	Н	Н
21	В	Н	В	Н	В	Н	В	В	В	Н	Н	Н	Н	В
22	В	Н	В	В	Н	Н	В	В	В	Н	Н	Н	В	Н
23	В	Н	В	В	В	Н	В	В	В	Н	Н	Н	В	В
24	В	В	Н	Н	Н	Н	В	В	В	Н	Н	В	Н	Н
25	В	В	Н	Н	В	Н	В	В	В	Н	В	Н	Н	Н
26	В	В	Н	В	Н	Н	В	В	В	Н	В	Н	Н	В
27	В	В	Н	В	В	Н	В	В	В	Н	В	Н	В	Н
28	В	В	В	Н	Н	Н	В	В	В	Н	В	Н	В	В
29	В	В	В	Н	В	Н	В	В	В	Н	В	В	Н	Н
30	В	В	В	В	Н	Н	В	В	В	В	Н	Н	Н	Н
31	В	В	В	В	В	Н	В	В	В	В	Н	Н	Н	В
Любое	х	х	х	х	х	В	В	В	В	В	В	В	В	В

Рис. 11 Таблица истинности микросхемы К155ПР7



1	Номинальное напряжение питания	5В +5%
2	Выходное напряжение низкого уровня	$\leq 0,4$ В
3	Напряжение на антизвонном диоде	$\geq -1,5$ В
4	Входной ток низкого уровня	$\leq -1$ мА
5	Входной ток высокого уровня	$\leq 0,04$ мА
6	Входной пробивной ток	$\leq 1$ мА
7	Выходной ток высокого уровня	0,1 мА
8	Ток потребления	$\leq 104$ мА
9	Потребляемая статическая мощность	$\leq 546$ мВт
10	Время задержки распространения при включении по входу "выборка адреса"	$\leq 40$ нс
11	Время задержки распространения при выключении по входу "выборка адреса"	$\leq 40$ нс
12	Время задержки распространения при включении по входу "разрешение выборки"	$\leq 35$ нс
13	Время задержки распространения при выключении по входу "разрешение выборки"	$\leq 35$ нс

Рис. 12 Электрические параметры микросхемы 155ПР7



### 3. Преобразователь двоичного в двоично-десятичный код при изменяемой разрядности входного кода.

На рис. 13 приведена функциональная схема преобразователя двоичного в двоично-десятичный код. Состав преобразователя:

- 1 - генератор импульсов;
- 2 - первый элемент И;
- 3 - первый делитель частоты;
- 4 - второй делитель частоты;
- 5 - двоично-десятичный счетчик;
- 6 - первый двоичный счетчик;
- 7 - дешифратор нуля;
- 8 - второй двоичный счетчик;
- 9 - мультиплексор;
- 10 - дешифратор 10;
- 11 - формирователь импульса;
- 12 - шифратор;
- 13 - элемент НЕ;
- 14 - второй элемент И;
- 15 - формирователь одиночного импульса;
- 16 - информационные входы преобразователя;
- 17 - выходы преобразователя.

Дешифратор 7 нуля (рис. 14) содержит элемент И-НЕ (18), группу элементов И-НЕ (19), группу RS-триггеров (20) и группу формирователей (21) импульсов.



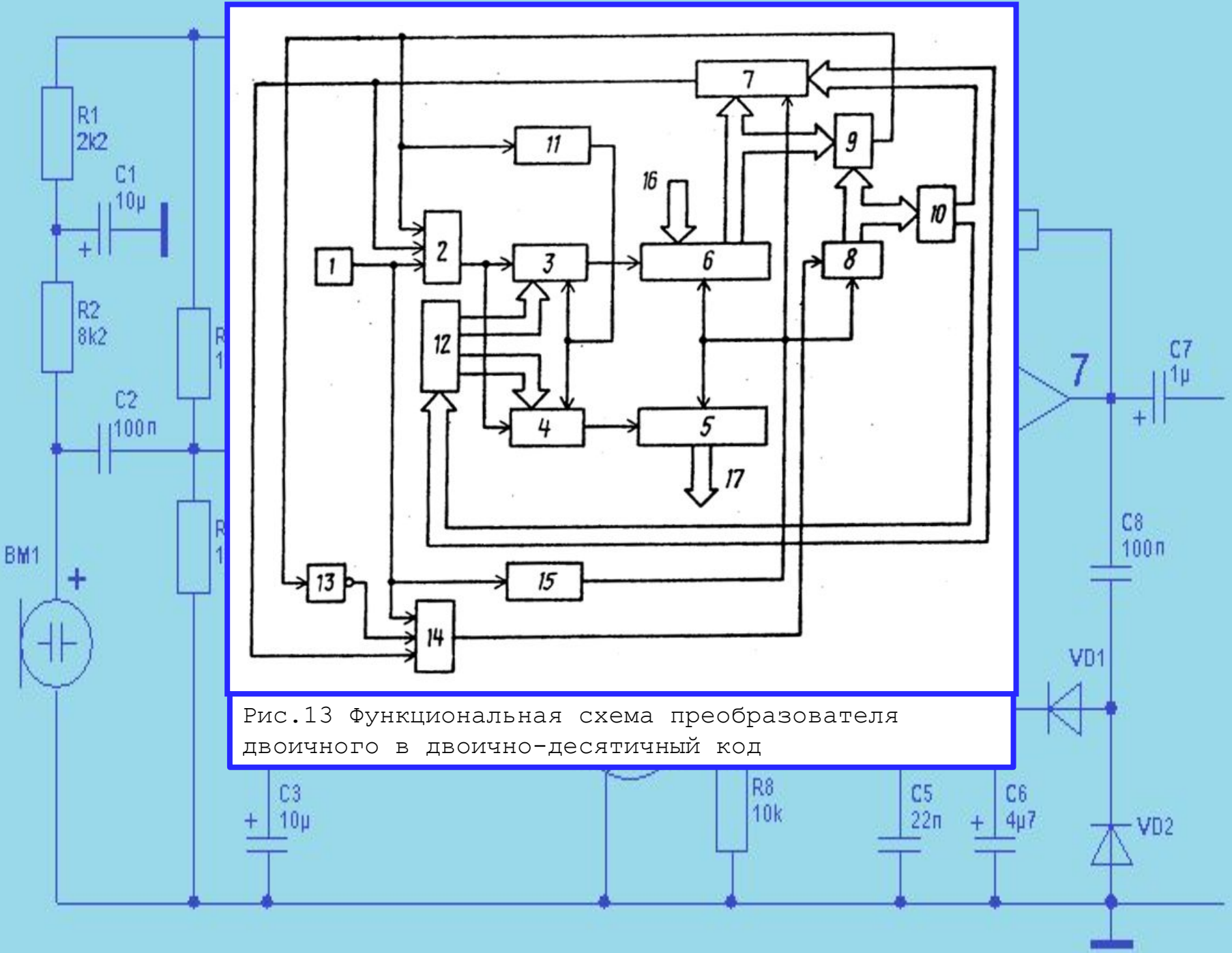


Рис.13 Функциональная схема преобразователя двоичного в двоично-десятичный код

## Работа преобразователя.

Генератор импульсов (1) непрерывно вырабатывает последовательность импульсов, которые не проходят через первый элемент И (2) до тех пор, пока на входах дешифратора (7) и мультиплексора (9) присутствуют низкие (запрещающие) потенциалы. В формирователе одиночного импульса (15), формируется (выделяется) из последовательности импульсов, непрерывно поступающих с генератора (1), одиночный импульс, который, поступив на вход записи счетчика (6), производит запись в него информации, находящейся на входах (16) преобразователя. Одновременно этим же одиночным импульсом с формирователя (15) производится установка двоично-десятичного счетчика (5) и второго двоичного счетчика (8) в нулевые состояния, а дешифратора нуля - в исходное состояние. При этом единичный потенциал с выхода дешифратора (7) поступает на вход первого элемента И (2) и вход второго элемента И (14). Одновременно нулевой потенциал с выхода мультиплексора (9) подается на вход первого элемента И (2) и через инвертор (13) - на вход элемента И (14), тем самым разрешая прохождение импульсов с генератора (1) на вход счетчика (8).

По управляющим сигналам с разрядных выходов счетчика (8) мультиплексор (9) последовательно коммутирует на выход информацию, записанную в разрядах счетчика (6), и при появлении на его выходе высокого потенциала с реперного разряда запрещает прохождение импульсов с генератора (1) через элемент И (14) на вход счетчика (8), который находится в этом состоянии до конца процесса преобразования. Одновременно, по фронту изменения сигнала на выходе мультиплексора (9), формирователем импульса (11) формируется короткий импульс, записывающий в делители частоты (4) и (3) двоичные коды, формируемые шифратором (12) и определяющие их коэффициенты деления.

Коды, формируемые шифратором (12), определяются инверсными выходными сигналами дешифратора (10), которые, в свою очередь, также определяются сигналами с разрядных выходов счетчика (8). В то же время на число импульсов заполнения счетчика (8) выходными сигналами с инверсных выходов дешифратора (10) уменьшается число разрядов счетчика (6), учитываемых при дешифрации нулевого состояния дешифратором (7). Этим завершается выбор и установка коэффициентов деления делителей (3) и (4) частоты, а также ограничение разрядности дешифратора (7), т.е. подготовка преобразователя к преобразованию записанного К-разрядного кода числа. Одновременно тем же положительным потенциалом с выхода мультиплексора (9) открывается элемент И (2), и последовательность импульсов поступает на делители (3) и (4) частоты. Импульсы с



выхода делителя (3) частоты поступают в двоичный счетчик (6), работающий на вычитание, а выходные импульсы делителя (4) частоты - на двоично-десятичный счетчик (5), работающий на сложение. Поскольку коэффициенты делителей (3) и (4) частоты выбраны так, что отношения их равняются отношению весов единиц младших разрядов двоичного и двоично-десятичного счетчиков соответственно, в момент окончания преобразования на выходах (17) преобразователя зафиксируется двоично-десятичный код числа, соответствующий поступившему двоичному коду.

Момент окончания преобразования определяется обнулением К младших разрядов первого двоичного счетчика (6), при этом дешифратор (7) выдает нулевой потенциал на второй вход элемента И (2), который прекращает подачу импульсов в оба делителя частоты.

Новый цикл преобразования начинается с запуска формирователя (15) одиночного импульса.

### Работа дешифратора нуля.

Дешифратор нуля (7), рис.14, работает следующим образом:

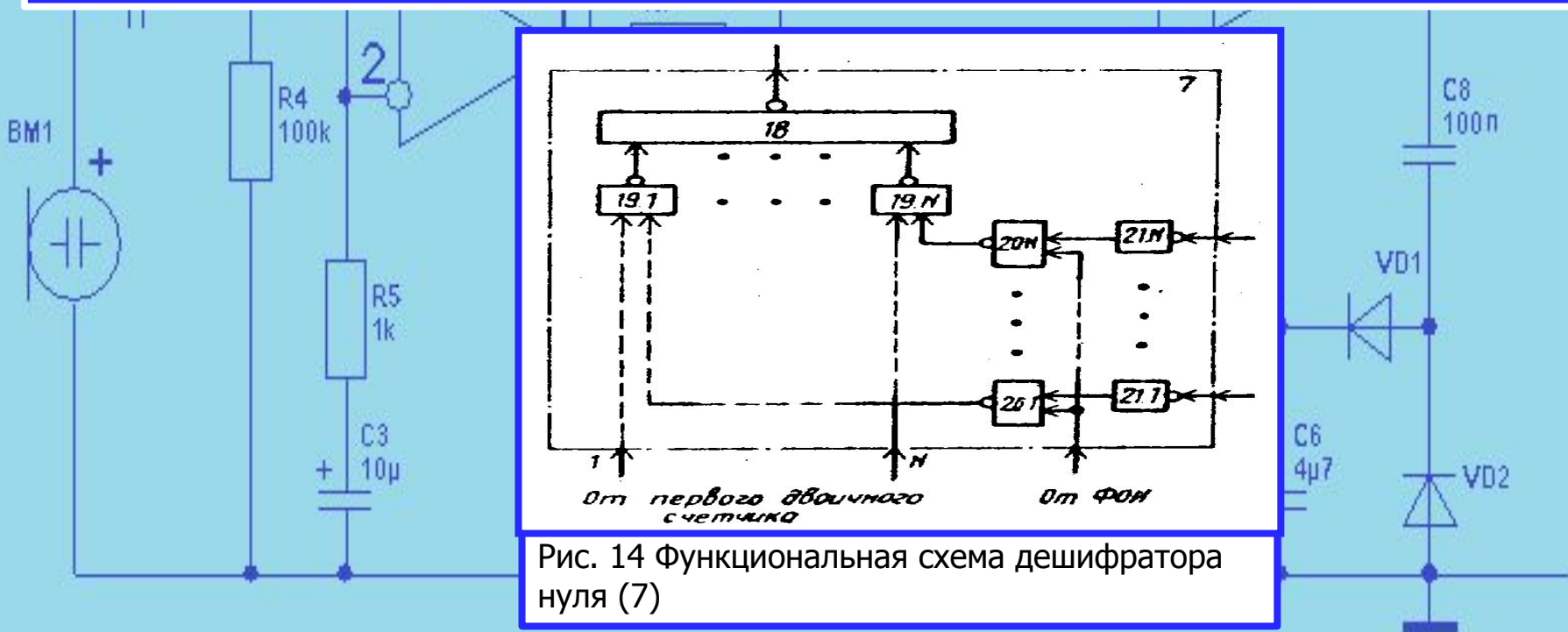


Рис. 14 Функциональная схема дешифратора нуля (7)

Одиночным положительным импульсом с формирователя (15), поступающим на объединенные R-входы, RS-триггеры (20) устанавливаются в нулевые состояния. Единичные потенциалы с инверсных выходов RS-триггеров (20), подаваемые на вторые входы элементов И-НЕ (19) разрешают прохождение на входы элемента И-НЕ (18) сигналов со всех N разрядов первого счетчика (6). При обнулении последнего на выходе дешифратора (7) (выход элемента И-НЕ 18) появляется низкий потенциал, используемый для запрета преобразования.

По фронтам отрицательных перепадов (сигналов) с инверсных выходов дешифратора (10) формирователями (21) формируются короткие положительные импульсы, перебрасывающие соответствующие RS-триггеры (20) по S-входам в единичные состояния. При этом низкие потенциалы с инверсных выходов триггеров (20) запрещают прохождение сигналов с определенного количества разрядов счетчика (6), которое определяется разрядностью K преобразуемого двоичного кода числа, т.е. равно N-K.

Формирование кодов для делителей частоты производится замыканием на общую шину преобразователя определенной вертикальной шины по сигналам с дешифратора (10). Например, для 18-разрядного кода коэффициенты деления делителей (3) и (4) составляют 1233 и 1247, для которых двоичные коды будут 10011010001 и 10011011111, соответственно.

