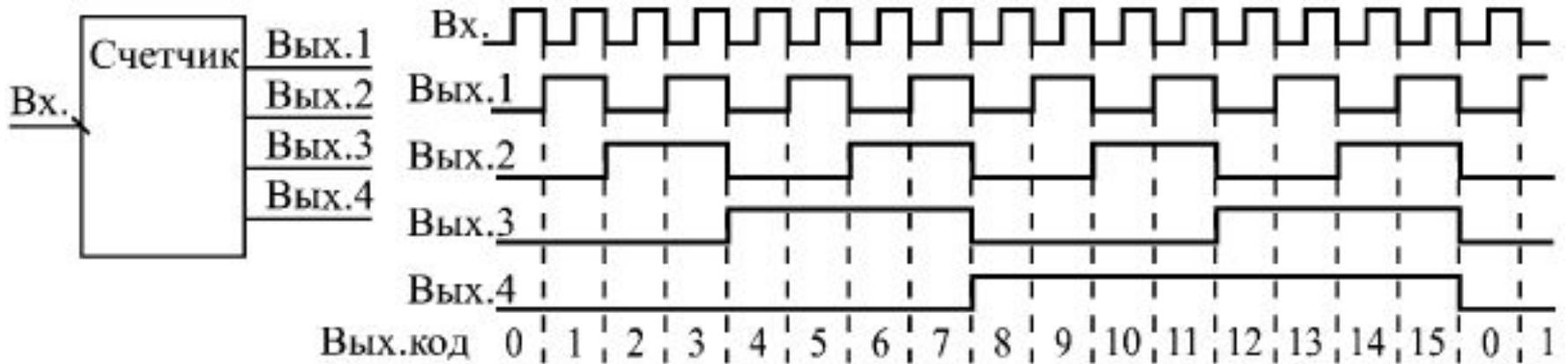


Счётчик

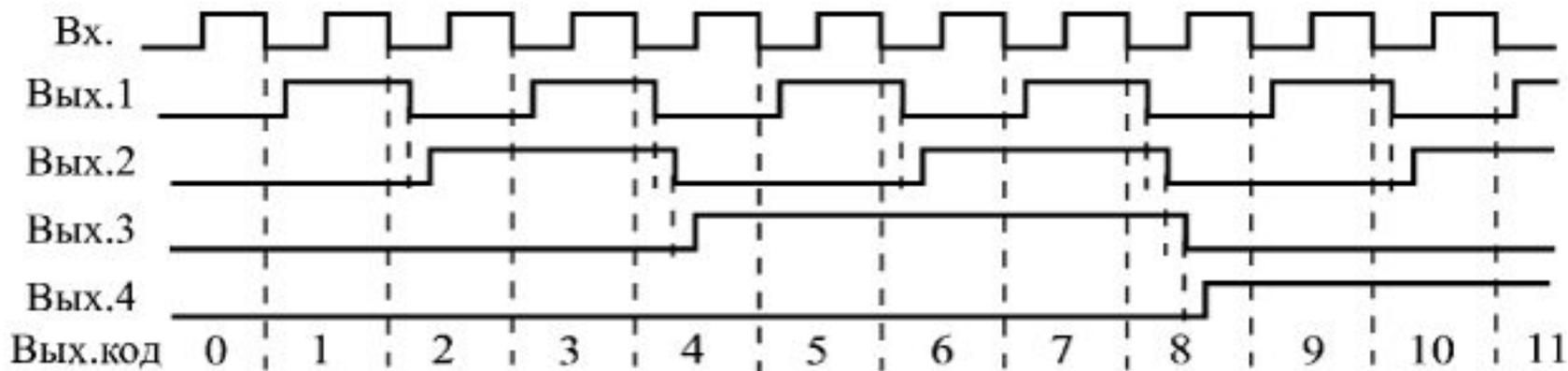
И



4-разрядный двоичный
счетчик

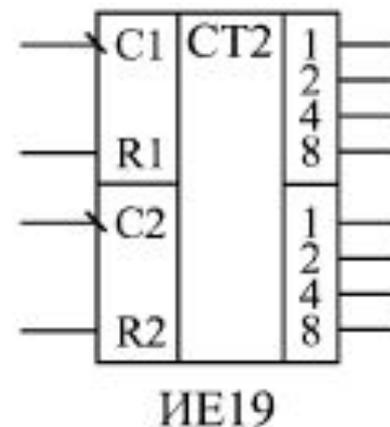
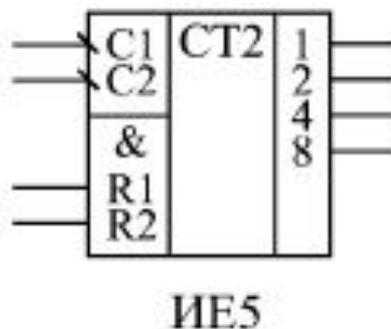
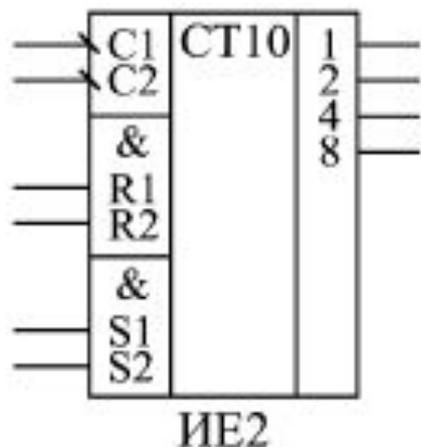
По быстродействию все счетчики делятся на три группы:

1. Асинхронные счетчики (последовательные).
2. Синхронные счетчики с асинхронным переносом (параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики).
3. Синхронные счетчики (параллельные).



Временная диаграмма работы 4-разрядного асинхронного счетчика (цепочка JK-триггеров, работающих в счетном режиме).

$T > Nt_3$, где T - период входного сигнала, N - число разрядов счетчика, t_3 - время задержки одного разряда.



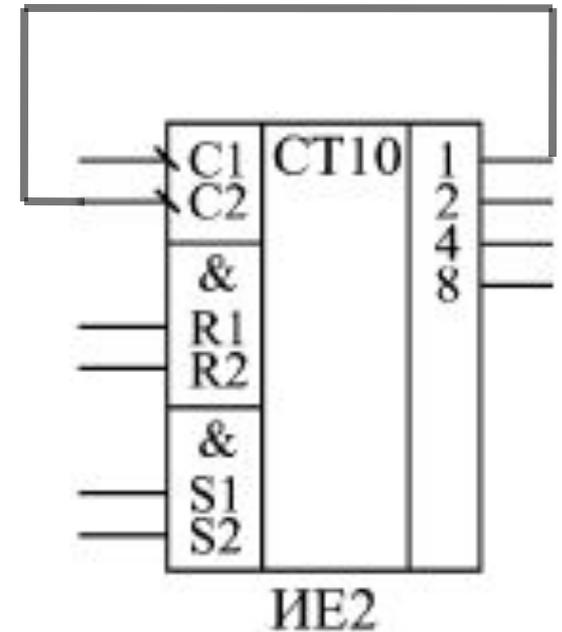
Асинхронные счетчики стандартных
серий

IE2 – двоично-десятичный

IE5 и IE19 - двоичные

Таблица истинности счетчика ИЕ2 при 4-разрядном выходном коде

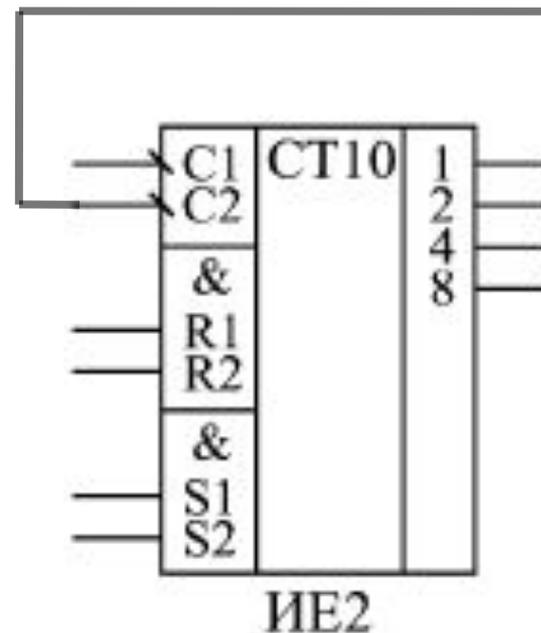
Входы					Выходы			
C1	R1	R2	S1	S2	8	4	2	1
X	1	1	0	X	0	0	0	0
X	1	1	X	0	0	0	0	0
X	X	X	1	1	1	0	0	1
┌	X	0	X	0	Счет			
┌	0	X	0	X	Счет			
┌	0	X	X	0	Счет			
┌	X	0	0	X	Счет			

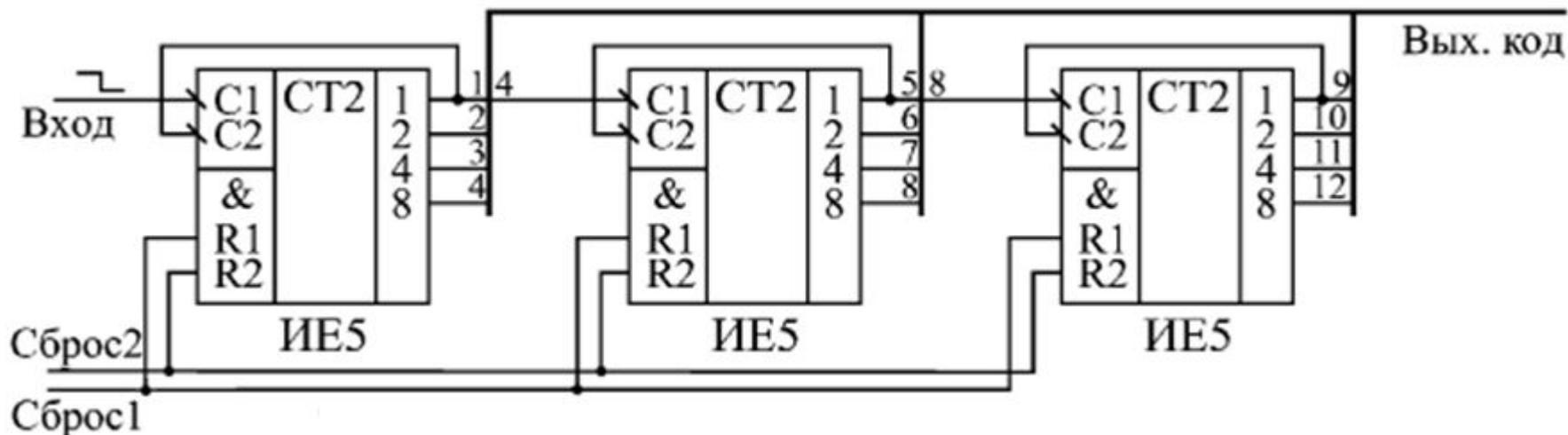


Счетчик ИЕ2 имеет две части: один триггер (вход С1, выход 1, делит входную частоту на 2) и три триггера (вход С2 и выходы 2, 4, 8, делят входную частоту на 5), т.е. состоит из одноразрядного и трехразрядного счетчиков.

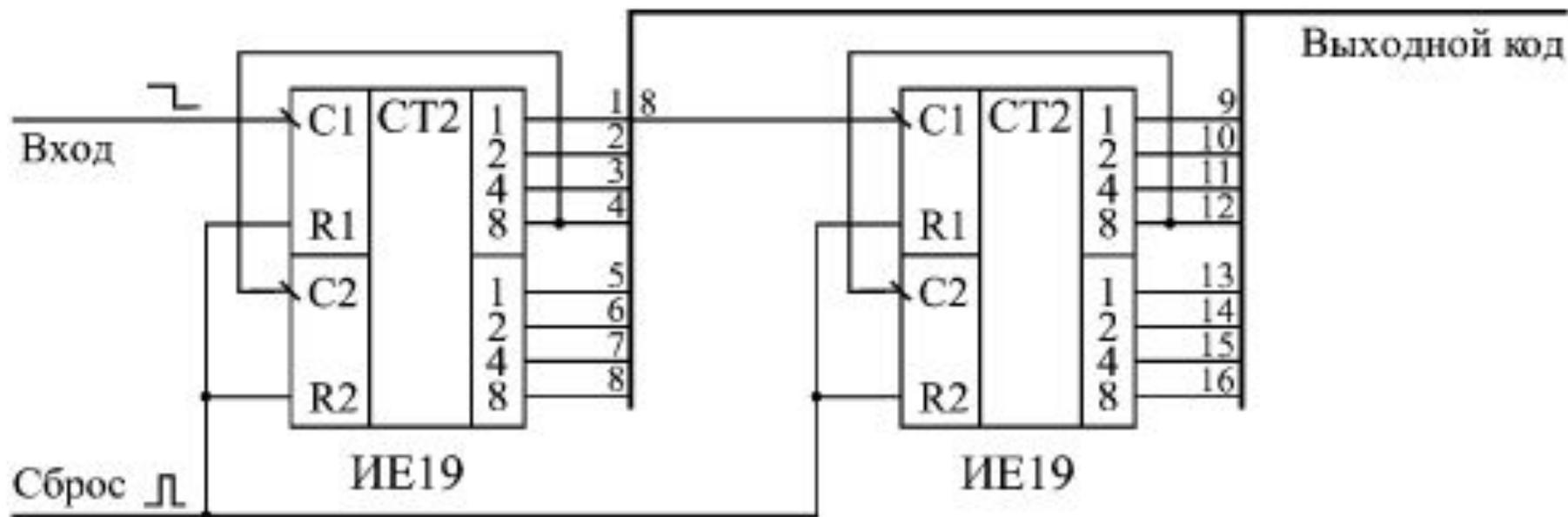
Состояния выходов счетчика ИЕ2 при счете входных импульсов

Такт	Вых.8	Вых.4	Вых.2	Вых.1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0



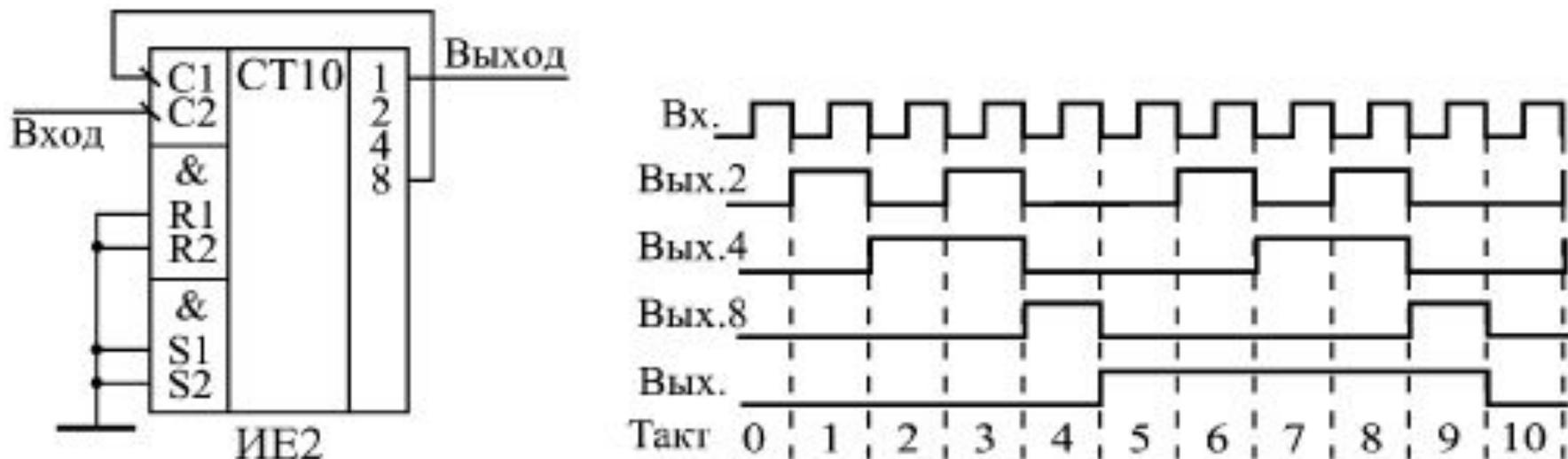


Объединение трех счетчиков ИЕ5
для увеличения разрядности

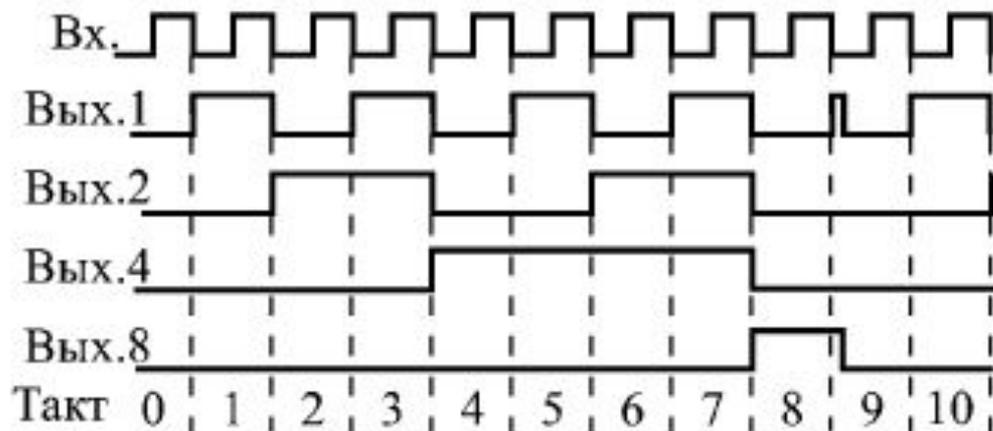
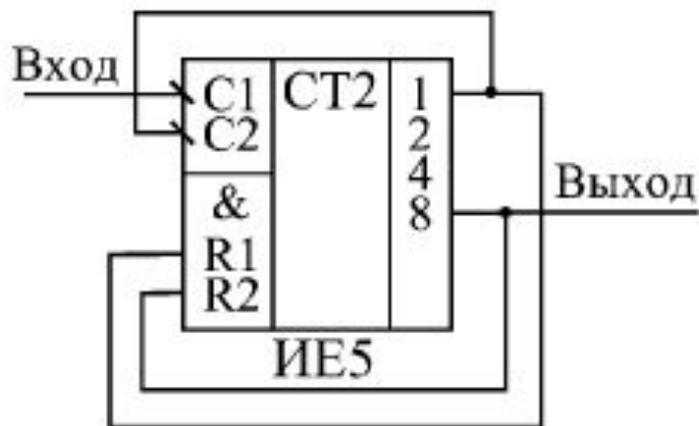


Объединение двух счетчиков ИЕ19
для увеличения разрядности

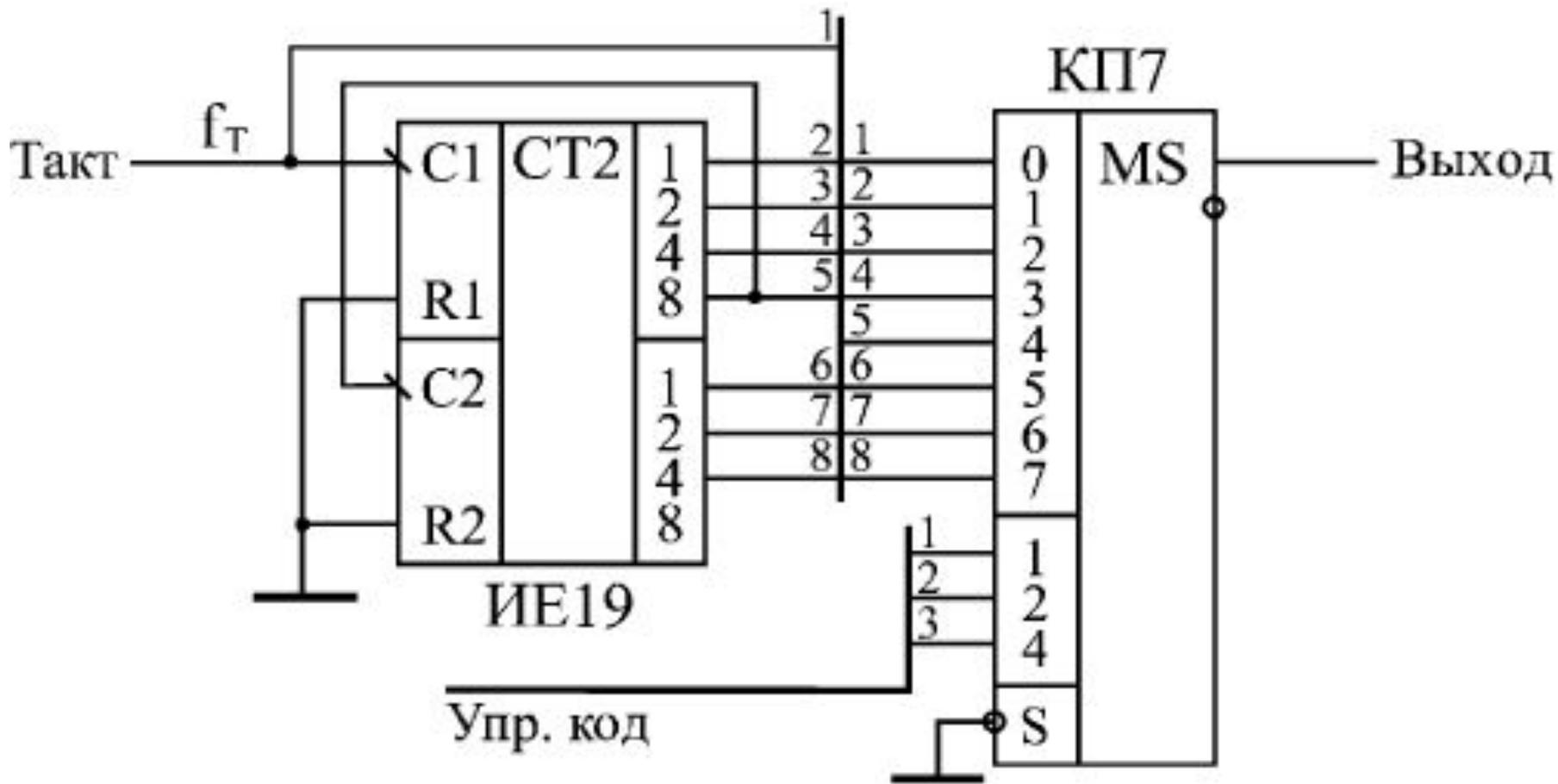
Основное применение асинхронных счетчиков состоит в построении делителей частоты



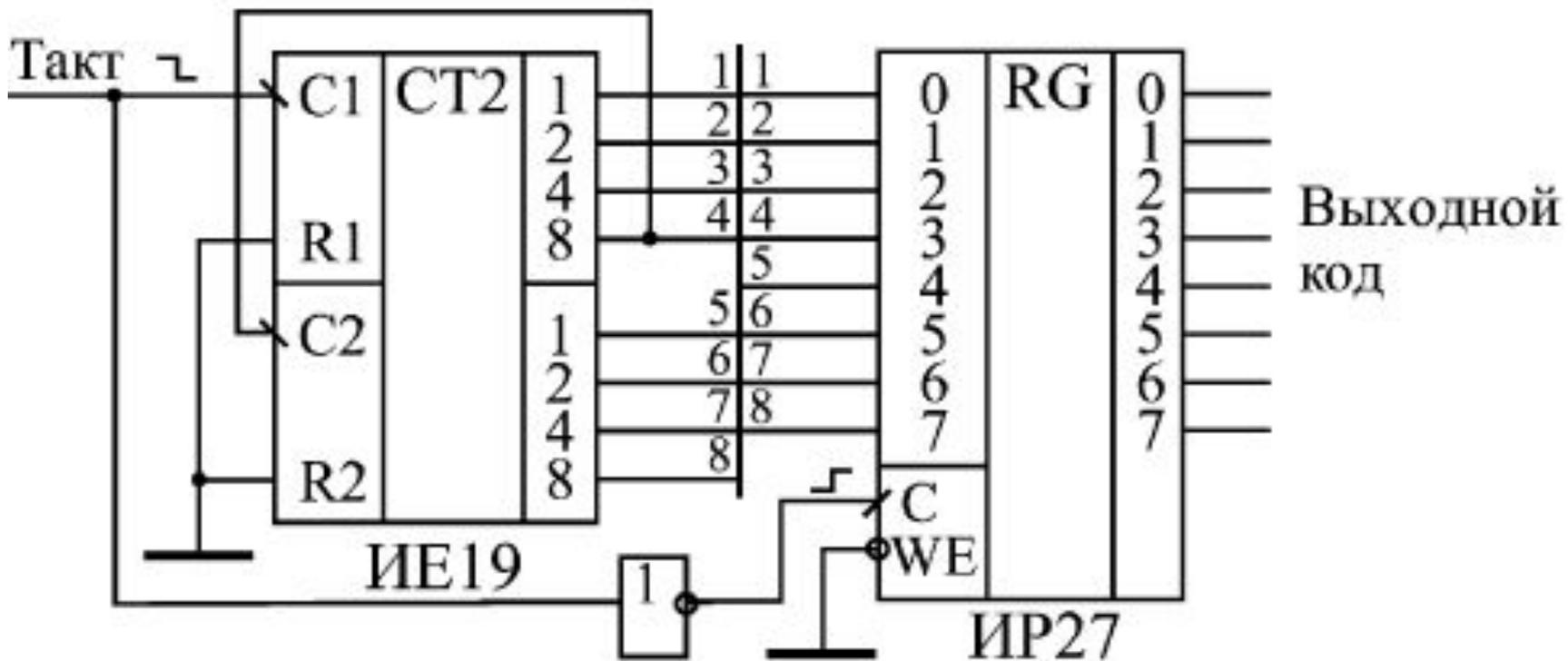
Делитель частоты на 10, выдающий меандр (скважность = 2)



Делитель частоты на 9
(сброс происходит при выходном коде
равном 1001)



Управляемый делитель частоты



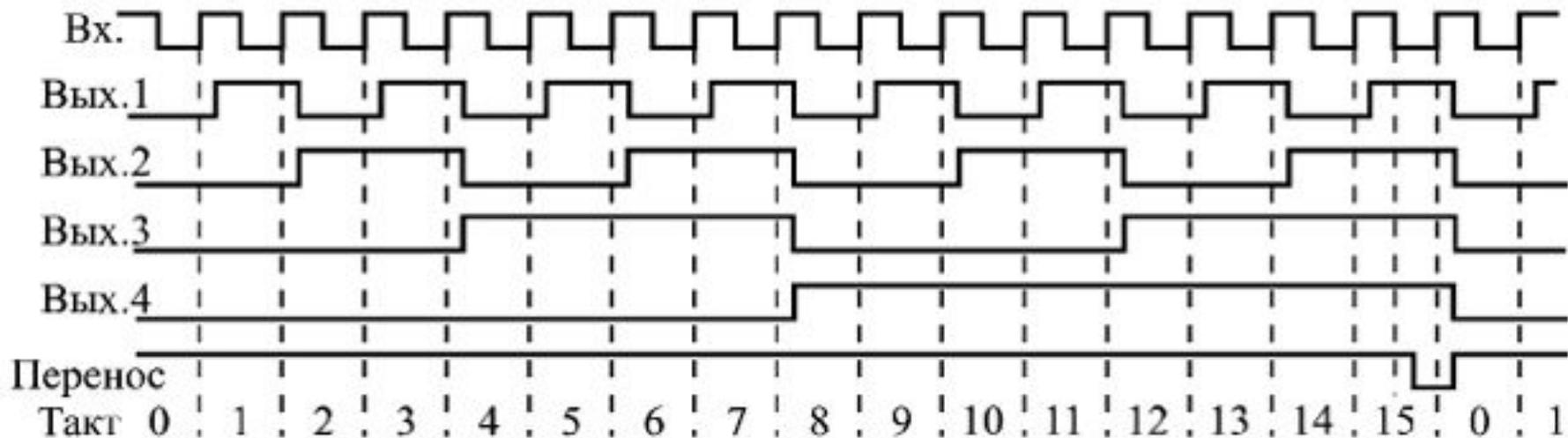
Включение выходного регистра для
одновременного переключения разрядов
выходного кода

Недостатки асинхронного счетчика:

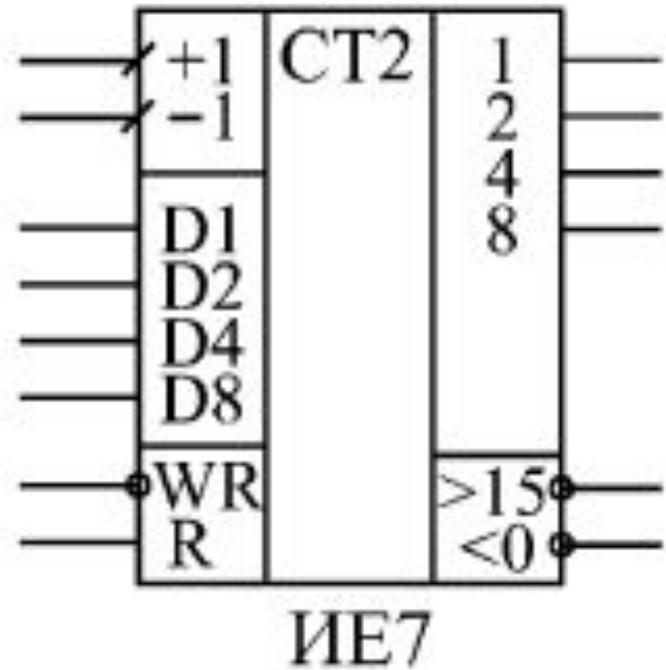
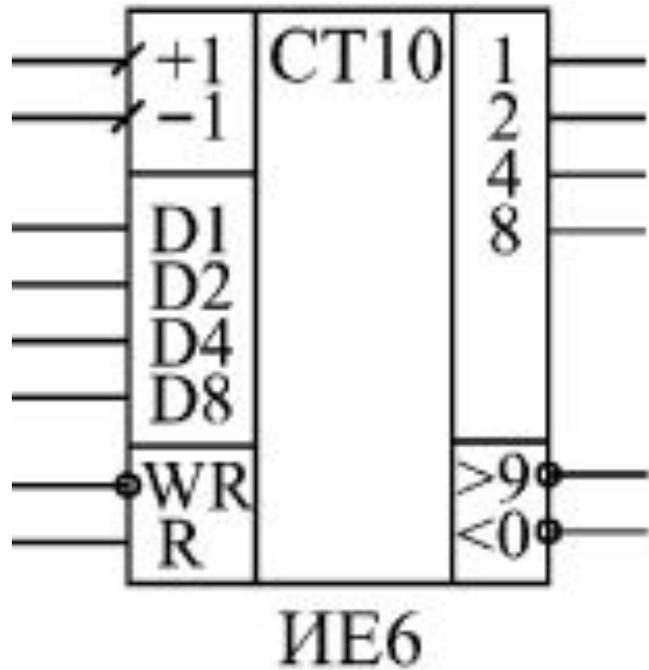
1. Неодновременность установления выходных разрядов.
2. Большая задержка установления выходного кода.

Синхронные счетчики с асинхронным переносом

1. Все разряды синхронных (параллельных) счётчиков в пределах одной микросхемы переключаются одновременно (параллельно).
2. Полная задержка переключения синхронного счетчика примерно равна задержке одного триггера.



Временная диаграмма работы
синхронного счетчика с асинхронным
переносом



Синхронные счетчики
с асинхронным переносом.

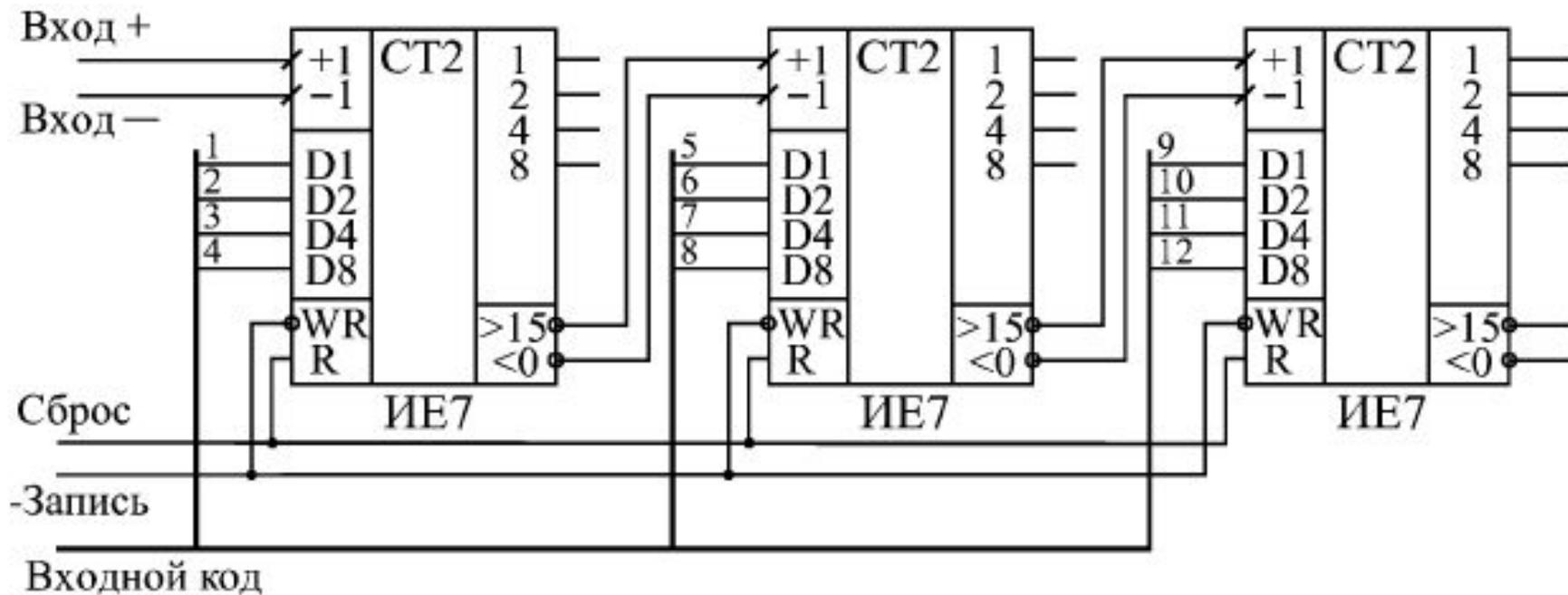
ИЕ6 считает от 0 до 9, а ИЕ7 - от 0 до 15.

“<0”, “>9” и “>15” – выходы переноса.

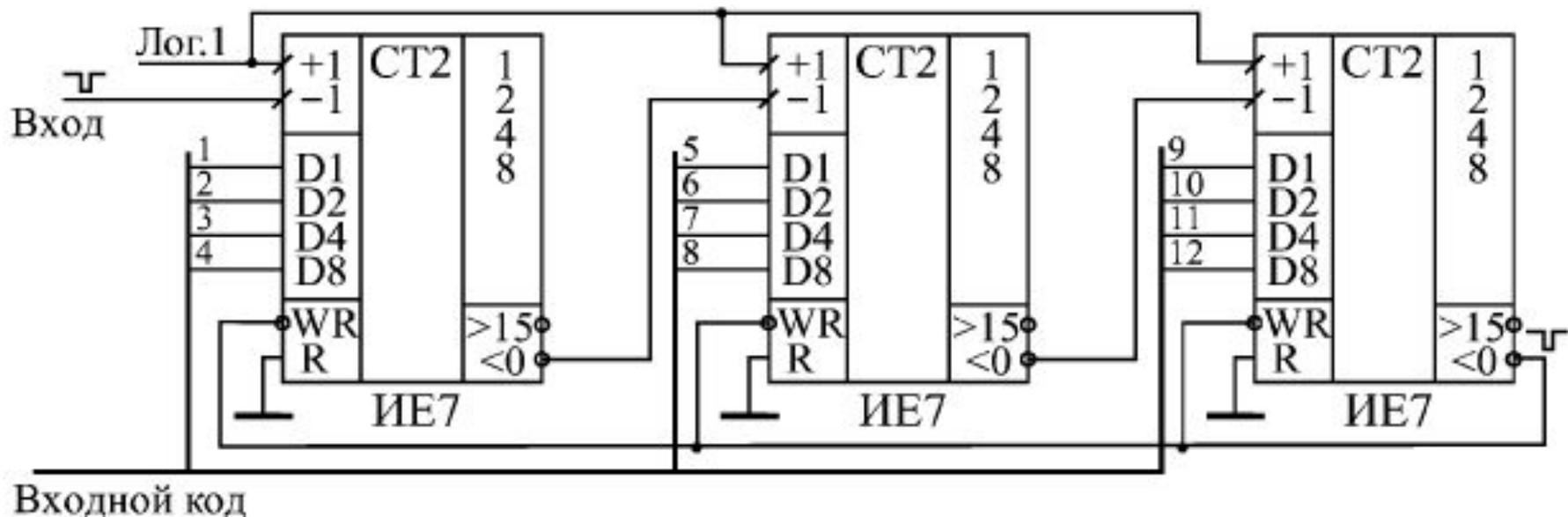
Таблица истинности работы счетчиков ИЕ6 и ИЕ7

Входы				Режим работы
R	-WR	1	-1	
1	X	X	X	Сброс в нуль
0	0	X	X	Параллельная запись
0	1	1	1	Хранение
0	1	0	0	Хранение
0	1	┐	1	Прямой счет
0	1	1	┐	Обратный счет

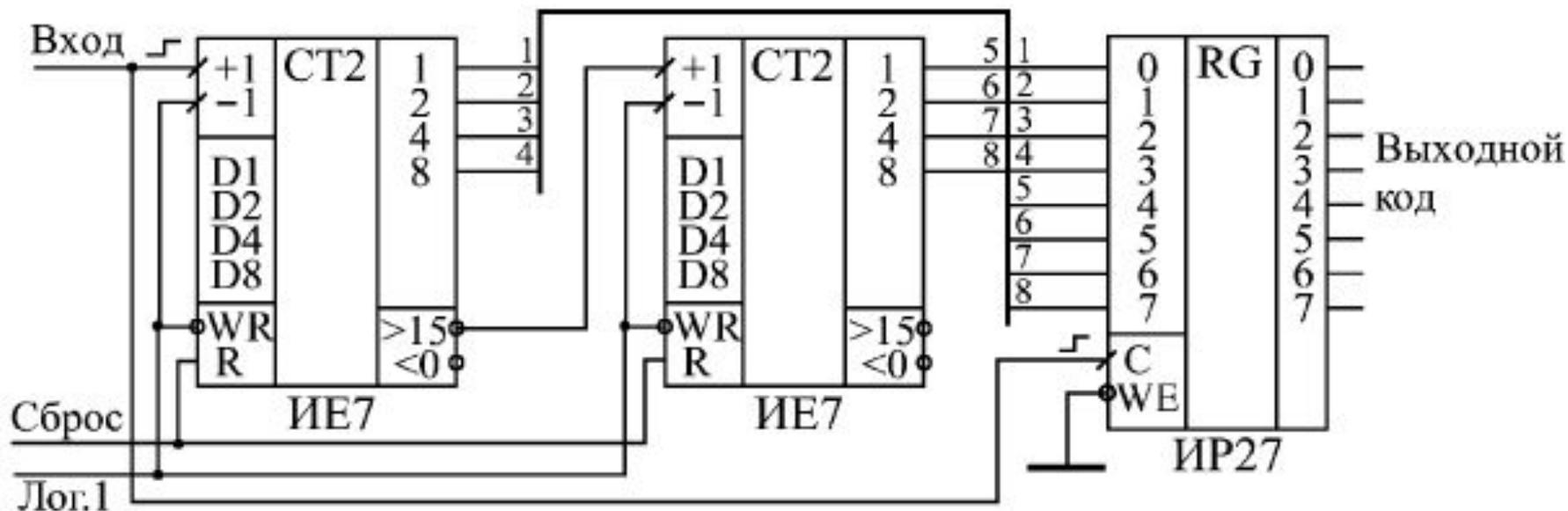
“<0”, “>9” и “>15” – выходы переноса



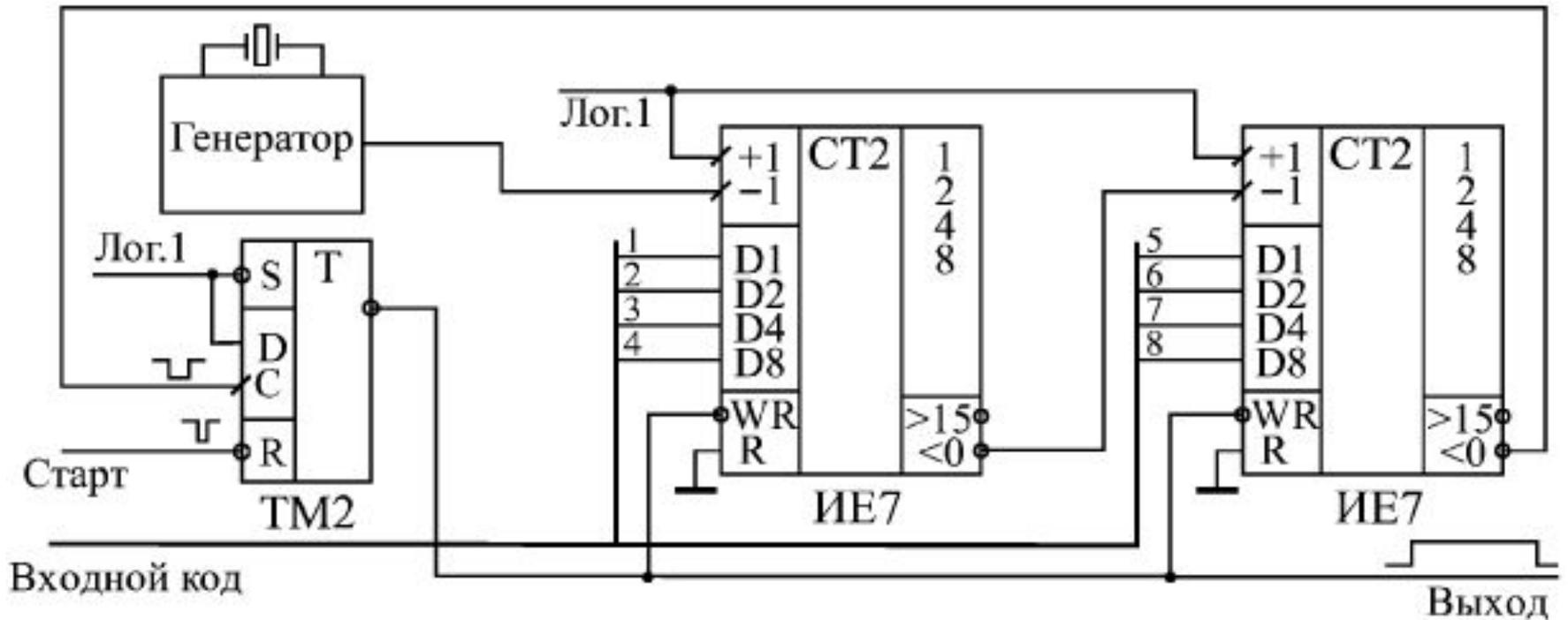
Объединение счетчиков ИЕ7
для увеличения разрядности



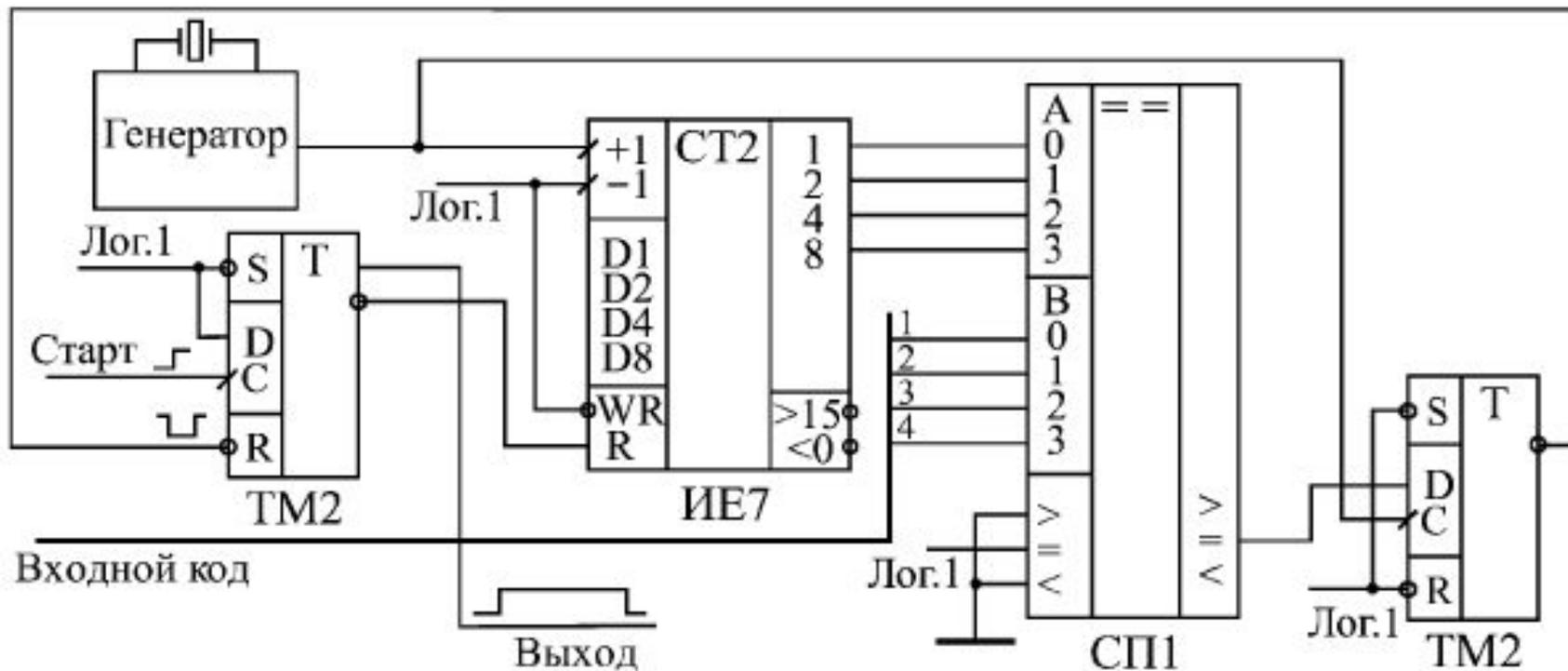
Делитель частоты с коэффициентом деления, задаваемым входным кодом
 Входной код = N , коэффициент деления = $N+1$



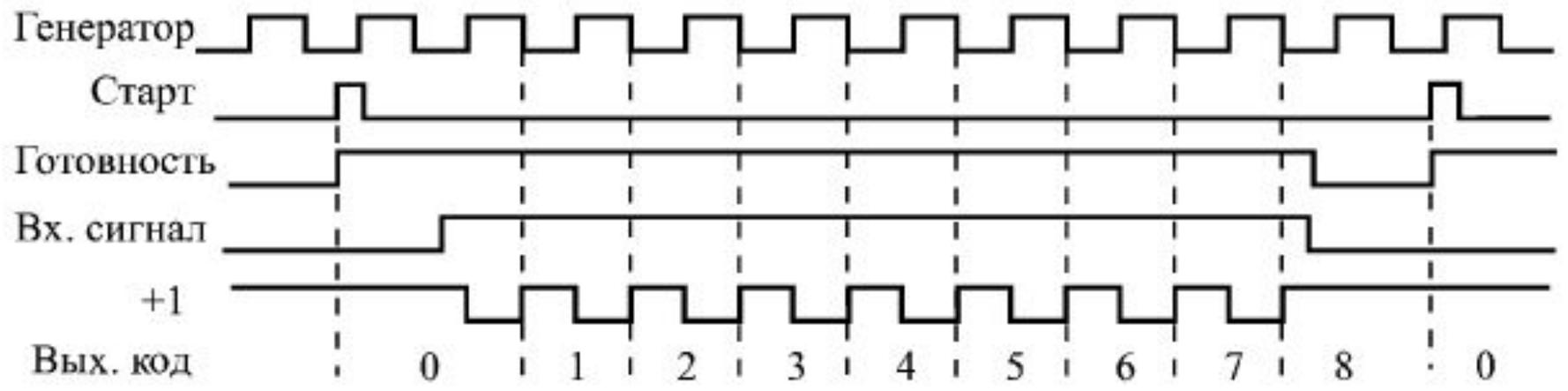
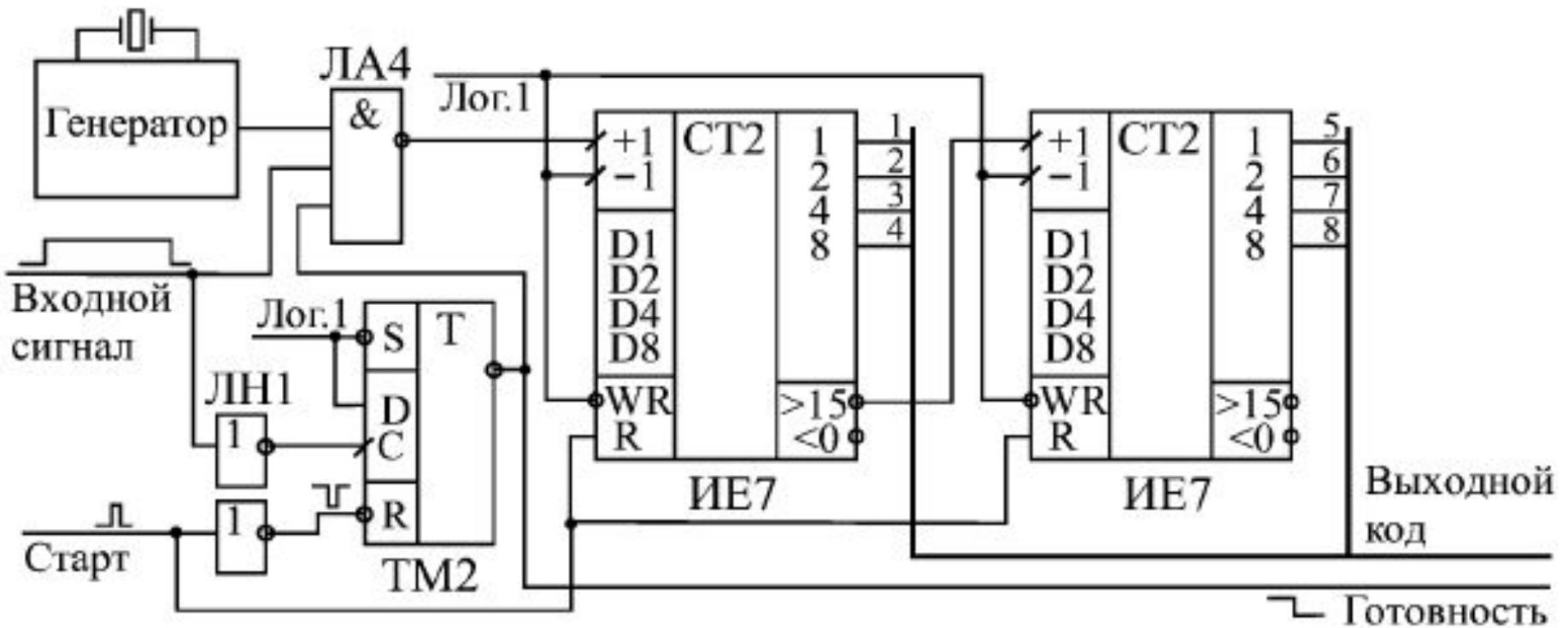
Включение выходного регистра
для одновременного переключения
разрядов выходного кода



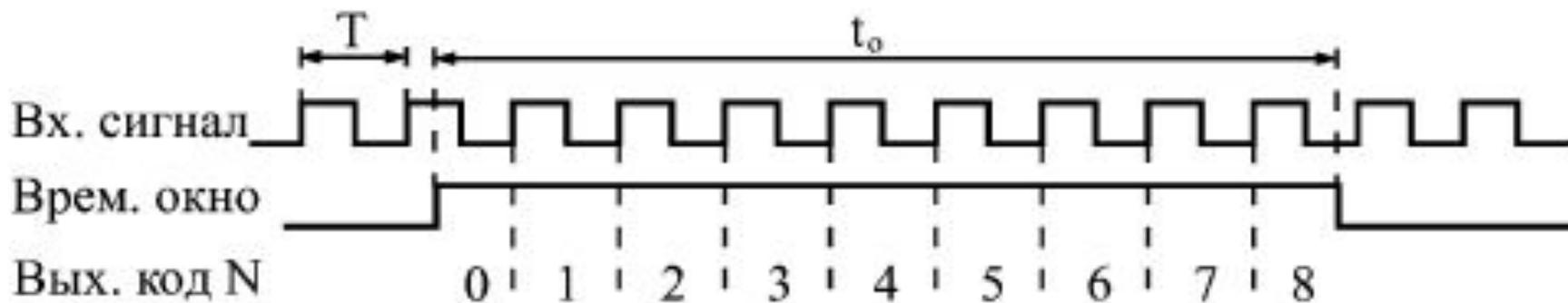
Формирователь импульса заданной длительности (длительность от NT до $(N+1)T$, N – входной, T - период тактового сигнала)



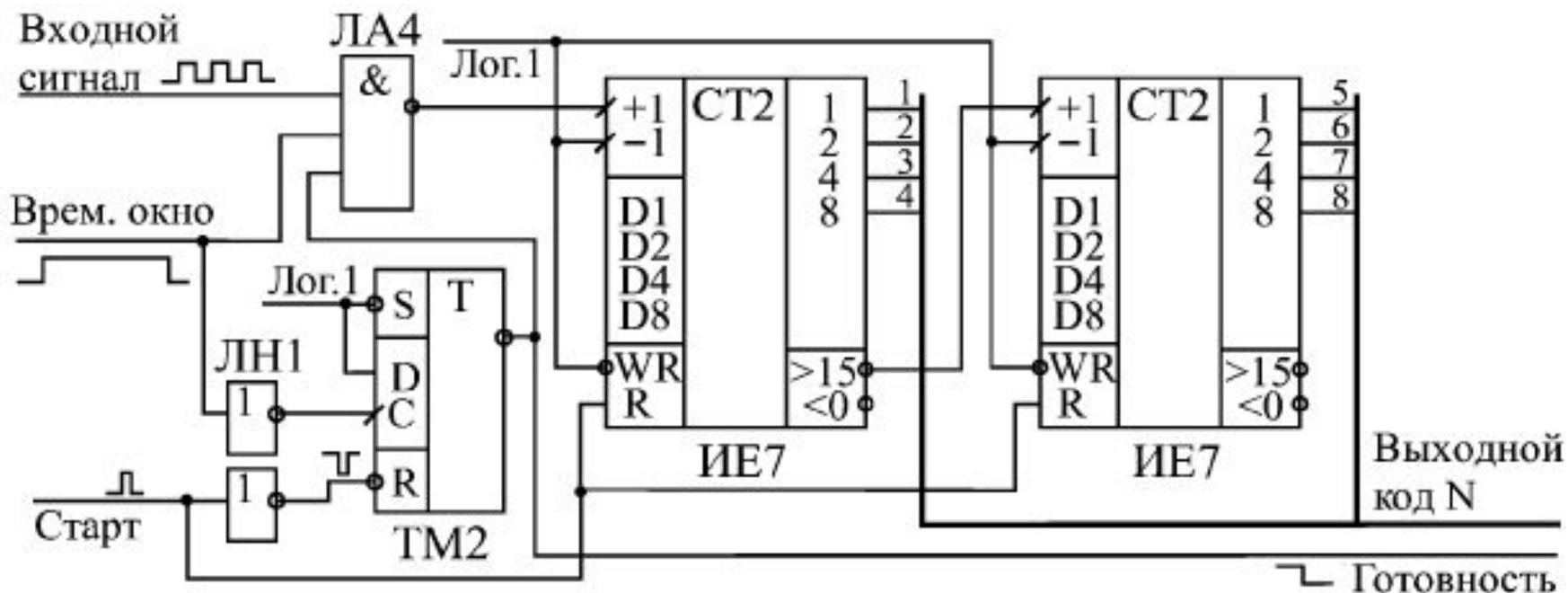
Формирователь импульса заданной
длительности (вариант с нарастающим
кодом)



Измеритель длительности входного сигнала



Частота входного сигнала: $f = 1/T = N/t_0$



Измеритель частоты входного сигнала
прямым методом

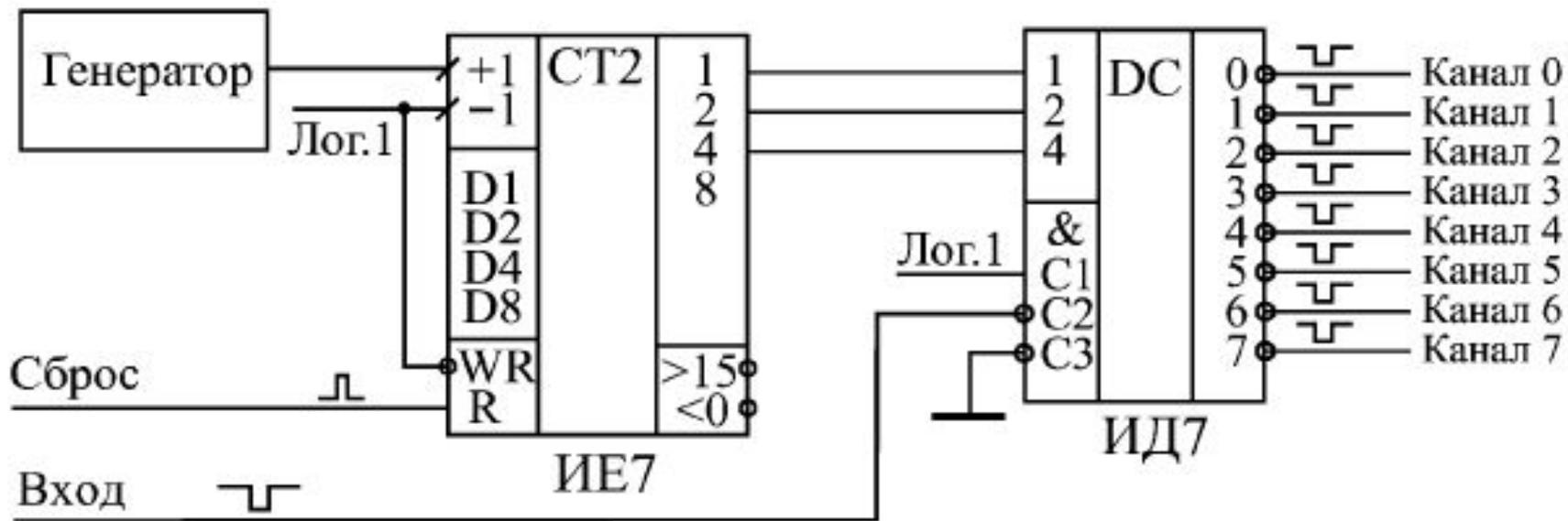


Схема последовательного (циклического)
 переключения выходных каналов
 (демультиплексирование)

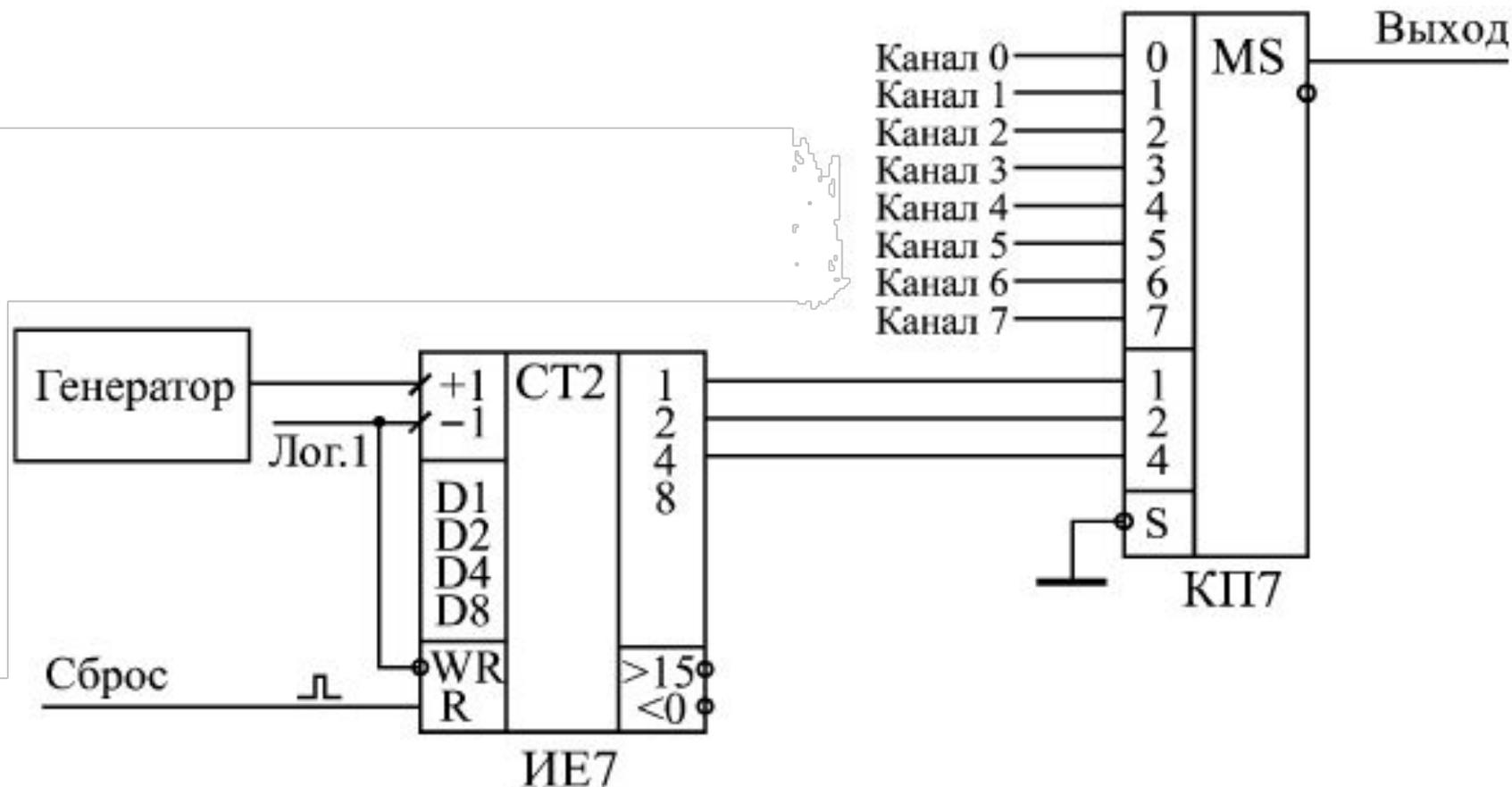


Схема последовательного (циклического) переключения входных каналов (мультиплексирование)

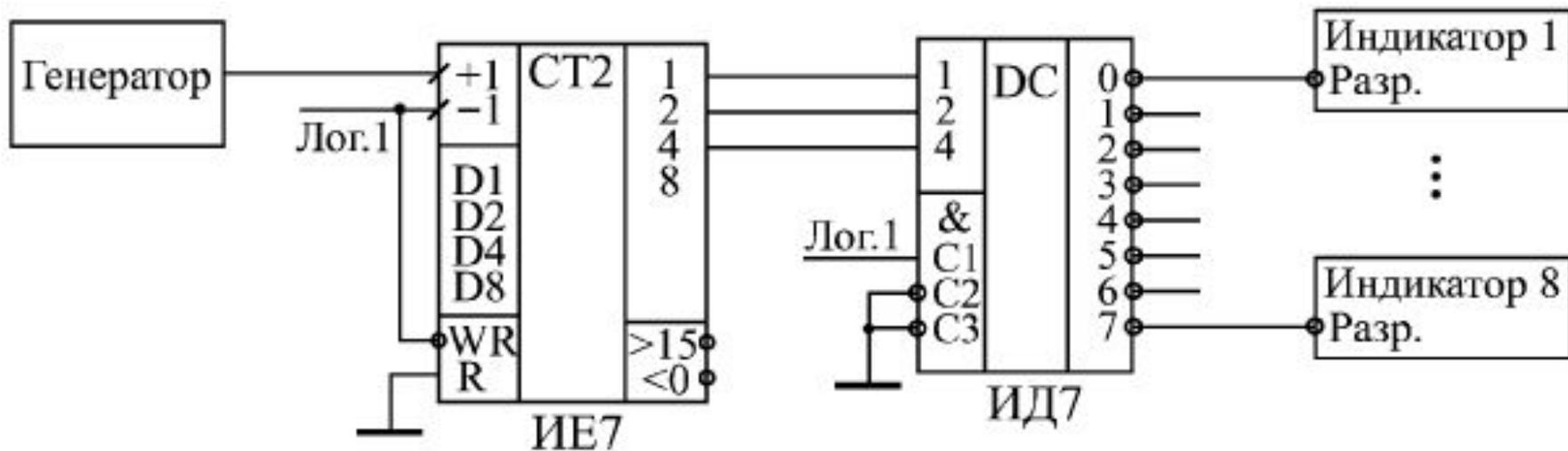


Схема динамической индикации
на восьми индикаторах

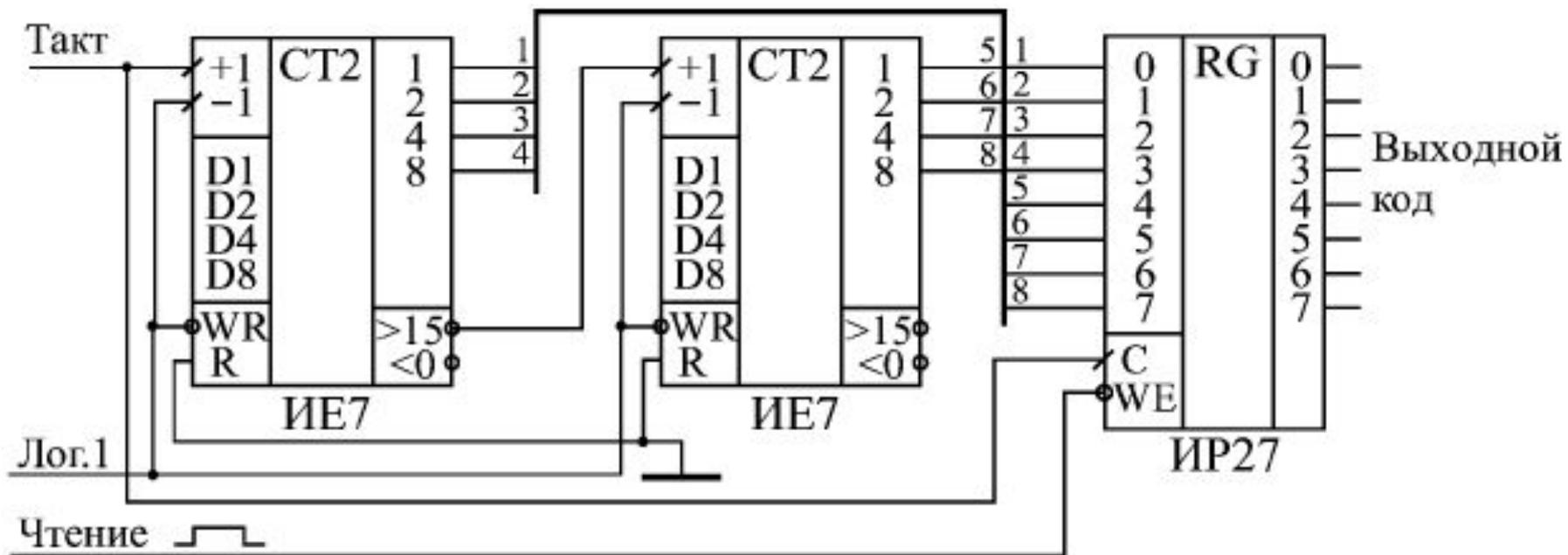
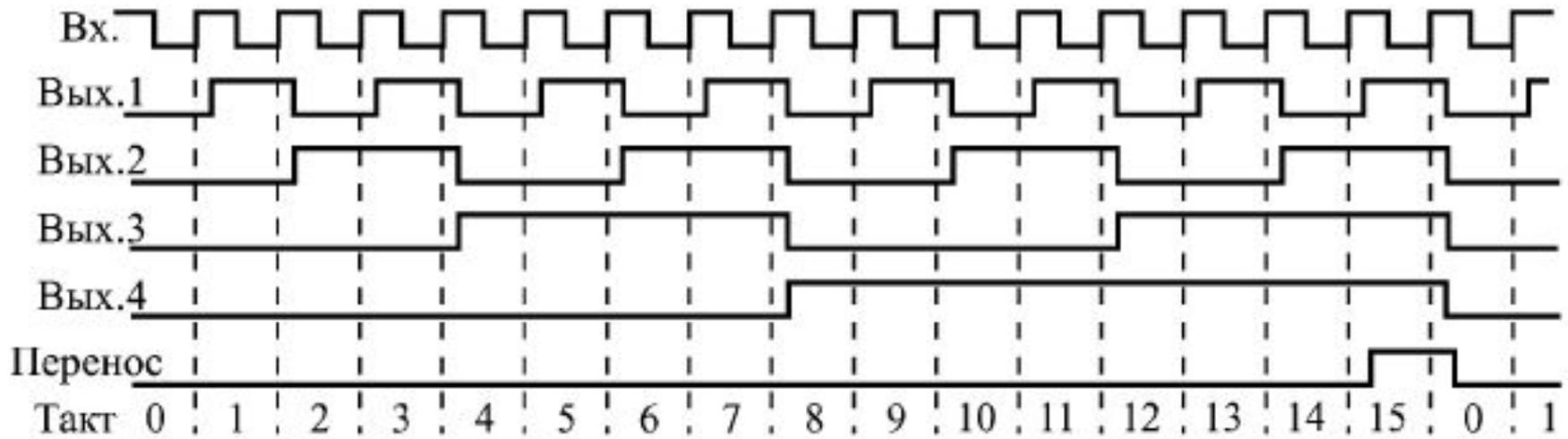


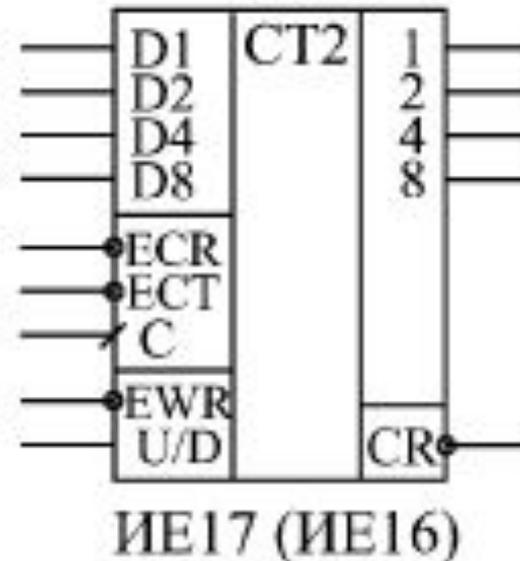
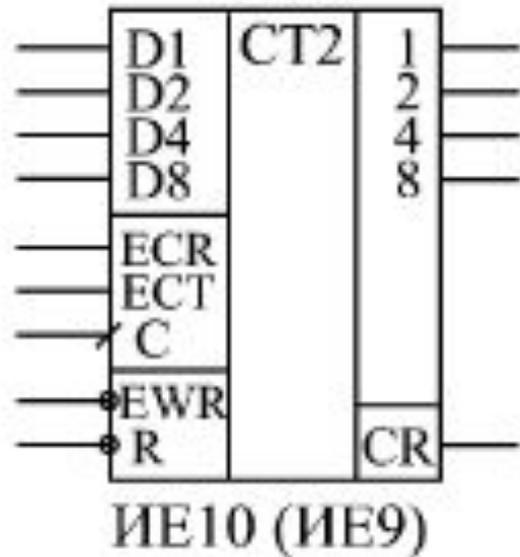
Схема таймера с чтением выходного кода

Синхронные (параллельные) счетчики

1. Нарастивание разрядности при соблюдении определенных условий не приводит к увеличению полной задержки срабатывания.
2. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера.



Временная диаграмма работы синхронного двоичного счетчика



Синхронные счетчики стандартных серий

ECT — разрешение счета ("Enable Count")

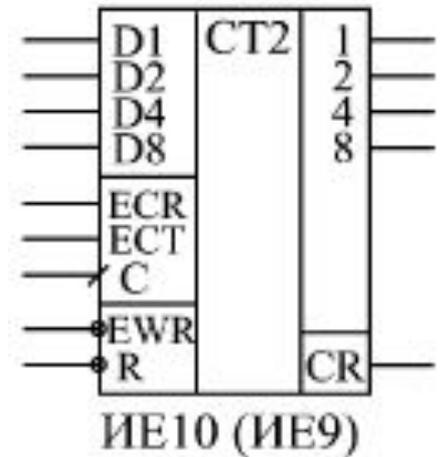
ECR — разрешение переноса ("Enable Carry")

EWR — разрешение записи ("Enable Write")

U/D -- вход управления (1 - прямой счёт, 0 - обратный счёт)

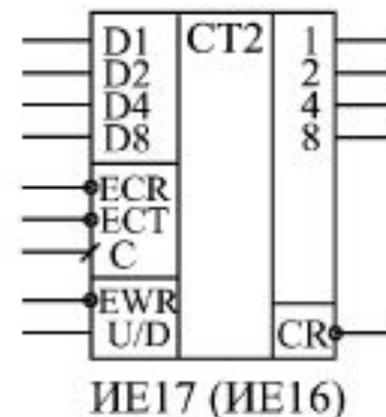
Режимы работы счетчиков ИЕ9 и ИЕ10

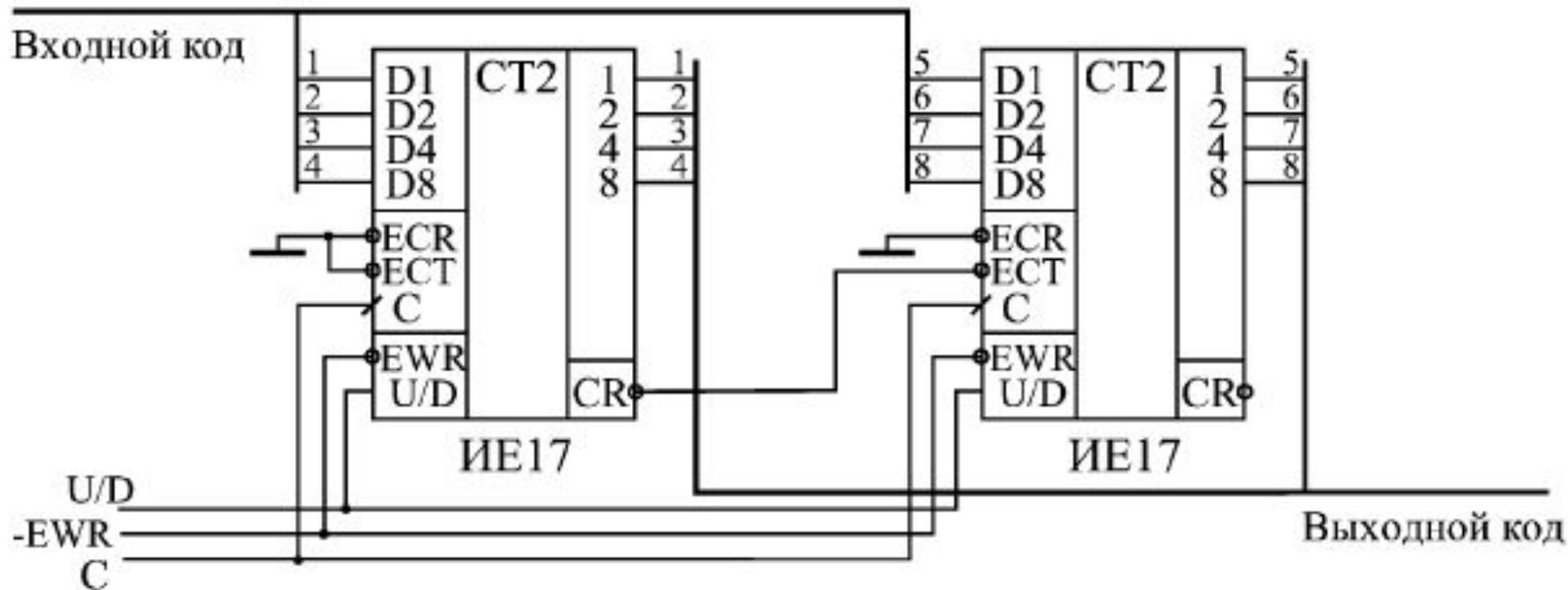
Входы					Режим
-R	-EWR	ЕСR	ECT	С	
0	X	X	X	X	Сброс
1	0	X	X	⌋	Параллельная запись
1	1	0	X	X	Хранение
1	1	X	0	X	Хранение
1	1	1	1	⌋	Прямой счет



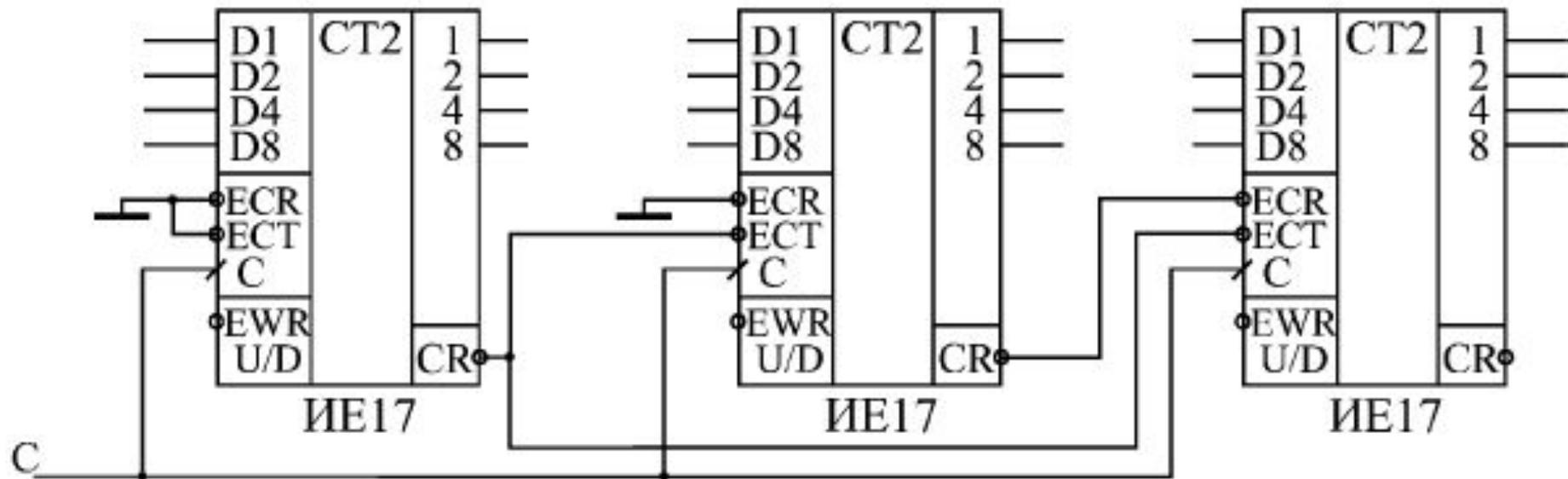
Режимы работы счетчиков ИЕ16 и ИЕ17

Входы					Режим
-EWR	U/D	-ECT	-ECR	С	
0	X	X	X		Параллельная запись
1	1	0	0		Прямой счет
1	0	0	0		Обратный счет
1	X	1	X	X	Хранение
1	X	X	1	X	Хранение

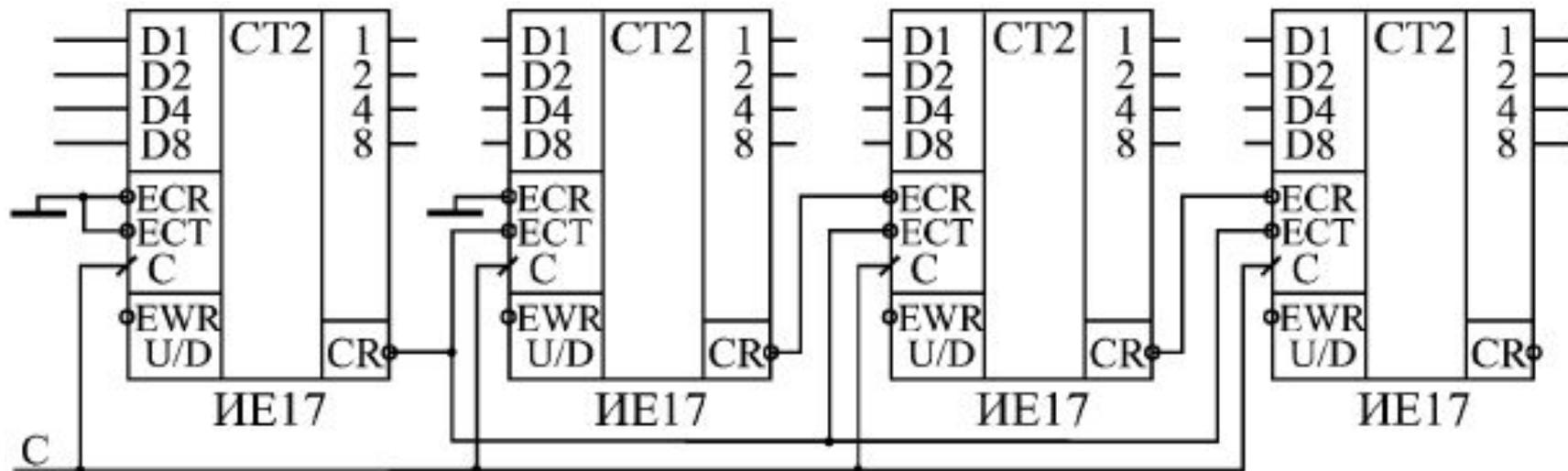




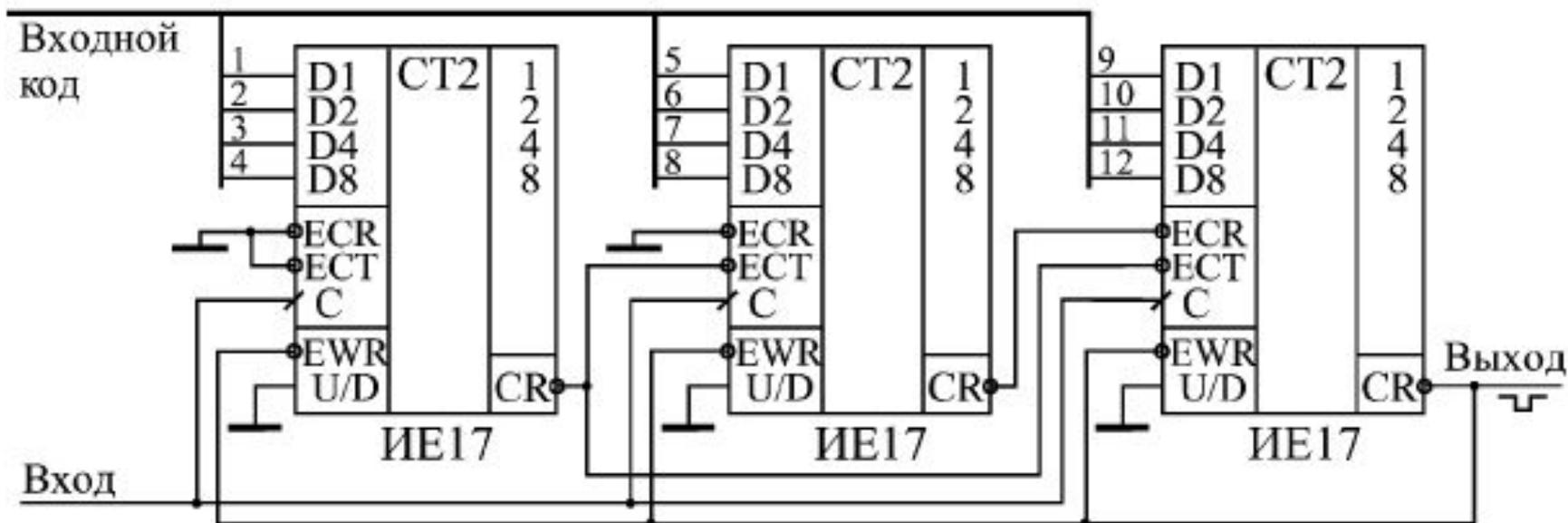
Объединение двух счетчиков
ИЕ17



Объединение трех счетчиков
IE17



Объединение четырех счетчиков
ИЕ17



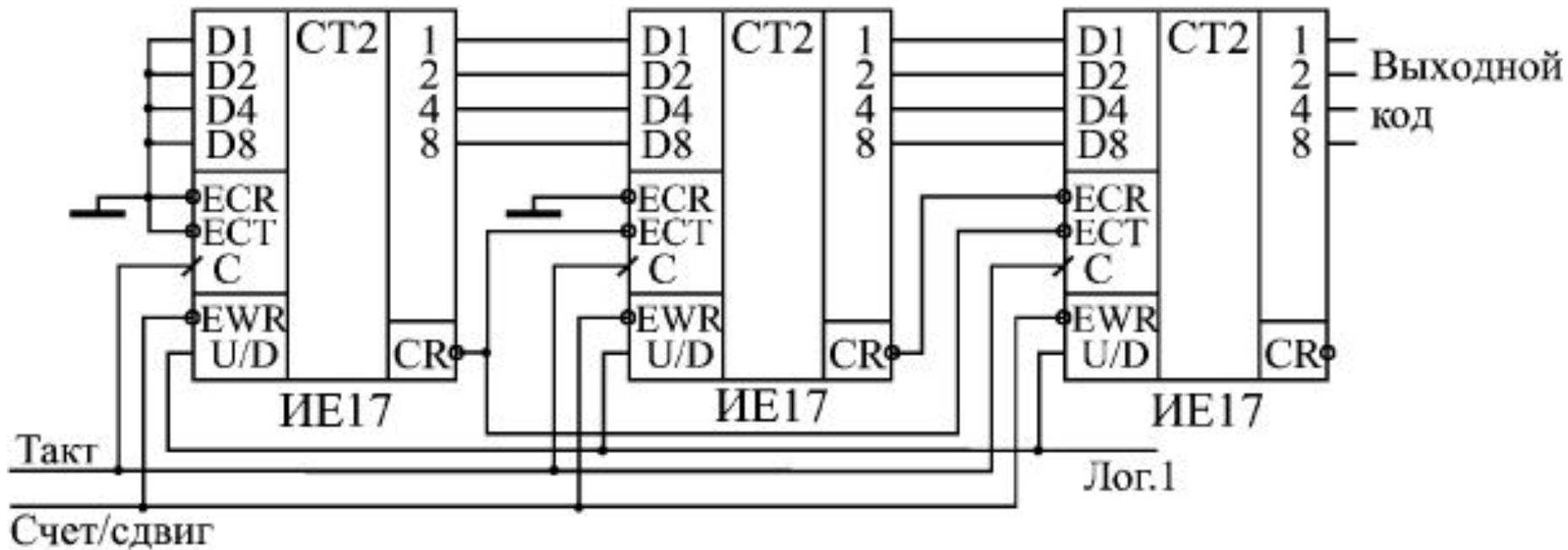
Управляемый делитель частоты

Коэффициент пересчета делителя частоты -

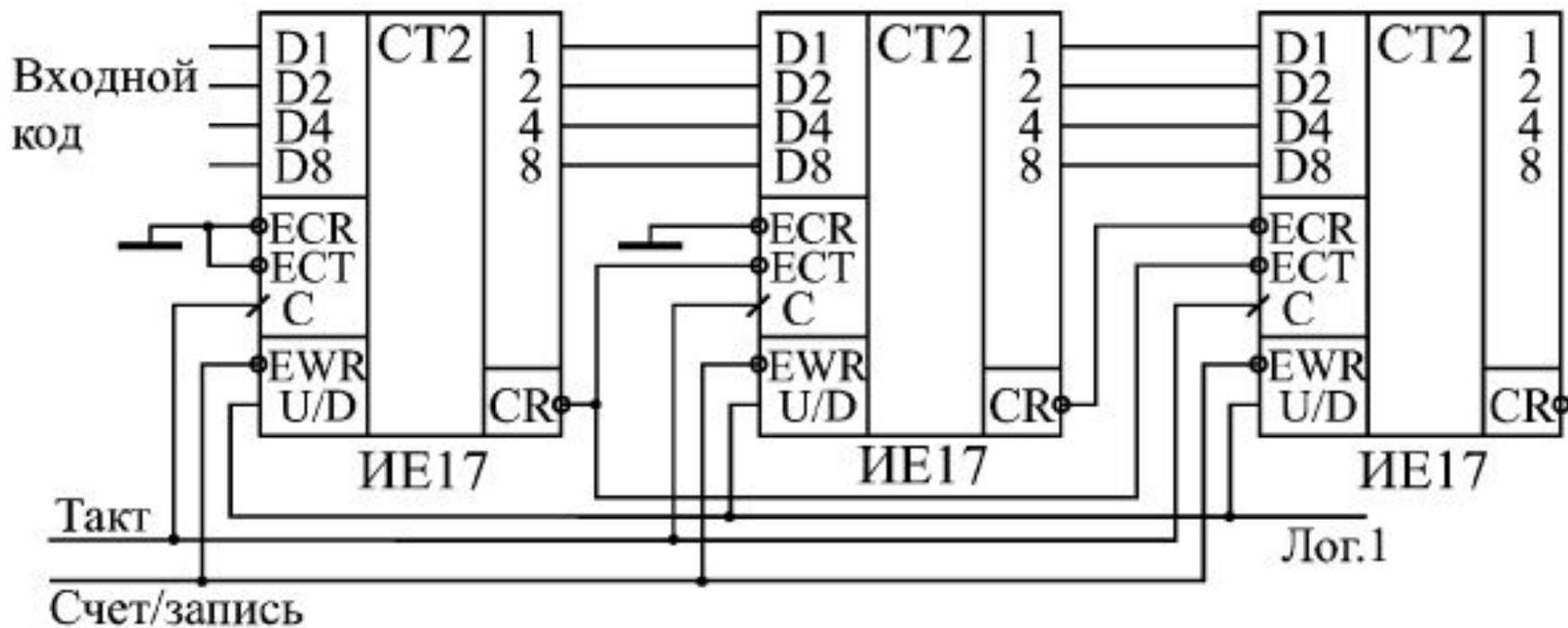
$(N+1),$

где N — входной код от 1 до $(2^n-1),$

n — количество разрядов кода



Последовательное чтение выходного
кода многокаскадного счетчика



Последовательная запись в счетчики
ИСХОДНОГО СОСТОЯНИЯ