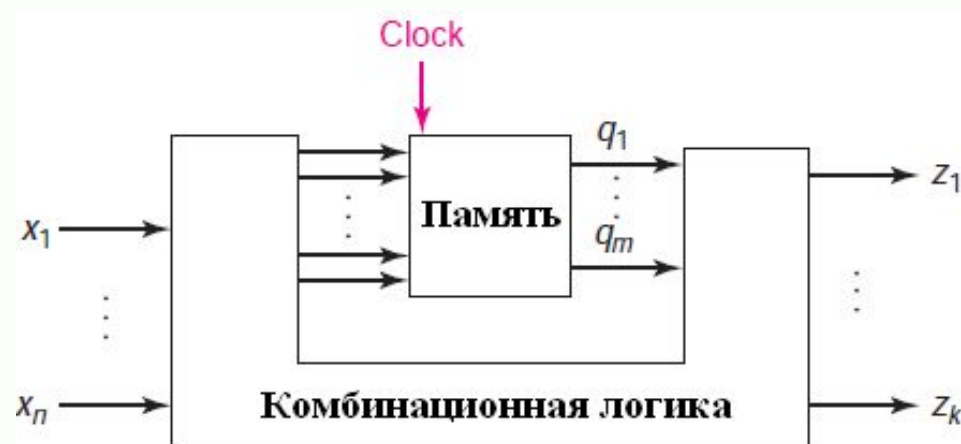


Лекция 14

Полупроводниковые схемы памяти

- *Классификация запоминающих устройств (ЗУ)*
- *ЗУ с последовательной выборкой. Регистры, стеки.*
- *ЗУ с произвольной выборкой. Постоянные ЗУ (ПЗУ), оперативные ЗУ (ОЗУ).*

Под памятью цифровых вычислительных систем понимают совокупность технических средств, предназначенных для приема (записи), хранения и выдачи (считывания) информации, представленной двоичным кодом



Обобщенный вид последовательностной схемы

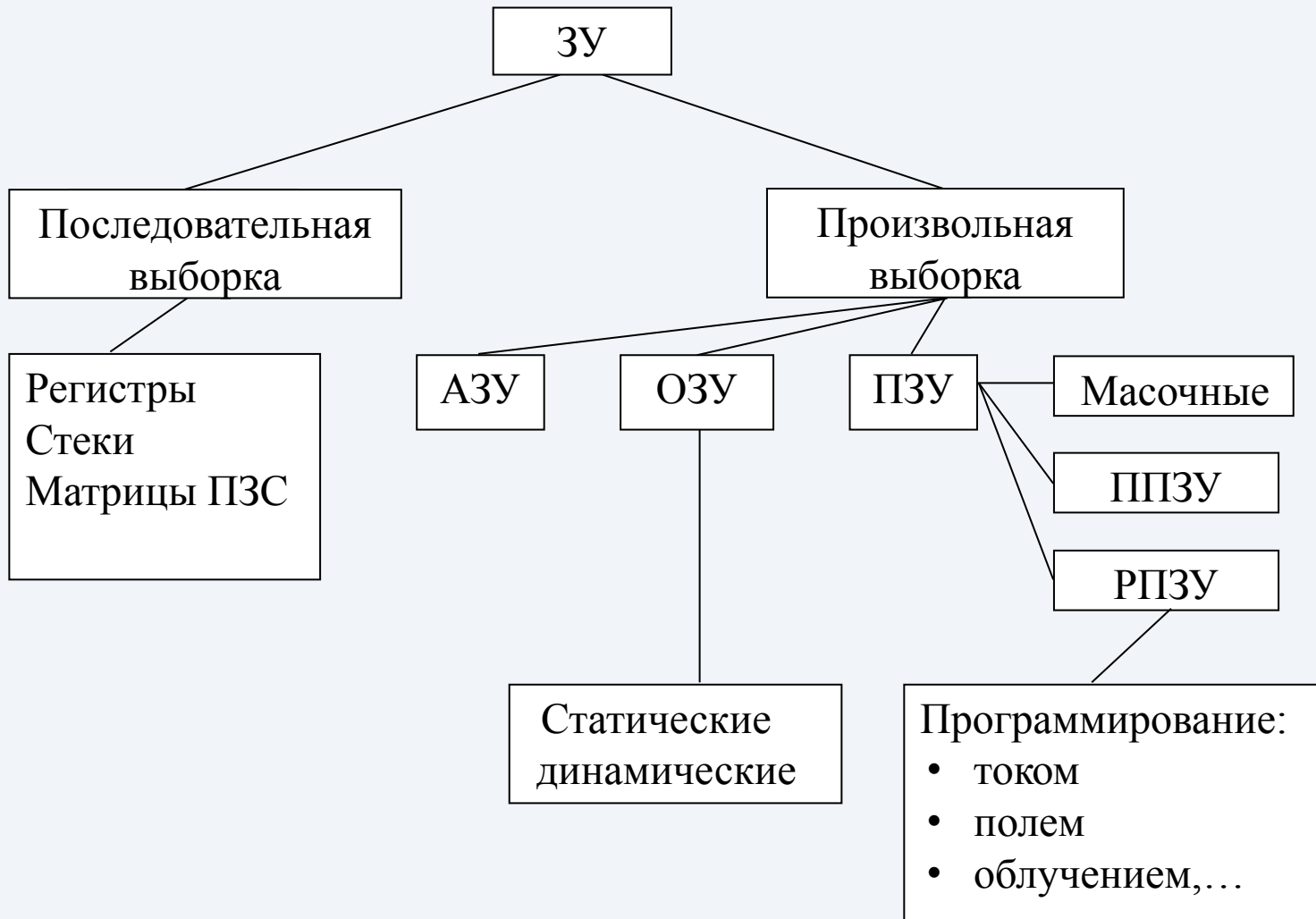
Основные характеристики запоминающих устройств (ЗУ)

- **информационная емкость**, определяемая максимальным объемом хранимой информации в битах или байтах
- **быстродействие**, характеризуемое временем записи и считывания информации из ЗУ
- **энергопотребление**, определяемое электрической мощностью, потребляемой ЗУ от источников питания в каждом из режимов работы
- **стоимость хранения информации** в расчете на один бит
- **энергонезависимость**, то есть сохраняется ли информация в ЗУ после выключения электропитания
- а также надежность, масса, габаритные размеры и др.

Единицы измерения объема памяти (информационной емкости) схем

Единица измерения	Объем в 10-й системе	Объем в 2-ной системе	Число бит
1 К (кило)	10^3	2^{10}	1024, тысяча
1 М (мега)	10^6	2^{20}	1048676, миллион
1 Г (гига)	10^9	2^{30}	Миллиард
1 Т (тера)	10^{12}	2^{40}	Триллион
1 П (пета)	10^{15}	2^{50}	Квадриллион

Классификация полупроводниковых ЗУ



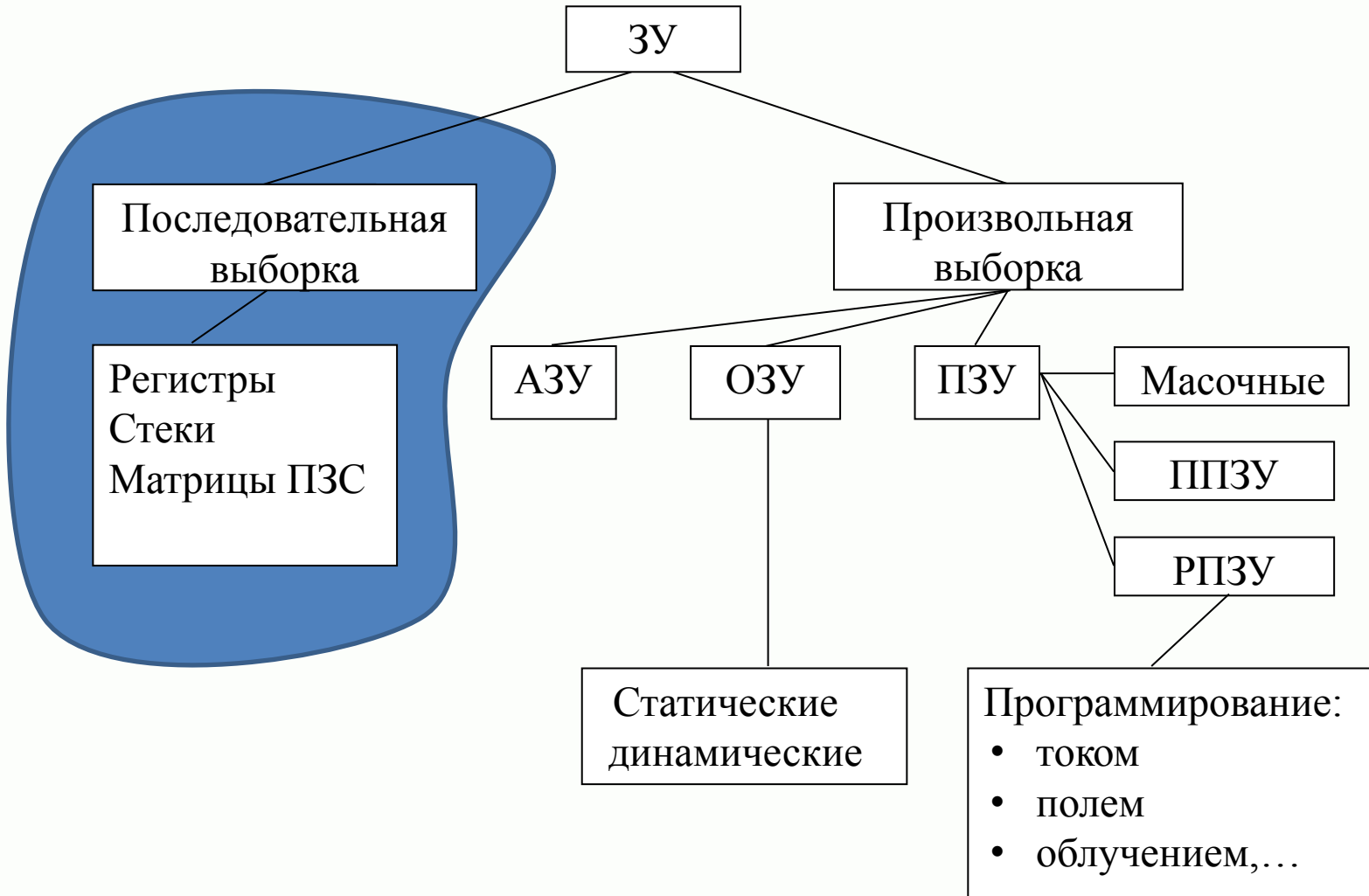
Основной признак при классификации ЗУ – способ доступа к ячейкам памяти

Классификация по способу выборки информации

- *ЗУ с последовательной выборкой* – данные из ячеек выбираются в определенной последовательности, начиная с заранее определенного адреса
- *ЗУ с произвольной выборкой* – данные из ячеек могут выбираться в любой последовательности по адресу ячейки (строка и столбец).
Характеризуются равенством времен записи (считывания) для всех ячеек памяти

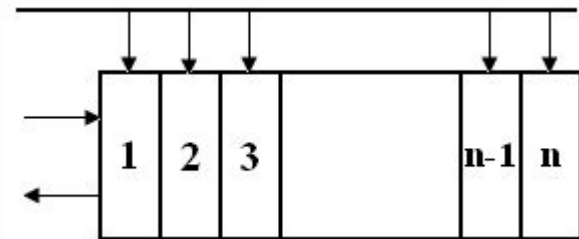
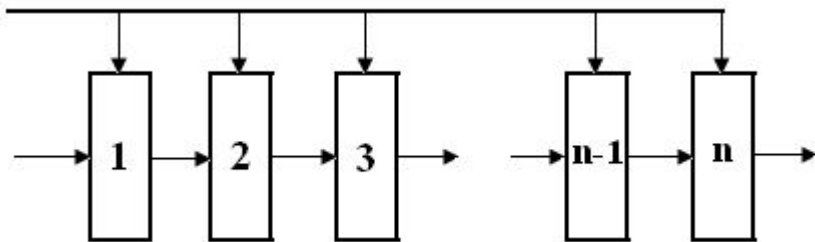
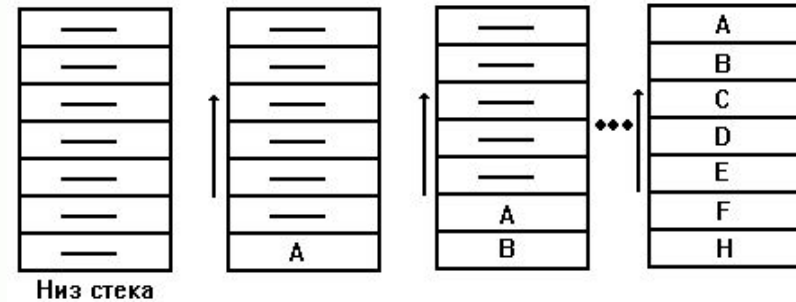
ЗУ с последовательной выборкой

SERIAL-ACCESS MEMORY



Способы записи и считывания информации в регистрах-стеках

Элементы памяти – триггеры D-типа $Q_{n+1} = CD + \bar{C}Q_n$

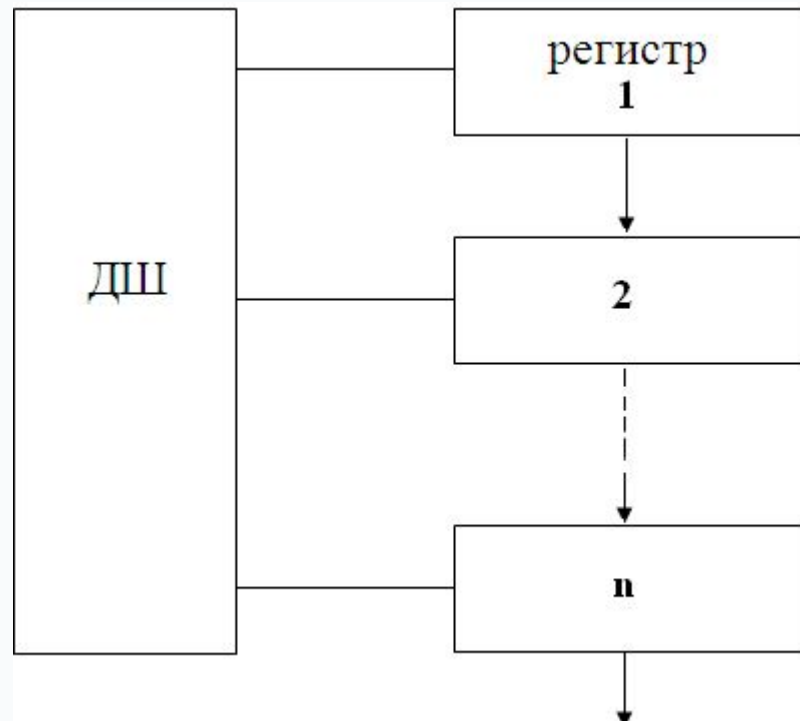


Буферная память — это память доступ к которой организован по принципу: «первым записан — первым считан»
FIFO (First Input First Output)

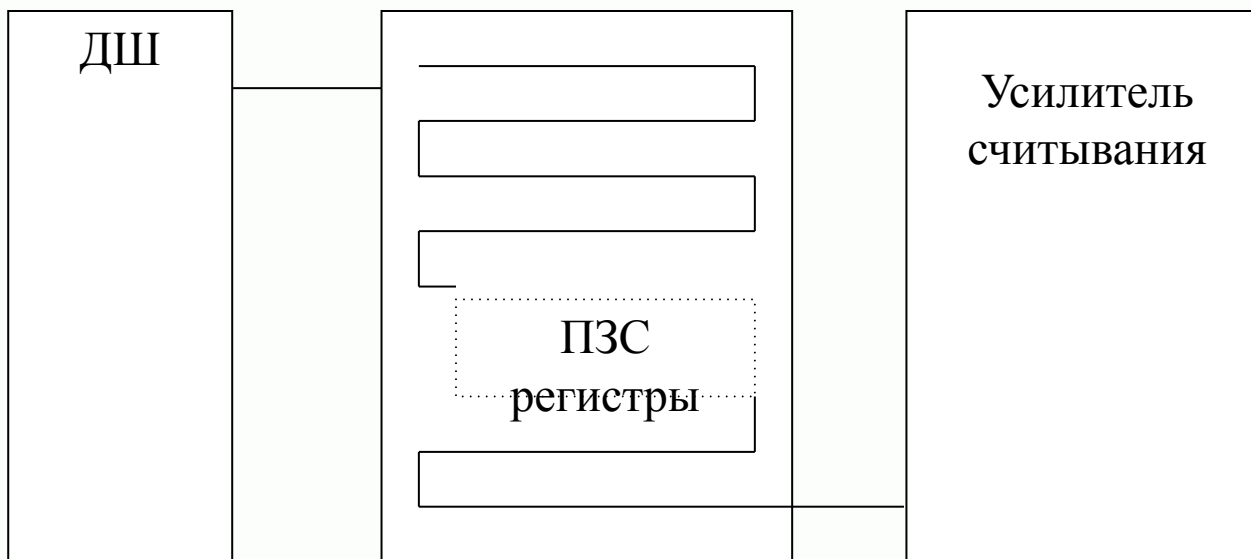
Стековая память — это память доступ к которой организован по принципу: «последним записан — первым считан»
LIFO (Last Input First Output)

Последовательно-параллельное регистровое ЗУ

Многоразрядное слово записывается в регистр, а информация из регистра считывается последовательно или параллельно, причем каждый регистр может быть выбран произвольно при помощи схемы дешифратора (ДШ)



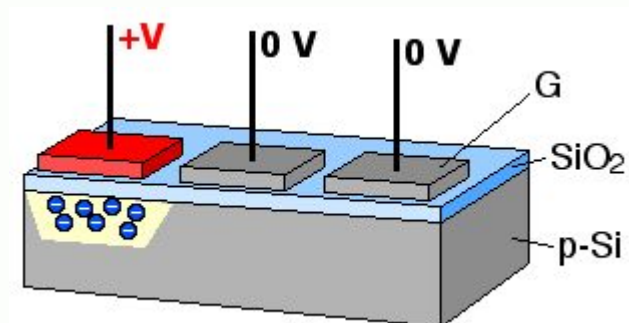
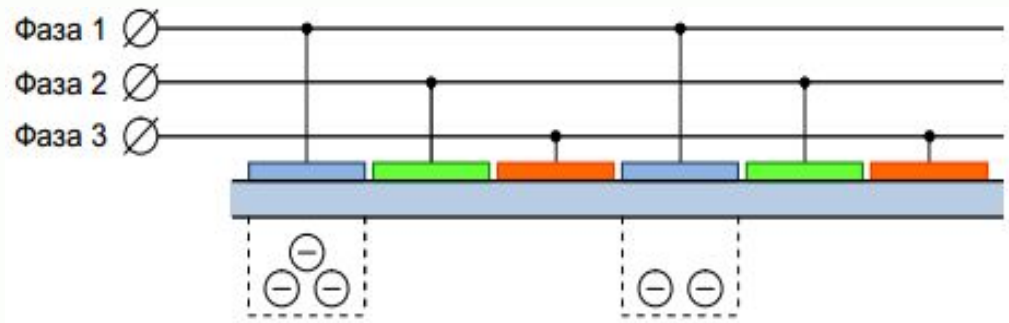
ЗУ последовательного типа на ПЗС-регистрах



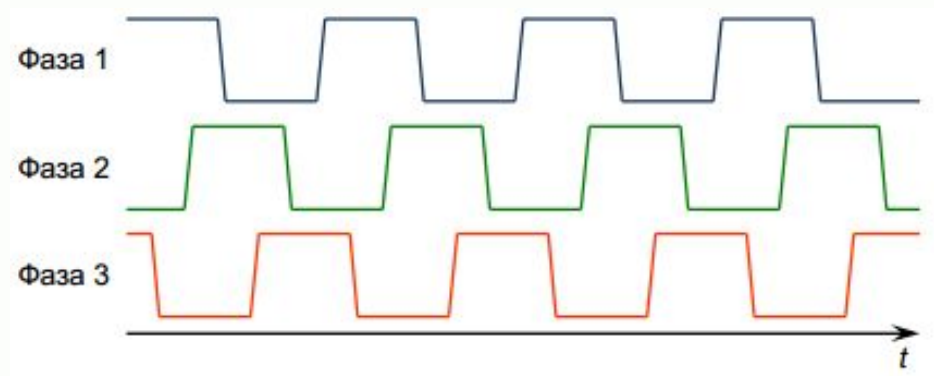
ПЗС (прибор с зарядовой связью, CCD - charged coupled devices) – прибор с переносом заряда, в основе работы которого лежит принцип хранения локализованного заряда в потенциальных ямах, образуемых в п/п кристалле под действием внешнего электрического поля, и передачи зарядовых пакетов из одной потенциальной ямы в другую при изменении напряжения на внешних электродах.

В ПЗС регистре со временем происходит деградация информационного состояния вследствие токов термогенерации, поэтому необходимо предусмотреть в блоке ЗУ и усилители считывания

ПЗС регистры



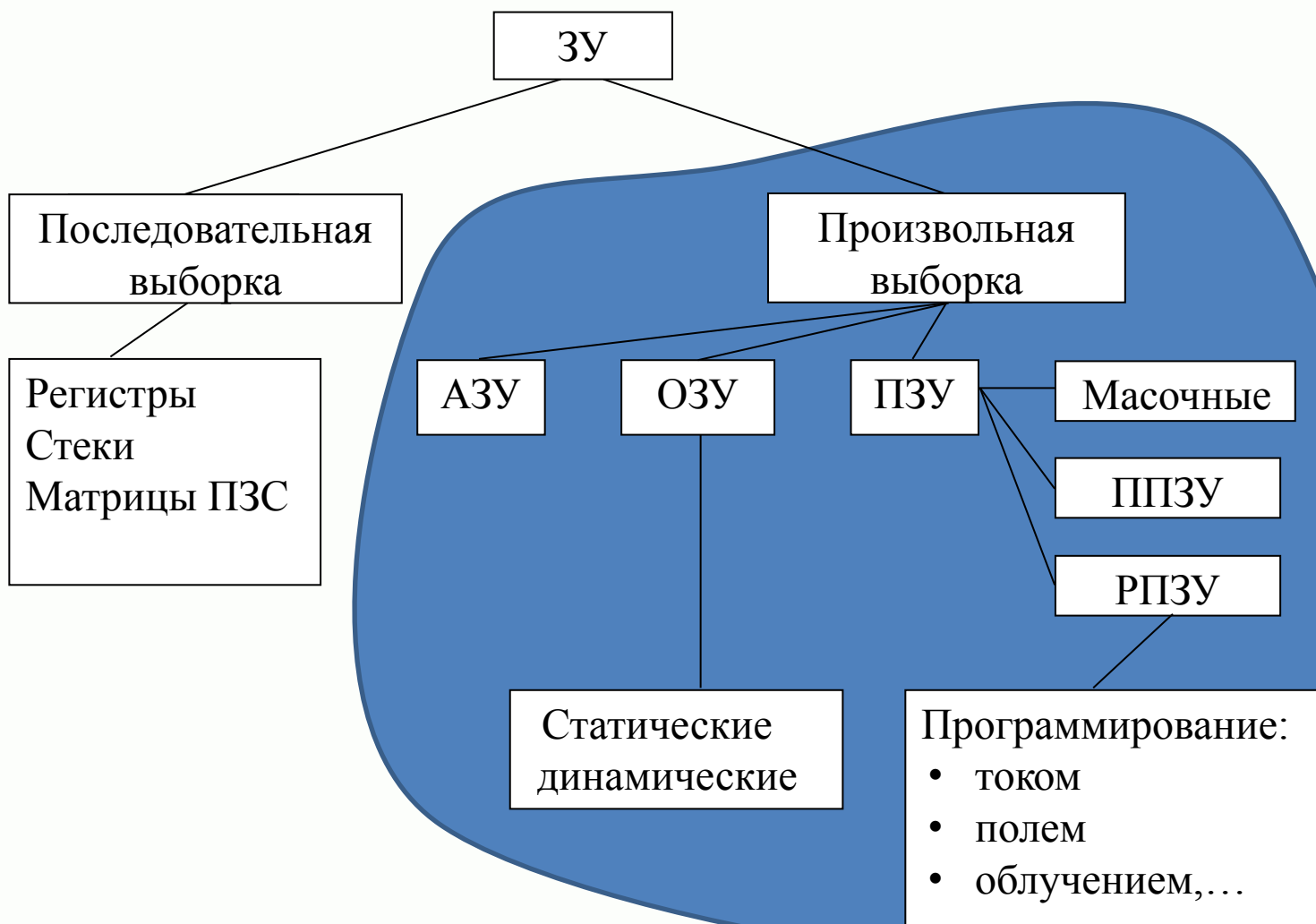
Простейший трехфазный ПЗС-регистр



Тактовые диаграммы управления трехфазным регистром

ЗУ с произвольной выборкой

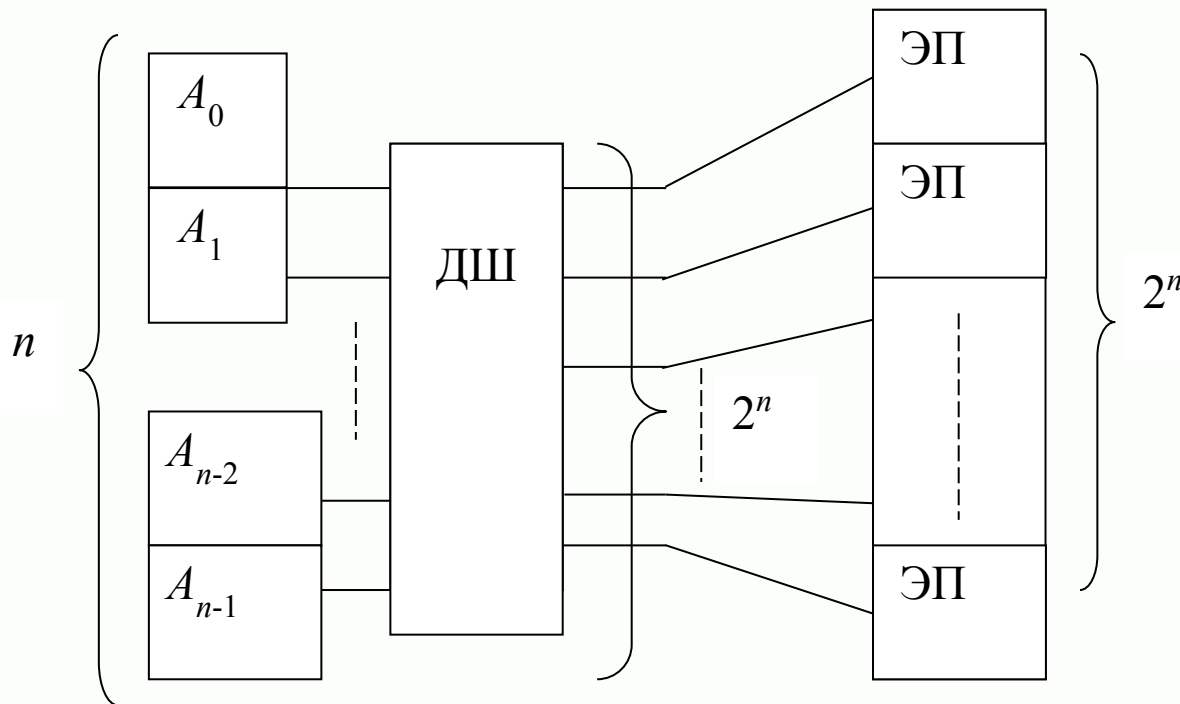
RAM – Random Access Memory



ЗУ с произвольной выборкой с одноступенчатым дешифратором

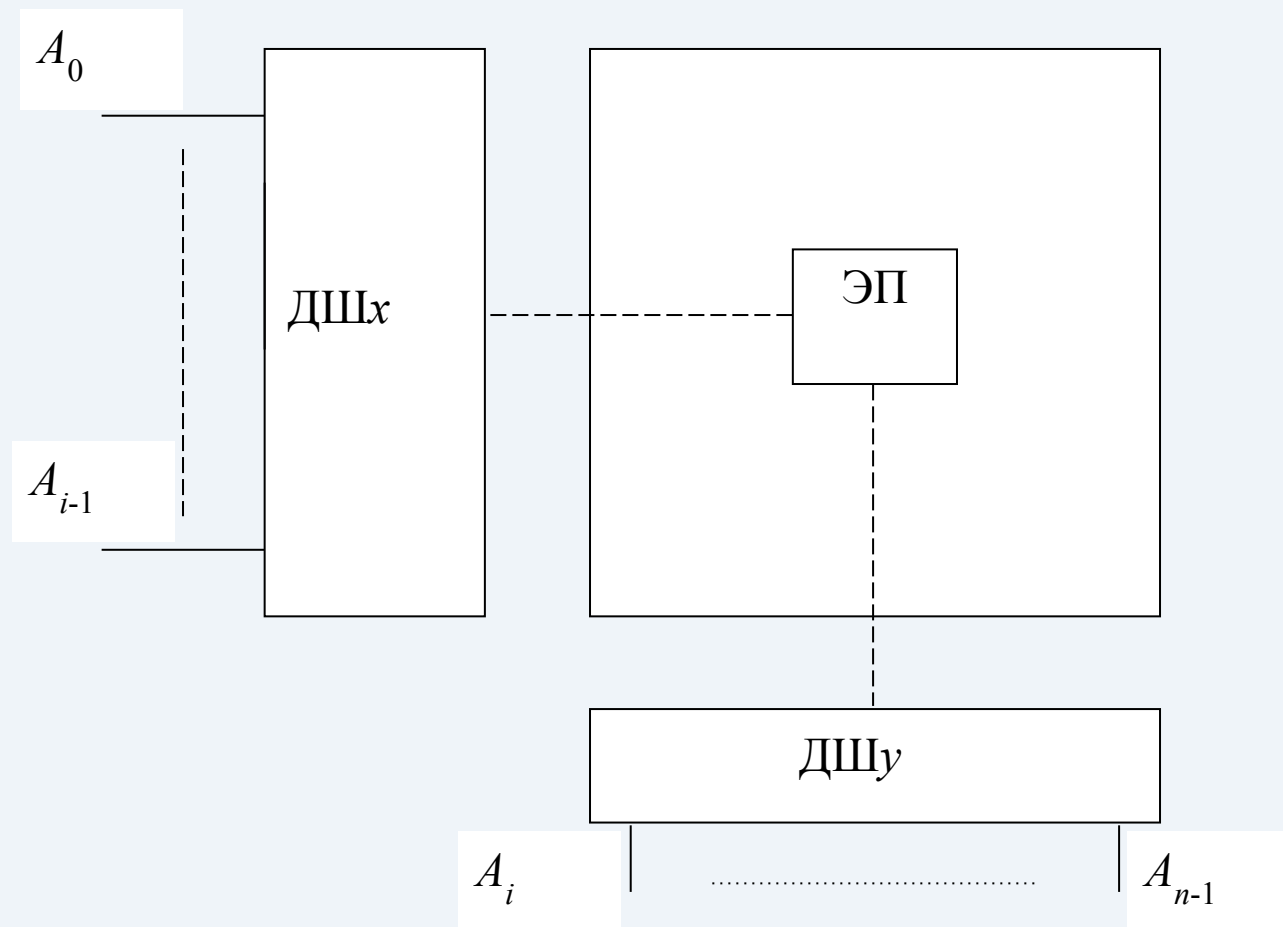
Произвольный доступ к информации обеспечивает схема дешифратора, у которого логическая функция – это получение полного набора минтермов для n переменных.

Тогда при числе входов n с выхода снимается 2^n минтермов:



$$f_0 = A_0 A_1 A_2 \dots A_{n-2} A_{n-1}$$
$$f_1 = A_0 A_1 A_2 \dots A_{n-2} \overline{A_{n-1}}$$
$$f_2 = A_0 A_1 A_2 \dots \overline{A_{n-2}} A_{n-1}$$
$$\dots$$
$$\dots$$
$$f_{2^n} = \overline{A_0} \overline{A_1} \overline{A_2} \dots \overline{A_{n-2}} \overline{A_{n-1}}$$

ЗУ с произвольной выборкой с двухступенчатым дешифратором



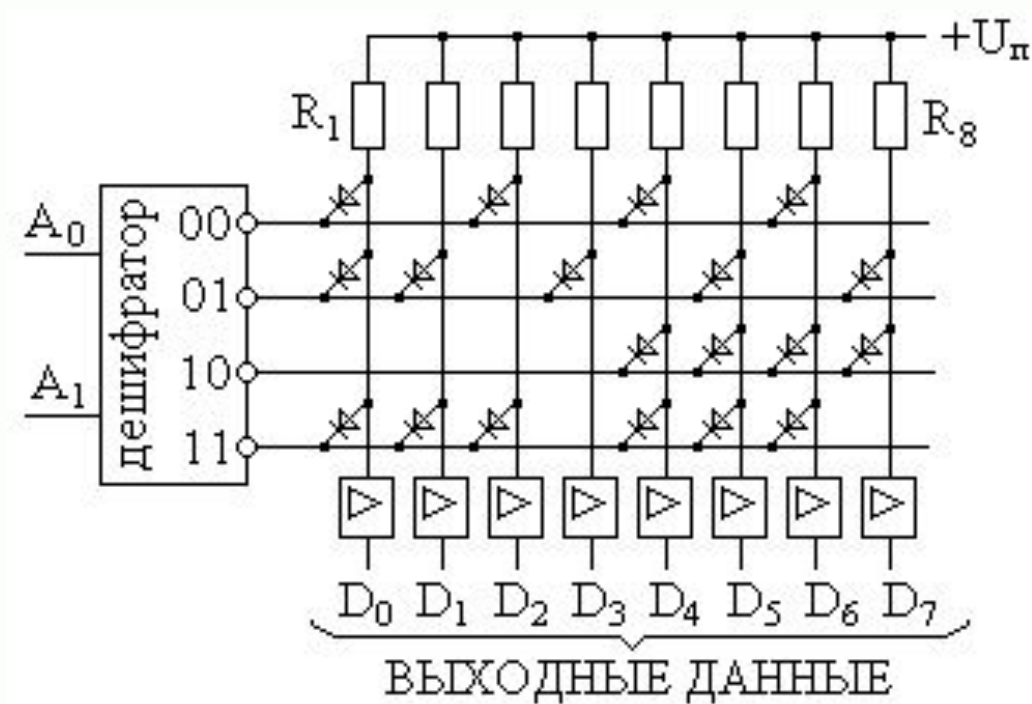
ЗУ с произвольной выборкой

- **АЗУ (ассоциативное ЗУ, *Content-addressable memory, associative memory*)** – схемы с выборкой-сравнением информации с эталоном: при совпадении данных элемент выбирается.
- **ПЗУ (постоянное ЗУ, *ROM – Read-Only Memory*)** – энергонезависимая память, используется для хранения массива неизменяемых данных. При изготовлении ИС программируются определенными данными. Для перезаписи требуется специальная операция.
- **ОЗУ (оперативное ЗУ, *RAM – Random Access Memory*)** – энергозависимая часть системы компьютерной памяти, в которой во время работы компьютера хранится выполняемый машинный код, а также входные, выходные и промежуточные данные, обрабатываемые процессором. Характеризуются возможностью быстрого записи/считывания информации в виде двоичных чисел в свою любую отдельную ячейку. С учетом способа хранения ОЗУ делятся на статические и динамические.

Основные виды ПЗУ

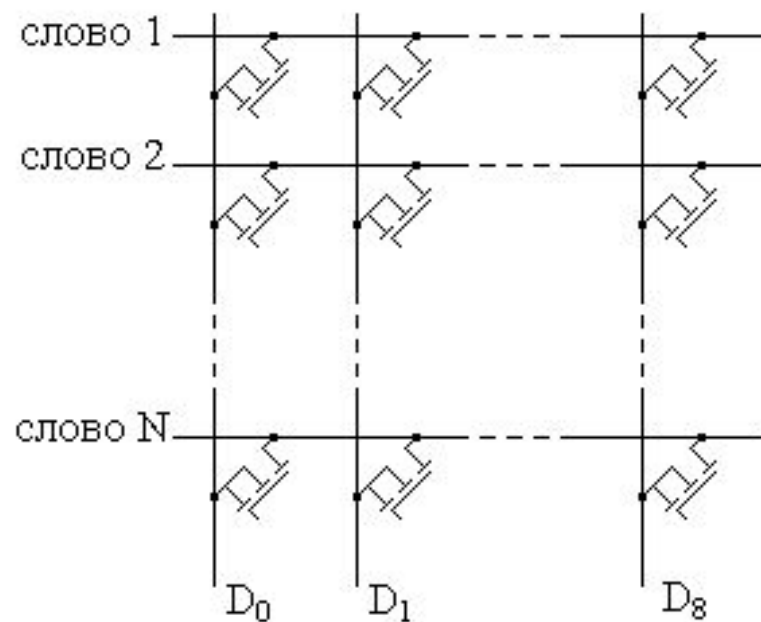
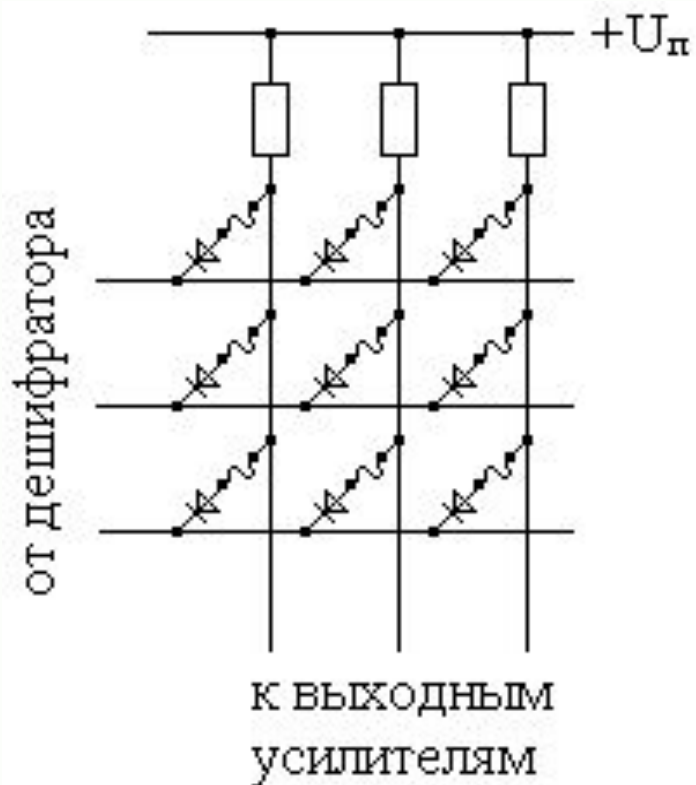
- **Масочные** – запрограммированы при помощи шин металлизации на последнем этапе создания разводки. Фотошаблон (маска) металлизации фиксирует навсегда записанную в элемент памяти информацию.
- **Программируемые пользователем (ППЗУ, PROM - Programmable ROM)** – возможно перепрограммирование ячеек памяти в зависимости от потребностей пользователей.
- **Репрограммируемые (РПЗУ, EPROM-Erasable Programmable ROM, EEPROM - Electrically Erasable Programmable ROM)**, в таких схемах памяти возможно многократное перепрограммирование ячеек памяти в зависимости от потребностей пользователей. Существуют различные механизмы перепрограммирования, например, напряжением, током, полем, облучением.

Масочные ПЗУ

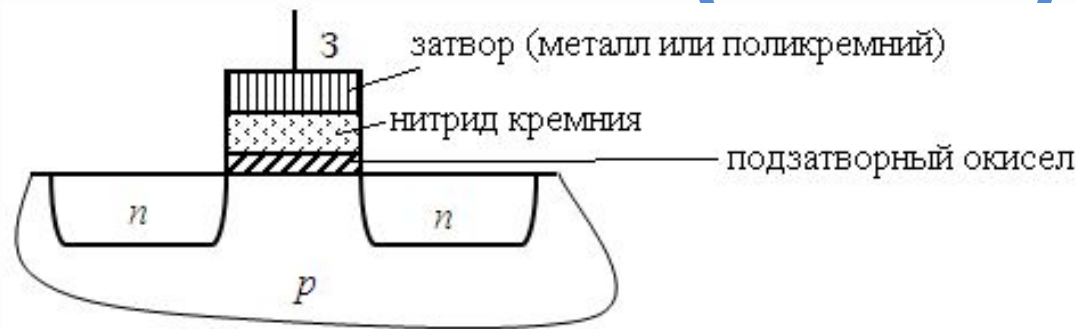


Адрес		Выходные данные							
A1	A ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
0	0	1	0	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0	0
1	0	0	0	0	0	1	1	1	1
1	1	1	0	0	0	1	0	0	0

ПЗУ, программируемые пользователем, с плавкой перемычкой

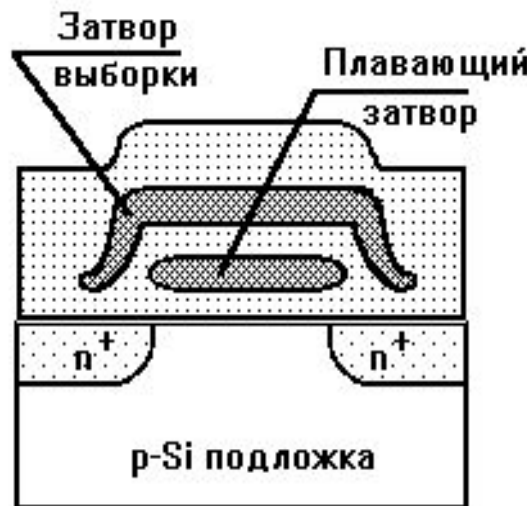
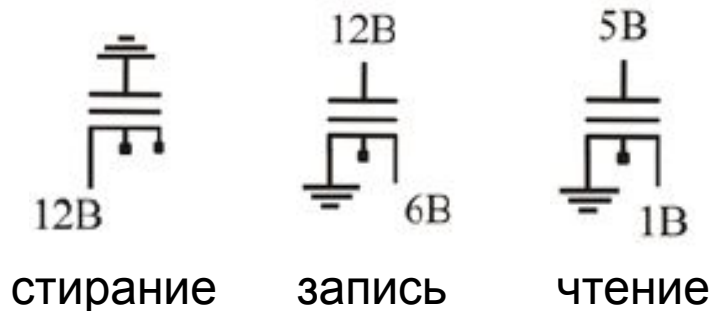


Репрограммируемые ПЗУ (РПЗУ)

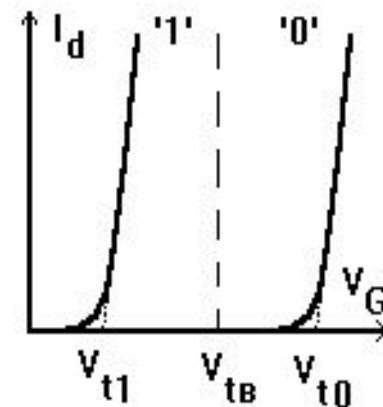


Структура МНОП – металл-нитрид-окисел-полупроводник

Пример режимов

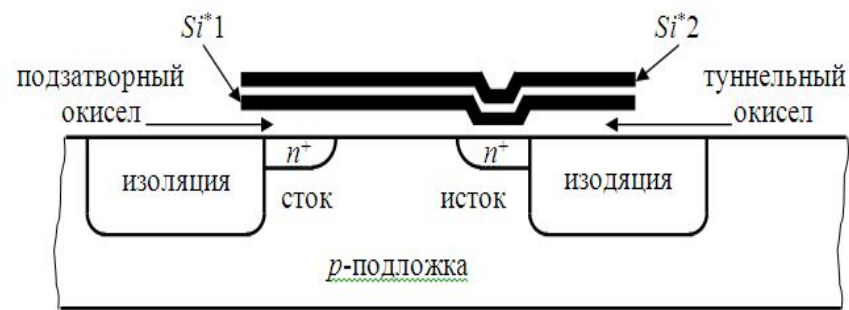


V_{tv} - порог считывания

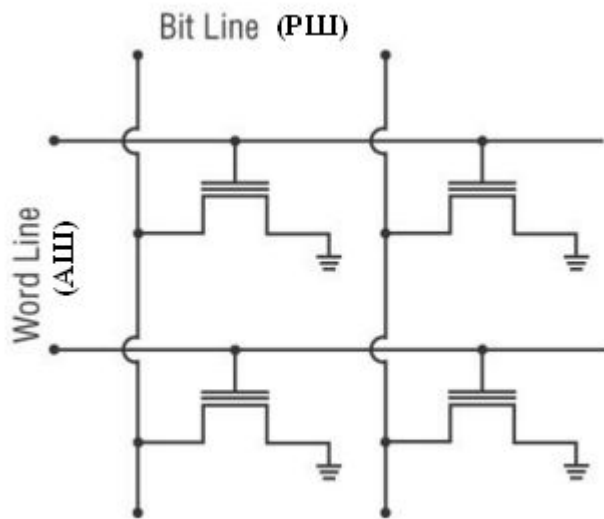


Структура МОПТ с плавающим затвором

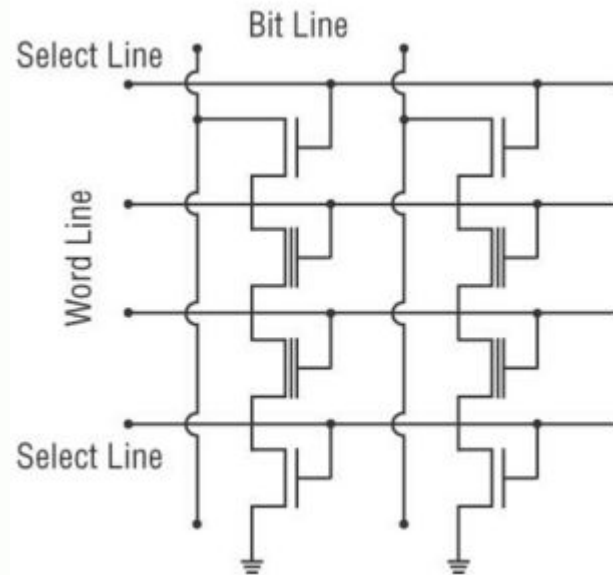
Программируемые полем ЭП (флэш элемент памяти)



Пример структуры флэш элемента памяти



Архитектура NOR

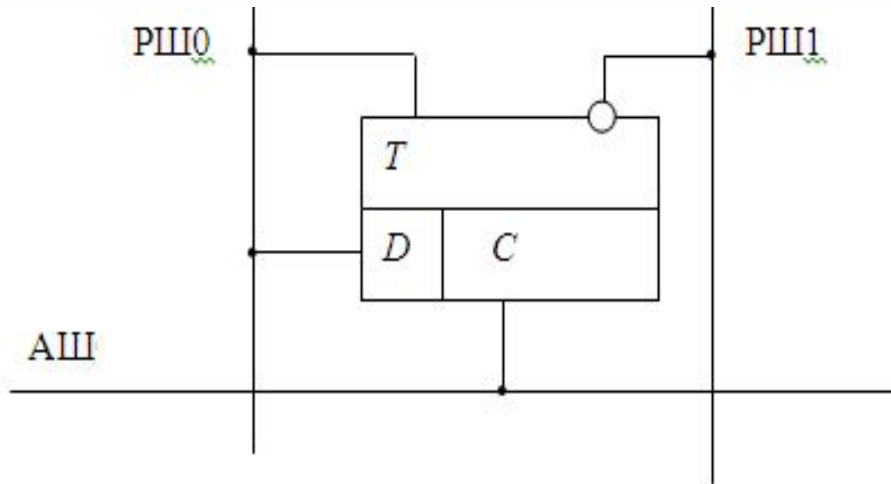


Архитектура NAND

Оперативные ЗУ (ОЗУ)

- **ОЗУ статического типа (SRAM - Static Random Access Memory).** Элементом памяти служит триггер. Одно из двух его устойчивых состояний принимается за 0, другое – 1. Эти состояния при отсутствии внешних воздействий могут сохраняться сколь угодно долго. Триггер может быть выполнен в любом схемотехническом базисе.
- **ОЗУ динамического типа (DRAM - Dynamic Random Access Memory).** Элементы памяти представляют собой конденсаторы: заряженный конденсатор – 1, незаряженный – 0. Недостатком динамической памяти является самопроизвольный разряд, что ведет к потере информации. Чтобы этого не происходило, конденсаторы динамической памяти необходимо периодически подзаряжать. Такой процесс называют

ОЗУ статического типа



D-триггер как элемент памяти статического ОЗУ

$$Q_{n+1} = CD + \bar{C}Q_n$$

C	Q_{n+1}
1	D
0	Q_n

АШ - адресная шина (Word Line) – шина выборки, сигнал на нее поступает с выхода дешифратора строк. В *D*-триггере это обычно разрешающий синхросигнал (C или T);

РШ - разрядная шина или шина данных (**Bit Line**) – по этой шине поступает информация для записи или считывания. К этой шине в *D*-триггере при записи подсоединяется вход *D*, а при считывании - выход *Q*. Информация в триггерных схемах хранится в парафазной форме, поэтому в накопителях очень часто используют две разрядные шины, которые называют РШ0 и РШ1. Эти шины подключены, например, к выходам ДШ столбцов и к выходным усилителям.

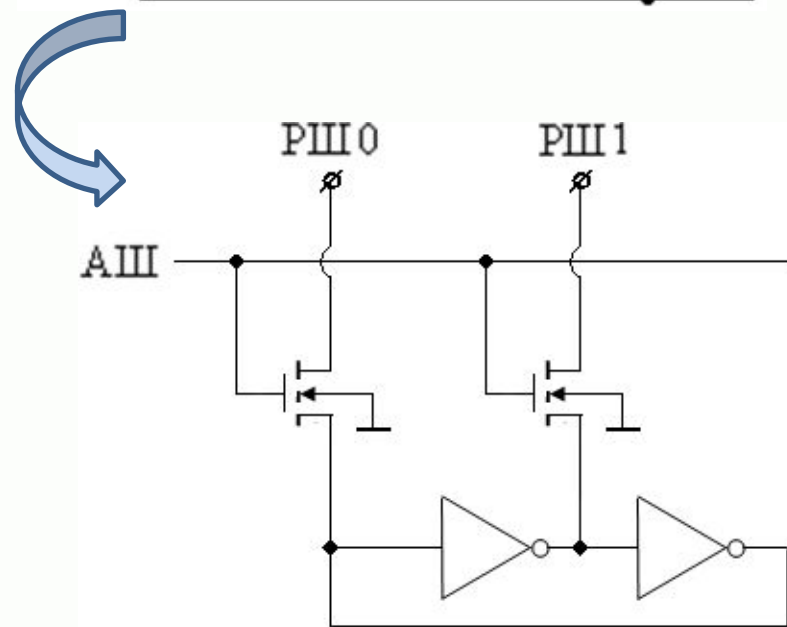
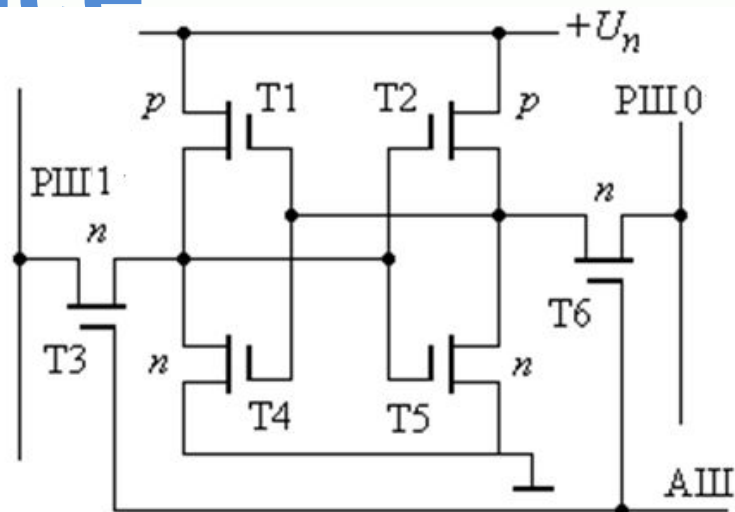
Статические ОЗУ в КМДП-базисе

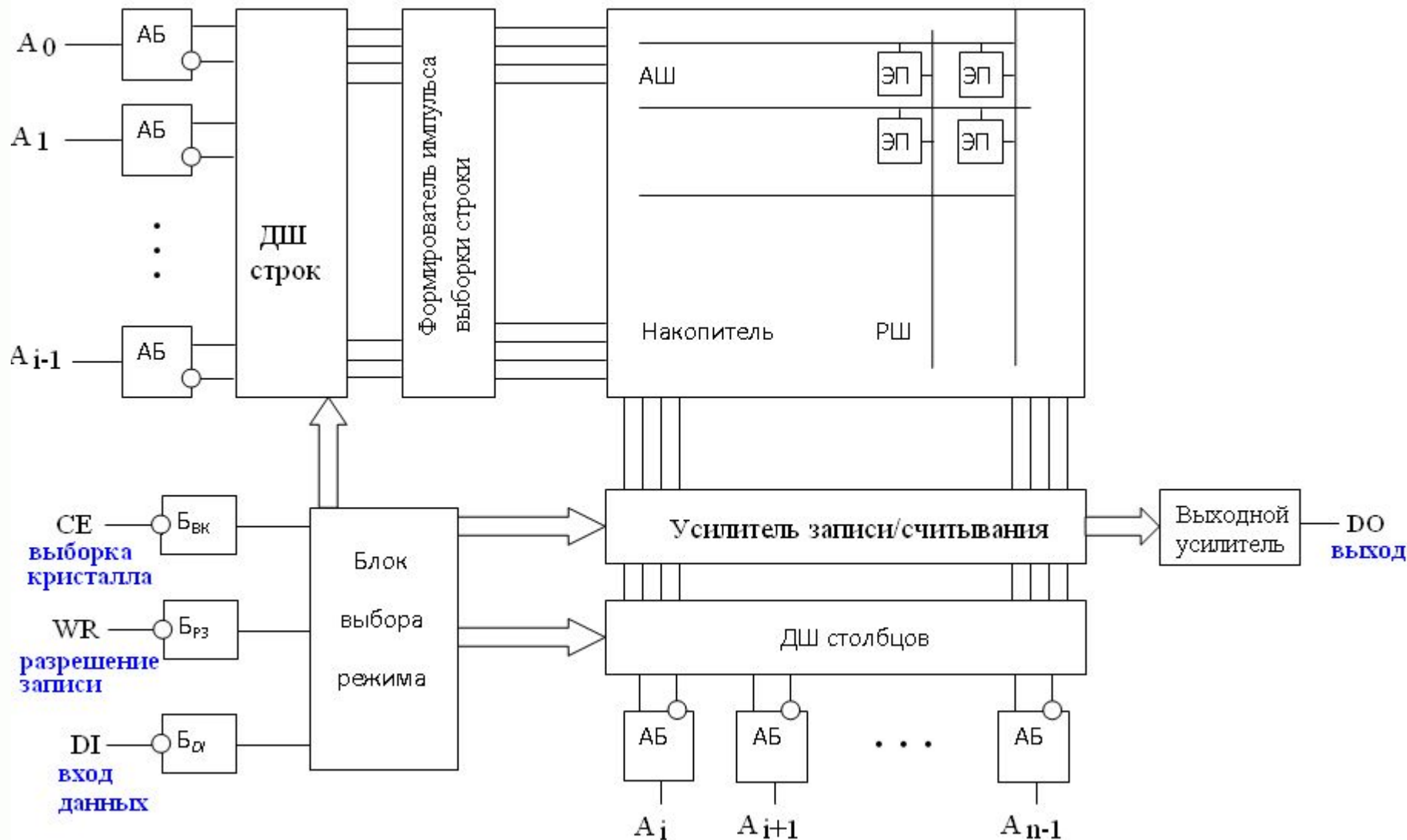
Хранение – потенциал на адресной шине равен 0, транзисторы выборки закрыты.

Выборка – на адресной шине высокий потенциал, и плечи триггера через транзисторы выборки подсоединяются к разрядным шинам.

Запись – на разрядные шины подаются коды данных, подлежащих записи; они устанавливают триггер в состояние 0 или 1.

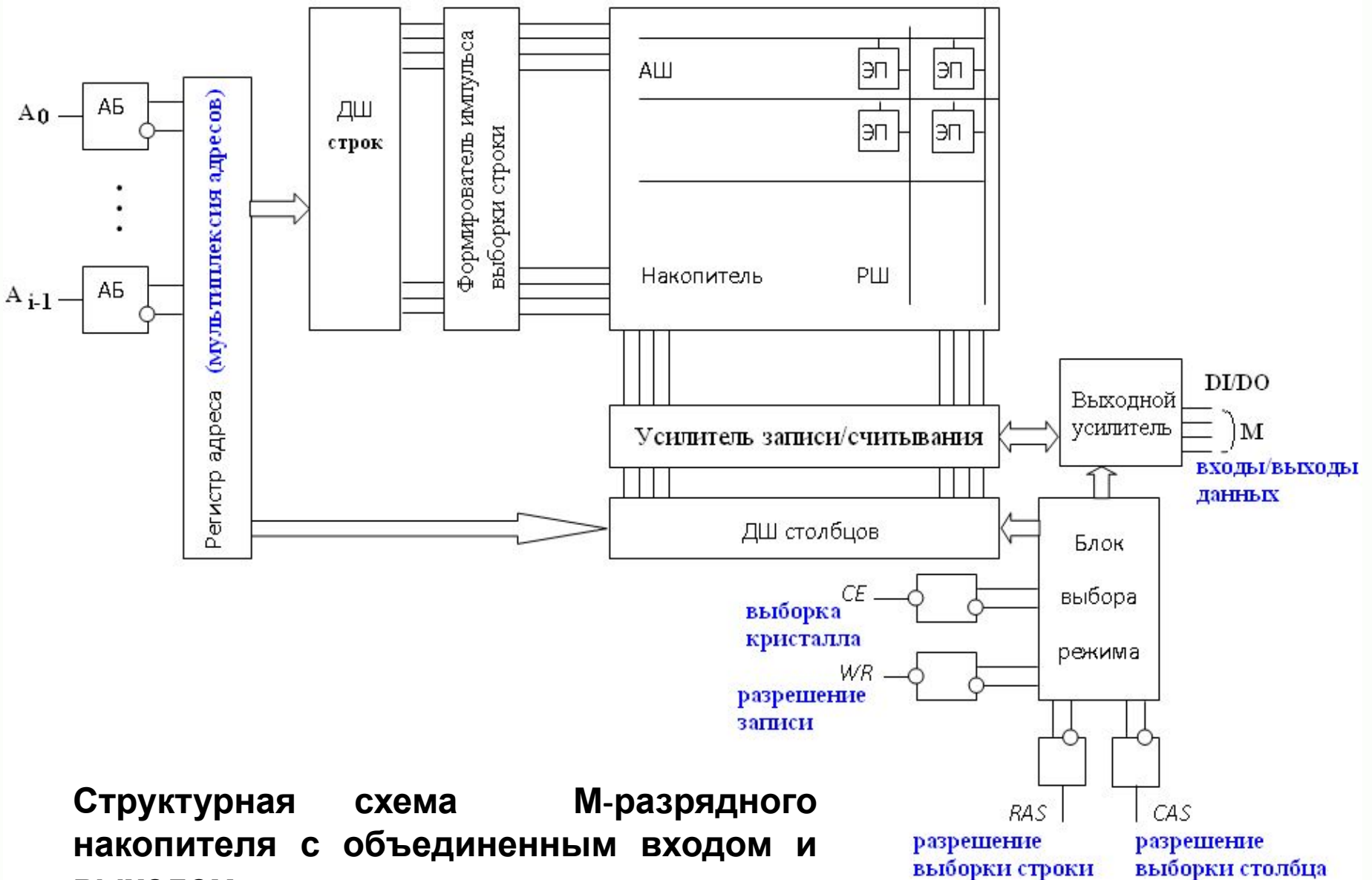
Считывание – разрядные шины переводятся в режим плавающего потенциала, а триггер через транзисторы выборки начинает их заряжать в соответствии со своим состоянием.





Организация одноразрядного накопителя с отдельным входом и выходом

AB - адресные буферы, $B_{вк}$, $B_{рз}$, $B_{дл}$ - буферы выборки кристалла, разрешения записи и входных данных соответственно



Структурная схема M-разрядного накопителя с объединенным входом и выходом

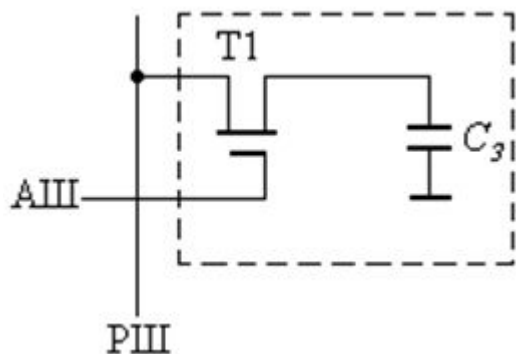
Достоинства и недостатки СОЗУ

Достоинства – небольшое энергопотребление, высокое быстродействие. Отсутствие необходимости производить «регенерацию».

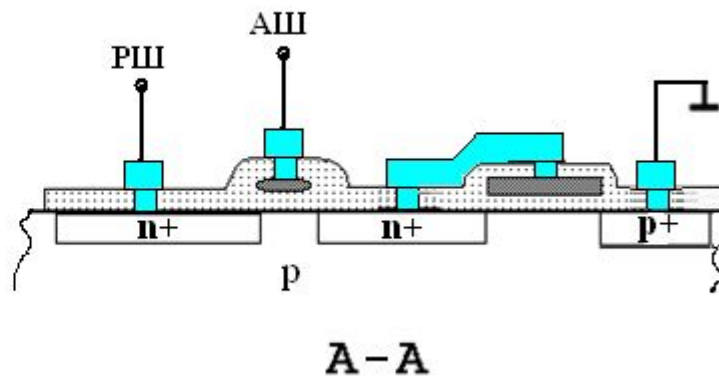
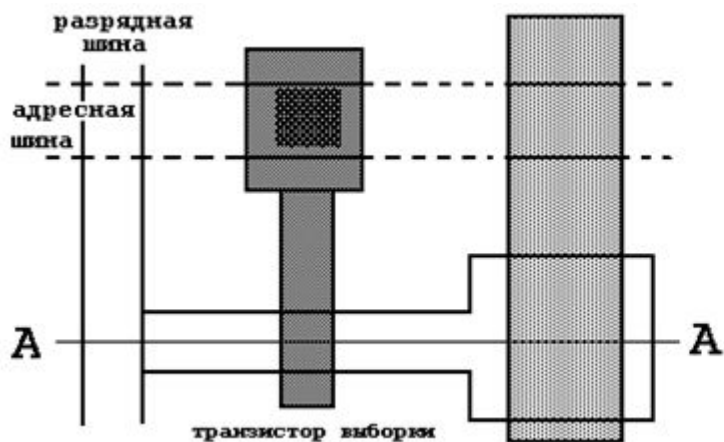
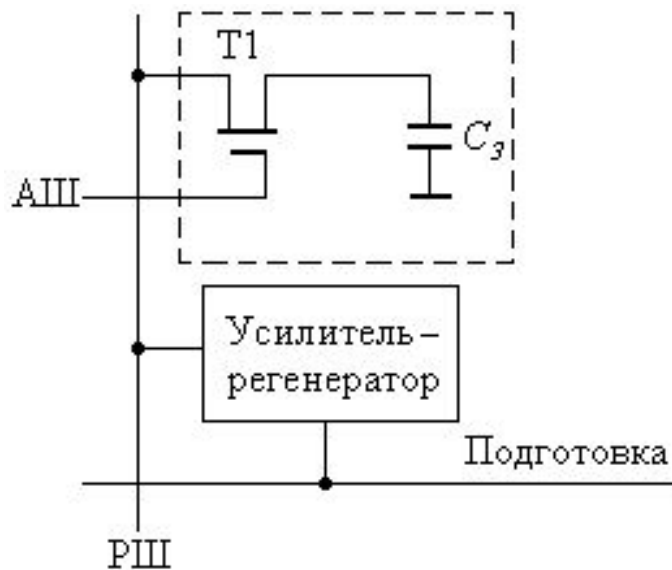
Недостатки – малый объём, высокая стоимость.

Благодаря принципиальным достоинствам широко используется в качестве *кеш-памяти процессоров* в компьютерах.

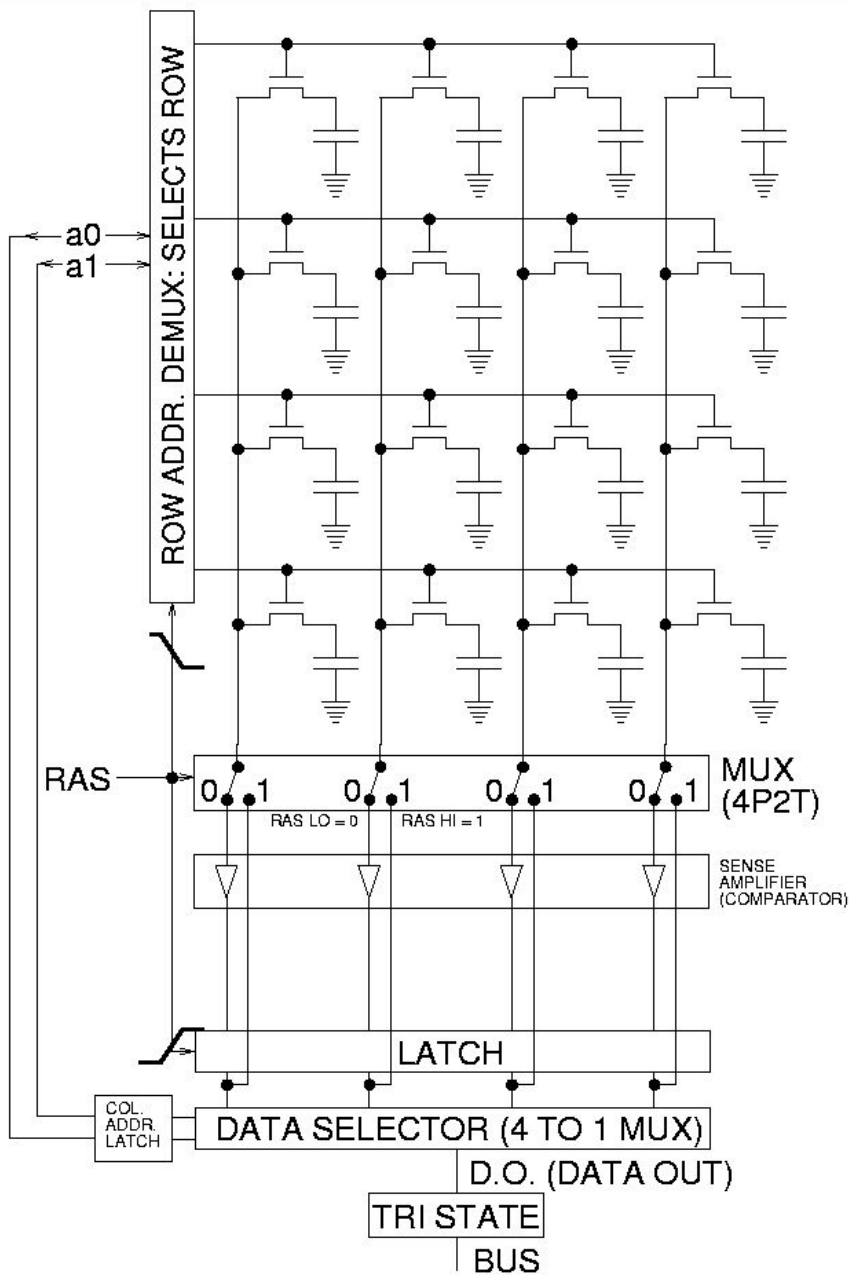
Динамические ОЗУ (ДОЗУ)



Простейшая запоминающая ячейка ДОЗУ



Вариант топологии и сечения ячейки ДОЗУ



Принцип действия чтения DRAM для простого массива 4x4

Достоинства и недостатки ДОЗУ

Преимущества динамической памяти:

- низкая себестоимость
- высокая степень упаковки, позволяющая создавать чипы памяти большого объема

Недостатки динамической памяти:

- относительно невысокое быстродействие, так как процесс зарядки и разрядки конденсатора, занимает гораздо больше времени, чем переключение триггера
- большие времена задержки, в основном, из-за внутренней шины данных, в несколько раз более широкой, чем внешняя, и необходимости использования мультиплексора/демультиплексора
- необходимость регенерации заряда конденсатора из-за его быстрого саморазряда