

# Технология ЭКБ

Путря Михаил Георгиевич

# Список использованных и рекомендуемых источников

1. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Ревелева М.А., под общей ред. Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2007. Ч. 1: Технологические процессы изготовления кремниевых интегральных схем и их моделирование. –□ 397 с.
2. Технология, конструкции и методы моделирования кремниевых интегральных микросхем: в 2 ч. / Королев М.А., Крупкина Т.Ю., Путря М.Г., Шевяков В.И., под общей ред. члена-корр. РАН профессора Чаплыгина Ю.А. – М.: БИНОМ. Лаборатория знаний. –□ 2009. Ч. 2: Элементы и маршруты изготовления кремниевых ИС и методы их математического моделирования. –□ 422 с.
3. Технология СБИС: В 2-х кн. Кн. 2 / Пер. с англ. Под ред. Зи С. – М.: Мир, 2008. – 305 с.
4. Киреев В.Ю. «Введение в технологии микроэлектроники и нанотехнологии». ГНЦ РФ «ЦНИИХМ», 2008 г.
5. Г. Красников «Конструктивно- технологические особенности субмикронных МОП транзисторов». М. Техносфера, 2011 г.
6. ОСНОВЫ ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ И.Д. Войтович, В.М. Корсунский НАНОЭЛЕКТРОННАЯ ЭЛЕМЕНТНАЯ БАЗА ИНФОРМАТИКИ Учебное пособие , Москва, Национальный Открытый Университет «ИНТУИТ, 2014
7. Борисенко В.Е., Воробьева А.И., Уткина Е.А. Борисенко В.Е., Воробьева А.И., Уткина Е.А. — Нанoeлектроника: теория и практика: учебник. Бином. Лаборатория знаний. 2013 г., 366с.

Handbook of  
**Semiconductor  
Manufacturing  
Technology**

Second Edition

Edited by  
Robert Doering  
Yoshio Nishi

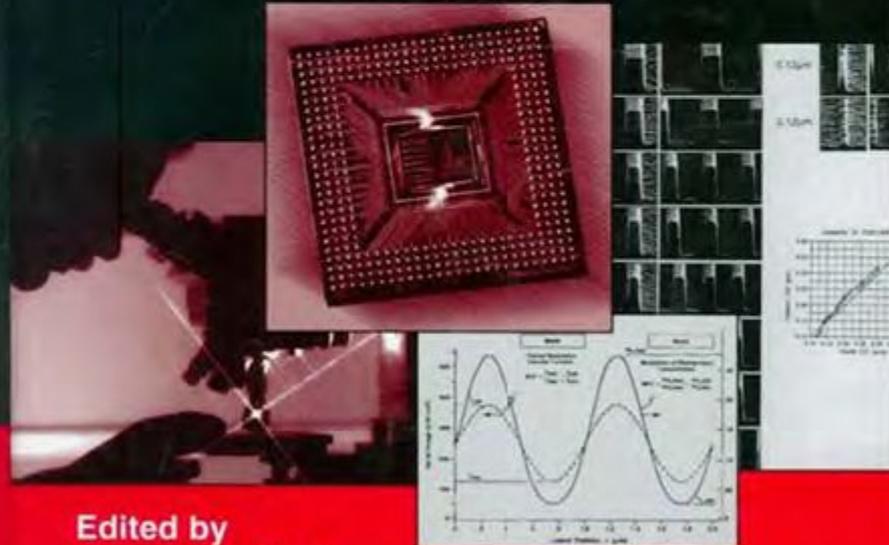


CRC Press is an imprint of the  
Taylor & Francis Group, an informa business

Copyrighted Material

# HANDBOOK of VLSI MICROLITHOGRAPHY

Principles, Tools, Technology and Applications • SECOND EDITION



Edited by  
**John N. Helbert**



McGraw-Hill  
A Division of The McGraw-Hill Companies

Gary E. McGuire, Series Editor  
Stephen M. Rossnagel, Series Editor  
Rointan F. Bunshah (1927-1999), Founding Editor

Copyrighted Material

**Industrial Plasma Engineering  
Applications to Nonthermal Plasma  
Processing**

J Reece Roth

*Department of Electrical and Computer  
Engineering*

*University of Tennessee, Knoxville*

Institute of Physics Publishing

Bristol

Основным параметром технологии является **минимальная технологическая (топологическая, проектная) норма (technology node, feature size)**. Говоря о проектной норме, обычно имеют в виду минимальный для данной технологии характеристический размер.

**Уровень технологии** определяется минимально возможной топологической нормой, т. е. минимальным размером элемента или зазора в периодических структурах с минимальным периодом (с максимальной плотностью упаковки).

**$L_{\min} = \frac{1}{2} \text{pitch}$  (шаг)**, который в настоящее время определяется по первому уровню разводки.

Длина затвора МОП транзистора приблизительно в 1.5...2 раза меньше технологической нормы.

Изменение технологической нормы идет по поколениям, с приблизительно одинаковым масштабным множителем  $L$ .

Соответствующий ряд параметров технологических норм исторически имеет следующий вид:

0.5 мкм..0.35..0.25..0.18..0.13 ..( 130 нм)..90..60..45..32 нм...

Переход к следующему поколению соответствует приблизительно увеличению **степени интеграции** в 2 раза.

**Степень интеграции  $K_i = \lg N$ ,  $N$  – количество основных элементов, входящих в состав микросхемы**

$K_i = \leq 1$  – простая интегральная схема

$K_i = 1 \div 2$  – средняя интегральная схема

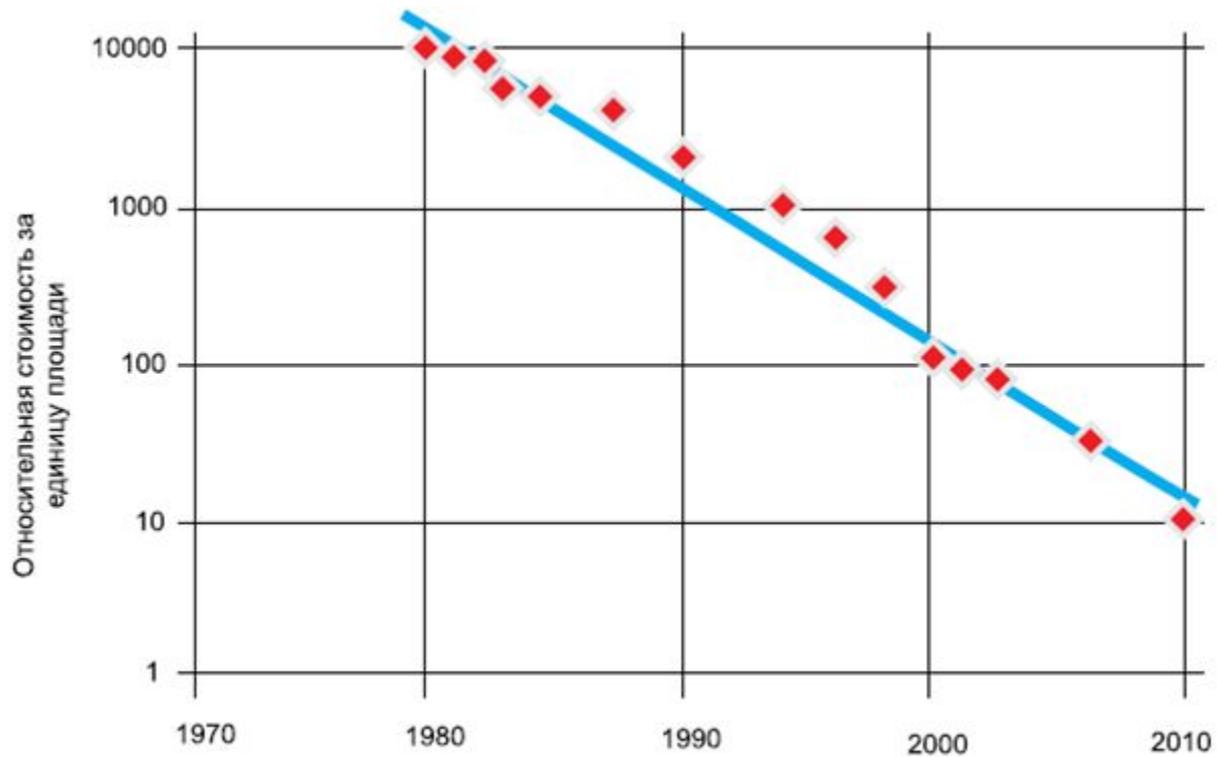
$K_i = 2 \div 4$  – большая интегральная схема (БИС)

$K_i = 4 \div 7$  – сверх большая интегральная схема (СБИС)

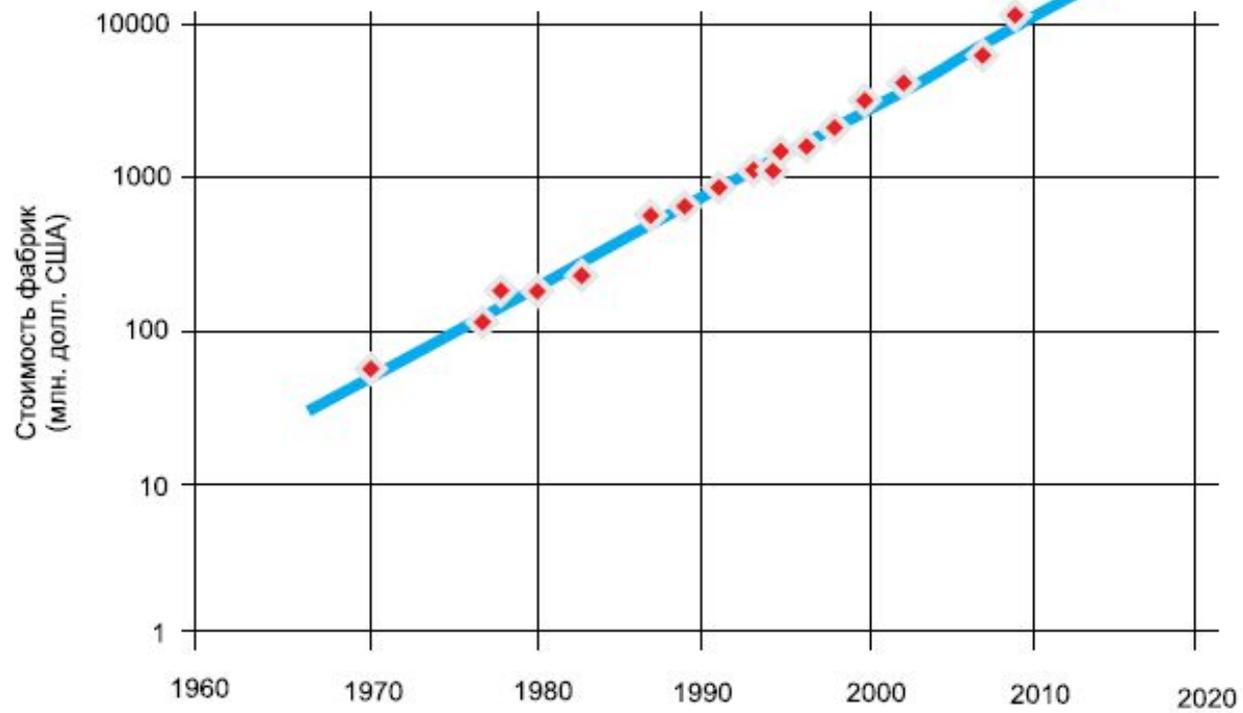
$K_i = 7 \div 9$  – ультра большая интегральная схема (УБИС)

$K_i \geq 9$  – гигантская интегральная схема (ГИС)

**Увеличение диаметра пластин** и снижение проектных топологических норм является неотъемлемой частью истории развития полупроводниковой микроэлектроники. За более чем 50-летнюю историю производство полупроводников прошло путь от пластин диаметром 25 мм до современных фабрик, обрабатывающих кремниевые пластины диаметром 300 мм. К 2020 г. (а, вероятно, и раньше) планируется запуск первой фабрики для пластин диаметром 450 мм. Одновременно с этим происходит постоянное снижение проектных норм топологии, достигшее значений 14 нм.

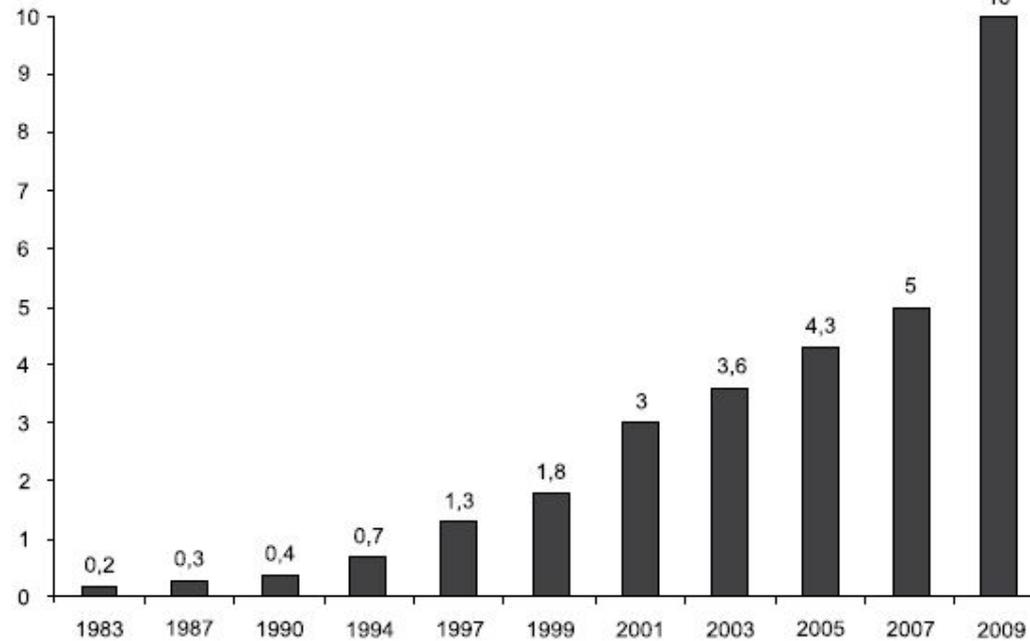


Изменение стоимости обработки единицы площади пластины



а)

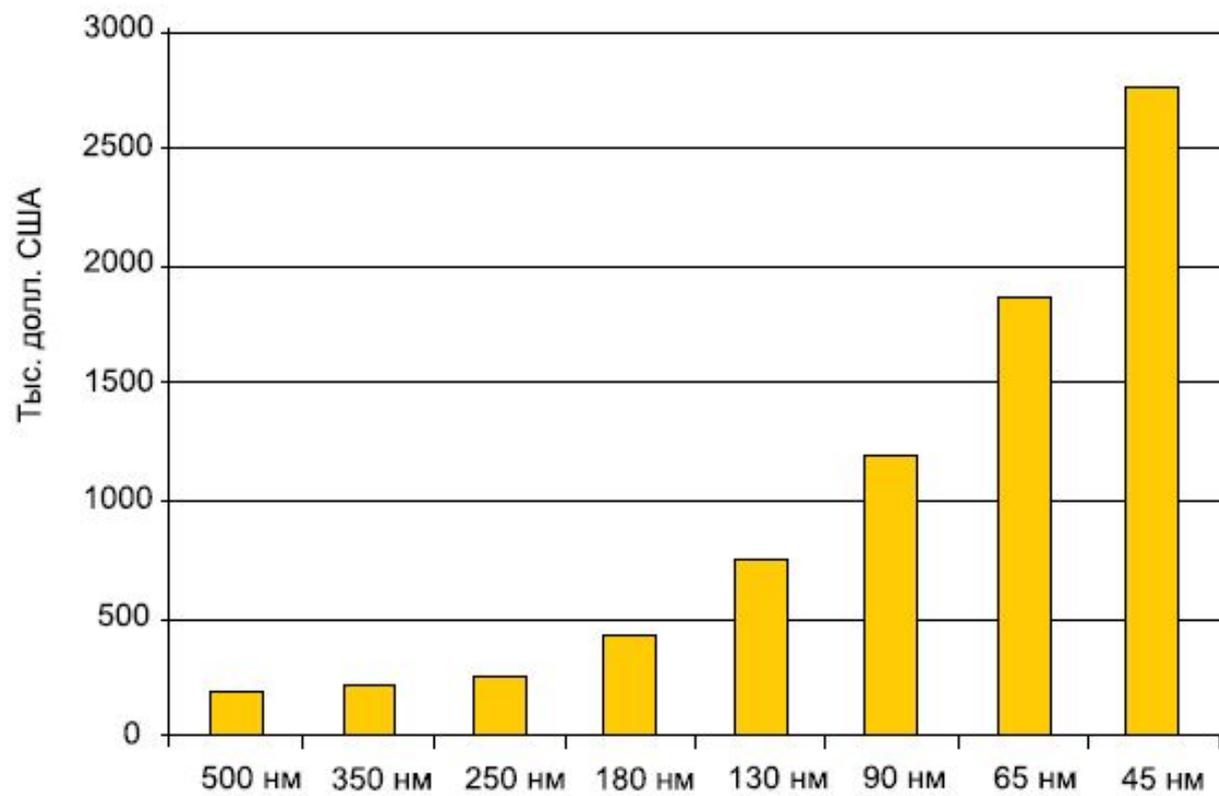
Млрд. долл. США



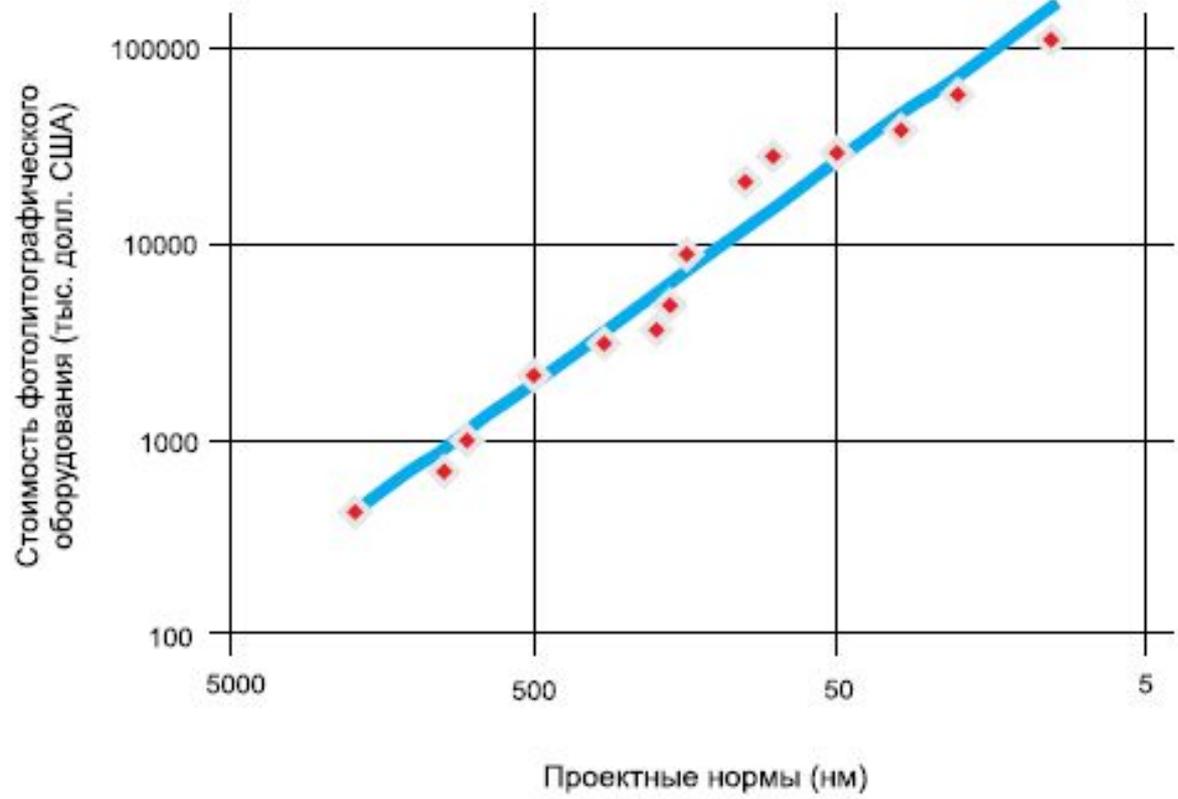
Пластина	4"/5"	5"/6"	6"	6"/8"	8"	8"	12"	12"	12"
Процесс	1,2 мкм	1 мкм	0,8 мкм	0,5 мкм	0,35 мкм	0,25 мкм	0,13 мкм	0,09 мкм	0,065 мкм

б)

Рост стоимости кремниевых фабрик в 1970–2010 гг. (а) в зависимости от диаметра пластины и проектных норм топологии (б)

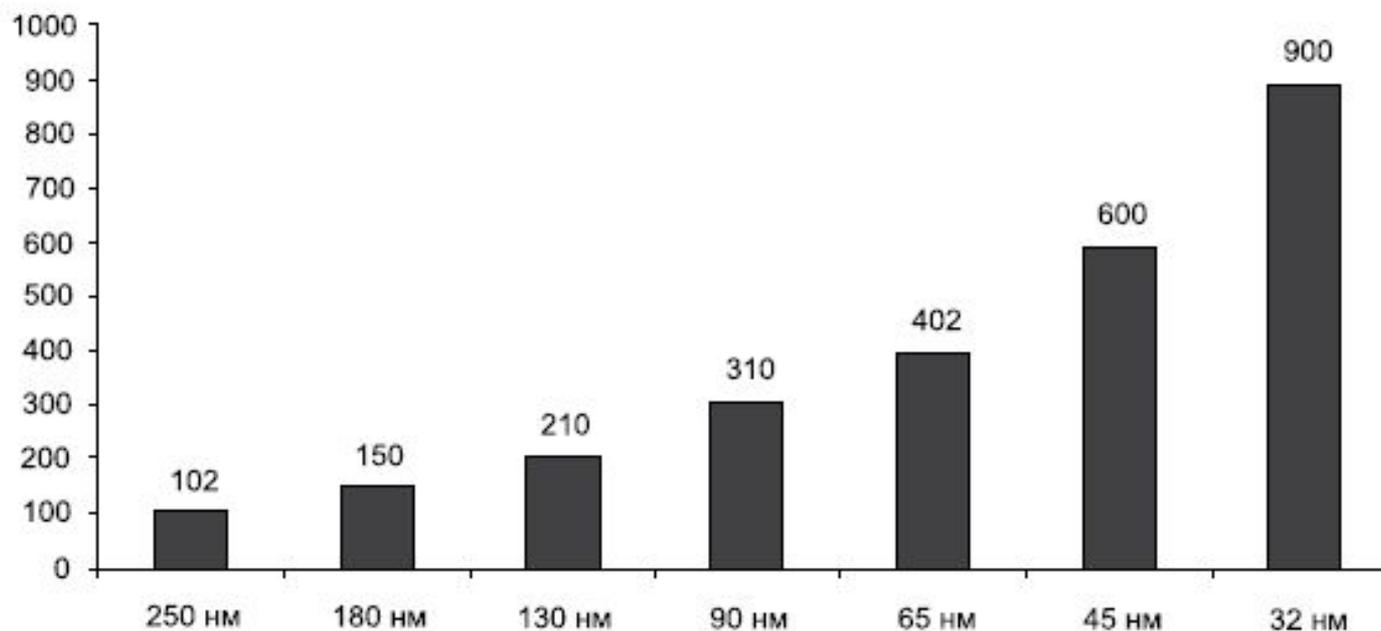


**Влияние проектных норм топологии на стоимость комплекта фотошаблонов**



**Влияние проектных норм топологии на стоимость фотолитографического оборудования**

Млн. долл. США

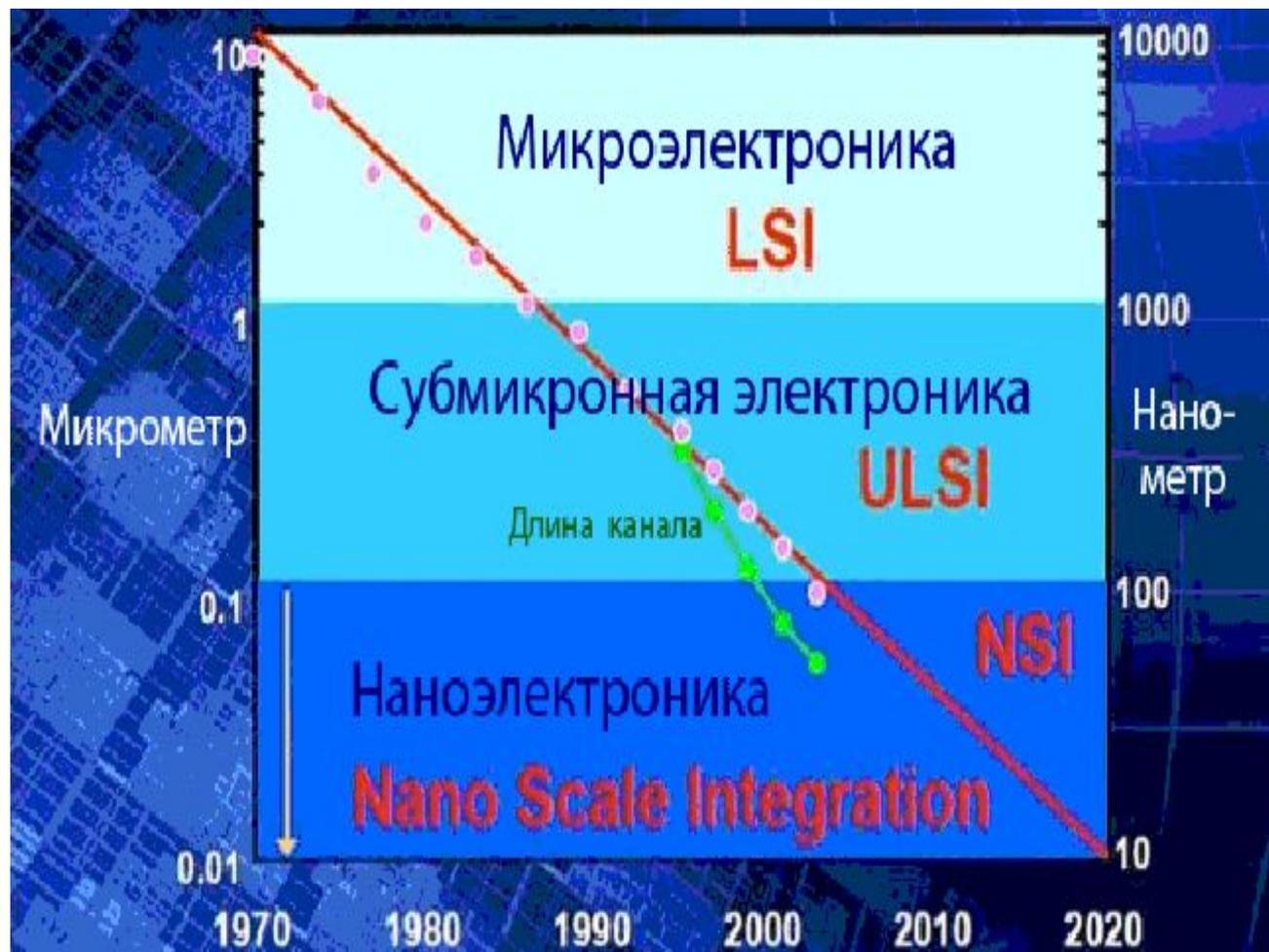


**Рост стоимости разработки техпроцессов для разных технологий**

# НАНОЭЛЕКТРОННЫЕ ПРИБОРЫ

1) Нано-КМОП структуры  
(нанометровая кремниевая электроника)

2) Структуры, основанные на квантовомеханических эффектах



# Электроника

НАНО \* 10<sup>-9</sup>

## Вакуумная электроника

- Эмиссионная электроника
- Формирование потоков электронов и потоков ионов, управление этими потоками
- Формирование электромагнитных полей с помощью резонаторов, систем резонаторов, замедляющих систем, устройств ввода и вывода энергии
- Электронная люминесценция (катодолуминесценция)
- Физика и техника высокого вакуума
- Теплофизические процессы
- Поверхностные явления
- Технология обработки поверхностей, в том числе электронная, ионная и лазерная обработка
- Газовые среды

Направления

Создание электровакуумных приборов (ЭВП):

## Твердотельная электроника

- Свойства полупроводниковых материалов, влияние примесей на эти свойства
- Создание в кристалле областей с различной проводимостью
- Разработка технологии создания, нанесение диэлектрических и металлических плёнок на полупроводниковые материалы
- Исследование физических и химических процессов на поверхности полупроводников
- Разработка способов и средств получения и измерения элементов приборов микронных и субмикронных размеров

Направления

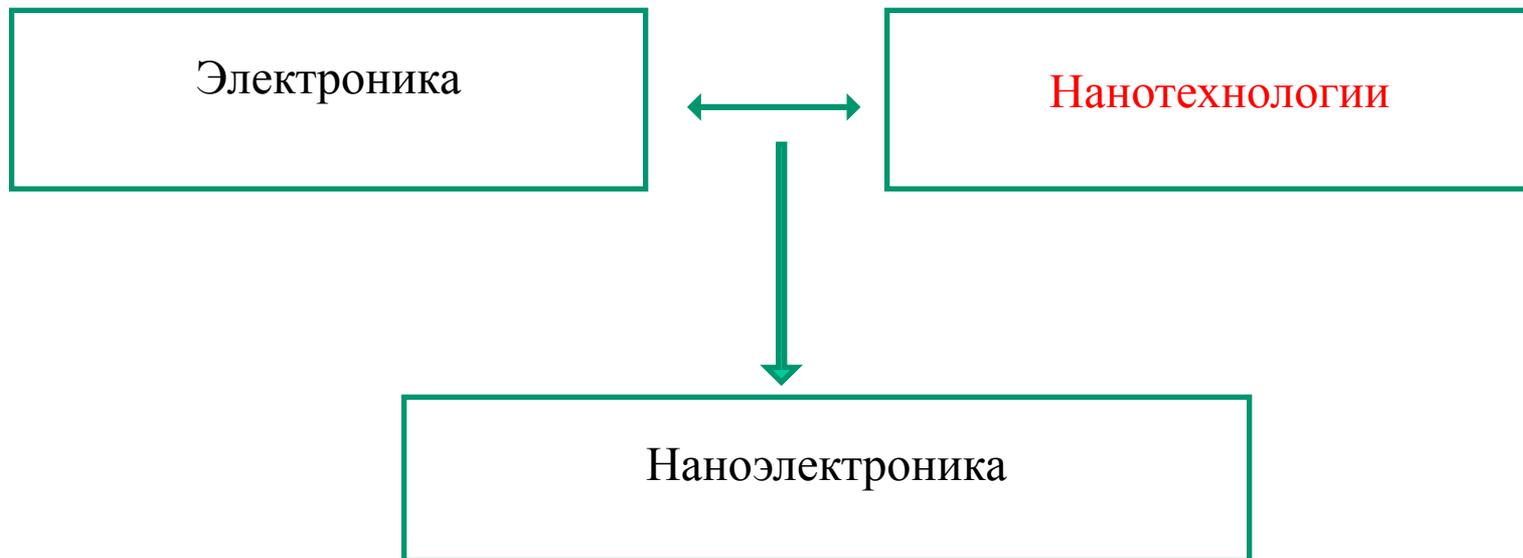
- электронных ламп
- ЭВП СВЧ
- электроннолучевых приборов
- фотоэлектронных приборов
- рентгеновских трубок
- газоразрядных приборов

## Квантовая электроника

Направления

Создание лазеров и мазеров

- Диэлектрическая электроника
- Магнитоэлектроника
- Акустоэлектроника и пьезоэлектроника
- Криоэлектроника
- Разработка и изготовление резисторов

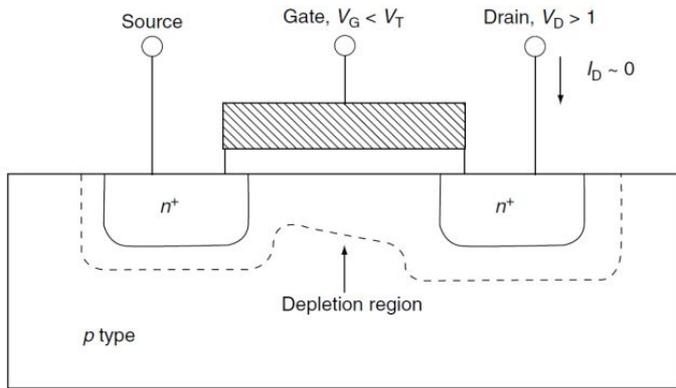


Нанотехнология — это целенаправленный инжиниринг (создание и манипуляция) материалов и веществ на уровне менее 100 нм для получения свойств и функций, возникающих только при переходе в нано размер

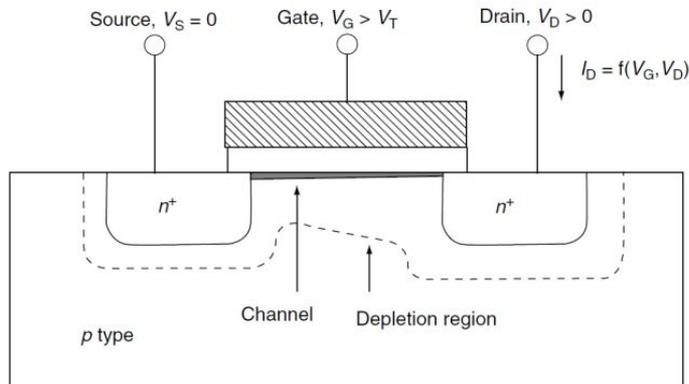
Академик РАН Вячеслав Михайлович Бузник: «...под нанотехнологиями каждый часто понимает то, что ему удобно...»



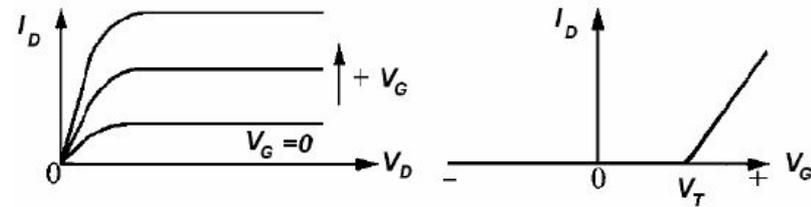
Принципиальная схема транзисторной структуры с управляющим затвором



(a) "off" state,  $V_G < V_T$ , no channel exists



(b) "on" state,  $V_G > V_T$ , conductive channel exists



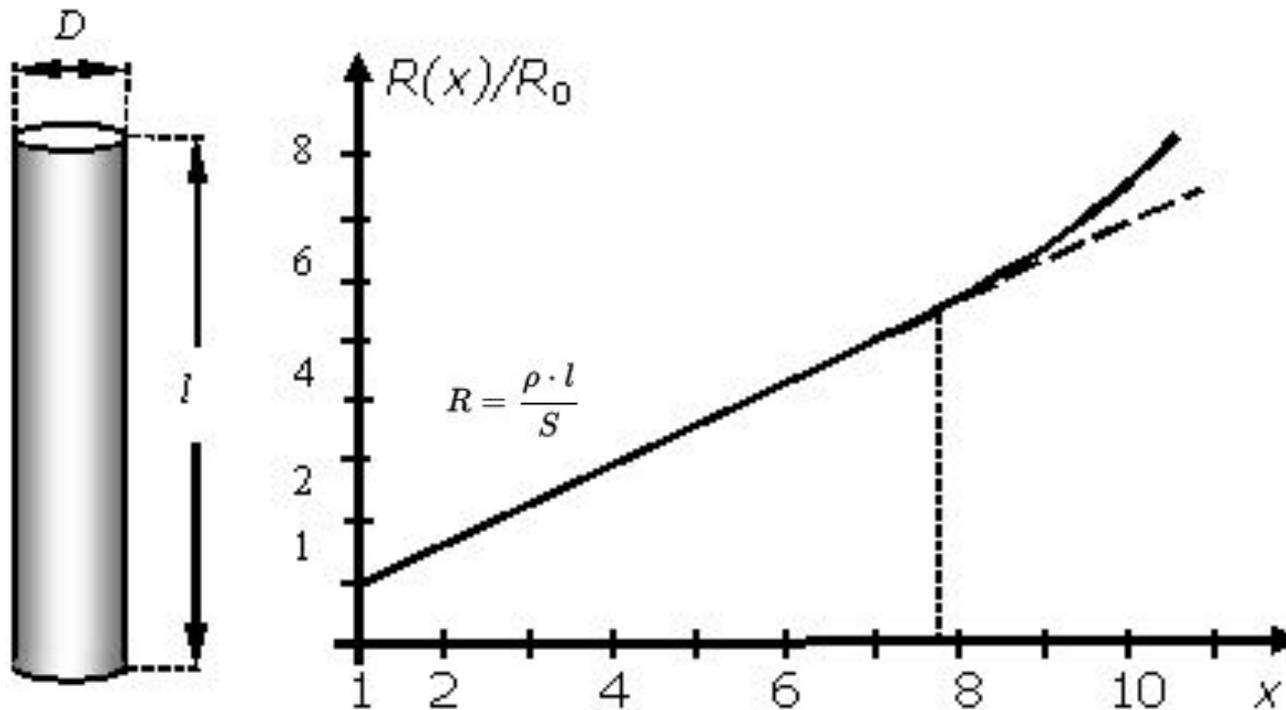
Вольт-амперные характеристики  $n$ -МОПТ: (а) выходные ВАХ при фиксированных ; (б) передаточные ВАХ при фиксированных  $V_{DS}$ .  
Г.И. Зебрев «Физические основы кремниевой наноэлектроники». Учебное пособие. — М.: МИФИ, 2008. — 288 с.

Схематичное изображение  $n$ -канального транзистора в закрытом (а) и открытом состоянии (б)

Robert Doering, Yoshio Nishi. Handbook of Semiconductor Manufacturing Technology. Second Edition, CRC Press. New York, 2008

**Технологические проблемы УБИС в наиболее общем виде можно свести к :**

- 1. Как увеличить токовую нагрузочную способность МОП транзисторов**
- 2. Как увеличить степень интеграции транзисторов**



Слева – геометрические размеры провода. Справа – зависимость электрического сопротивления провода от коэффициента масштабирования .

Удельное сопротивление перестает уже быть постоянной величиной и начинает возрастать с уменьшением размеров – из-за уменьшения длины свободного пробега.

Удельное сопротивление перестает быть постоянной величиной также при уменьшении толщины металлической пленки. Когда толщина пленки становится меньше примерно 100 нм удельное сопротивление возрастает, хотя материал пленки остается тем же и имеет такую же структуру. Это – **классический размерный эффект**. □

Аналогично и в случае транзисторов. Когда размер активной области транзистора становится меньше длины свободного пробега носителей заряда, то изменяется характер переноса заряда сквозь эту область (с т.н. «диффузионного» на «баллистический»), и соответственно меняются характеристики транзистора.

**В случае квантовых размерных эффектов**, когда размеры элементов становятся меньше длины волны де Бройля, носители электрического заряда уже в принципе нельзя рассматривать как классические частицы, а обязательно надо учитывать их волновую природу, т.е. описывать их методами квантовой механики.

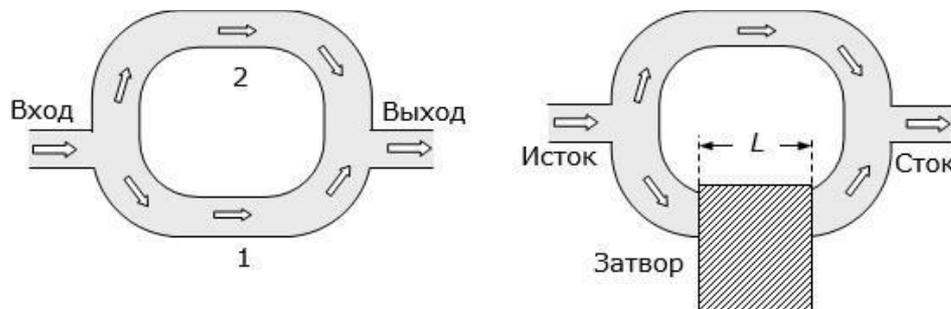
**Главными квантово-размерными эффектами являются:**

- изменение энергетического спектра носителей электрического заряда;
- возможность их туннельного проникновения сквозь потенциальный барьер и
- явления квантовой интерференции.

$$\lambda_{\text{ДБ}} = \frac{h}{\sqrt{3k m_{\text{ЭФ}} T}}$$

Где  $h$  и  $k$  – постоянные Планка и Больцмана (соответственно  $6,626 \cdot 10^{-34}$  кг\*м<sup>2</sup>/с и  $1,38 \cdot 10^{-23}$  Дж/К или  $8,625 \cdot 10^{-5}$  эВ/К),  $T$ – абсолютная температура. Для электронов проводимости в кремнии, эффективная масса которых приблизительно равна массе покоя свободного электрона  $9,1 \cdot 10^{-31}$  кг, при комнатной температуре по указанной формуле можно рассчитать среднюю длину волны де Бройля  $\lambda_{\text{ДБ}} \approx 6$  нм.

Квантовая механика описывает свободные электроны как волны, которые распределены и распространяются по всему проводнику или полупроводнику. Как волны, они характеризуются своими скоростью распространения (или волновым вектором), частотой (или длиной волны), амплитудой и фазой. Если волна распространяется свободно, то разные ее части остаются когерентными, т.е. могут интерферировать между собой. При неупругих рассеяниях когерентность теряется. Среднее расстояние, которое электронная волна проходит, сохраняя когерентность, называют длиной когерентности.



Слева – топология элемента с квантовой интерференцией. Справа – конструкция интерференционного транзистора

*Разность* фаз электронных волн, распространяющихся вдоль разных ветвей структуры, может зависеть от различных факторов. Например, если над одной из ветвей нанести тонкий слой диэлектрика и сформировать на нем электрод затвора, то электрическое поле этого затвора будет несколько изменять волновой вектор электронов.

В результате между электронными волнами, которые приходят к стоку, возникнет *разность* фаз

$$\Delta\varphi = (k - k_3)L,$$

где  $k_3$  – волновой вектор электронов в подзатворной области (он зависит от напряжения на затворе),  $k$  – волновой вектор во всех других местах,  $L$  – длина пути, который проходят электроны под затвором. Такую структуру называют квантовым интерференционным транзистором (англ. quantum interference transistor). Электрический ток стока синусоидально зависит в нем от потенциала затвора.

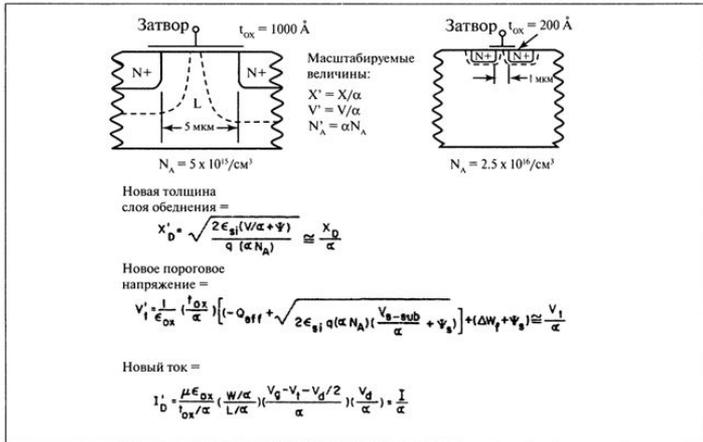
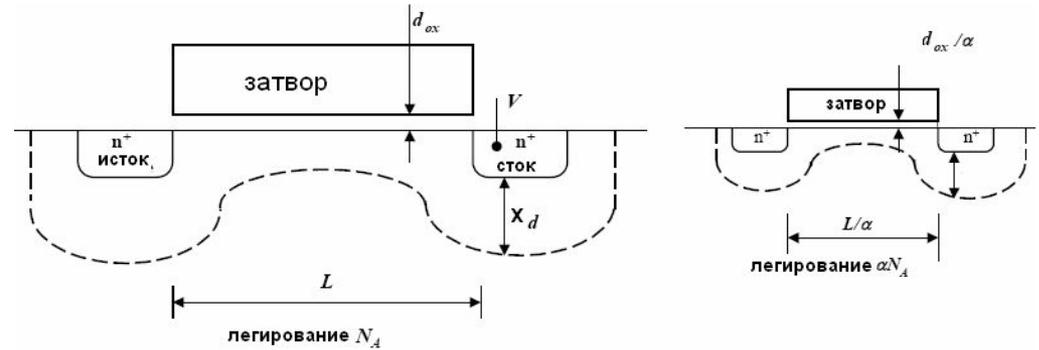


Иллюстрация исходных правил масштабирования основных параметров МОПТ, представленных Деннардом с сотрудниками на конференции IEDM'72



В соответствии с **принципом масштабирования Деннарда** все значения размеров и напряжений, включая пороговое напряжение, уменьшаются, а концентрация примеси увеличивается в одно и то же число ( $\alpha$ ) раз. Тогда из соотношений электростатики следует, что распределение напряженности электрического поля (в новых координатах) будет таким же, как и в исходной приборной структуре с большими размерами.

**При масштабировании необходимо, чтобы при скейлинге не изменялись электрические характеристики ВАХ транзисторов.** Для этого необходимо оставлять постоянными некоторые параметрические инварианты. Один из возможных таких инвариантов – электрические поля в транзисторе. Для того чтобы электрические поля внутри приборов оставались приблизительно постоянными, необходимо уменьшать напряжения питания.

**На «микроэлектронном этапе»** развития КМДП технологии при переходе от одной ПТН к следующей придерживались, как правило, следующего принципа масштабирования: **все размеры транзисторов уменьшались пропорционально уменьшению проектно-технологической нормы. Если ПТН уменьшалась, например, в  $k$  раз, то во столько же раз уменьшались длина и ширина транзисторов, и толщина подзатворного диэлектрика.**

Чтобы сохранить приблизительно те же самые значения напряженности электрического поля в элементах транзисторов, приходилось приблизительно:

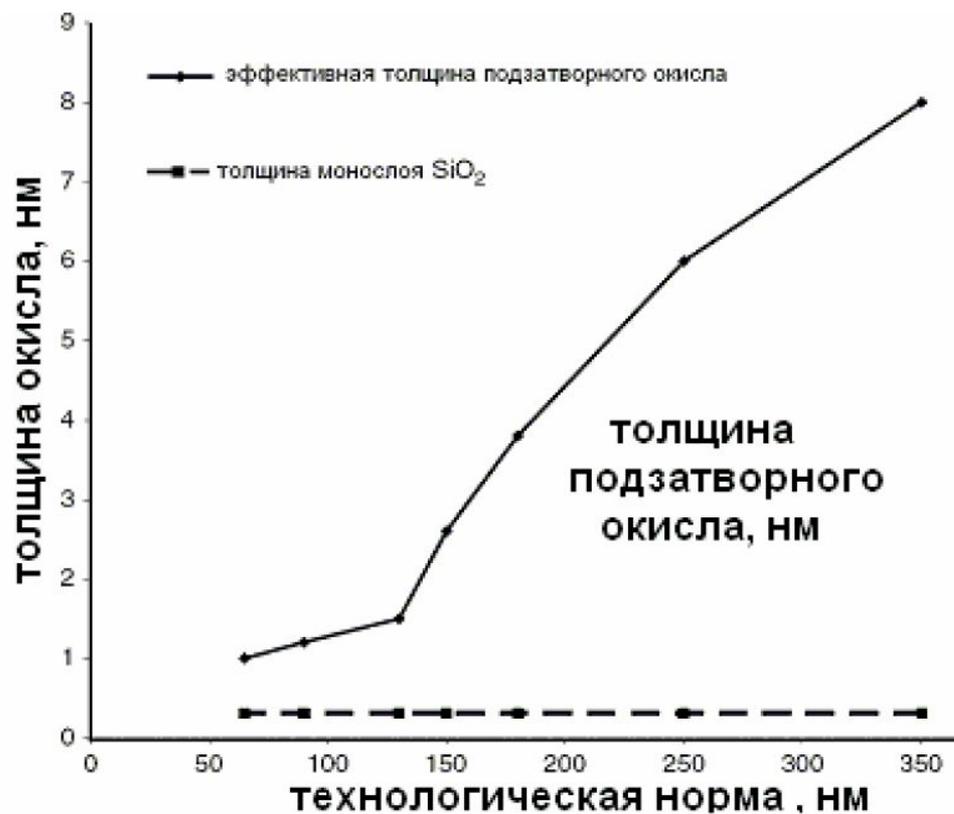
- в  $\sqrt{k}$  раз уменьшать напряжение питания,
- в  $k$  раз повышать уровень легирования подложки.

Электрическая емкость затвора и другие паразитные емкости уменьшались при этом приблизительно в  $k$  раз.

Соответственно примерно во столько же раз уменьшалось время переключения схемы и возрастала частота переключения (быстродействие) логических схем, в  $k^2$  раз уменьшались затраты энергии на переключение и возрастала плотность интеграции.

## Эволюция параметров микропроцессоров

Год	1999	2001	2004	2008	2011	2014
Технологическая норма, нм	180	130	90	60	40	32
Длина затвора $L_G$ (нм)	120	90	70	45	32	22
Толщина окисла $d_{ox}$ (ангстремы)	9-25	5-19	2-15	8-12*	6-8*	5-6*
Ток утечки при 100°C (нА/мкм)	7	10	16	40*	80*	160*



Зависимость толщины подзатворного окисла  
от технологической нормы

**На «нанoeлектронном этапе»** такой принцип масштабирования стало уже трудно и нецелесообразно выдерживать. **Толщина подзатворного окисла приблизилась к своей границе – порядка нескольких постоянных кристаллической решетки  $\text{SiO}_2$ . Уменьшать ее дальше было рискованно из-за быстрого возрастания вероятности туннелирования электронов сквозь сверхтонкий слой диэлектрика и опасности его электрического пробоя.**

Был найден **другой выход**: вместо уменьшения толщины в качестве подзатворного диэлектрика **стали использовать не  $\text{SiO}_2$ , а диэлектрики с более высоким значением диэлектрической постоянной**. Сначала это был преимущественно нитрид кремния и другие диэлектрики, а сейчас – оксид гафния ( $\text{HfO}_2$ ), имеющий диэлектрическую постоянную равную 25 (сравните со значением = 3,9 в  $\text{SiO}_2$ ) и «удачную» для контакта с кремнием энергетическую структуру зон.

**Чтобы уменьшить глубину «карманов» истока и стока, их начали создавать путем имплантации примесных ионов при относительно малом напряжении их ускорения – порядка 100-1000 В, что обеспечивает малую глубину проникновения примесных атомов в кремний. Для этого пришлось существенно изменить конструкцию установок для ионного легирования.**

Хотя исходная концепция масштабирования при условии сохранения постоянной напряженности электрического поля является полезной и правильной, идея уменьшения напряжения питания пропорционально уменьшению размеров не стала популярной из-за нежелания отклоняться от стандартизованных общепринятых уровней напряжения питания.

Кроме того, пропорциональное масштабирование порогового напряжения приводит к увеличению тока утечки прибора в закрытом состоянии, что определяет практические границы масштабирования напряжения питания.

Ввиду вышесказанного возникает необходимость обобщения метода масштабирования с установлением таких правил проектирования, чтобы, несмотря на возможность увеличения локальной напряженности электрического поля, можно было все же сохранить неизменной общую картину электрического поля и распределения его эквипотенциалей в пределах масштабируемой приборной структуры. При этом физические размеры МОПТ и прикладываемые потенциалы могут масштабироваться с помощью независимых коэффициентов, таким образом значительно повышая возможности проектирования и в то же время удерживая двумерные эффекты под контролем.

## Принципы скейлинга с постоянным электрическим полем

1	Длина/ ширина/ толщина окисла	$L \rightarrow L/\alpha; Z \rightarrow Z/\alpha; d_o \rightarrow d_o/\alpha$
2	Напряжение питания	$V_{DD} \rightarrow V_{DD}/\alpha$
3	Полная емкость затвора	$C_G = \epsilon_i Z L / d_o \rightarrow C_G / \alpha$
4	Крутизна $\beta = \mu(Z/L)(\epsilon_i / d_{ox})$	$\beta \rightarrow \alpha \beta$
5	Легирования подложки	$N_B \rightarrow \alpha N_B$
6	Максимальный ток $I_{max} \cong \beta V_{DD}^2$	$I_{max} \rightarrow I_{max} / \alpha$
7	Плотность интеграции	$N_G \rightarrow N_G \alpha^2$
8	Энергия переключения	$E_S = C_{tot} V_{DD}^2 \rightarrow C_{tot} / \alpha^3$
9	Время переключения	$t_d = (1+\eta)(L/v_t) V_{DD} / (V_{DD} - V_T) \rightarrow t_d / \alpha$
10	Частота [Гц]	$f_{max} \rightarrow \alpha f_{max}$
11	Мощность на ячейку [Вт]	$P \sim C_{tot} V_{DD}^2 f \rightarrow P / \alpha^2$
12	Плотность потока энергии [Вт/см <sup>2</sup> ]	$P/A \rightarrow (P/A) = \text{const} !$
13	Плотность потока энергии на чип	Растет как степень интеграции (количество ячеек на кристалле) (~5 %/год)

Закономерности масштабирования при трех различных подходах

Физические параметры	Постоянство напряженности эл. поля	Обобщенный подход	Обобщенный селективный подход
Длина канала Толщина подзатворного диэлектрика	$1/\alpha$	$1/\alpha$	$1/\alpha_d$
Ширина линий межсоединений Ширина канала	$1/\alpha$	$1/\alpha$	$1/\alpha_w$
Напряженность эл. поля	1	$\epsilon$	$\epsilon$
Напряжение	$1/\alpha$	$\epsilon/\alpha$	$\epsilon/\alpha_d$
Концентрации легирующих примесей	$\alpha$	$\epsilon\alpha$	$\epsilon\alpha_d$
Площадь	$1/\alpha^2$	$1/\alpha^2$	$1/\alpha_w$
Емкости	$1/\alpha$	$1/\alpha$	$1/\alpha_w$
Задержка на вентиль	$1/\alpha$	$1/\alpha$	$1/\alpha_d$
Рассеиваемая мощность	$1/\alpha^2$	$\epsilon^2/\alpha^2$	$\epsilon^2/\alpha_w\alpha_d$
Плотность рассеиваемой мощности	1	$\epsilon^2$	$\epsilon^2\alpha_w/\alpha_d$

**Примечание:**  $\alpha$  – коэффициент масштабирования линейных размеров;  $\epsilon$  – коэффициент масштабирования напряженности электрического поля;  $\alpha_d$  и  $\alpha_w$  – коэффициенты масштабирования линейных размеров при селективном подходе:  $\alpha_d$  используется при масштабировании вертикальных размеров и длины затвора, тогда как  $\alpha_w$  – используется при масштабировании поперечных размеров и ширины линий межсоединений.

## Тенденции развития КМОП-технологии на примере высоко совершенных ДОЗУ и МП.

Таблица

Характеристика \ Уровень технологии, нм	250	180	130	90	65	45	32/28	22/20	16/14	11/10
Год введения УТ в массовое производство	1997	1999	2001	2004	2007	2009	2012	2015	2018	2021
Минимальный размер элемента изделия, нм:										
ДОЗУ (размер линий 1-ого уровня разводки)	250	180	130	90	65	45	32	22	16	11
МП (литографическая длина затворов)	180	130	90	60	52	40	31	21	15	11
МП (физическая длина затворов)	150	100	65	37	35	28	22	17	13	10
Функциональные возможности изделия на стадии массового производства на кристалл:										
ДОЗУ (информационная емкость, Гбит)	0,064	0,256	0,512	1/4	4/8	8/16	16/32	64/128	128/256	512
МП (количество транзисторов, млн. шт.)	52,8	108	276	553	$1,1 \cdot 10^3$	$2,2 \cdot 10^3$	$3,1 \cdot 10^3$	$6,2 \cdot 10^3$	$12,4 \cdot 10^3$	$24,7 \cdot 10^3$
Быстродействие изделия:										
ДОЗУ (время выборки, нс.)	35	30	25	20	15	10	7,5	5,0	3,5	2,6
МП (локальная рабочая частота, МГц)	600	$1,2 \cdot 10^3$	$1,7 \cdot 10^3$	$3,0 \cdot 10^3$	$3,2 \cdot 10^3$	$3,5 \cdot 10^3$	$3,9 \cdot 10^3$	$4,4 \cdot 10^3$	$4,9 \cdot 10^3$	$5,5 \cdot 10^3$
Напряжение питания изделия, В	1,8	1,5	1,30	1,20	1,10	0,96	0,87	0,80	0,73	0,66
Максимальная рассеиваемая мощность корпусированного изделия, Вт										
МП										
Сетевая настольная аппаратура с радиатором	70	90	130	145	155	158	158	143	136	130
Батарейная ручная аппаратура	1,2	1,4	2,4	2,8	3,0	3,0	3,0	3,0	3,0	3,0
ДОЗУ	0,5	0,8	1,4	2,0	2,5	3,0	3,0	3,0	3,0	3,0
Среднее количество литографий (литографических циклов) в маршруте изготовления изделия, шт.										
ДОЗУ	19	20	21	24	25	26	28	30	32	34
МП	22	23	25	31	33	35	38	41	44	47



Уровень технологии, нм	250	180	130	90	65	45	32/28	22/20	16/14	11/10
<b>Характеристика</b>										
Допустимая стоимость готового изделия на стадии массового производства на функцию:										
ДОЗУ, микроцент/бит	28	15	7,7	2,7	0,96	0,34	0,12	0,04	0,02	0,01
МП, микроцент/транзистор	470	245	97	34	12,2	4,3	1,5	0,54	0,25	0,10
Количество выводов корпуса изделия, шт.										
ДОЗУ										
Максимальное	112	128	144	160	182	200	224	250	268	300
Минимальное	36	44	48	52	56	60	64	68	72	80
МП										
Максимальное	600	740	810	900	1080	1260	1440	1620	1800	1980
Минимальное	256	360	480	540	600	660	720	780	840	900
Стоимость корпусирования изделия, цент/вывод:										
ДОЗУ										
Максимальная	2,34	1,90	1,54	0,51	0,48	0,45	0,41	0,37	0,34	0,31
Минимальная	0,44	0,40	0,36	0,28	0,25	0,23	0,21	0,19	0,18	0,17
МП										
Максимальная	2,11	1,90	1,60	1,17	1,05	0,94	0,89	0,85	0,82	0,79
Минимальная	1,04	0,90	0,80	0,66	0,64	0,61	0,57	0,54	0,52	0,52
Стоимость тестера для тестирования изделия, тыс. долларов /вывод:										
Максимальная	10	8,0	4,0	3,0	3,0	3,5	4,0	4,5	5,0	5,5
Минимальная	3	2,4	1,0	1,0	1,0	1,5	2,0	2,5	3,0	3,5

Примечания к табл. 1.2.:

В настоящее время в себестоимости ИС, например, микропроцессоров, свыше 70% составляет стоимость лицензий за использование запатентованных разработок, и лишь остальное - само изделие.

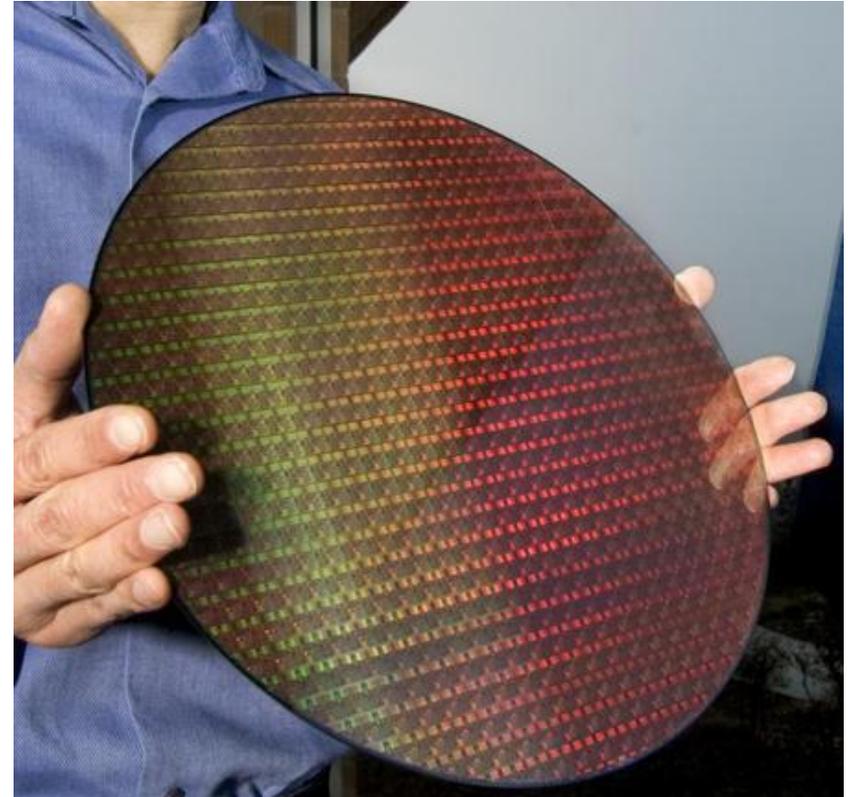
При оценке капитализации микроэлектронной компании - на первом месте стоимость ее интеллектуальной собственности (IP - intellectual property): патентов и «ноу-хау» и лишь потом здания, оборудование и т.д.

При создании производства, в первую очередь, оцениваются затраты на приобретение технологий (лицензий, патентов, «ноу-хау») и только потом все остальное.

# Планарная технология

позволяет реализовать групповой процесс изготовления элементов интегральных схем на полупроводниковой подложке одновременно и на одном кристалле

**Базовый технологический процесс (baseline process)** - это технологический процесс высшей категории, представляющий собой одну из реализаций планарной технологии, оптимизированную под базовую конструкцию ИС



**Технология, в производственном смысле,** - это способы контролируемого преобразования вещества, энергии, информации в процессе изготовления продукции, обработки и переработки материалов, сборки готовых изделий, контроля качества и управления процессами.

При изготовлении ИС используются интегрально-групповой метод производства и планарная технология.

**Интегрально-групповой метод производства** заключается в том, что на одной пластине одновременно изготавливается большое количество (обычно несколько сотен) неразделенных кристаллов ИС. При этом каждый элемент ИС образуется как интегральный результат обработки отдельных участков исходного материала и придания им свойств в соответствии с функциональным назначением элемента. После завершения цикла изготовления кристаллов пластина разрезается в двух взаимно перпендикулярных направлениях на отдельные кристаллы, каждый из которых после корпусирования будет ИС.

# Планарная технология

Год появления – 1959

Основным технологическим методом создания современных интегральных микросхем остается разработанная в конце 50-х годов двадцатого столетия

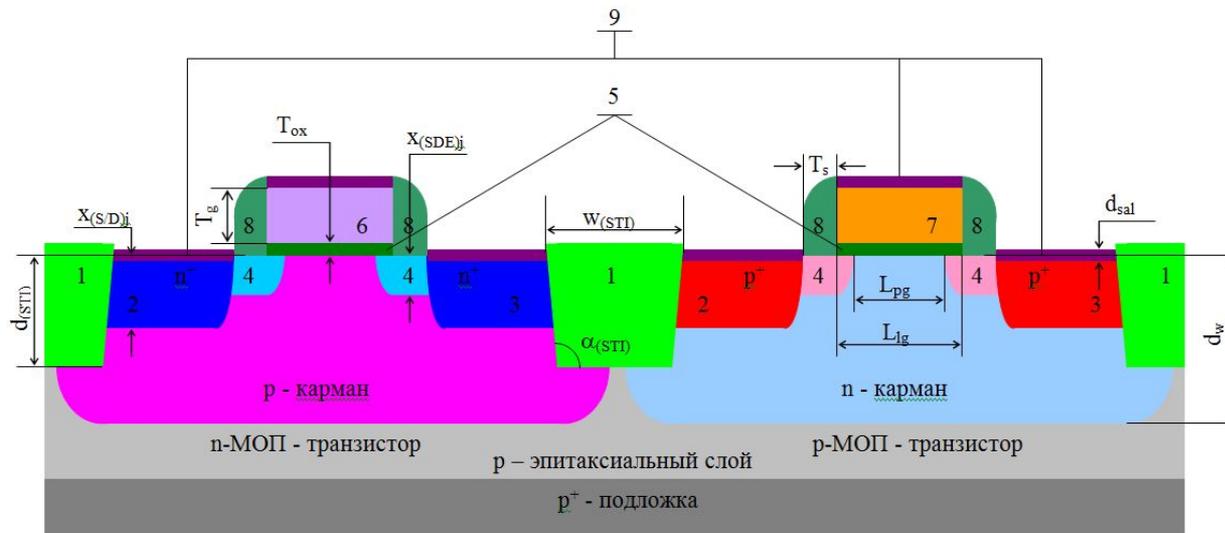
## **планарная технология.**

Практически **все** современные процессы создания широко используемых интегральных микросхем различного назначения основываются на технологических операциях планарной технологии.

# Планарная технология

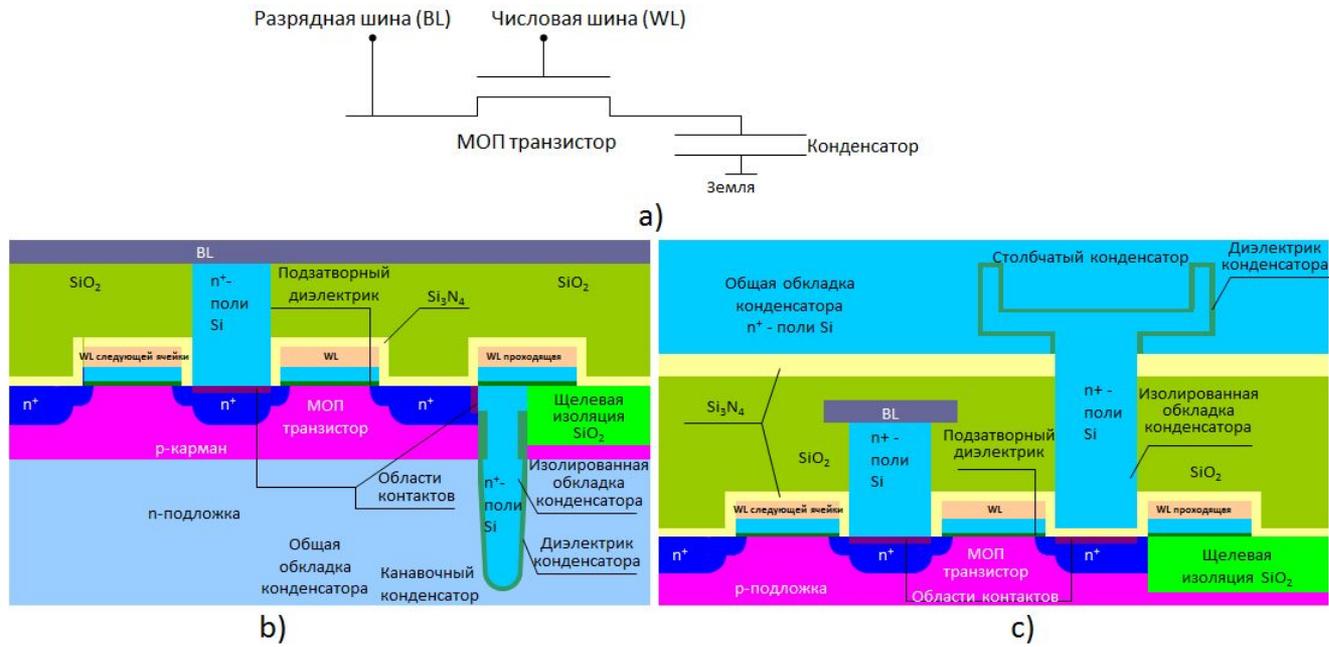
(от англ. planar, от лат. planus – плоский, ровный), – форма организации технологического процесса при изготовлении ИМС, при которой **все ее элементы и соединения создаются на верхней (рабочей) поверхности подложки без затрагивания ее боковых и нижней стороны.**

Несколько технологических операций при изготовлении ИМС служат для соединения отдельных элементов в схему и присоединения их к специальным контактным площадкам. Поэтому необходимо, чтобы выводы всех элементов и контактные площадки находились в одной плоскости, что и обеспечивает планарная технология.



**Поперечное сечение классической (традиционной) планарной КМОП-структуры:** 1 – щелевая изоляция (shallow trench isolation – STI),  $w(\text{STI})$  и  $d(\text{STI})$  – соответственно ширина и глубина STI; 2 – области истока N+-Source и P+-Source соответственно для n-МОП и p-МОП транзисторов; 3 – области стока N+-Drain и P+-Drain соответственно для n-МОП и p-МОП транзисторов;  $x(\text{S/D})_j$  – глубина областей исток/стока; 4 – слаболегированные области расширения исток/стока (S/D extension – SDE) N-SDE и P-SDE соответственно для n-МОП и p-МОП транзисторов,  $x(\text{SDE})_j$  – глубина областей SDE исток/стока; 5 – области подзатворного диэлектрика,  $T_{\text{ox}}$  – толщина подзатворного диэлектрика; 6 и 7 – области поликремневых затворов N+-Poly Gate и P+- Poly Gate соответственно для n-МОП и p-МОП транзисторов;  $T_g$  – толщина поликремневых затворов,  $L_{lg}$  – литографическая длина затвора,  $L_{pg}$  – физическая длина затвора, равная длине канала (channel) МОП транзистора  $L_{ch}$ ; 8 – области боковых пристенок затворов – спейсеров (spacers),  $T_s$  – толщина спейсеров; 9 – слои самосовмещенного силицида титана (self-aligned silicide – Salicide) на областях истока, стока и затвора МОП транзисторов,  $d_{\text{sal}}$  – толщина слоя силицида титана (TiSi<sub>2</sub>)

Киреев В.Ю. Введение в технологии микроэлектроники и нанотехнологии. - М.:ФГУП «ЦНИИХМ», 2008. – 432 с.



Ячейка ДЗУ: а – принципиальная схема; б – структура с канавочным конденсатором; с – структура со столбчатым конденсатором

Киреев В.Ю. Введение в технологии микроэлектроники и нанотехнологии. - М.:ФГУП «ЦНИИХМ», 2008. – 432 с.

# Стадии технологического маршрута.

Технологический процесс (маршрут) изготовления интегральных схем ИС состоит из четырех стадий:

**Стадия 1. Изготовление кристаллов ИС на пластине**, начинающаяся с запуска на маршрут исходной пластины и заканчивающаяся вскрытием контактных площадок в слое пассивации готовых кристаллов.

**Стадия 2. Функциональное тестирование кристаллов ИС на пластине** с целью определения их годности по требуемым рабочим характеристикам, которое проводится с помощью тестера со специальным программным обеспечением.

**Стадия 3. Сборка кристаллов в корпус.**

**Стадия 4. Функциональное тестирование корпусированной ИНС**, устанавливаемой в специальном разъеме для подсоединения тестера.

Стадии 2 и 4 являются контрольными для стадий 1 и 3 и показывают, что основной брак ( $\geq 98\%$ ) в производстве ИНС приходится на стадию изготовления кристаллов.

# Основные операции планарной технологии

- легирование полупроводника (диффузия примесей в полупроводник и ионная имплантация)
- окисление кремния
- травление (жидкостное химическое травление – ЖХТ и плазмохимическое травление – ПХТ)
- фотолитография
- высокотемпературные обработки полупроводниковых структур (отжиги в различных средах)
- осаждения тонких пленок различных материалов (слоев проводников и диэлектриков).

# Принципы планарной технологии

- взаимосвязь конструкции интегральных микросхем и технологии их изготовления
- совместимость элементов (на одном кристалле)
- локальность технологических обработок
- послойное формирование элементов микросхем

# **Взаимосвязь конструкции интегральных микросхем и технологии их изготовления**

Проектирование конструкции интегральной микросхемы связано с технологией ее создания.

Необходимо учитывать влияние паразитных связей между элементами.

Необходимость учёта технологического разброса при выборе значений параметров полупроводниковых приборов

Наряду с конструктивными, эксплуатационными и электрическими параметрами для интегральных микросхем вводятся данные, отражающие ограничения технологии. Они определяют оптимальную конструкцию.

Для производства микросхем понятия «*проектирование*» и «*технология*» тесно взаимосвязаны, при этом технологии принадлежит определяющая роль.

# Совместимость элементов интегральных микросхем

Единый групповой метод изготовления.

Основной элемент – самый сложный элемент ИС - транзистор.

На основе транзистора изготавливаются другие элементы ИС.

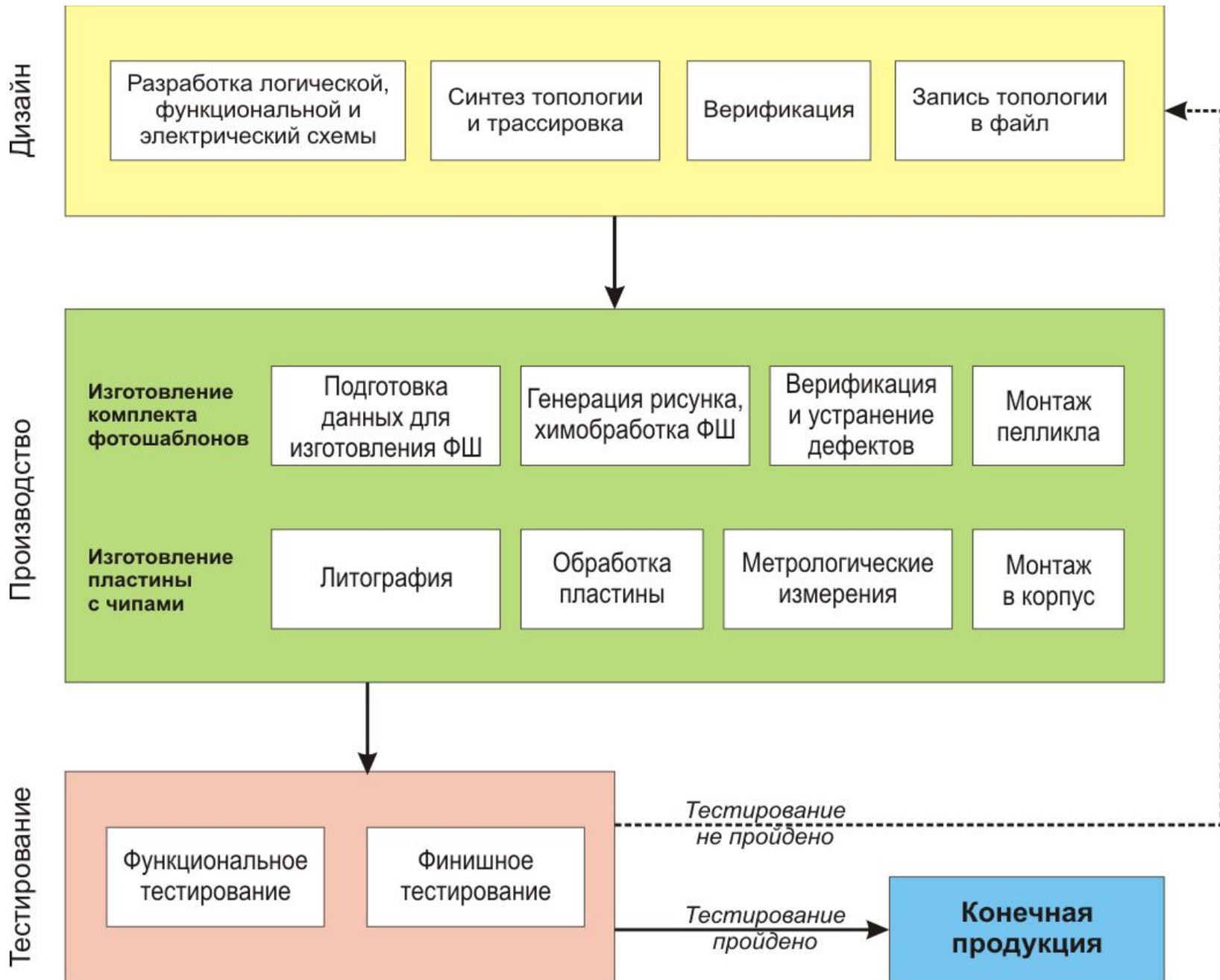
Несовместимость элементов – не всегда «препятствие» для создания ИС, но значительное повышение себестоимости

# Локальность технологических обработок

Во время технологических операций обрабатывается не вся поверхность пластины.

## Методы локальных технологий:

- масочная технология: трафареты и шаблоны (фотошаблоны);
- безмасочные технологии (электронный луч, ионный луч, лазер) – по программе с ЭВМ.



# Основные этапы изготовления кристаллов современных микропроцессоров по КМОП технологии

- 1 Формирование меток совмещения с помощью осаждения служебных слоев и анизотропного травления слоя монокремния (*registration mark formation*)
- 2 Формирование активных областей приборов, с помощью анизотропного травления канавок в монокремнии вокруг них (*active area formation*)
- 3 Формирование щелевой изоляции (*shallow trench isolation – STI*) активных областей, включая осаждения в канавки двухслойного диэлектриков и планаризацию его верхнего слоя (*STI formation or inactive area formation*)
- 4 Формирование N карманов с помощью имплантации областей монокремния фосфором (*N-well formation*)
- 5 Формирование P карманов с помощью имплантации областей монокремния бором (*P-well formation*)
- 6 Формирование поликремневых затворов КМОП-транзисторов (*gate formation*)
- 7 Формирование низколегированных P областей истока/стока с помощью имплантации областей монокремния бором (*P-LDD formation or P-S/D extension formation*)
- 8 Формирование низколегированных N областей истока/стока с помощью имплантации областей монокремния фосфором (*N-LDD formation or N-S/D extension formation*)
- 9 Формирование спейсеров (пристеночного диэлектрика) с помощью осаждения и последующего анизотропного травления слоя диэлектрика (*spacer formation*)
- 10 Формирование высоколегированных P областей контакта истока/стока с помощью имплантации областей монокремния бором (*P-S/D contact formation*)
- 11 Формирование высоколегированных N областей контакта истока/стока с помощью имплантации областей монокремния фосфором (*N-S/D contact formation*)
- 12 Формирование областей самосовмещенного силицида металла на поверхности затвора и областей истока/стока с помощью нанесения слоя металла, его отжига для формирования его силицида на областях кремния и удаление не прореагировавшего слоя металла (*salicide formation*)

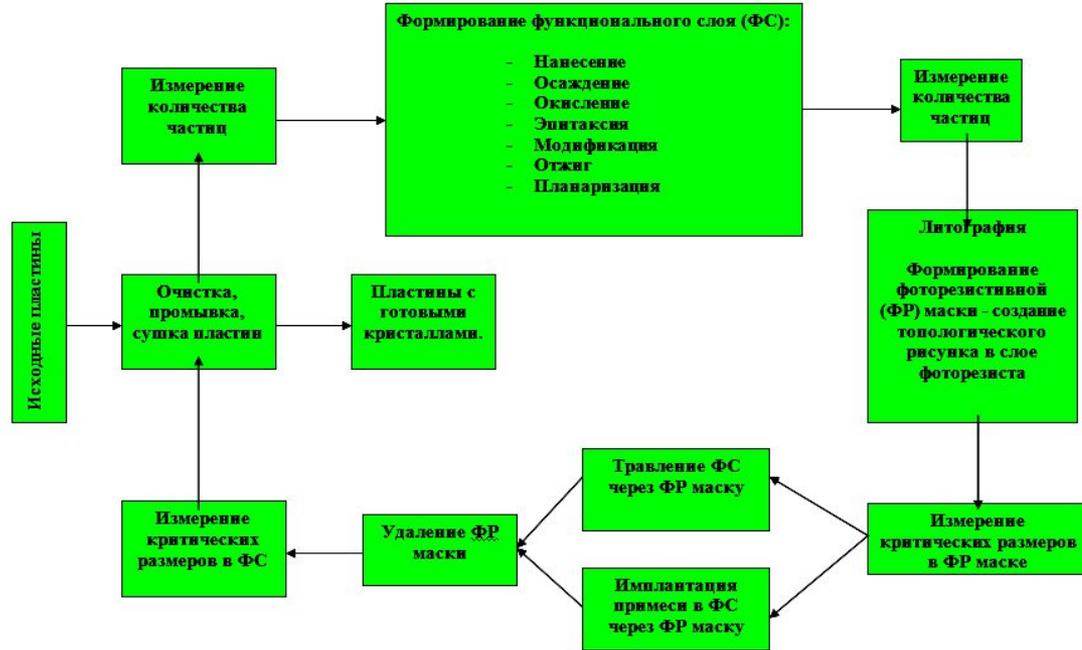
# Основные этапы изготовления кристаллов современных микропроцессоров по КМОП технологии (продолжение)

- 12 Формирование областей самосовмещенного силицида металла на поверхности затвора и областей истока/стока с помощью нанесения слоя металла, его отжига для формирования его силицида на областях кремния и удаление не прореагировавшего слоя металла (*salicide formation*)
- 13 Формирование первого слоя диэлектрика, включая его осаждение, планаризацию и доосаждение (*preliminary or premetal dielectric (PMD) formation*)
- 14 Формирование контактных отверстий к областям затвора и исток/стока с помощью анизотропного травления слоя PMD (*contact formation*)
- 15 Формирование металлических контактов (пробок) к областям затвора и исток/стока, включая осаждение и планаризацию слоя металла (*contact plug formation*)
- 16 Формирование первого слоя металлизации (разводки) с помощью нанесения и анизотропного травления металлизации (*metal-1 (ME-1) or metallization-1 formation*)
- 17 Формирование первого межметаллизационного (межслойного) диэлектрика (*intermetal dielectric or interlevel dielectric*), включая его осаждение, планаризацию и доосаждение (*IMD-1 or ILD-1 formation*)
- 18 Формирование переходных контактных отверстий (*vias*) к первому слою металлизации с помощью анизотропного травления слоя IMD (*vias-1 formation*)
- 19 Формирование металлических переходных контактов (межсоединений) к первому слою металлизации, включая осаждение и планаризацию слоя контактирующего металла (*vias plug-1 formation*)
- 20 Повторение этапов 16-19 до 9-ти раз в зависимости от количества слоев металлизации в микросхеме
- 21 Формирование слоя пассивации с помощью осаждения слоя диэлектрика (*passivation formation*)
- 22 Вскрытие контактных площадок в слое пассивации с помощью анизотропного травления слоя диэлектрика (*bond pad opening*)
- 23 Функциональное тестирование кристаллов на тестере по специально разработанным программам (*chip functional testing*)

Часть технологического маршрута изготовления кристаллов ИС от операции очистки исходной пластины до операции формирования слоя первого диэлектрика между кремниевой пластиной и первым слоем металлизации (*premetal dielectric*), связанная с созданием элементов и узлов ИМС внутри слоя монокристаллического кремния, называется передней или **транзисторной частью (ТЧ) маршрута** (*front-end of line - FEOL*).

Часть технологического маршрута изготовления кристаллов ИС, начиная от операции формирования слоя первого диэлектрика и заканчивая операцией вскрытия контактных площадок в слое пассивации, связанная с формированием элементов и узлов системы металлизации над поверхностью монокристаллического кремния, называется задней или **металлизационной частью (МЧ) маршрута** (*back-end of line - BEOL*).

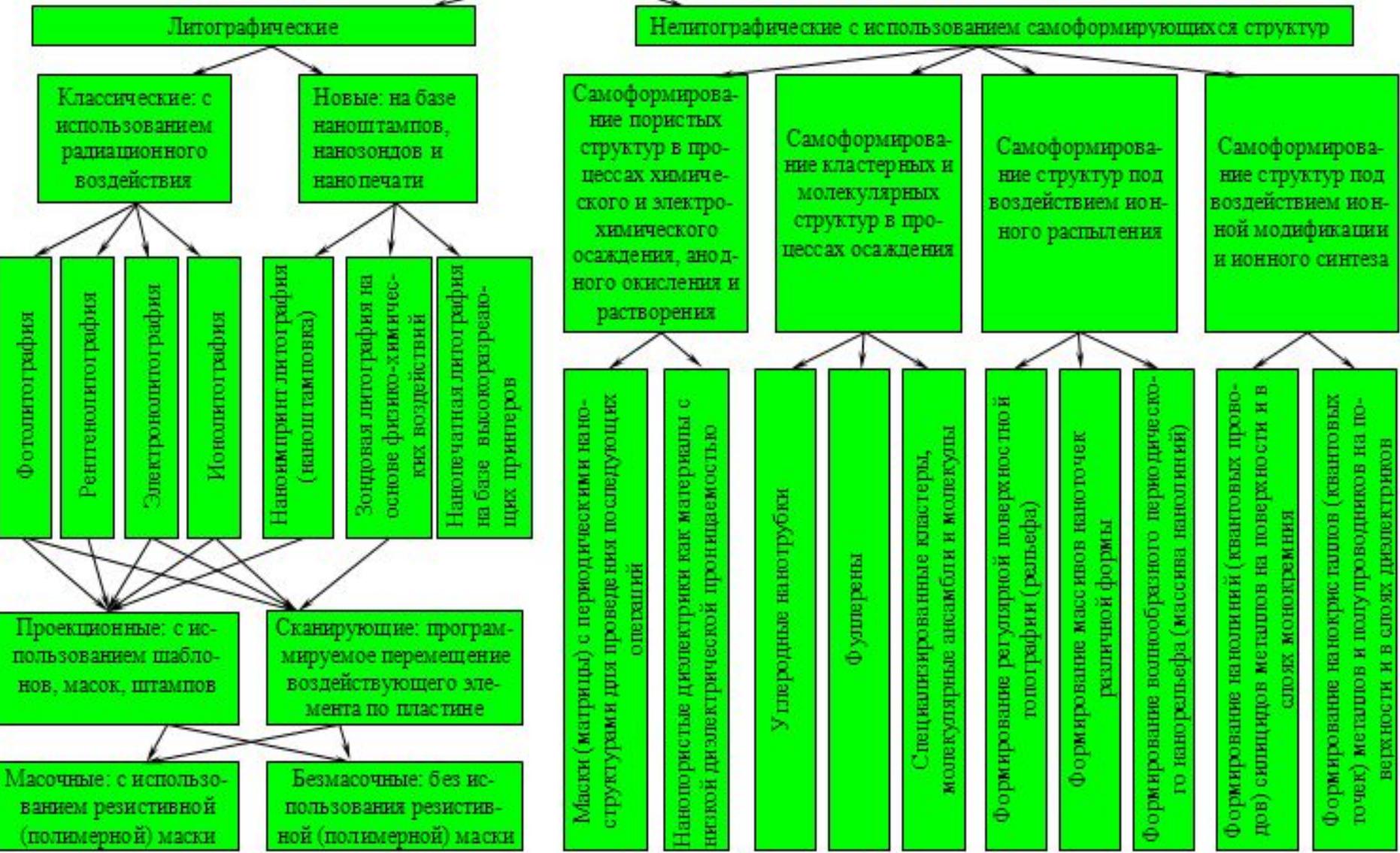
**Процессы литографии являются движущей силой повышения уровня технологии (УТ) (уменьшения минимальных размеров элементов) изделий микро- и нанoeлектроники.**



**Универсальный литографический цикл изготовления кристаллов ИС**

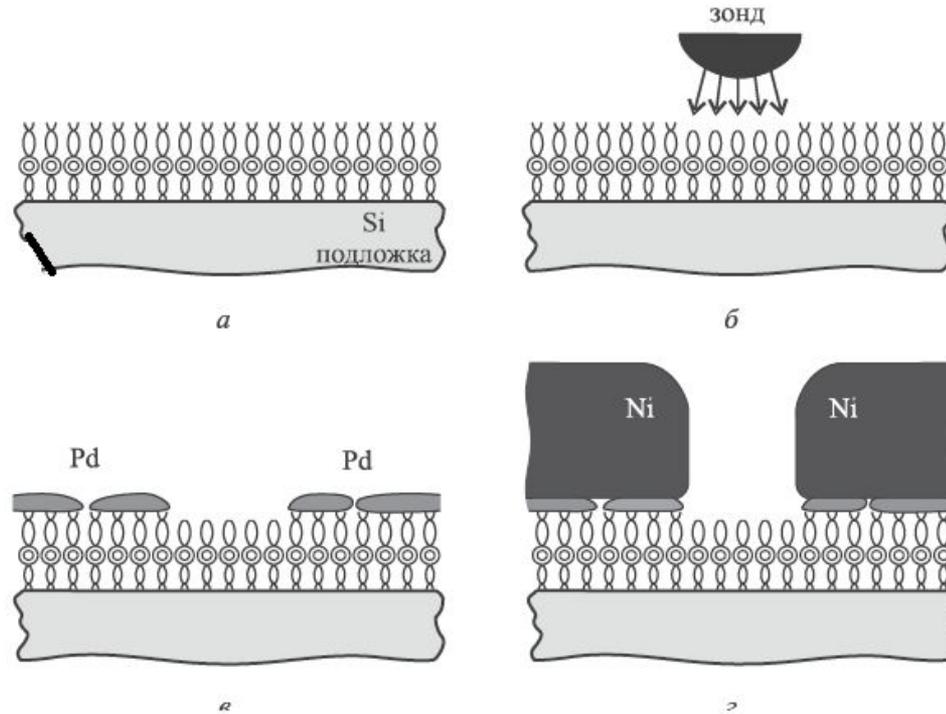
Киреев В.Ю. Введение в технологии микроэлектроники и нанотехнологии. - М.:ФГУП «ЦНИИХМ», 2008. – 432 с.

# Методы получения топологии микросхем, микро- и наноприборов в горизонтальной плоскости



Классификация методов получения топологии интегральных микро- и наносхем, а также микро- и наноприборов

## Пример нелитографической технологии формирования рисунка



Формирование наноразмерного рисунка путем самосборки мономолекулярной пленки: *а* — осаждение мономолекулярного слоя; *б* — создание рисунка зондом сканирующего туннельного микроскопа; *в* — осаждение палладиевого катализатора; *г* — осаждение никеля

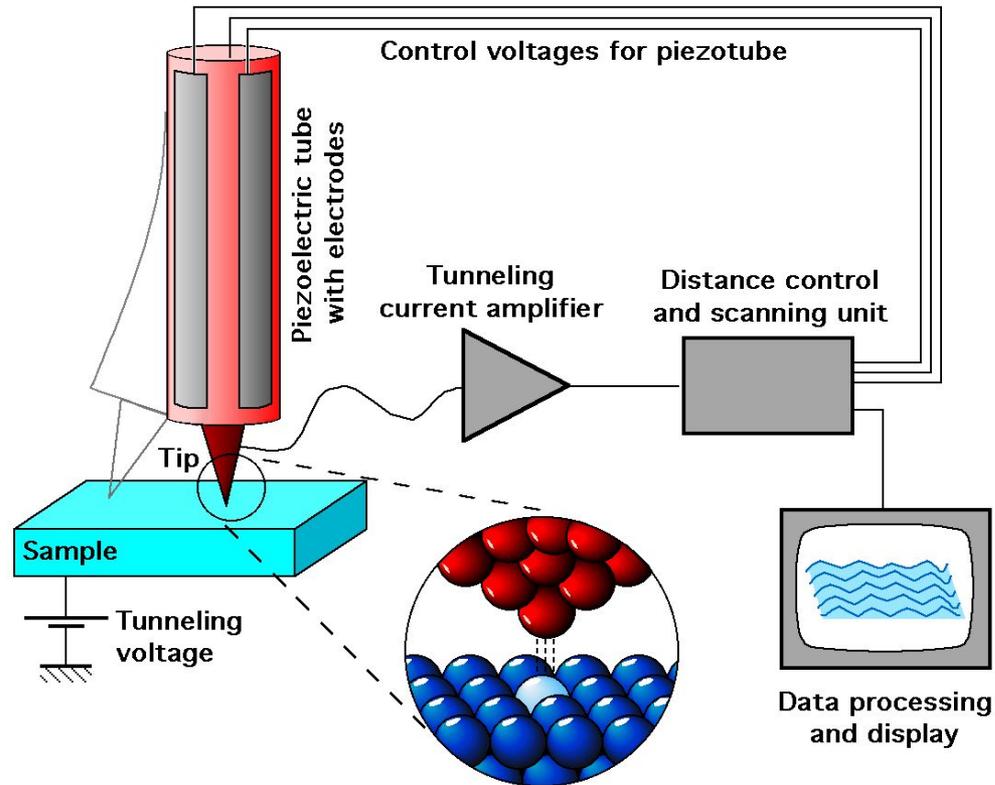
Борисенко В.Е., Воробьева А.И., Уткина Е.А. Борисенко В.Е., Воробьева А.И., Уткина Е.А. — Нанoeлектроника: теория и практика: учебник. Бинoм. Лаборатория знаний. 2013 г., 366с.

# Методы контроля наноструктур

Для исследования наноструктур применяется ряд методов:

- сканирующая туннельная микроскопия (СТМ)
- атомно-силовая микроскопия (АСМ)
- просвечивающая электронная микроскопия (ПЭМ) –
- сканирующая электронная микроскопия СЭМ
- сверхвысоковакуумная отражательная электронная микроскопия (СВВ ОЭМ)

## Сканирующая туннельная микроскопия (СТМ)

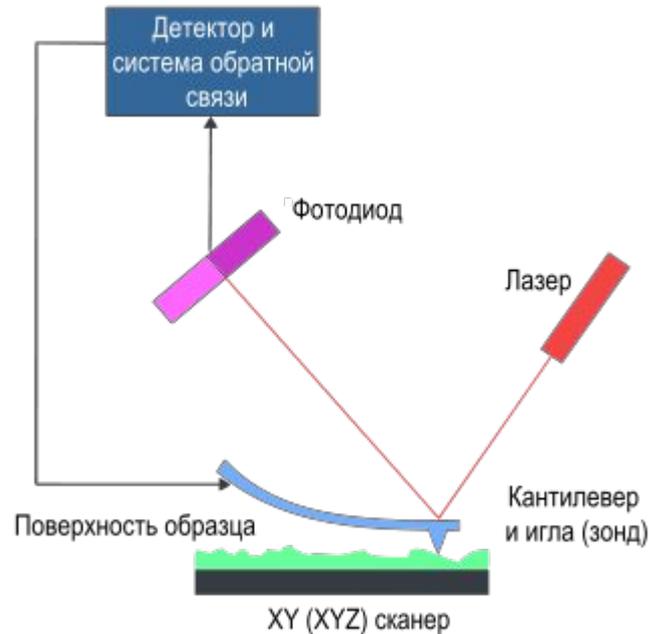


Сканирование обычно проводят в двух режимах: **постоянного тока** или **постоянного уровня кантилевера** (сенсорное устройство, закреплено на консоли). В первом случае **предполагается, что постоянный ток соответствует постоянному зазору между поверхностью и кантилевером**. При сканировании снимается положение кантилевера, что фактически соответствует рельефу поверхности. **Во втором - снимаются токовые зависимости**.

# Атомно-силовая микроскопия

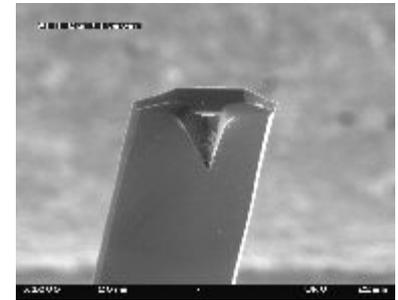
Топографические изображения в атомно-силовом микроскопе обычно получают в одном из двух режимов:

- режим постоянной высоты
- режим постоянной силы.



В зависимости от расстояний от иглы до образца возможны следующие режимы работы атомно-силового микроскопа:

- контактный режим (contact mode);
- бесконтактный режим (non-contact mode);
- полуконтактный режим (tapping mode).



Общая энергия взаимодействия атомов приближённо описывается формулой Леннарда-Джонса:

$$F(r) = \frac{12D}{a} \left[ \left( \frac{a}{r} \right)^{13} - \left( \frac{a}{r} \right)^7 \right].$$

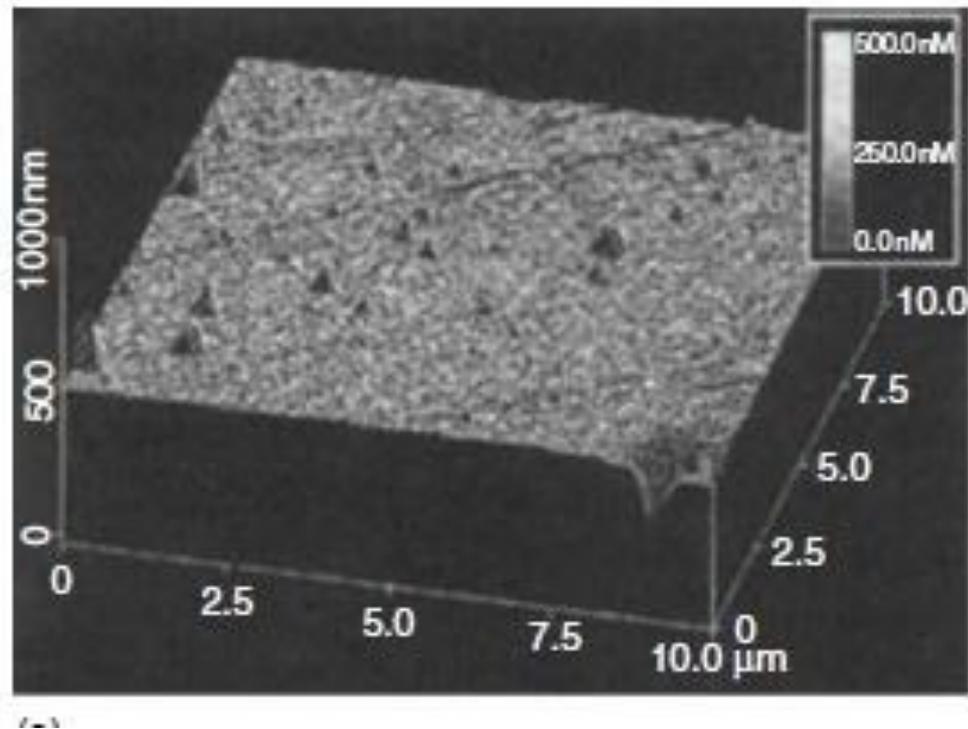
где

$r$ — расстояние между частицами,

$D$ — энергия связи,

$a$ — длина связи.

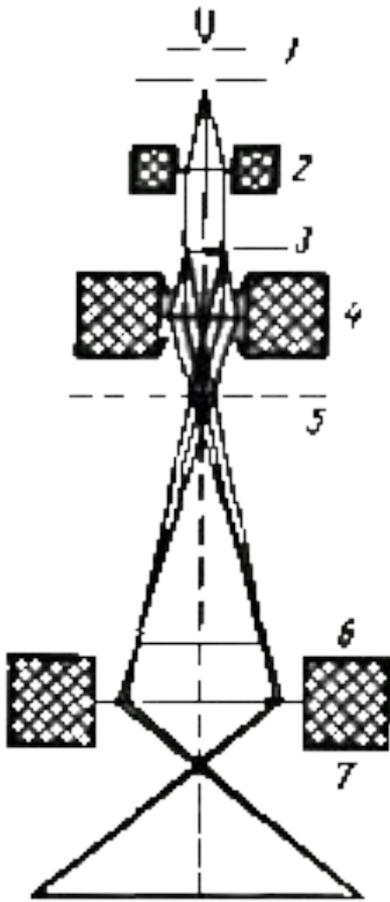
Разрешающая способность данного метода составляет примерно 0,1-1 нм по горизонтали и 0,01 нм по вертикали



Топография поверхности ZnO, полученная на АСМ.

Robert Doering, Yoshio Nishi. Handbook of Semiconductor Manufacturing Technology. Second Edition, CRC Press. New York, 2008

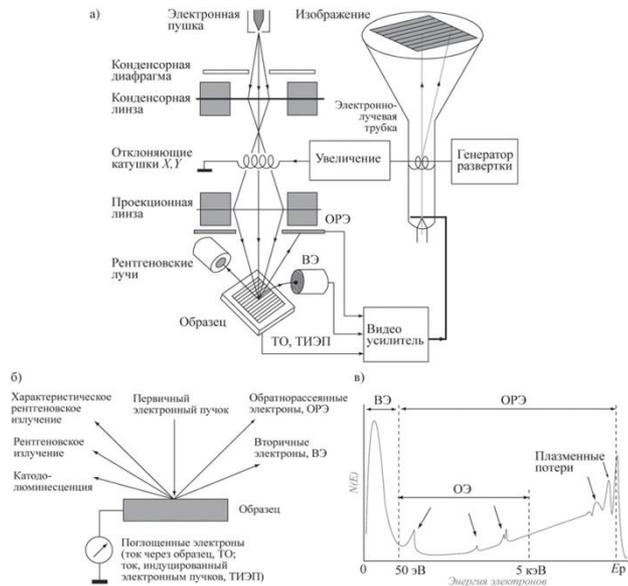
## Просвечивающий электронный микроскоп



Метод просвечивающей электронной микроскопии позволяет изучать внутреннюю структуру исследуемых материалов:

- определять тип и параметры кристаллической решетки матрицы и фаз;
- определять ориентационные соотношения между фазой и матрицей;
- изучать строение границ зерен;
- определять кристаллографическую ориентацию отдельных зерен, субзерен;
- определять углы разориентировки между зернами, субзернами;
- определять плоскости залегания дефектов кристаллического строения;
- изучать плотность и распределение дислокаций в материалах изделий;
- изучать процессы структурных и фазовых превращений;
- изучать влияние на структуру конструкционных материалов технологических факторов.

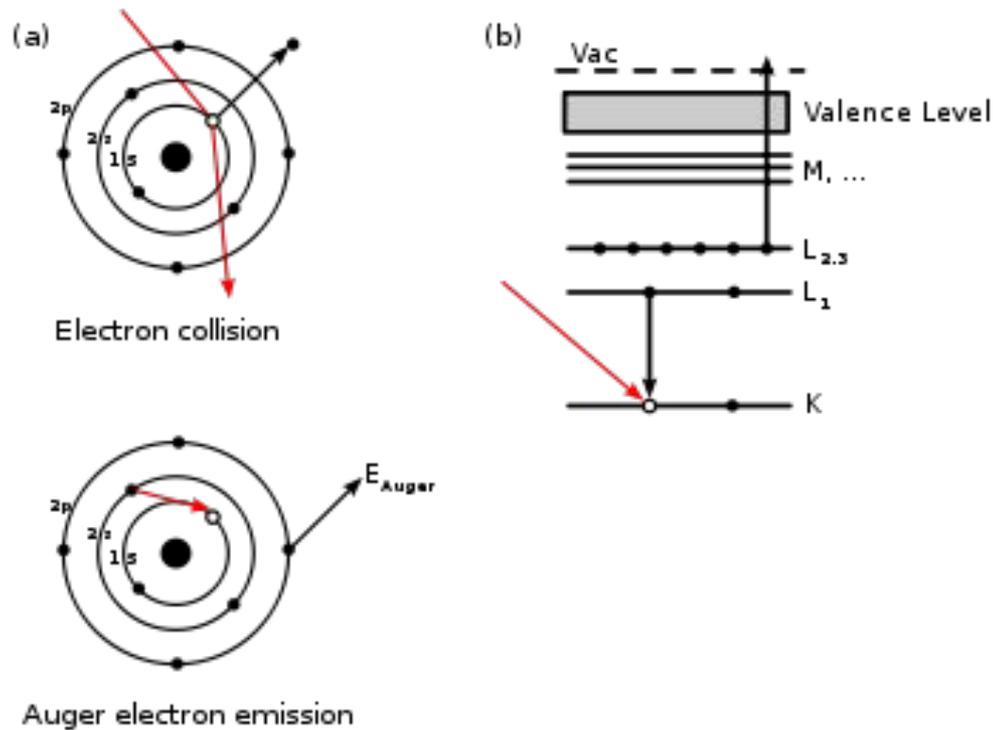
# При проведении исследований на СЭМ (часто также встречается название «растровый электронный микроскоп» или сокращенно РЭМ)



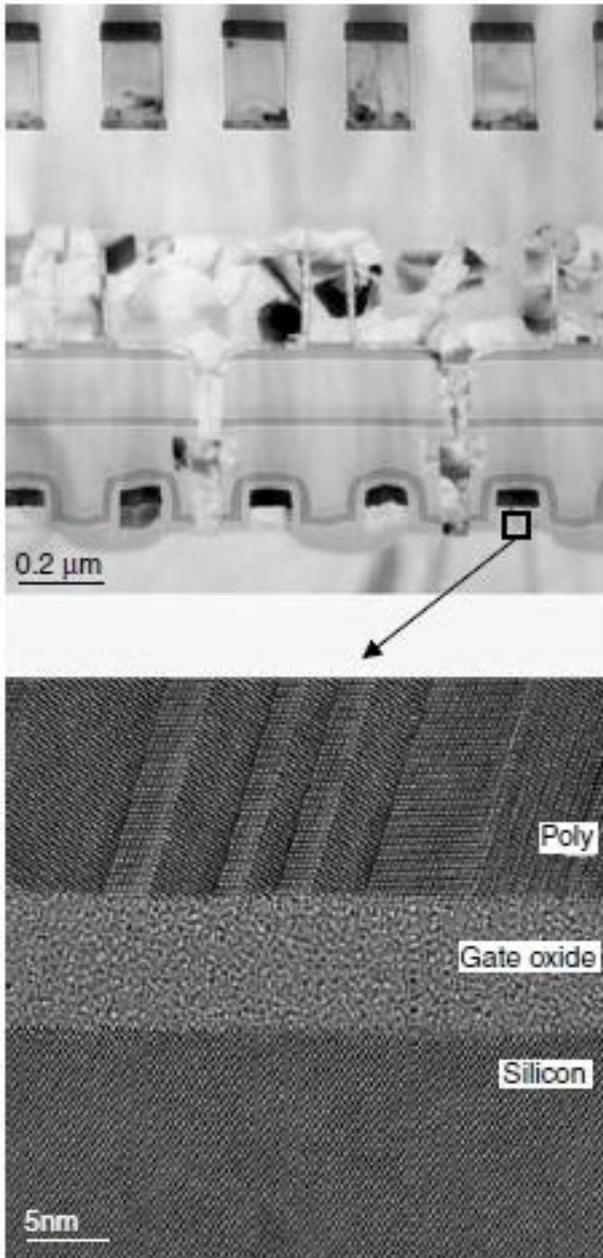
Тонкий электронный зонд (электронный пучок средних энергий (200 эВ – 50 кэВ) направляется на анализируемый образец.

В результате взаимодействия между электронным зондом и образцом генерируются низкоэнергетичные вторичные электроны, которые собираются детектором вторичных электронов. Интенсивность электрического сигнала детектора зависит как от природы образца (в меньшей степени), так и от топографии (в большей степени) образца в области взаимодействия. Таким образом, сканируя электронным пучком поверхность объекта возможно получить карту рельефа проанализированной зоны.

Электроны зонда (пучка) взаимодействуют с материалом образца и генерируют различные **типы сигналов**: вторичные электроны, обратноотраженные электроны, Оже-электроны, рентгеновское излучение, световое излучение (катодолюминесценция) и т.д. Эти сигналы являются носителями информации о топографии и материале образца.

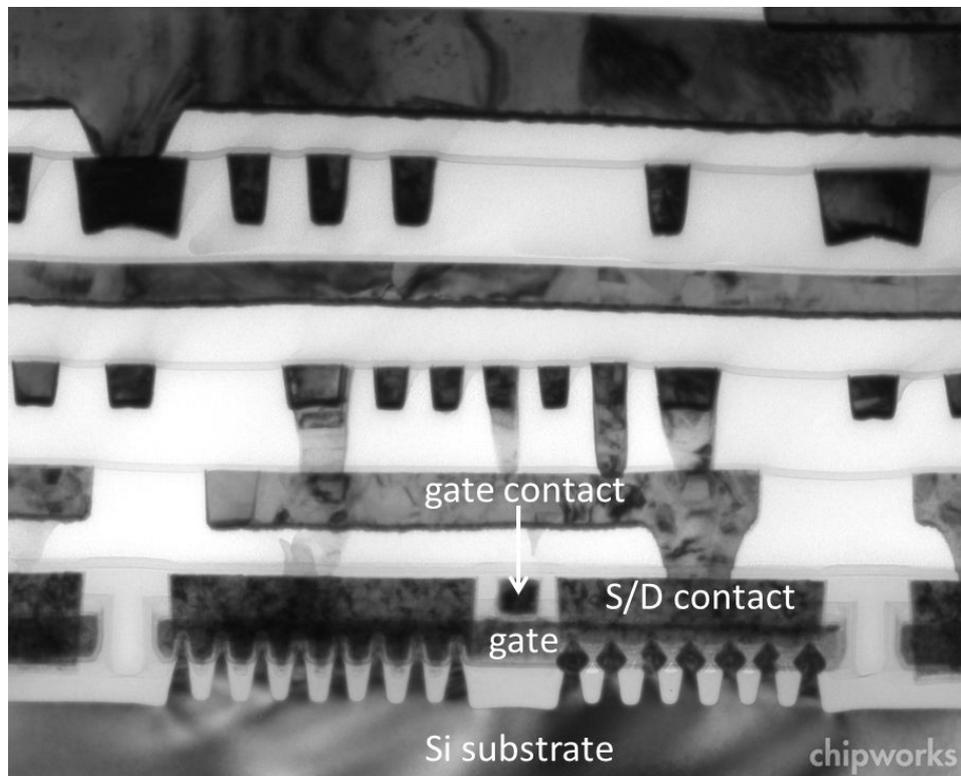


а) электрон (или фотон) создает вакансию на уровне 1s и электрон из уровня 2s заполняет вакансию, при этом энергия передается на электрон 2p, который и «выбивается», в итоге образуются две вакансии на орбиталях 2s и 2p. (b) показан тот же процесс с помощью спектроскопической нотации,  $KL1L2,3$



Изображение (ПЭМ) с низким увеличением (верхний снимок) показывает матрицу памяти, разрезанную вдоль шины данных этой матрицы. Изображение с большим увеличением (нижний снимок) показывает торцевое изображение кремниевой подложки и поликремниевого затвора одного из транзисторов матрицы памяти.

Robert Doering, Yoshio Nishi. Handbook of Semiconductor Manufacturing Technology. Second Edition, CRC Press. New York, 2008. рис.28.27



ТЕМ Изображение слоев нижних металлов и n-моп р-моп транзисторов **Intel's 22-nm Trigate Transistors**. Solid State Technology. **Intel's 22-nm Trigate Transistors**. 2012.

**Закон Мура:** Функциональные возможности высокосоввершенных дозу (объем памяти или количество ячеек памяти) и МП (количество транзисторов и быстродействие) удваиваются каждые два года, обеспечивая при этом уменьшение стоимости одной функции на 29% в год.

**Движущие факторы этого процесса:**

Уменьшение минимального размера

Увеличение площади кристалла

Усовершенствование конструкции и топологии микросхемы

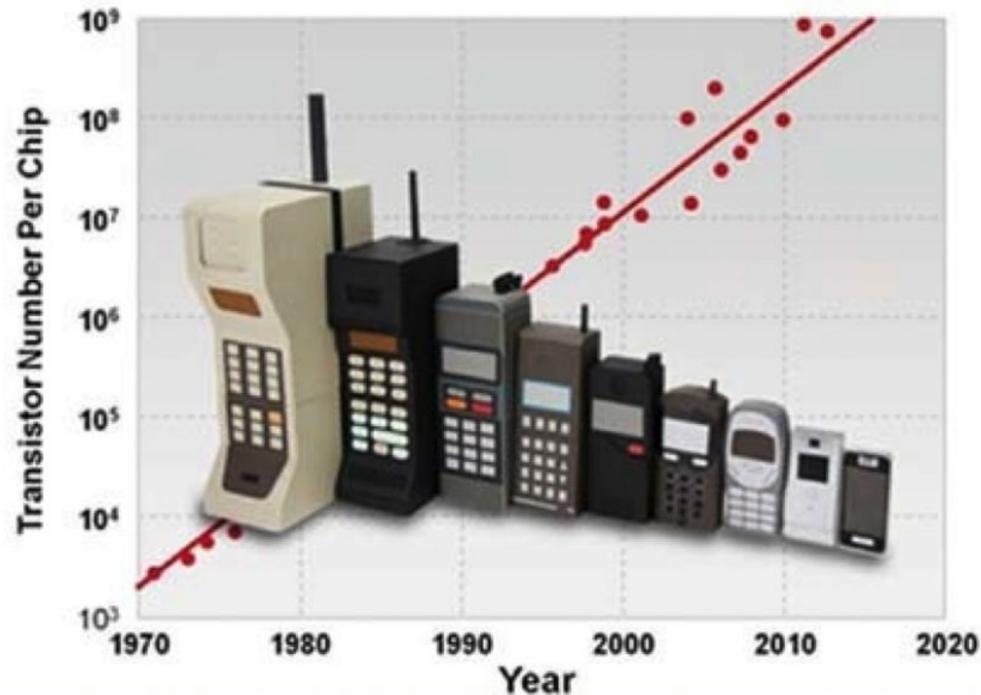


**Гордон Эрл МУР**

**Gordon Earle Moore, р. 1929**

Американский компьютерный инженер и бизнесмен. Родился в Сан-Франциско, получил докторскую степень в области химической физики в Калифорнийском технологическом институте. Некоторое время работал под руководством Вильяма Шокли (William Shockley, 1910–89), одного из изобретателей транзистора, и занимался изучением полупроводников. Но в характере Шокли начала проявляться эксцентричность, поведение его стало непредсказуемым, и Мур и несколько его коллег уволились. С одним из них, Робертом Нойсом (Robert Noyce, 1927–90), в 1968 году Мур основал корпорацию Intel (где до сих пор занимает должность почетного председателя совета директоров) и приступил к разработке и производству сложных интегральных схем — «чипов», — лежащих в основе современных персональных компьютеров. «Закон» Мура впервые был изложен в 1965 году в журнале «Электроника» в комментарии ученого к статье о том, как технология интегральных схем должна привести к снижению стоимости компьютеров.

## Mobile Phone Evolution Reflects Moore's Law



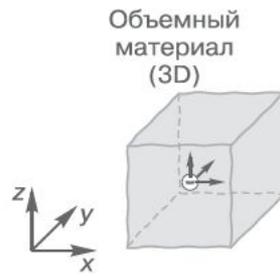
Современные тенденции масштабирования ИС могут быть сформулированы следующим образом:

- **новое поколение технологии появляется через каждые три года;**
- **при этом уровень интеграции ИС памяти увеличивается в четыре раза, а логических ИС – в 2-3 раза;**
- **за каждые два поколения технологии (то есть за 6 лет) минимальный характеристический размер уменьшается в два раза, а плотность тока, быстродействие, площадь кристалла и максимальное количество входов и выходов увеличиваются в два раза.**

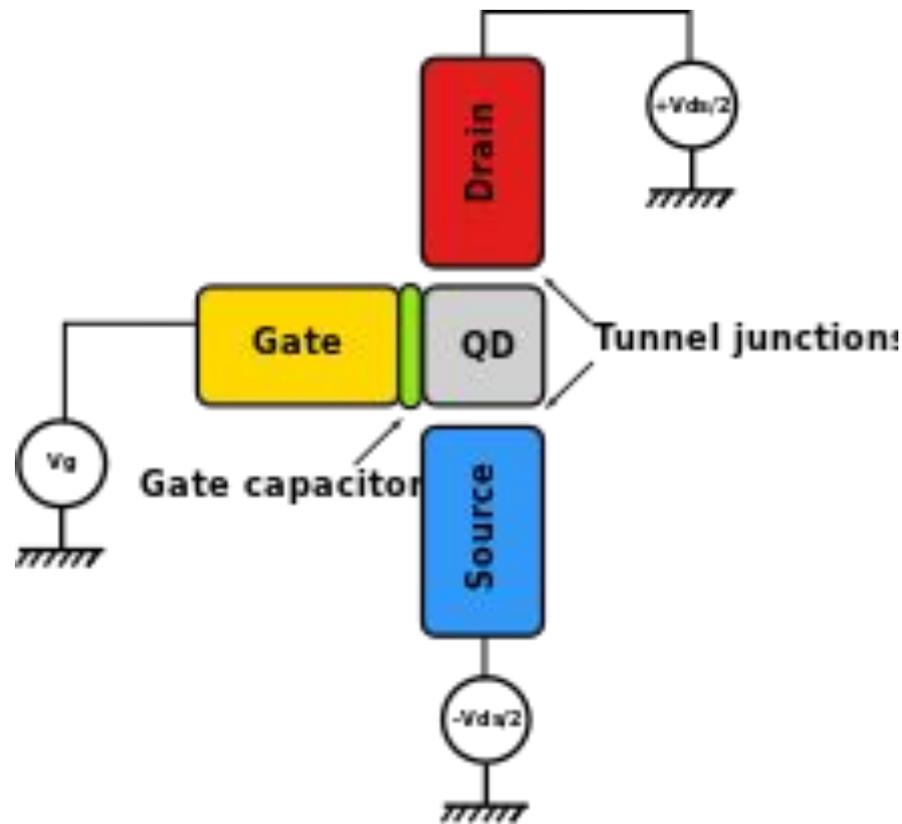


## Физические явления, используемые в нанoeлектронных приборах

Борисенко В.Е., Воробьева А.И., Уткина Е.А. Борисенко В.Е., Воробьева А.И., Уткина Е.А. — Нанoeлектроника: теория и практика: учебник



Борисенко В.Е., Воробьева А.И., Уткина Е.  
А. Борисенко В.Е., Воробьева А.И., Уткина  
Е.А. — Нанoeлектроника: теория и  
практика: учебник

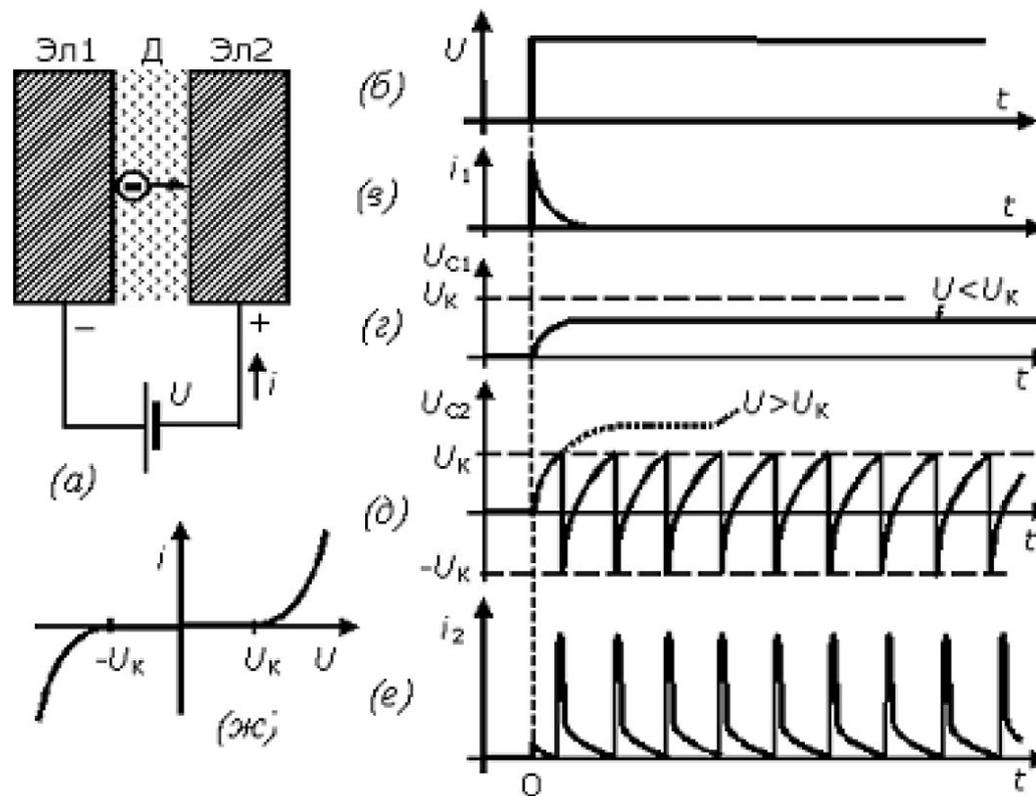


Для перемещения электрона из электрода Эл1 на электрод Эл2 надо выполнить работу против сил кулоновского притяжения  $e^2/2C$ . Наибольшая работа, которую способен выполнить источник напряжения по перемещению электрического заряда равна  $eU$ . Поэтому для того, чтобы электрон мог перейти из электрода Эл1 на электрод Эл2, должно быть выполнено условие  $\square$

$$eU \geq \frac{e^2}{2C} \Leftrightarrow U \geq \frac{e}{2C}$$

Потенциал  $e/2C$  называют «кулоновским потенциалом» или «кулоновским зазором» (англ. *Coulomb gap*)

[http://en.wikipedia.org/wiki/Single\\_electron\\_transistor#Single\\_electron\\_transistor](http://en.wikipedia.org/wiki/Single_electron_transistor#Single_electron_transistor)



а) Структура туннельного перехода. Справа – временные диаграммы: б) включения напряжения; в, г) электрического тока и напряжения на переходе, когда напряжение мало; д, е) напряжения на переходе и электрического тока, когда приложенное напряжение превышает  $U_K$ . ж) Зависимость среднего тока сквозь туннельный переход от приложенного напряжения

Важной является и температура окружающей среды. Ведь кулоновскую блокаду можно наблюдать и использовать лишь при условии, когда кулоновская энергия намного превышает энергию хаотического теплового движения электронов

$$e^2 / (2C) \gg kT$$

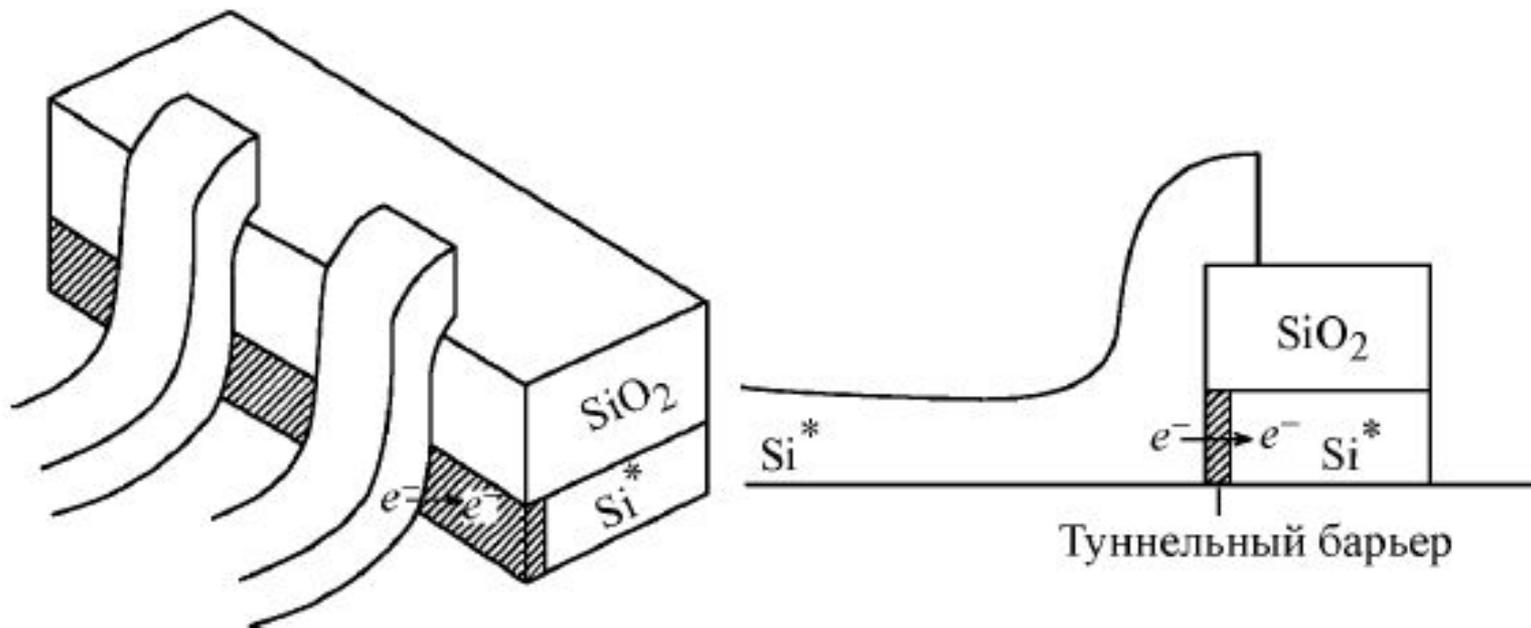
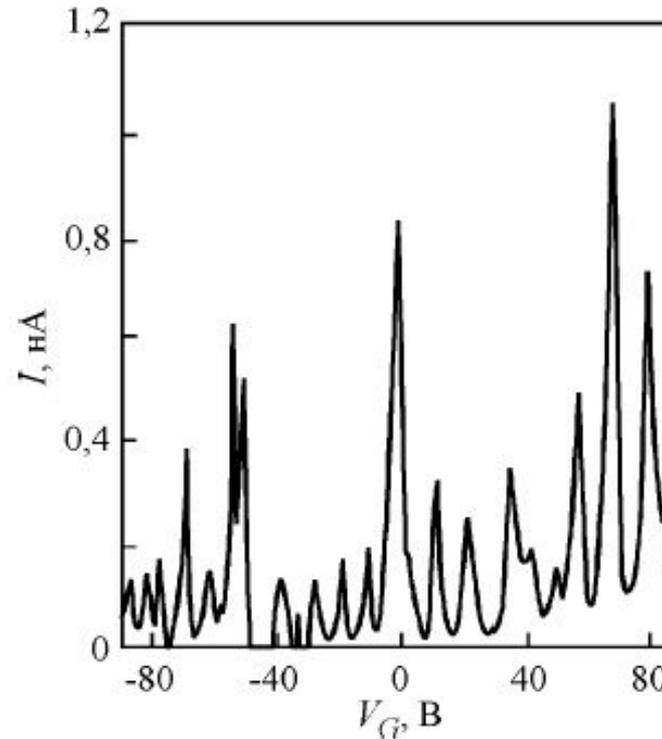
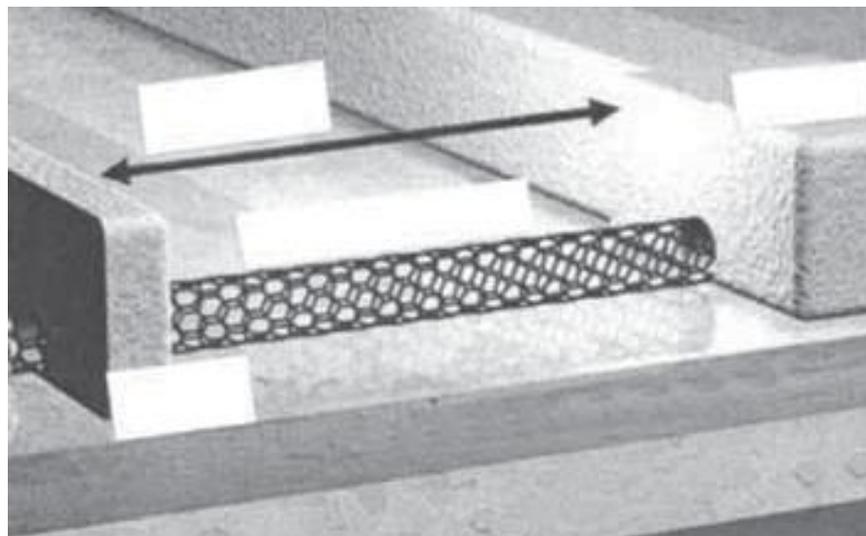


Схема одноэлектронного транзистора. Г. Г. Шишкин, И. М. Агеев Нанoeлектроника. Элементы, приборы, устройства. М. : БИНОМ. Лаборатория знаний, 2011 г. 408с.

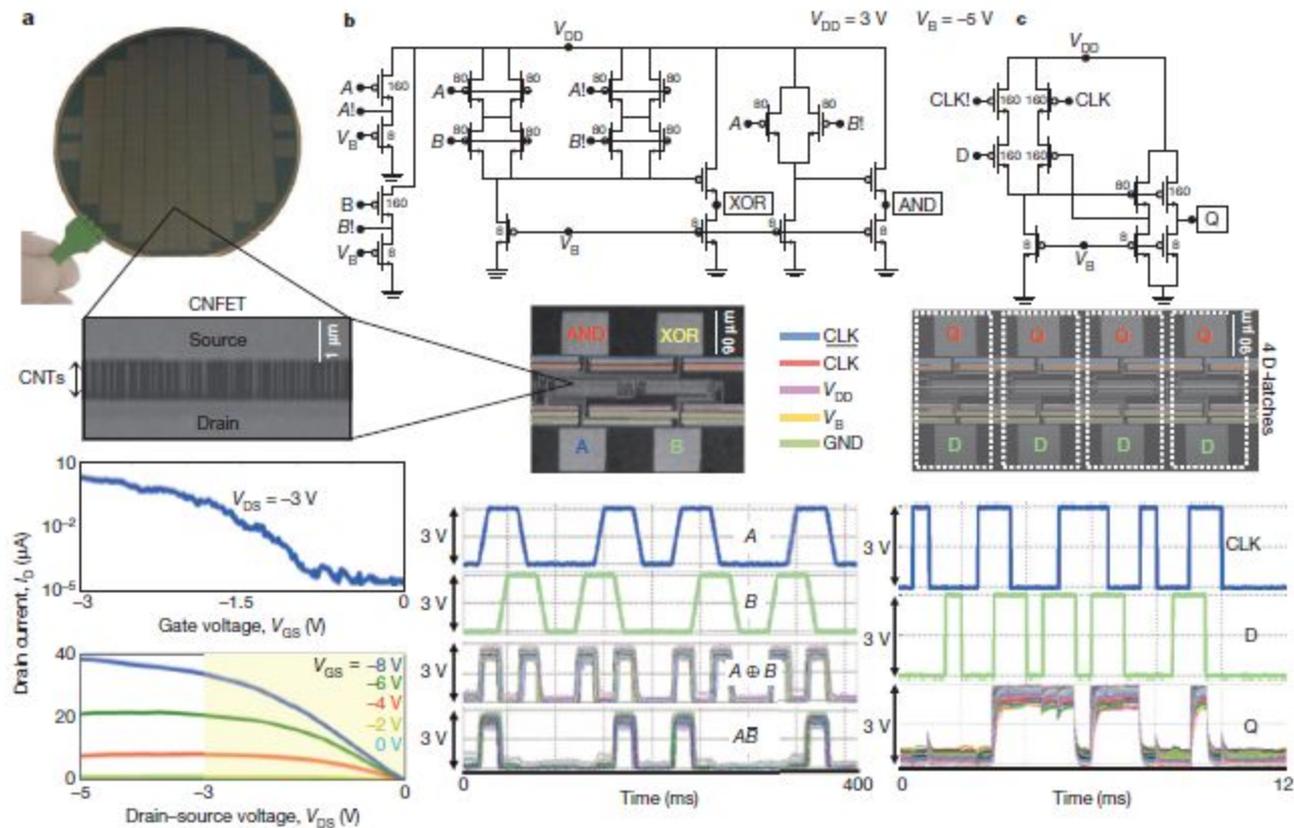


Изображение одноэлектронного транзистора и зависимость тока стока от напряжения на затворе при напряжении на стоке 3 мВ



Конструкция транзистора на основе нанотрубки (разработчик — компания «Infineon Technologies AG»)

Щука А.А. Щука А.А. — Нанoeлектроника. Монография. - М.: Физматкнига, 2007. - 465 с.



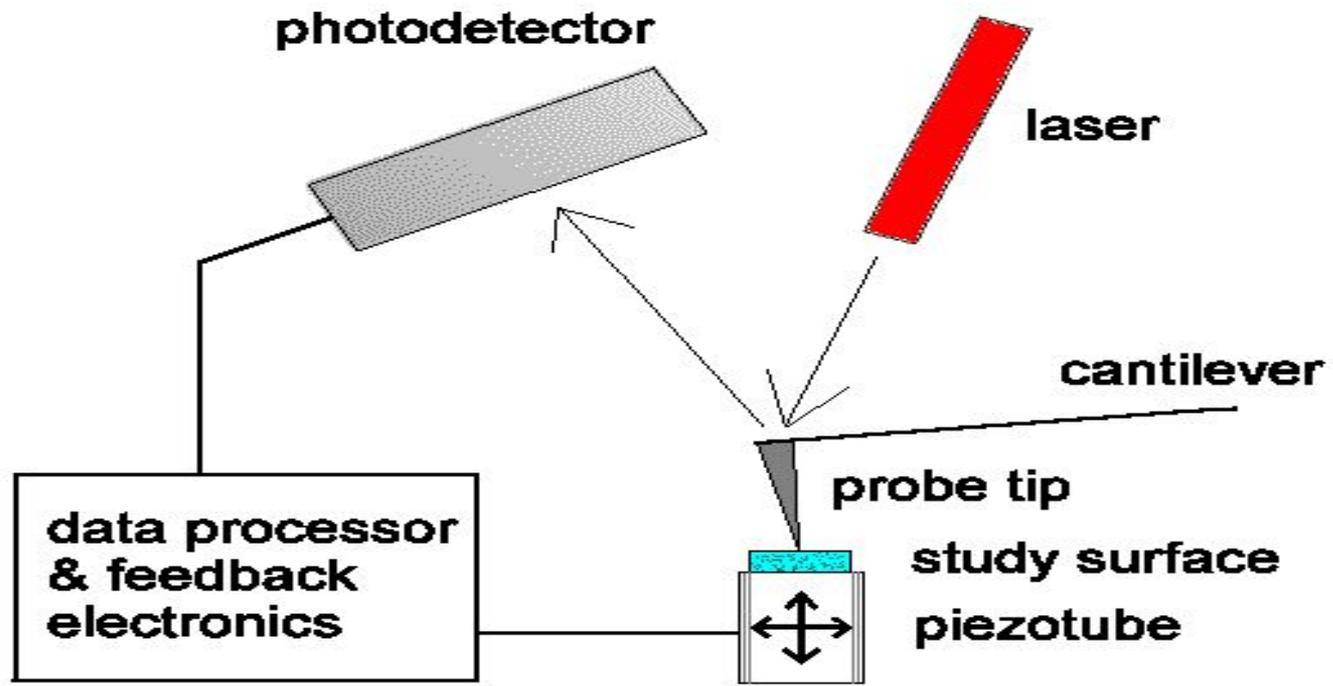
**Figure 3 | Characterization of CNFET subcomponents.** a, Top: Final 4-inch wafer after all fabrication. Middle: scanning electron microscope (SEM) image of a CNFET, showing source, drain and CNTs extending into the channel region. Bottom: Measured characterization (current-voltage) curves of a typical CNFET. The yellow highlighted region of the  $I_D$ - $V_{DS}$  curve shows the biasing region that the CNFET operates in for the CNT computer. b, Top:

transistor-level schematic of arithmetic unit. Numbers are width of transistors (in micrometres). Middle: SEM of an arithmetic unit. Bottom: measured outputs from 40 different arithmetic units, all overlaid. c, Top: transistor-level schematic of D-latches. Numbers are width of transistors (in micrometres). Middle: SEM of a bank of 4 D-latches, all overlaid. Bottom: measured outputs from 200 different D-latches.

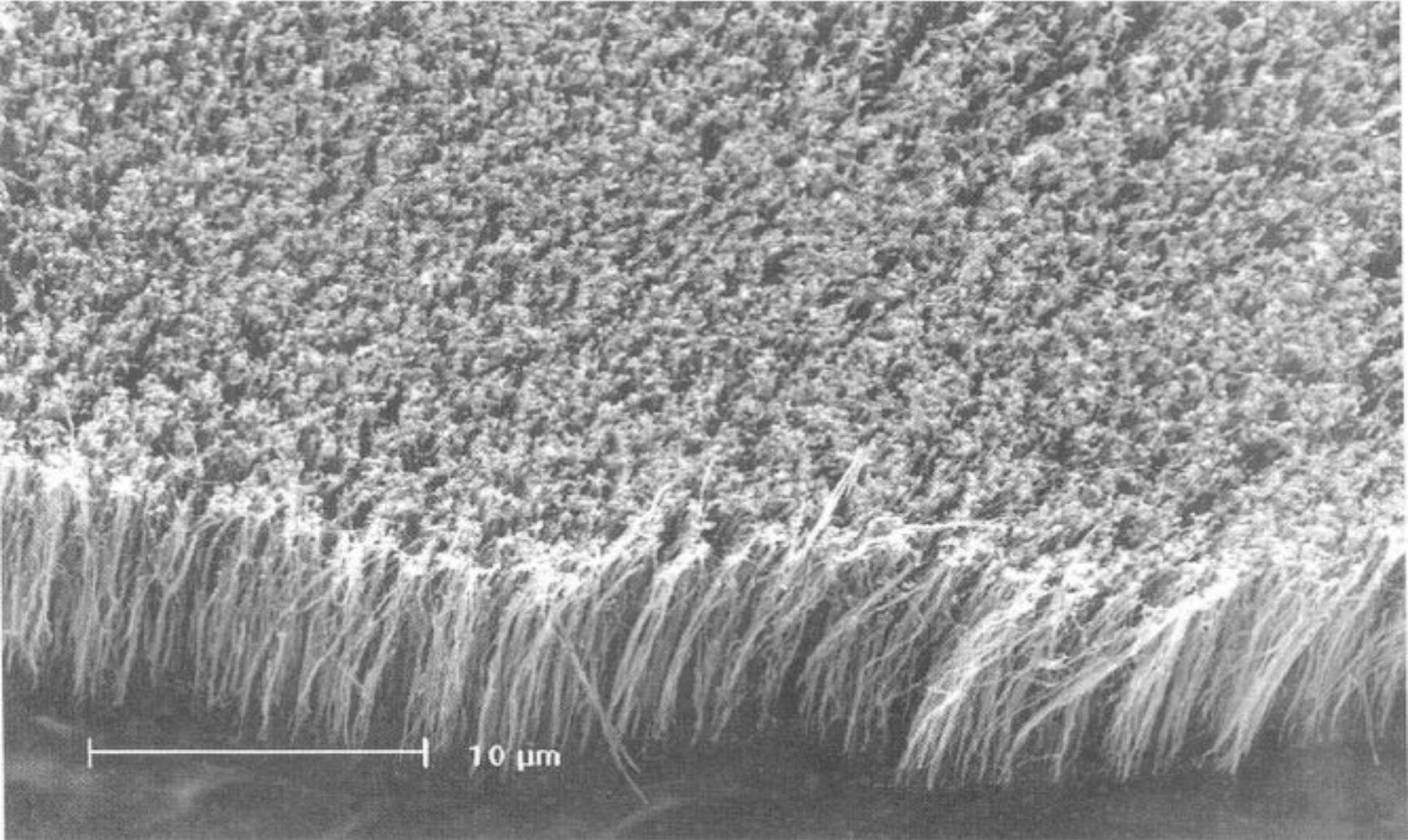
В нанотехнологиях различают два основных подхода, позволяющих формировать наноструктуры. Это — технологии, реализующие принцип «сверху-вниз», и технологии, построенные на принципе «снизу-вверх».

**Принцип «сверху-вниз» (*top-down approach*)** предполагает создание структур с требуемыми размерами и конфигурацией путем избирательного удаления материала, заранее нанесенного на подложку. При этом используются традиционные для микроэлектроники методы осаждения пленок и формирования легированных слоев полупроводников в сочетании с литографическим созданием на профилируемой поверхности маски и последующим удалением материала в окнах маски путем травления.

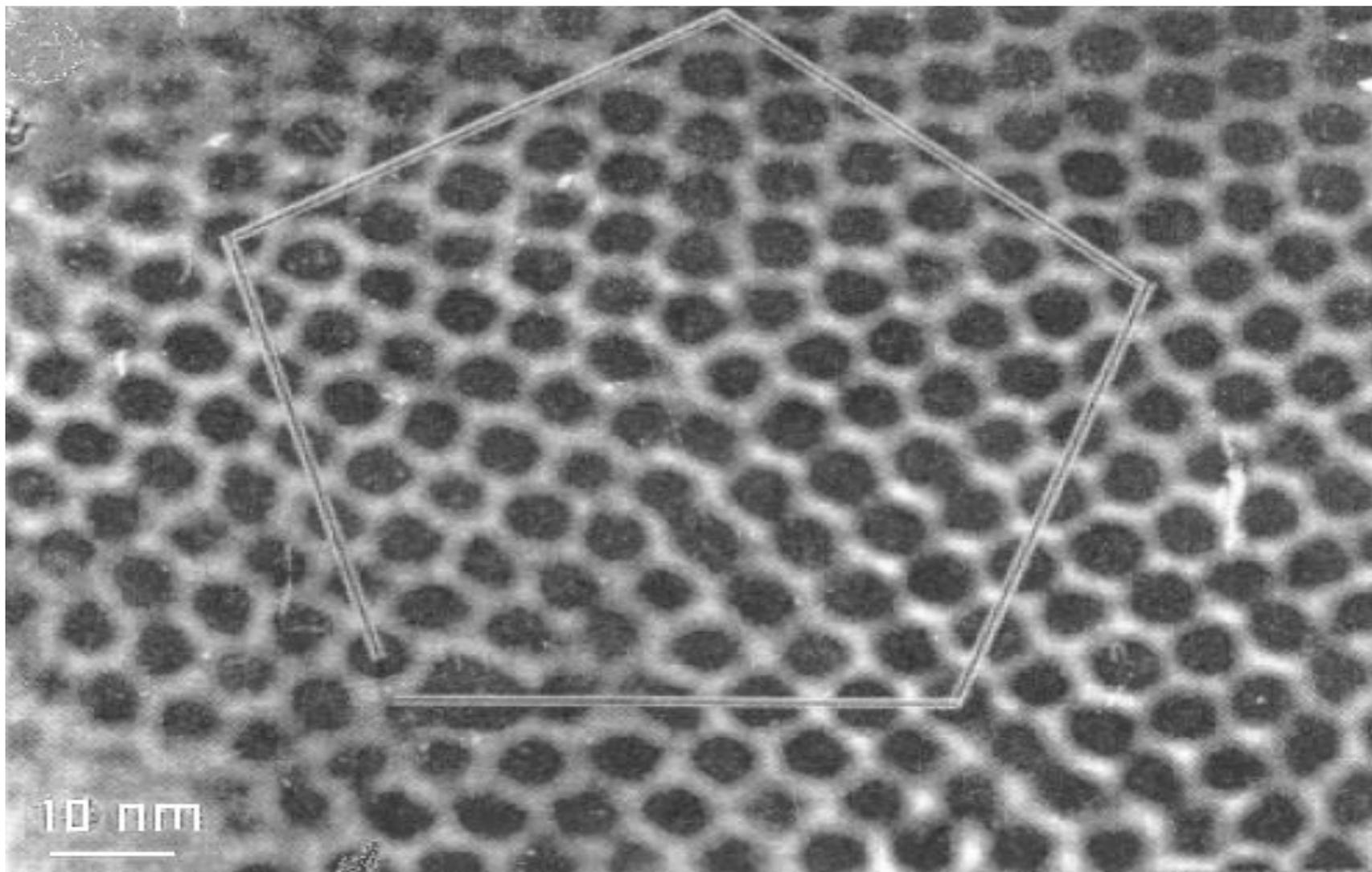
**Альтернативный принцип «снизу-вверх» (*bottom-up approach*)** предполагает формирование требуемых структур путем селективного осаждения атомов и молекул на заданные участки поверхности подложки.



Использование АСМ для локального окисления металлов и полупроводников

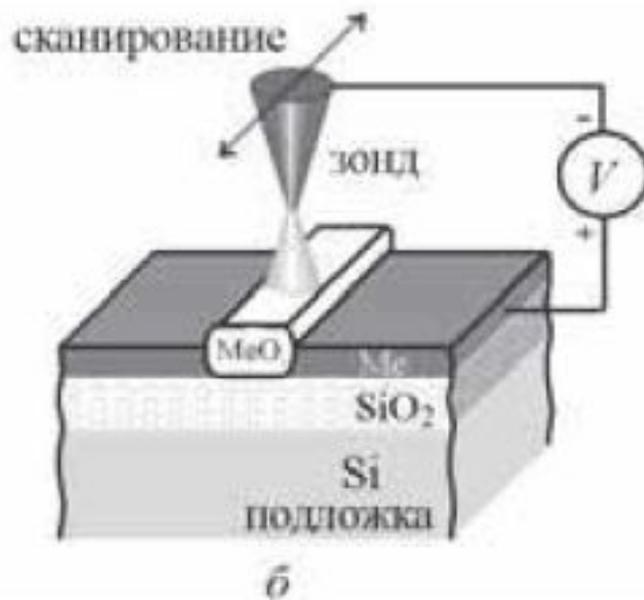
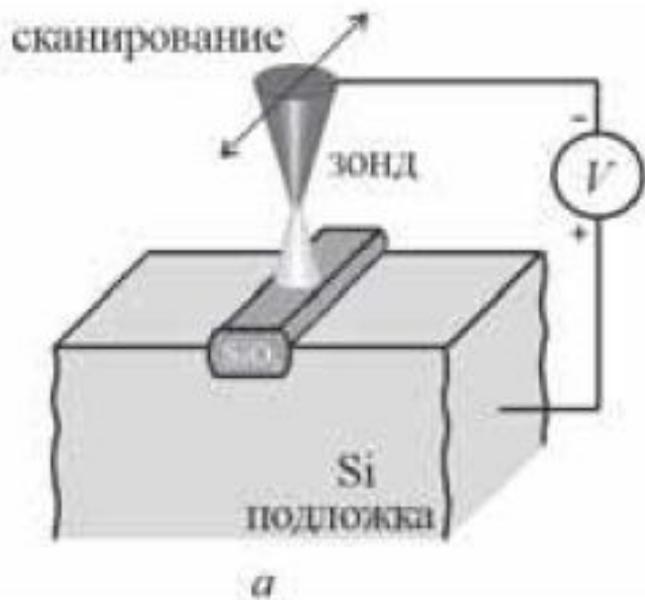


Вертикально ориентированные углеродные нанотрубки, полученные химическим осаждением из газовой фазы. Nanolithography and patterning techniques in microelectronics /edited by D.G. Bucknall, Woodhead Publishing Ltd., Cambridge, England, 2005. – 424 pp.



Фотография на просвечивающем электронном микроскопе массива нанокристаллов серебра, образованного в процессе самосборки

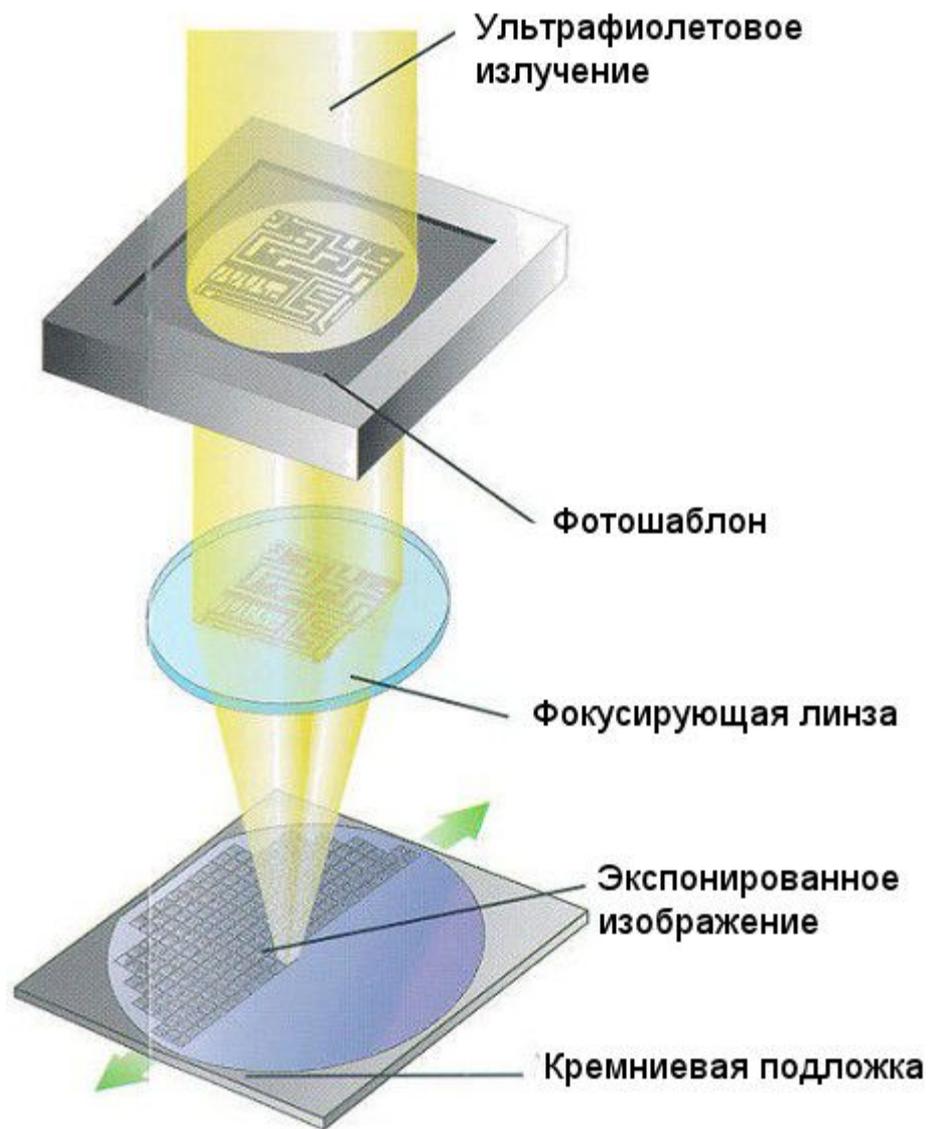
ОБРАЗОВАТЕЛЬНЫЙ МОДУЛЬ «ТЕХНОЛОГИЯ НАНОЛИТОГРАФИИ» ОБРАЗОВАТЕЛЬНЫЙ БЛОК БАЗОВЫХ ЗНАНИЙ. Лекции. д.т. н. Киреев В.Ю., М., МИЭТ



## Локальное зондовое окисление кремния (*a*) и пленки металла (*b*)

Борисенко В.Е., Воробьева А.И., Уткина Е.А. Борисенко В.Е., Воробьева А.И., Уткина Е.А. —  
Нанoeлектроника: учебное пособие

## Принцип проекционной литографии



**Технологическая система (*manufacturing system*)** - это совокупность функционально взаимосвязанных *средств технологического оснащения* (совокупности технологического, контрольно-измерительного и испытательного оборудования, приспособлений, инструмента и оснастки), *предметов производства* (полупроводниковых пластин, фотошаблонов и корпусов) и *исполнителей* для выполнения в регламентированных условиях производства заданных технологических процессов и/или операций.

**Стандартный (типовой) технологический процесс (*standard process*)** - это технологический процесс изготовления наносхем, оптимизированный под конкретную технологическую систему и предполагающий идентичность условий, режимов и параметров всех технологических операций и транспортных переходов между ними, а также последовательности их выполнения.

**Комплект оборудования** - это набор оборудования, необходимый для производства ИС определенной степени (степеней) интеграции, т.е. для реализации определенного уровня технологии (УТ), определяемого минимальным размером элементов и количеством операций в технологическом процессе.

ГОСТ 14.004. Технологическая подготовка производства. Термины и определения основных понятий.

**Технологический процесс (маршрут) изготовления кристаллов ИС (IC chip process flow or IC chip process technology)** - это последовательность технологических операций и транспортных переходов между ними, осуществляемых при идентичных условиях и режимах над исходной структурой (пластиной кремния) с целью получения выходной структуры (набора кристаллов ИС на пластине) с требуемыми эксплуатационными характеристиками [6].

**Технологическая операция (process step or manufacturing operation)** - это основная составная часть технологического процесса изготовления ИС, представляющая собой законченную обработку пластины, выполняемую на одном месте с использованием одного и того же оборудования [6].

**Стадия технологической операции или технологический переход (operation stage or manufacturing step)** - это законченная часть технологической операции, выполняемая одними и теми же средствами технологического оснащения при постоянных технологических режимах и установке [6].

**Технологический режим (recipe)** одностадийной операции или стадии многостадийной операции – это определенно заданная и неизменная в течение времени операции или стадии операции совокупность выставляемых значений операционных параметров установки (например, температуры подложкодержателя, давления и расходов рабочих газов, уровня мощности газового разряда и т.п.) при обработке пластины со структурами ИС [6].

**Процессный модуль или микромаршрут** – это набор операций, приводящий к формированию на пластине какого - либо законченного узла или функциональной системы ИС: например, фоторезистивной (ФР) маски (photoresist mask - PR), целевой изоляции (shallow trench isolation – STI), металлизации, транзисторов, контактов и т.д.

## Вопросы промежуточного контроля:

- Дайте определение наноэлектроники.
- Сформулируйте Мура.
- Назовите основные сегменты электронной отрасли.
- Какой из сегментов электронной отрасли занимает основную долю на рынке?
- Какая основная причина перехода электроника в наноразмерную область?
- Что такое наноразмерная структура
- Что такое низкоразмерная структура
- Что такое квантовая пленка, квантовый шнур, квантовая точка
- Что такое баллистический транспорт
- Что такое туннелирование
- Что такое кулоновская блокада
- В чем основное достоинство одноэлектронных приборов
- Что такое квантовое ограничение
- Что такое принцип формирования наноструктур «сверху – вниз»
- Что такое принцип формирования наноструктур «снизу – вверх»