

Организация ЭВМ и систем

Лекция № 2

- **Инициализация ПЭВМ на базе микропроцессоров IA-32**
- **Анализ развития процессоров фирмы Intel семейства IA-32**
- **Архитектура 16-битных процессоров IA-32 - 8086, 80286: основные регистры, адресация памяти, режимы работы**

Инициализация ПЭВМ

Аппаратная часть:

1. Системное ядро ПК включает:

- ЦП;
- 2 – 3х-канальных таймера;
- 2 контроллера прерываний с 8-ю уровнями каждый;
 - 2 – 4х-канальных контроллера ПДП;
- Порты ввода/вывода;
- CMOS память;
- часы реального времени;
- контроллер клавиатуры;
- минимум - 64 Кб нижней памяти.

Инициализация ПЭВМ

2. Модули расширения:

- Контроллеры накопителей.
- Накопители.
- Видеоадаптеры.
- Сетевые карты.

Программная часть:

- BIOS.
- POST.
- BIOS SETUP.

Алгоритм пробуждения (инициализация) ПК

1. Включение питания.
2. Самодиагностика, идентификация, проверка процессора и сопроцессора.
3. Проверка и инициализация системного ядра.
4. Включение механизма Plug and Play.
5. Проверка и инициализация видеоадаптера.
6. Проверка CMOS памяти и часов реального времени.
7. Определение объема и проверка оперативной памяти.

Алгоритм пробуждения (инициализация) ПК

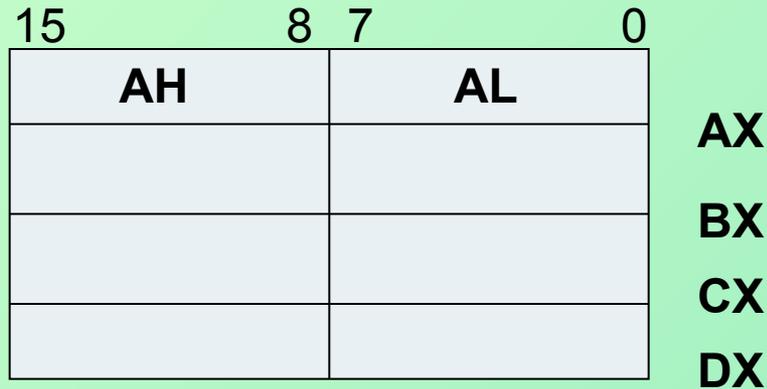
8. Проверка клавиатуры и инициализация портов (LPT, COM).
9. Инициализация дисковых накопителей.
10. Проверка модулей расширения BIOS.
11. Включение механизма APR.
12. Вызов системного загрузчика.
13. Загрузка ОС.

Анализ развития ЦП ф.Intel семейства IA-32

Тип ЦП	8086	8088	80286	80386	80486	Pentium	P6
Свойства							
1. Год выпуска	1978	1979	1982	1985	1989	1993	1995
2. Проектные нормы (мкм)	3	3	1, 5	1	1 - 0,8	0,8 - 0,6	0,6 - 0,35
3. Кол-во транзисторов	29000	29000	130000	275000	1млн200т	3млн100т	9млн500т
4. Разрядность ШД/ША	16/20	8/20	16/24	32/32	32/32	64/32	64/32 (36)
5. Мах объем физ. Памяти	1 Мб	1 Мб	16 Мб	4 Гб	4 Гб	4 Гб	4 Гб (64 Гб)
6. Мах объем вирт. памяти	1 Мб	1 Мб	1Гб	64 Тб	64 Тб	64 Тб	64 Тб
7. Мах размер сегмента	64 Кб	64 Кб, (p.p)	64 Кб, 4 Гб (з.р)	64 Кб, 4 Гб	64 Кб, 4 Гб	64 Кб, 4 Гб	64 Кб, 4 Гб
8. Разм-р очереди предвыб. (байт)	6	6	16	32	32	32	32
9. Размер операндов (бит)	8, 16	8, 16	8, 16	8, 16, 32	8, 16, 32, 64	8, 16, 32, 64	8, 16, 32, 64
10. Размер регистров (бит)	8, 16	8, 16	8, 16	8, 16, 32	8, 16, 32	8, 16, 32	8, 16, 32
11. Разбиение на страницы	нет	нет	нет	есть	есть	есть	есть
12. Рабочая частота (МГц)	5, 8, 10	5, 8, 10	8, 10, 12, 16	20, 25, 33, 40	25 - 133	60 - 233	166, 180, 200
13. Защита памяти и I/O	нет	нет	есть	есть	есть	есть	есть
14. Сопроцессор	8087	8087	80287	80287, 80387	FPU	FPU	FPU

ЦП 8086

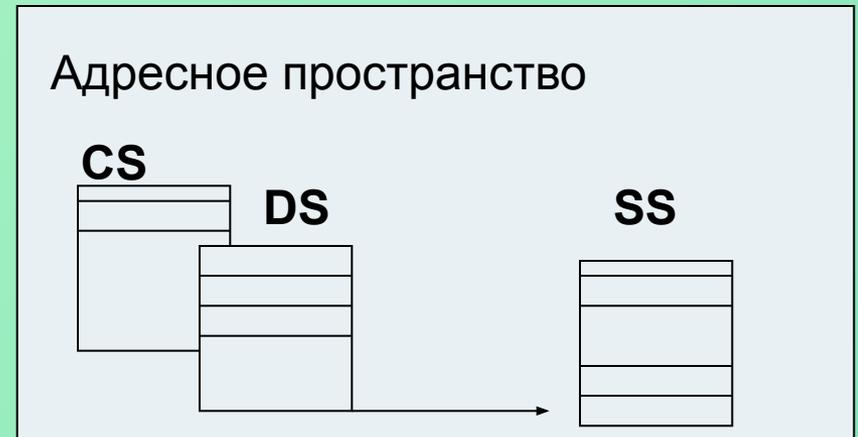
Регистры данных



Регистры сегментов



Регистры указатели



ЦП 80286

Программная модель:

14 регистров ЦП 8086 + 5 новых:

- GDTR – 40-разрядный (определяет размер и положение глобальной дескрипторной таблицы).
 - LDTR – 16-разрядный (определяет базовый адрес локальной дескрипторной таблицы).
 - IDTR – 40-разрядный (определяет начало и размер таблицы векторов прерываний).
 - MSW – слово состояния (если флаг PE=1, то процессор переключается в защищенный режим).
 - TR – 16-разрядный (содержит селектор сегмента состояния задачи, используется для многозадачности).
- + 6 невидимых регистров (они связаны с CS, DS, ES, SS, GDTR, IDTR).

ЦП 80286

(режимы работы)

Это был первый представитель семейства 86-х процессоров, в котором реализованы многозадачность и защищенная архитектура. Чтобы обеспечить совместимость с предыдущими представителями этого семейства (8086/88, 80186/188) в процессоре 80286 было реализовано два режима функционирования:

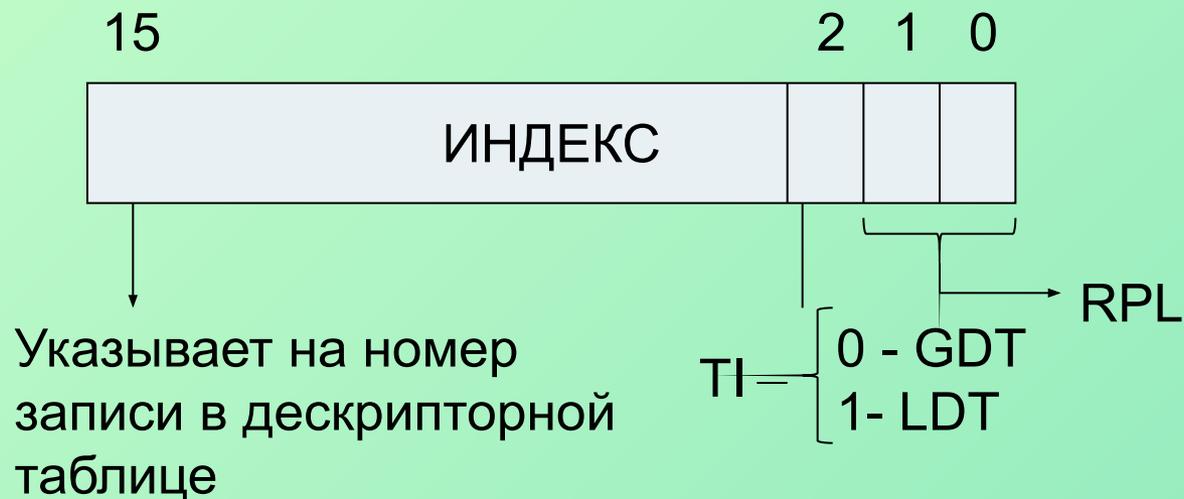
- режим эмуляции 8086 (режим реального адреса).
- защищенный режим, в котором используются все возможности процессора.

Формирование линейного адреса без участия селекторов

Способ формирования физического адреса зависит от режима работы процессора.

В *режиме реального адреса*, когда 80286 представляет из себя фактически высокоскоростной процессор 8086 с слегка расширенной системой команд, метод генерации физического адреса прост. Содержимое сегментного адреса сдвигается влево на 4 бита и складывается со смещением, в результате чего получается двадцатичетырехразрядный физический адрес.

Формирование линейного адреса в защищенном режиме



Значения, помещаемые в сегментные регистры, называются селекторами. Селектор содержит индекс дескриптора в дескрипторной таблице, бит определяющий, к какой дескрипторной таблице производится обращение (LDT или GDT), а также запрашиваемые права доступа к сегменту.

Формирование линейного адреса в защищенном режиме

По указанному в селекторе номеру записи в соответствующей (бит TI селектора) дескрипторной таблице определяется дескриптор сегмента.

Дескриптор - это 8-байтная единица описательной информации, распознаваемая устройством управления памятью в защищенном режиме, хранящаяся в дескрипторной таблице.

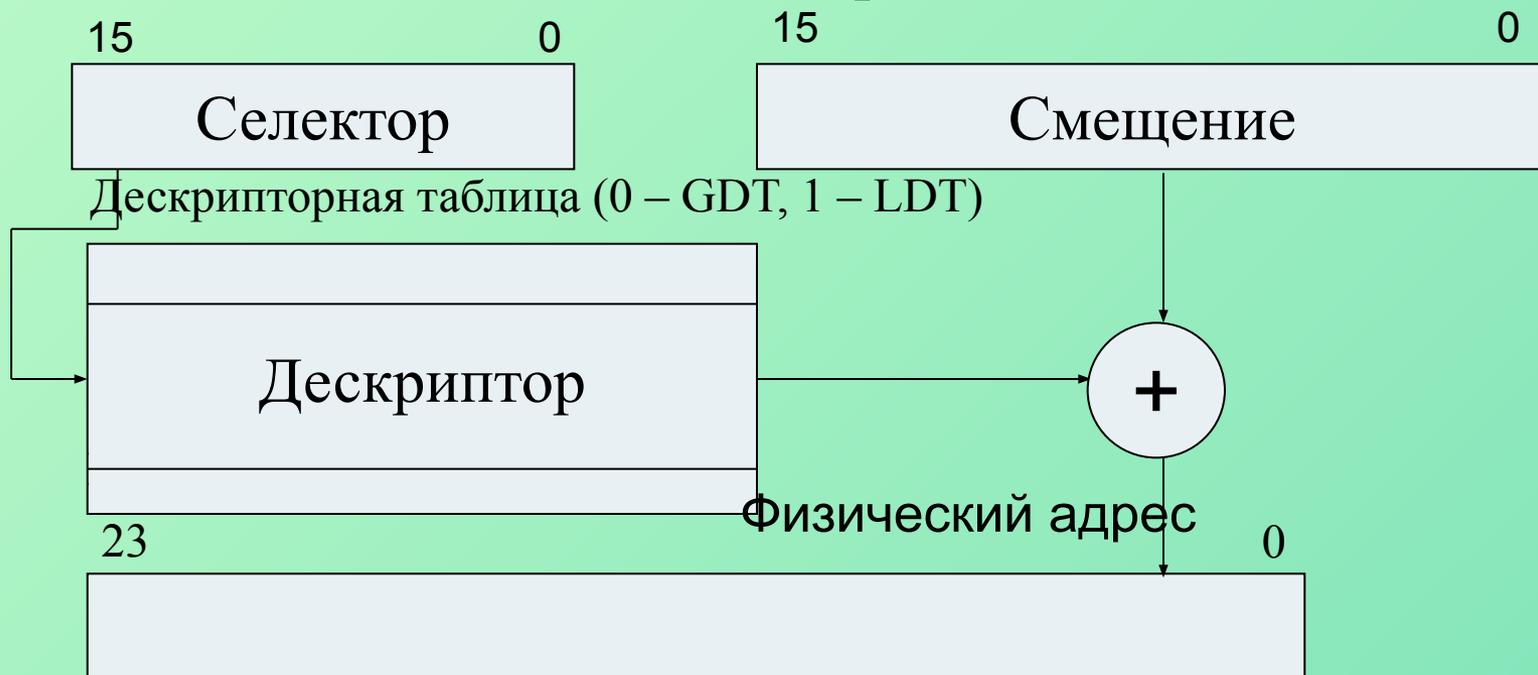
Дескриптор сегмента содержит базовый адрес описываемого сегмента, предел (размер) сегмента и права доступа к сегменту.

В защищенном режиме процессор считывает значение двадцатичетырехразрядного базового адреса сегмента, добавляет адрес-смещение, и полученный результат используется как искомый физический адрес байта или слова в оперативной памяти.

Формирование линейного адреса в защищенном режиме

Существуют две обязательных дескрипторных таблицы - глобальная (GDT) и дескрипторная таблица прерывания (IDT), - а также множество локальных дескрипторных таблиц (LDT), из которых в один момент времени процессору доступна только одна.

Логический адрес

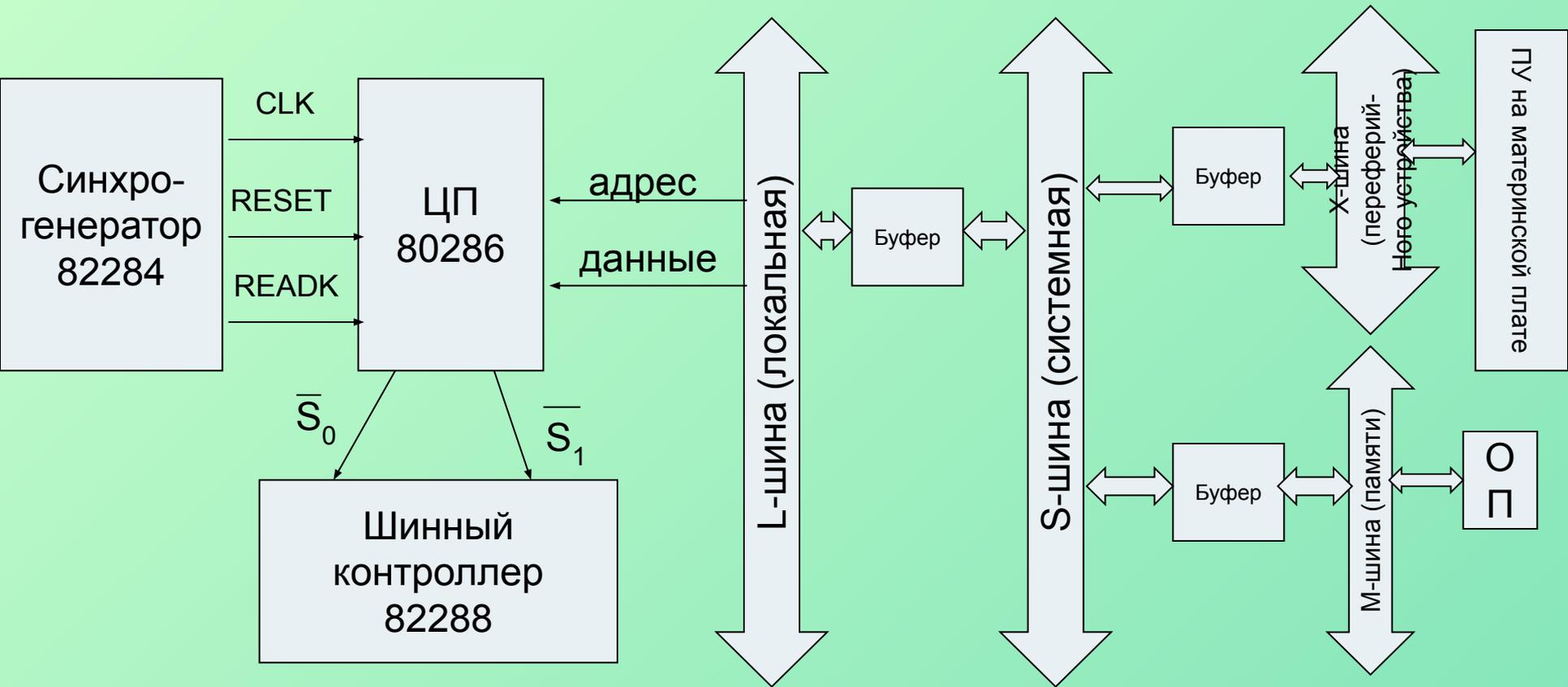


Формирование линейного адреса в защищенном режиме

Расположение дескрипторных таблиц определяется регистрами процессора GDTR, IDTR, LDTR. Регистры GDTR и IDTR - содержат базовый адрес и предел дескрипторной таблицы.

Программно доступная часть регистра LDTR - 16 бит, которые являются *селектором LDT*. Дескрипторы LDT находятся в GDT. Однако чтобы не обращаться каждый раз к GDT в процессоре имеется тень (программно недоступная) часть регистра LDTR, в которую процессор помещает дескриптор LDT при каждой перегрузке селектора в регистре LDTR.

Шинная архитектура ЦП 80286



Конвейеризация шины ЦП 80286

В процессоре 80286 для повышения производительности при медленной памяти применяется интересный способ, называемый конвейеризацией шины.

Суть этого способа состоит в том, что адрес выдается на ША немного раньше цикла шины и сохраняется защелкой устройства до тех пор, пока устройство не заканчивает операцию с данными, а данные «залезают» в следующий цикл шины.

Выигрыш наблюдается, если обращения к одному и тому же устройству ввода/вывода не слишком близки друг к другу.

Конвейеризация шины ЦП 80286



Вопросы для самоконтроля

1. Какие устройства составляют системное ядро ПК?
2. При инициализации ПК информация о проверке каких устройств выводится на экран дисплея?
3. С какого процессора семейства IA32 количественные изменения в архитектуре кристалла перешли в качественные?
4. Какими регистрами дополнилась программная модель ЦП 80286?
5. Что такое селектор? С чем связано его появление? Структура селектора.
6. Как формируется линейный адрес в режиме реальных адресов и в режиме системного управления?

Вопросы для самоконтроля

7. Что такое дескриптор? Структура дескриптора.
8. Как формируется линейный адрес в защищенном режиме?
9. Что находится в регистрах GDTR, IDTR и LDTR?
10. Содержимое регистра TR? Для чего он нужен?
11. В чем состоит суть конвейеризации шины ЦП 80286?