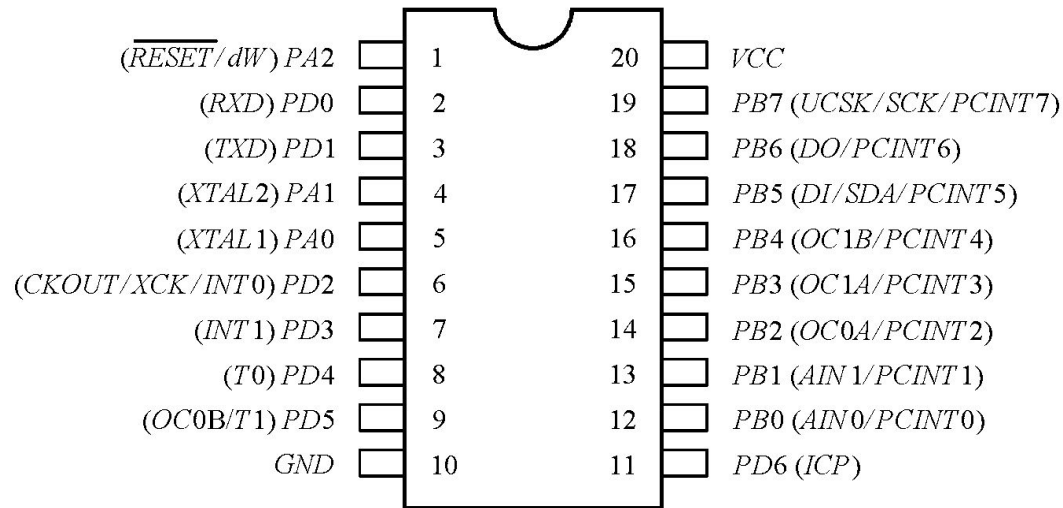


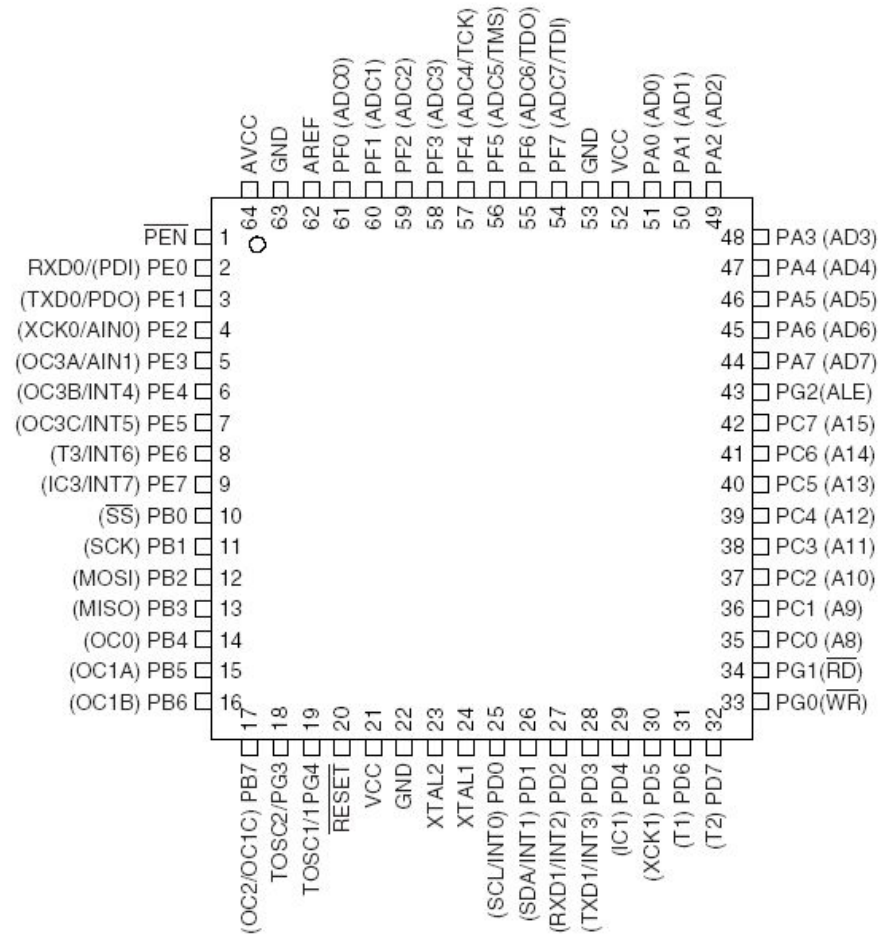
Микроконтроллеры ATME1

Слядзевская К.П., к.т.н., доцент
каф.ЭПА

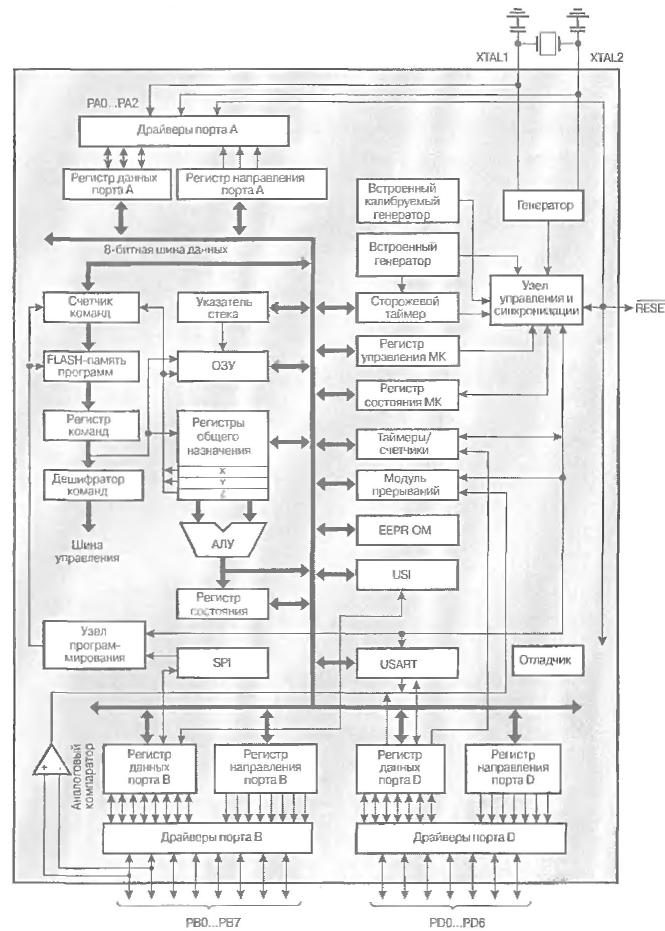
Выводы микроконтроллера ATTiny 2313



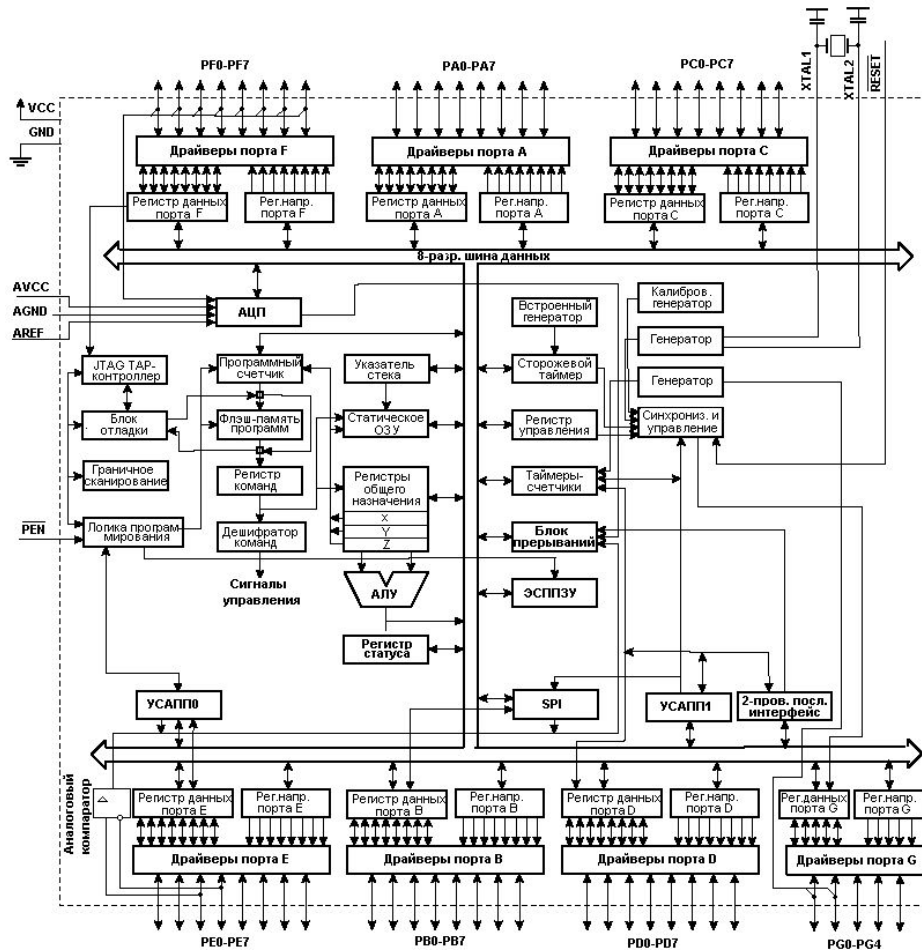
Выводы микроконтроллера ATMega128x



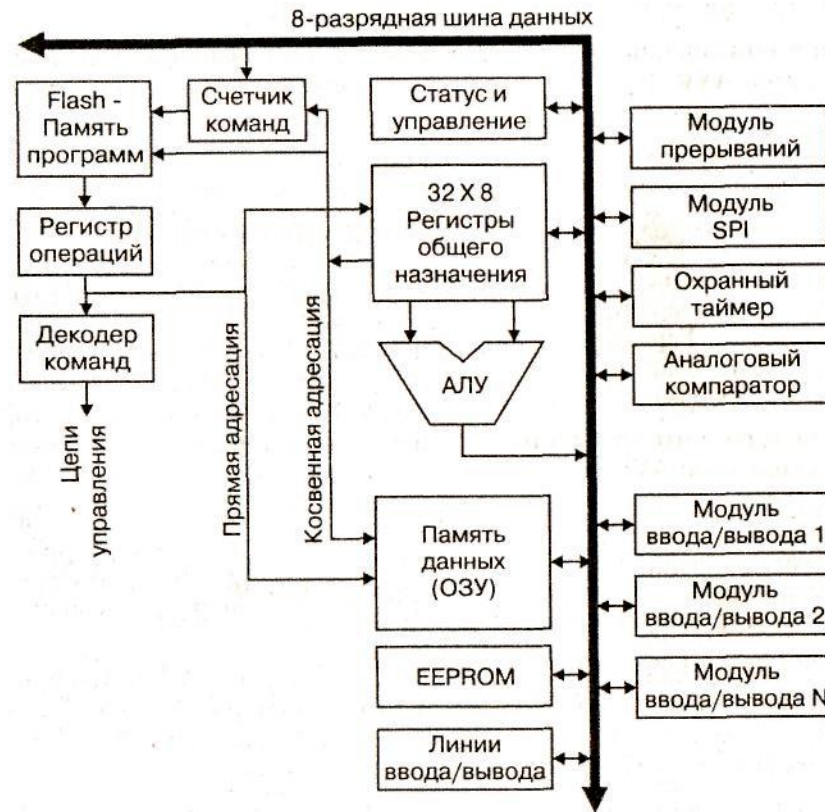
Структурная схема ATtiny 2313



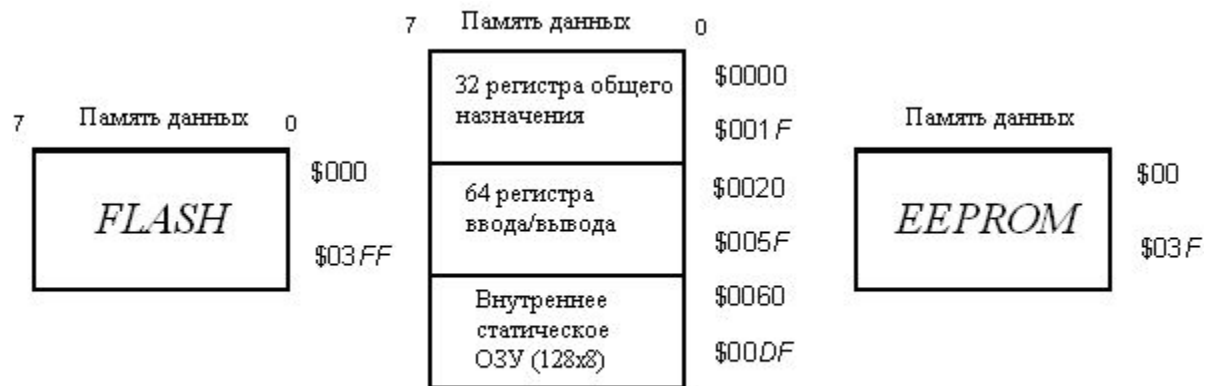
Структурная схема ATMega128x



Упрощенная архитектура ATTiny 2313



Карта памяти микроконтроллера ATtiny 2313



Регистр управления EEPROM ATtiny 2313

Номер бита	7	6	5	4	3	2	1	0	
	—	—	EPM1	EPM0	EERIE	EEMPE	EEPE	EERE	EECR
Чтение(R)/Запись(W)	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	X	X	0	0	X	0	

Регистр данных EEPROM – EEDR

Номер бита	7	6	5	4	3	2	1	0	
	MSB							LSB	EEDR
Чтение(R)/Запись(W)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Начальное значение	0	0	0	0	0	0	0	0	

MSB - Старший бит байта

LSB - Младший бит байта

Карта памяти АТМега128х



Регистр управления EEPROM АТМега128

	7	6	5	4	3	2	1	0
	—	—	—	—	EERIE	EEMWE	EEWE	EERE
Чтение (R)/Запись (W)	R	R	R	R	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Рис. 2.35. Формат регистра EECR

Таблица 2.23. Регистры EEPROM

Название	ATmega8515x/8535x, ATmega8x, ATmega16x/32x, ATmega64x/128x, ATmega162x	ATmega48x/88x/168x, ATmega164x/324x/644x, ATmega165x, ATmega325x/645x/3250x/6450x, ATmega640x, ATmega1280x/1281x/2560x/2561x	Назначение
EEARH	\$1F (\$3F)	\$22 (\$42)	Регистр адреса (старший байт)
EEARL	\$1E (\$3E)	\$21 (\$41)	Регистр адреса (младший байт)
EEDR	\$1D (\$3D)	\$20 (\$40)	Регистр данных
EECR	\$1C (\$3C)	\$1F (\$3F)	Регистр управления

Регистровый файл

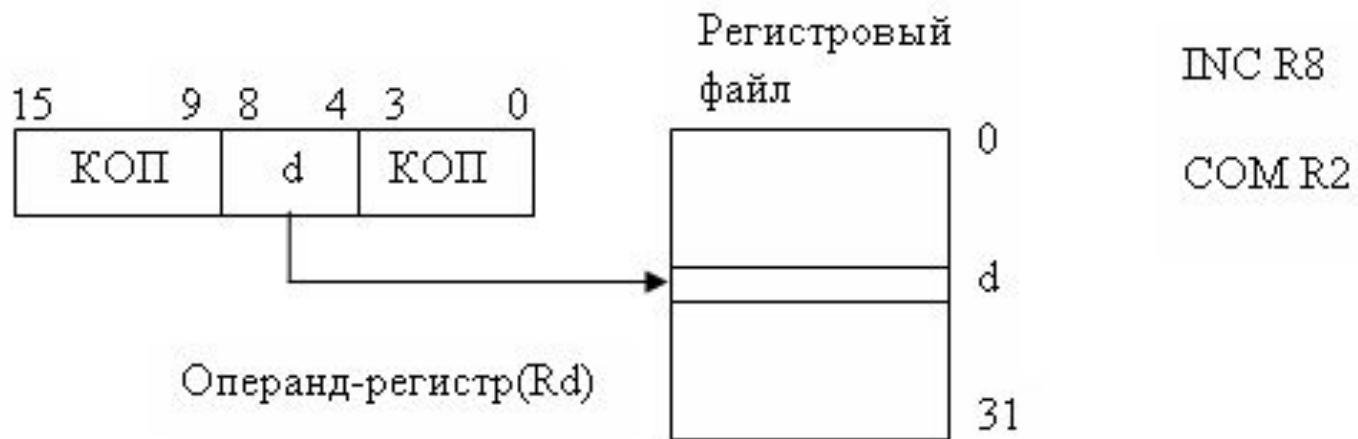
7	0	Адрес	
	R0	0x00	Рабочие регистры
	R1	0x01	
	R2	0x02	
		
	R26	0x1A	X-регистр младший байт
	R27	0x1B	X-регистр старший байт
	R28	0x1C	Y-регистр младший байт
	R29	0x1D	Y-регистр старший байт
	R30	0x1E	Z-регистр младший байт
	R31	0x1F	Z-регистр старший байт

МЕТОДЫ АДРЕСАЦИИ

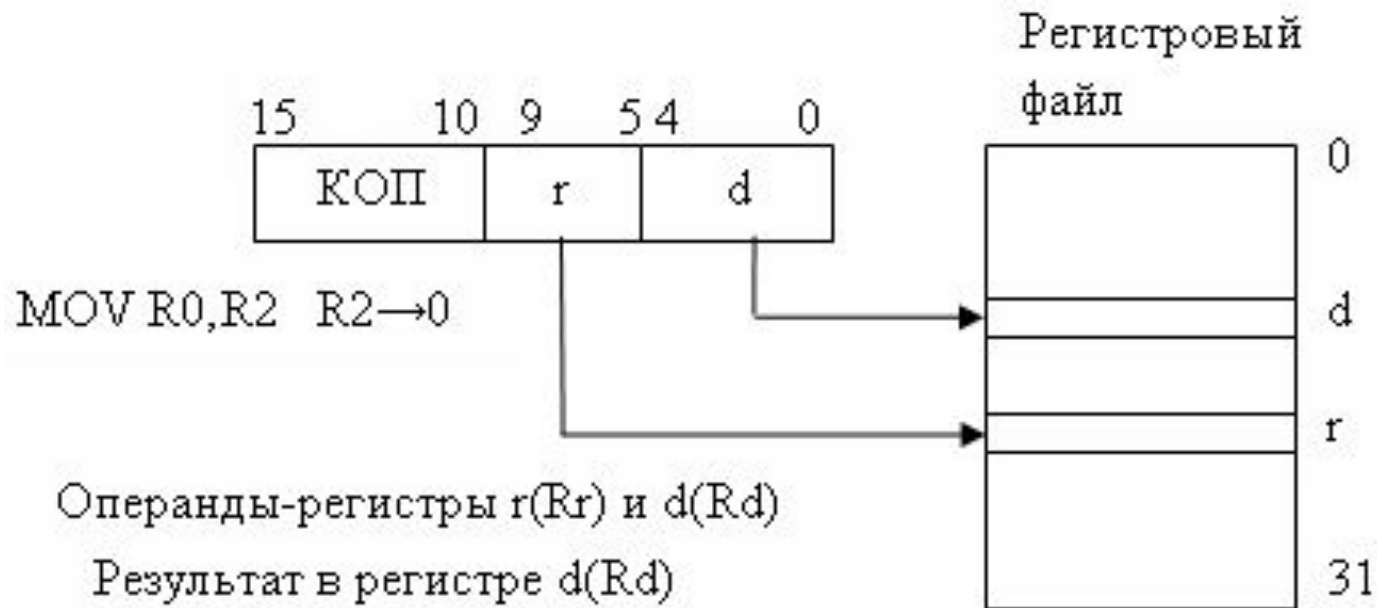
- Методы адресации памяти данных
- Различают следующие восемь способов адресации памяти данных:
 - - прямая адресация одного регистра РОН;
 - - прямая адресация двух регистров РОН;
 - - прямая адресация регистра ввода/вывода;
 - - прямая адресация ОЗУ;
 - - простая косвенная адресация;
 - - относительная косвенная адресация;
 - - косвенная адресация с преддекрементом;
 - - косвенная адресация постинкрементом.

Из перечисленных способов адресации обращения к памяти данных микроконтроллер без ОЗУ поддерживают только 1,2,3 и 5 варианты способ адресации.

Прямая регистровая адресация с одним регистром

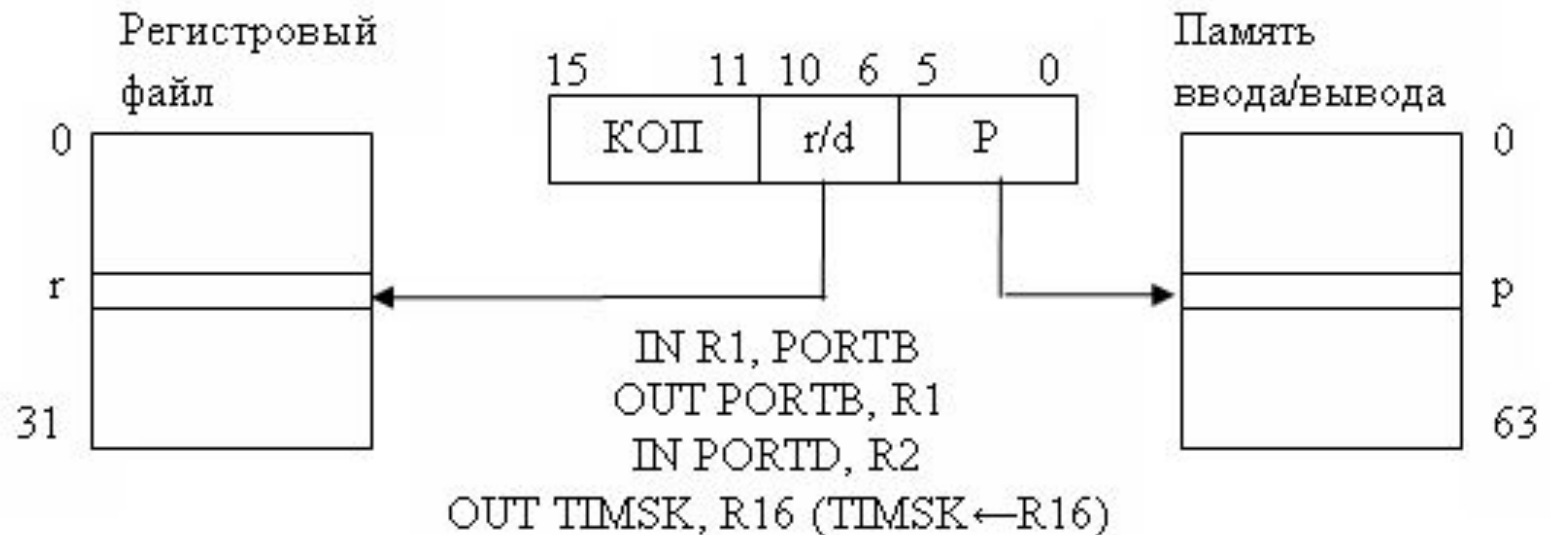


Прямая адресация 2-х РОН



Положение разрядов r и d показано условно

Прямая адресация регистров ввода/вывода

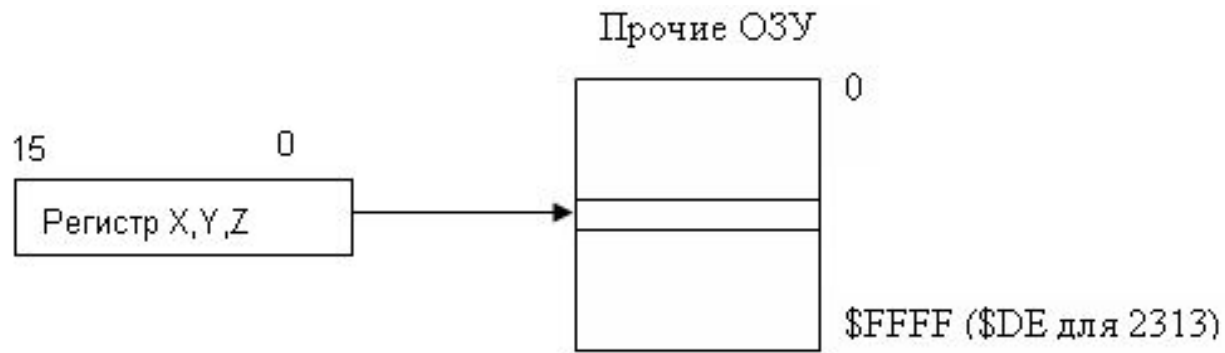


P – адрес регистра ввода/вывода

r/d – адрес ПОИ (источник/приемник)

Положение разрядов r/d и P показано условно

Косвенная адресация



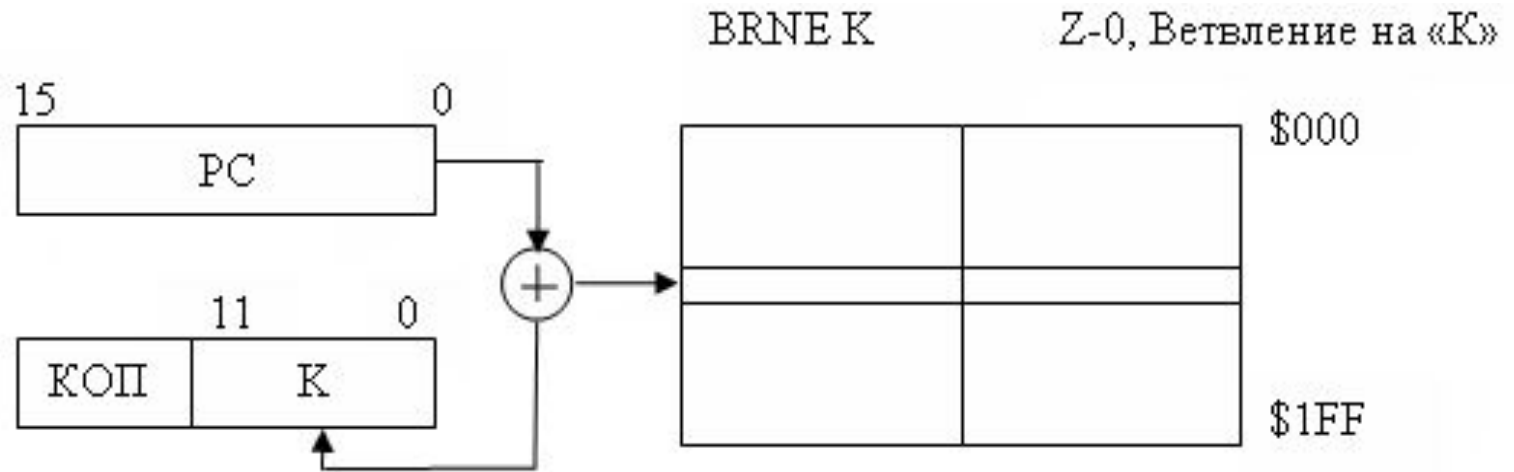
Непосредственная прямая регистровая адресация

КОП	К	Адрес	К
-----	---	-------	---

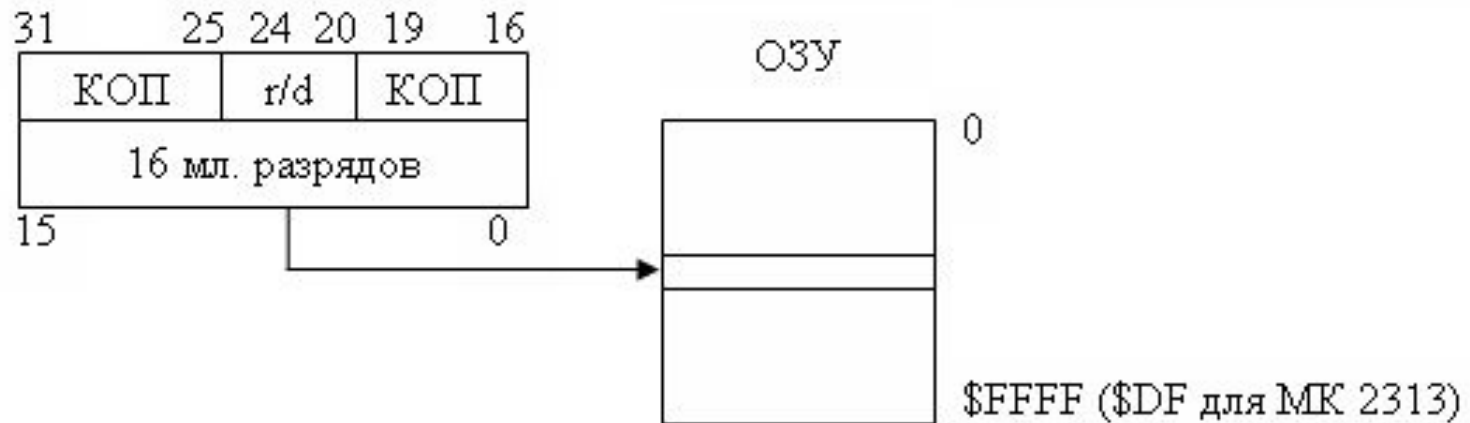
При этом способе адресации поле адреса составляет 4 бита, и поэтому обращаться можно только к 16-ти старшим РОН (R16...R31).

- LDI R17, \$14
- ANDI R20, \$20

Относительная адресация памяти программ

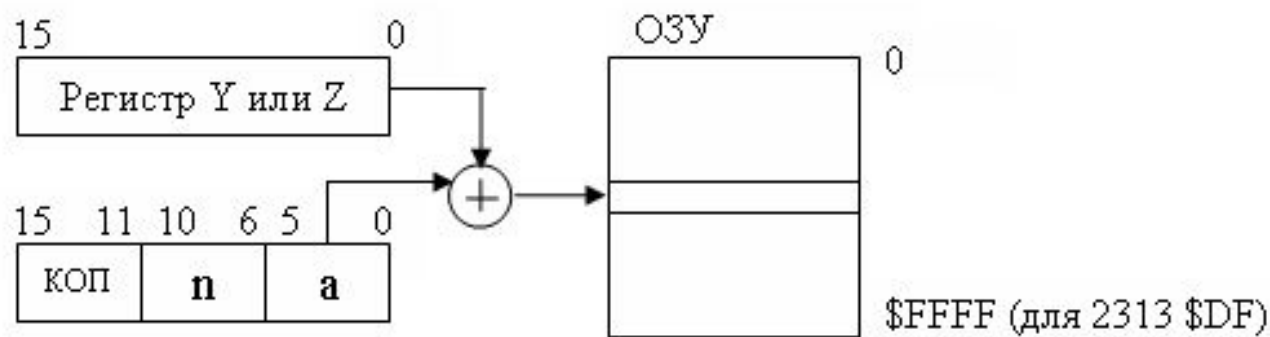


Прямая адресация ОЗУ



```
lds r2, $FF00($FF00)→ r2  
sts $FF00, r2 ; (r2)→$FF00
```

Относительная косвенная адресация



Пример: $[(z+3)] \rightarrow r4$,

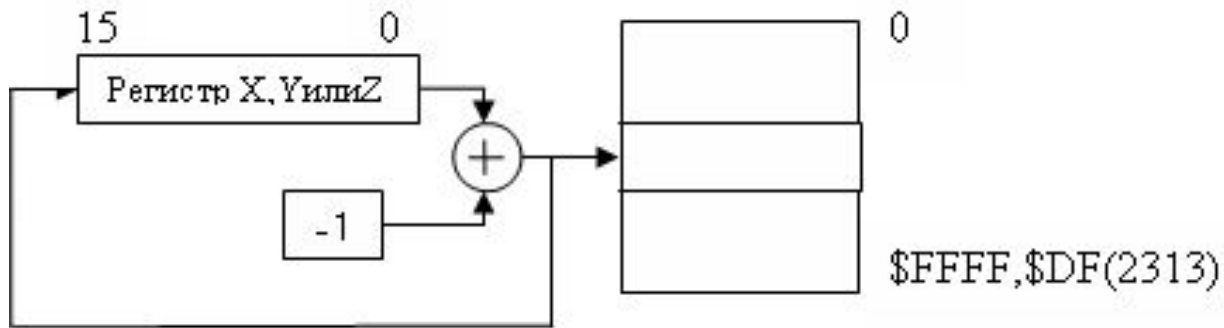
Тогда необходимо

`clr r31` – очистить старший байт инд. регистра Z

`ldi r30, $65`; загрузить младший байт адреса

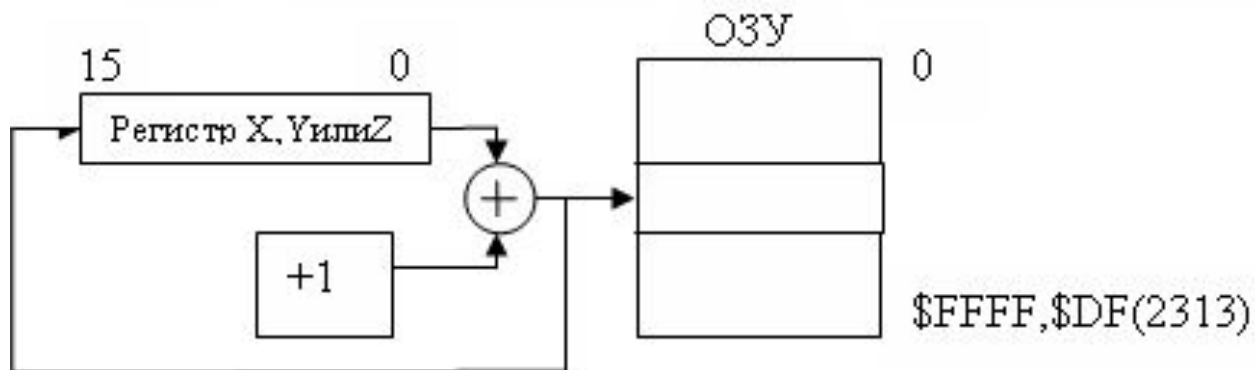
`ldd r4, z+3`; $r4 = [\$0065]$

Косвенная адресация с преддекрементом



clr r27; очистка младшего байт X
ldi r26, \$65; загрузить мл. байт адр
ld r3,-x; r3=[\$0064]

Косвенная адресация с постинкрементом



Пример:

Загрузить ячейку \$65 в регистр r3 через y

```
LDR3 ,y+
```

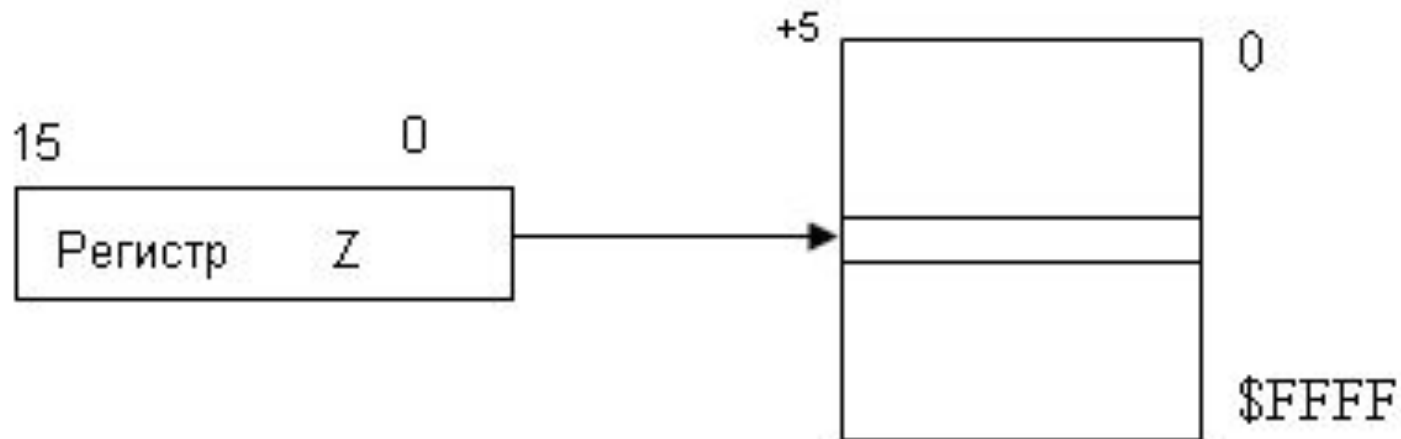
```
clr r29; очистка ст. б. y
```

```
ldi r28, $65;
```

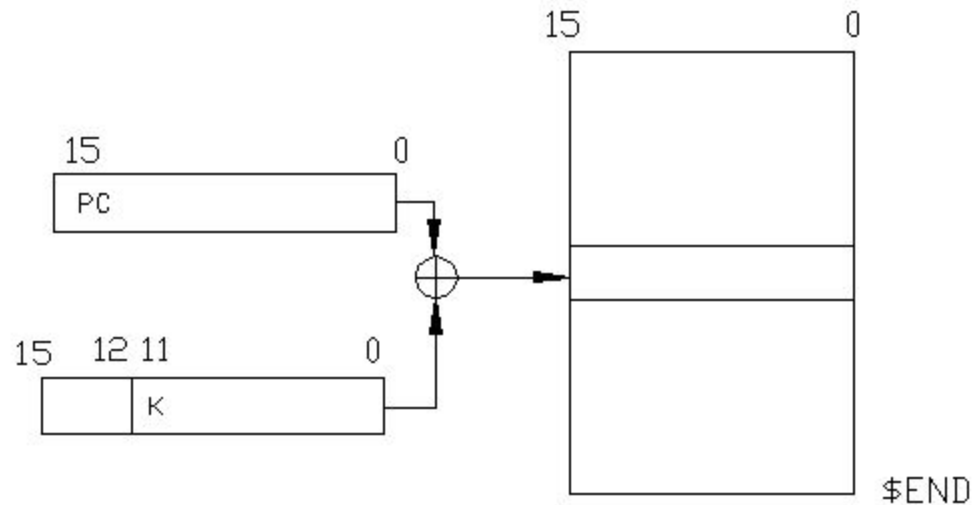
```
ld r3, y+; [$65] →r3
```

```
in r2, r28; в r28 - $66
```

Косвенная адресация памяти программ(команд IJMP и ICALL)



Относительная адресация памяти программ (RCALL, RJMP)



Конфигурирование выводов порта

DDxn	PORTxn	PUD (in MCUCR2)	Ввод/вывод	Нагрузка	Комментарий
0	0	x	Ввод	Выкл.	Третье состояние (2 — состояние)
0	1	0	Ввод	Вкл.	Rxn создает выходящий ток, если внешняя цепь замкнута на общий провод
0	1	1	Ввод	Выкл.	Третье состояние (z — состояние)
1	0	x	Вывод	Выкл.	Вывод низкого уровня (Приемник тока)
1	1	x	Вывод	Выкл.	Вывод высокого уровня (Источник тока)

Пример на языке Ассемблер

```
; Включение нагр. резисторов и установка выходных уровней
; Определение направления передачи сигналов для разрядов
ldi      r16, (1<<PB7)|(1<<PB6)| (1<<PB1)| (1<<PB0)
ldi      r17, (1<<DDB3)| (1<<DDB2)| (1<<DDB1)| (1<<DDB0)
out      PORTB, r16
out      DDRB, r 17
; Добавлен пор для синхронизации
pop
; Чтение разрядов порта
in       r16, PINB
```

Векторы сброса и обработки прерываний ATtiny2313

Номер вектора	Адрес перехода	Источник	Описание прерывания
1	0x0000	RESET	Внешний сброс, сброс при включении питания, сброс по срабатыванию охранного таймера
2	0x0001	INT0	Внешний запрос на прерывание по входу INT0
3	0x0002	INT1	Внешний запрос на прерывание по входу INT1
4	0x0003	TIMER1 CAPT	Прерывание по захвату таймера/счетчика 1
5	0x0004	TIMER1 COMPA	Прерывание по совпадению таймера/счетчика 1. Канал А
6	0x0005	TIMER1 OVF	Прерывание по переполнению таймера/счетчика 1
7	0x0006	TIMER0 OVF	Прерывание по переполнению таймера/счетчика 0
8	0x0007	USART0, RX	USART0, прием завершен
9	0x0008	USART0, UDRE	USART0 буфер данных пуст
10	0x0009	USART0, TX	USART0, передача завершена
11	0x000A	ANALOG COMP	Прерывание от аналогового компаратора
12	0x000B	PCINT	Прерывание по изменению на любом из выводов
13	0x000C	TIMER1 COMPB	Прерывание по совпадению таймера/счетчика 1. Канал В
14	0x000D	TIMER0 COMPA	Прерывание по совпадению таймера/счетчика 0. Канал В
15	0x000E	TIMER0 COMPB	Прерывание по совпадению таймера/счетчика 0. Канал А
16	0x000F	USI START	Прерывание по USI. Готовность к старту
17	0x0010	USI OVERFLOW	Прерывание по USI. Переполнение
18	0x0011	EE READY	Готовность EEPROM
19	0x0012	WDT OVERFLOW	Переполнение охранного таймера

Режимы вызова прерывания INT0

ISC01	ISC00	Описание
0	0	Низкий уровень на входе INT0 генерирует запрос на прерывание
0	1	Любое изменение логического уровня на входе INT0 генерирует запрос на прерывание
1	0	Задний фронт входного сигнала INT0 вызывает запрос на прерывание
1	1	Передний фронт входного сигнала INT0 вызывает запрос на прерывание

Таблица векторов прерываний для микроконтроллера ATMega128

Источник	Описание	№	Адрес
INT0	Внешнее прерывание 0	1	\$0002
INT1	Внешнее прерывание 1	2	\$0004
INT2	Внешнее прерывание 2	3	\$0006
INT3	Внешнее прерывание 3	4	\$0008
INT4	Внешнее прерывание 4	5	\$000A
INT5	Внешнее прерывание 5	6	\$000C
INT6	Внешнее прерывание 6	7	\$000E
INT7	Внешнее прерывание 7	8	\$0010
TIMER2 COMP	Совпадение таймера/счетчика T2	9	\$0012
TIMER2 OVF	Переполнение таймера/счетчика T2	10	\$0014
TIMER1 CAPT	Захват таймера/счетчика T1	11	\$0016
TIMER1 COMPA	Совпадение «А» таймера/счетчика T1	12	\$0018
TIMER1 COMPB	Совпадение «В» таймера/счетчика T1	13	\$001A
TIMER1 OVF	Переполнение таймера/счетчика T1	14	\$001C
TIMER0 COMP	Совпадение таймера/счетчика T0	15	\$001E
TIMER0 OVF	Переполнение таймера/счетчика T0	16	\$0020
SPI, STC	Передача по SPI завершена	17	\$0022

Таблица векторов прерываний для микроконтроллера ATMega128 продолжение

USART0, RX	USART0, прием завершен	18	\$0024
USART0, UDRE	Регистр данных USART0 пуст	19	\$0026
USART0, TX	USART0, передача завершена	20	\$0028
ADC	Преобразование АЦП завершено	21	\$002A
EE_RDY	EEPROM, готово	22	\$002C
ANA_COMP	Аналоговый компаратор	23	\$002E
TIMER1 COMPC	Совпадение «С» таймера/счетчика T1	24	\$0030
TIMER3 CAPT	Захват таймера/счетчика T3	25	\$0032
TIMER3 COMPA	Совпадение «А» таймера/счетчика T3	26	\$0034
TIMER3 COMPB	Совпадение «В» таймера/счетчика T3	27	\$0036
TIMER3 COMPC	Совпадение «С» таймера/счетчика T3	28	\$0038
TIMER3 OVF	Переполнение таймера/счетчика T3	29	\$003A
USART1, RX	USART1, прием завершен	30	\$003C
USART1, UDRE	Регистр данных USART1 пуст	31	\$003E
USART1, TX	USART1, передача завершена	32	\$0040
TWI	Прерывание от модуля TWI	33	\$0042
SPM_RDY	Готовность SPM	34	\$0044

Формат регистра EIMSK

Бит	7	6	5	4	3	2	1	0
	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Формат регистра EICRA

Бит	7	6	5	4	3	2	1	0
	ISC31	ISC30	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

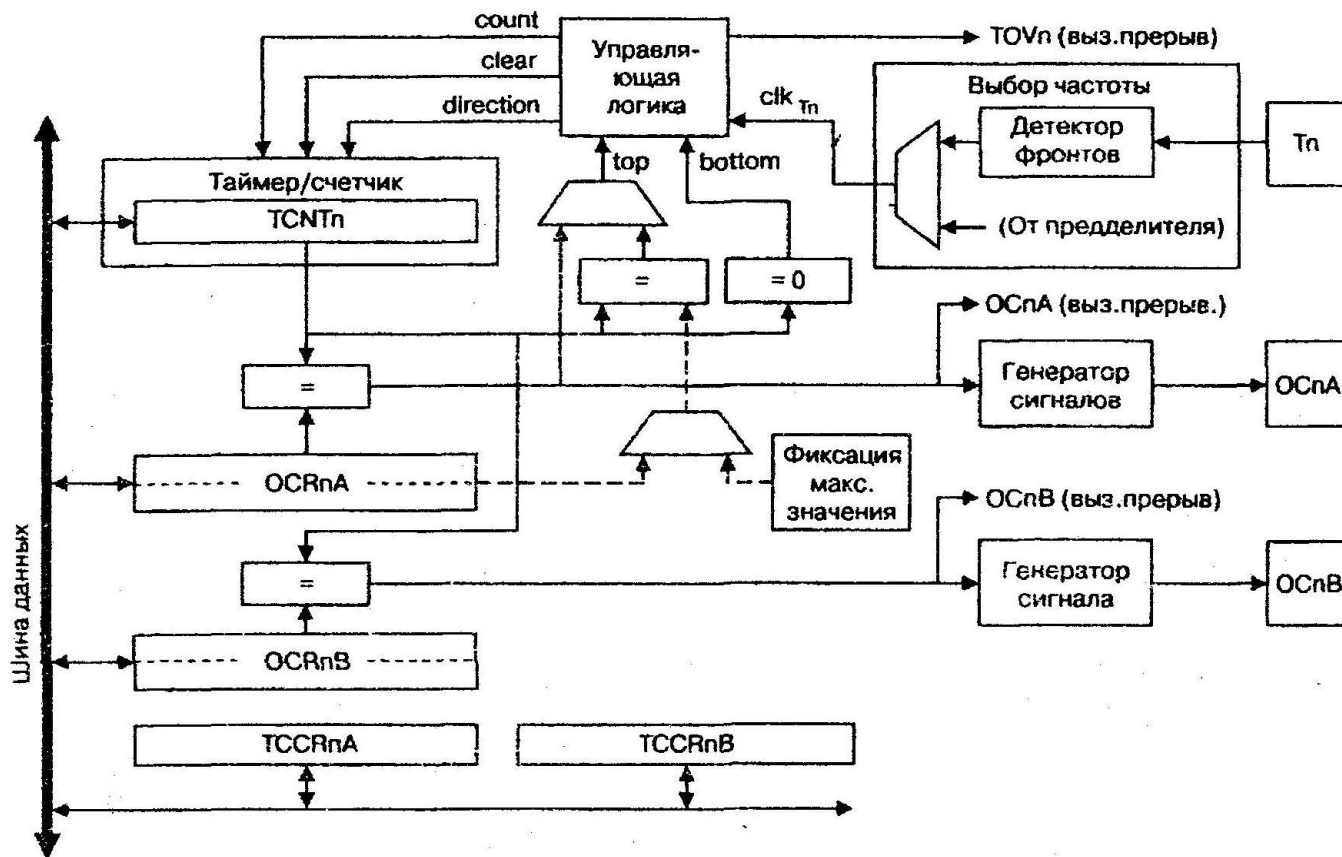
Формат регистра EICRB

Бит	7	6	5	4	3	2	1	0
	ISC71	ISC70	ISC61	ISC60	ISC51	ISC50	ISC41	ISC40
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

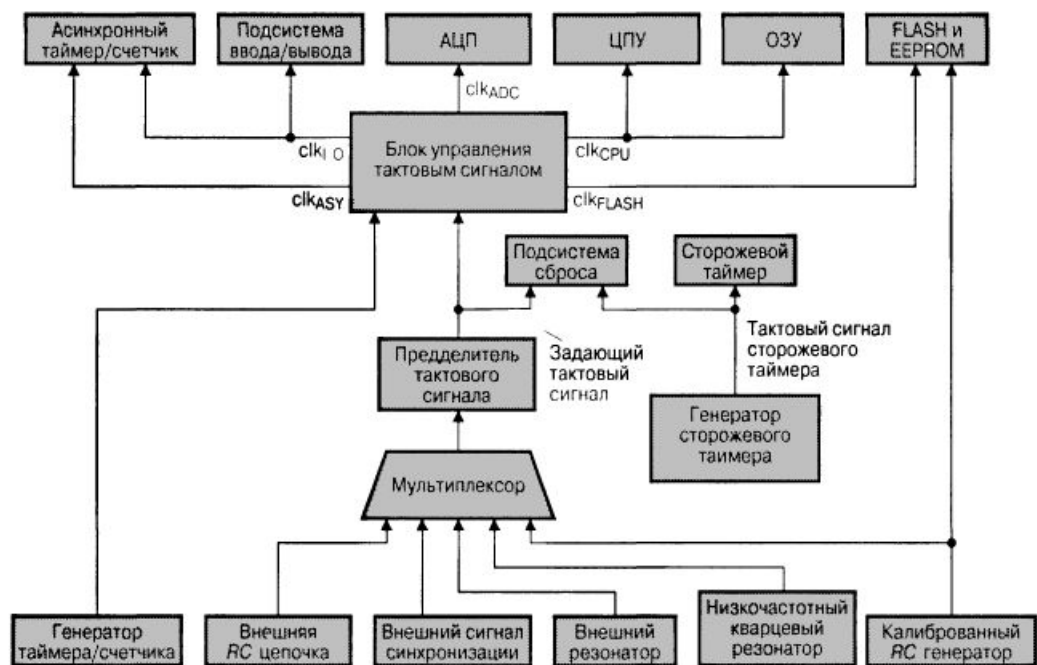
Формат регистра EIFR

Бит	7	6	5	4	3	2	1	0
	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

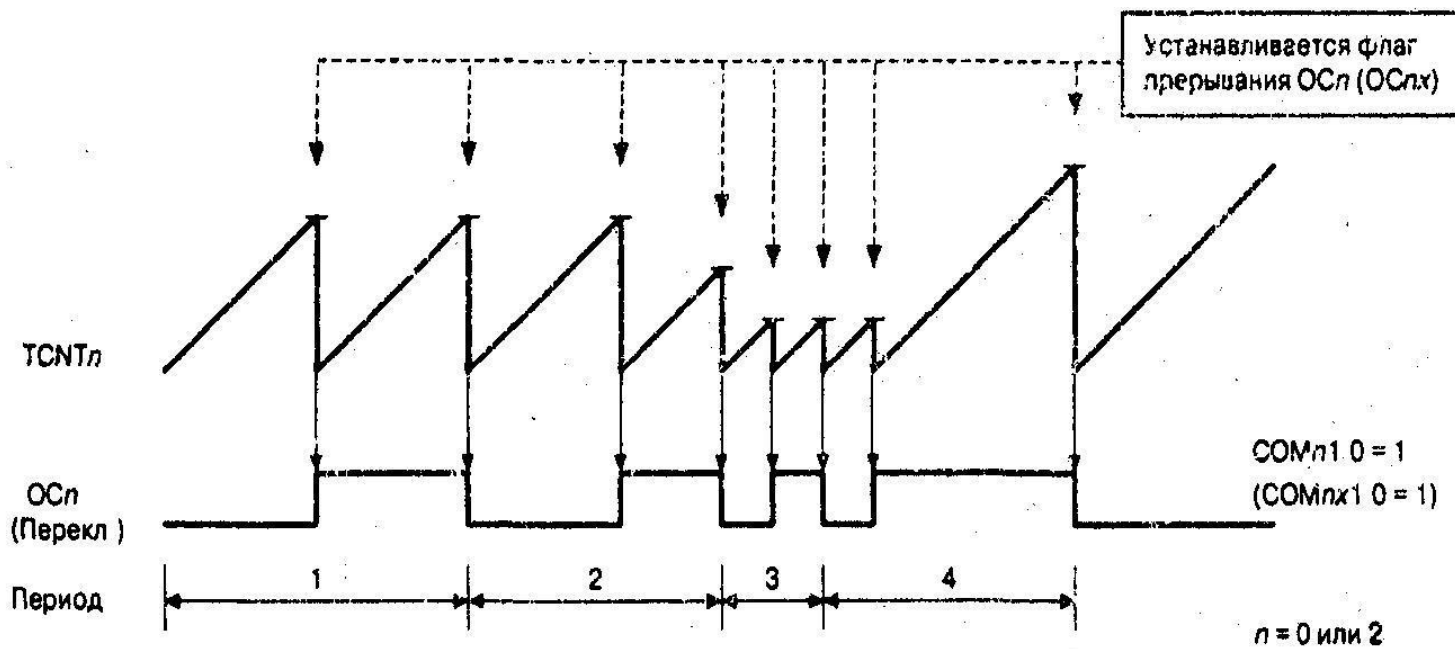
Блок схема 8-разрядного таймера/счетчика T0



Устройство синхронизации



Временные диаграммы для режима СТС



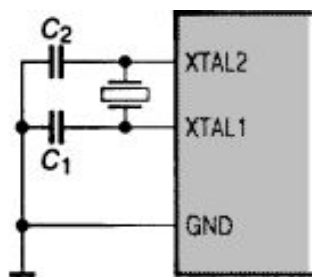


Рис. 4.2. Подключение кварцевого или керамического резонатора

Таблица 4.3. Режимы работы кварцевого генератора

СКОРТ	СКSEL3...1	Примерный диапазон частот [МГц]
1	101 ¹⁾	0.4...0.9
1	110	0.9...3.0
1	111	3.0...8.0
0	101, 110, 111	>1.0
¹⁾ В этом режиме должен использоваться только керамический резонатор.		



Рис. 4.3. Подключе-
ние внешнего
источника тактового
сигнала

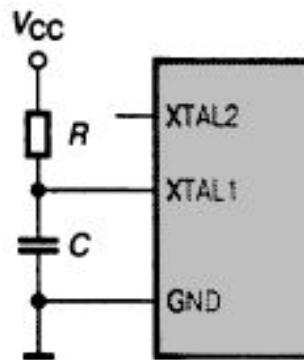


Рис. 4.4. Подключение внешней RC-цепочки

Таблица 4.6. Режимы работы генератора с внешней RC-цепочкой

CKSEL3...0	Примерный диапазон частот [мГц]
0101	0...0.9
0110	0.9...3.0
0111	3.0...8.0
1000	8.0...12.0

Таблица 4.8. Режимы работы внутреннего RC-генератора

CKSEL3...0	Частота [МГц]
0001 ¹⁾	1.0
0010	2.0
0011	4.0
0100	8.0
¹⁾ Режим по умолчанию.	

Таблица 4.10. Влияние содержимого регистра OSCCAL на частоту внутреннего RC-генератора

Содержимое регистра OSCCAL	f_{MIN} (в процентах от номинальной)	f_{MAX} (в процентах от номинальной)
\$00	50	100
\$7F	75	150
\$FF	100	200

Таблица 4.16. Выбор режима пониженного энергопотребления

SM2	SM1	SM0	Режим
0	0	0	Idle
0	0	1	ADC Noise Reduction
0	1	0	Power Down
0	1	1	Power Save
1	0	0	Зарезервировано
1	0	1	Зарезервировано
1	1	0	Standby ¹⁾
1	1	1	Extended Standby ¹⁾

¹⁾ Эти режимы можно использовать только при работе с внешним резонатором (три первых режима работы тактового генератора согласно Табл. 4.2)

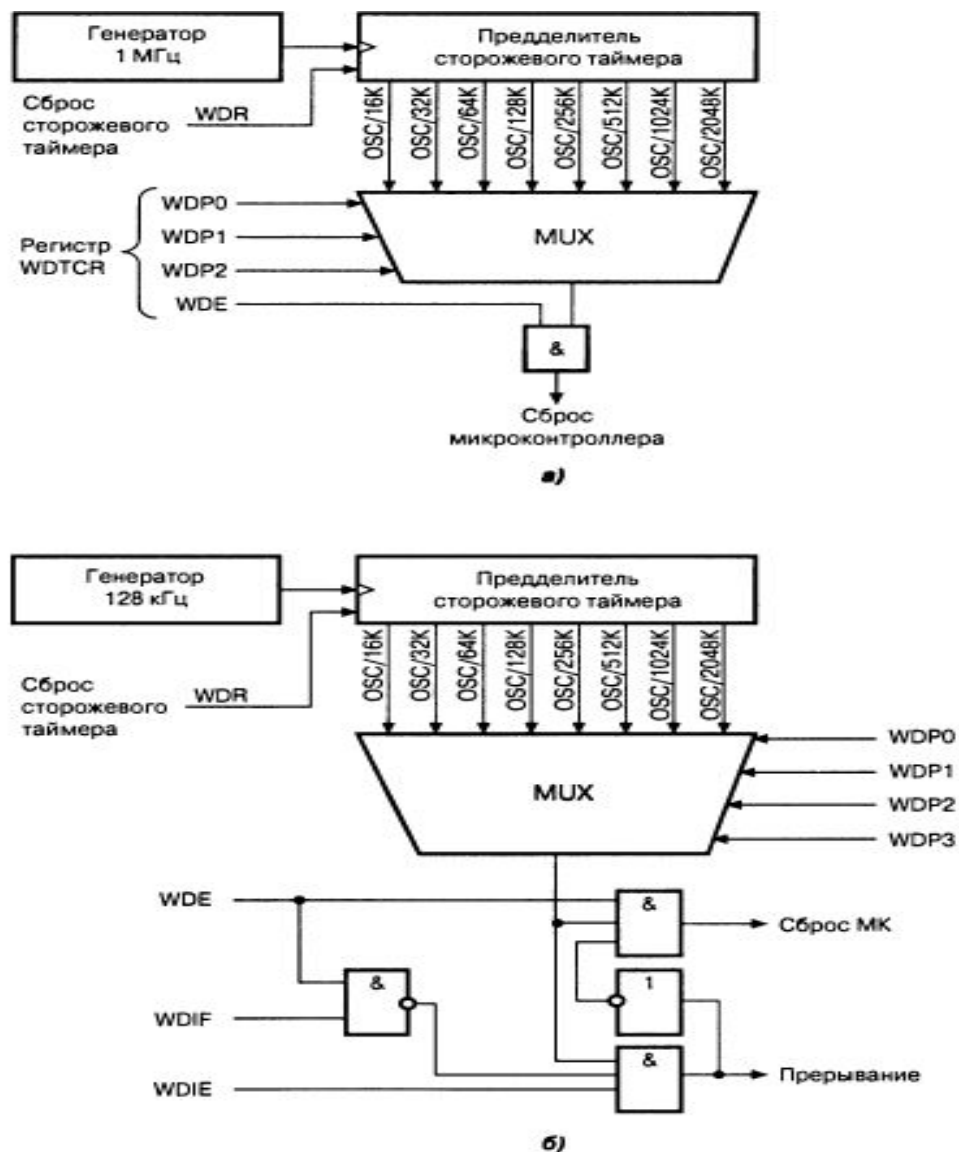


Рис. 7.29. Структурная схема сторожевого таймера:
а — стандартный сторожевой таймер;
б — расширенный сторожевой таймер

	7	6	5	4	3	2	1	0
	—	—	—	WDCE	WDE	WDP2	WDP1	WDPO
Чтение (R)/Запись (W)	R	R	R	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

ATmega8515x/8535x
 ATmega8x/64x/128x
 ATmega162x
 ATmega165x
 ATmega325x/3250x
 ATmega645x/6450x

Рис. 7.31. Формат регистра WDTCR

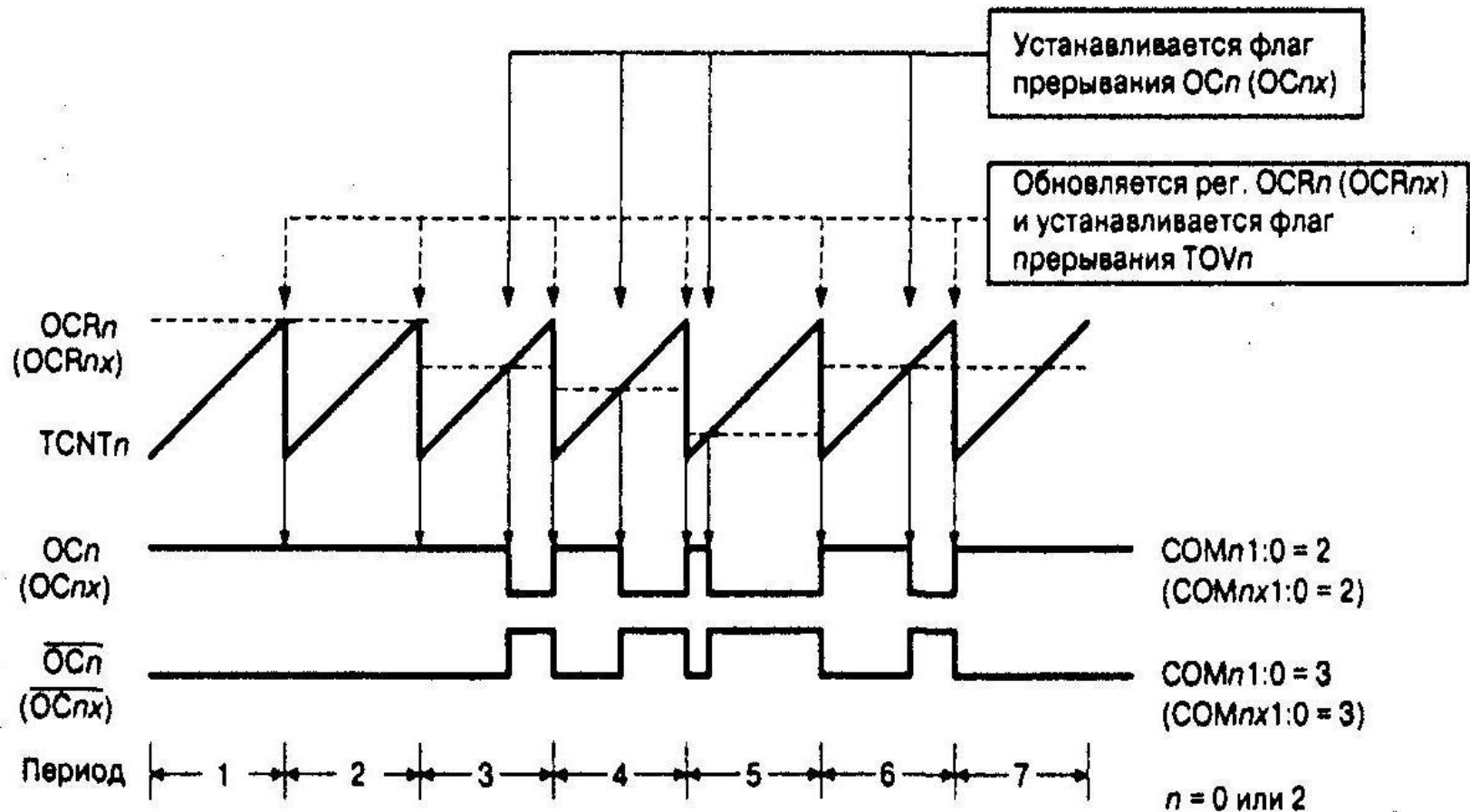
Таблица 7.39. Конфигурация сторожевого таймера

S8515C (ATmega8515x), S8535C (ATmega8535x), M161C (ATmega162x), M103C (ATmega64x/128x)	WDTON	Уровень	Начальное состояние сторожевого таймера	Выключение сторожевого таймера	Изменение периода тайм-аута
1	1	1	Выключен	Последователь- ность команд	Последователь- ность команд
1	0	2	Включен	Всегда включен	Последователь- ность команд
0	1	0 ¹⁾	Выключен	Последователь- ность команд	Без ограничений
0	0	2 ¹⁾	Включен	Всегда включен	Последователь- ность команд
¹⁾ Отсутствует в моделях ATmega8x, ATmega165x и ATmega325x/3250x/645x/6450x					

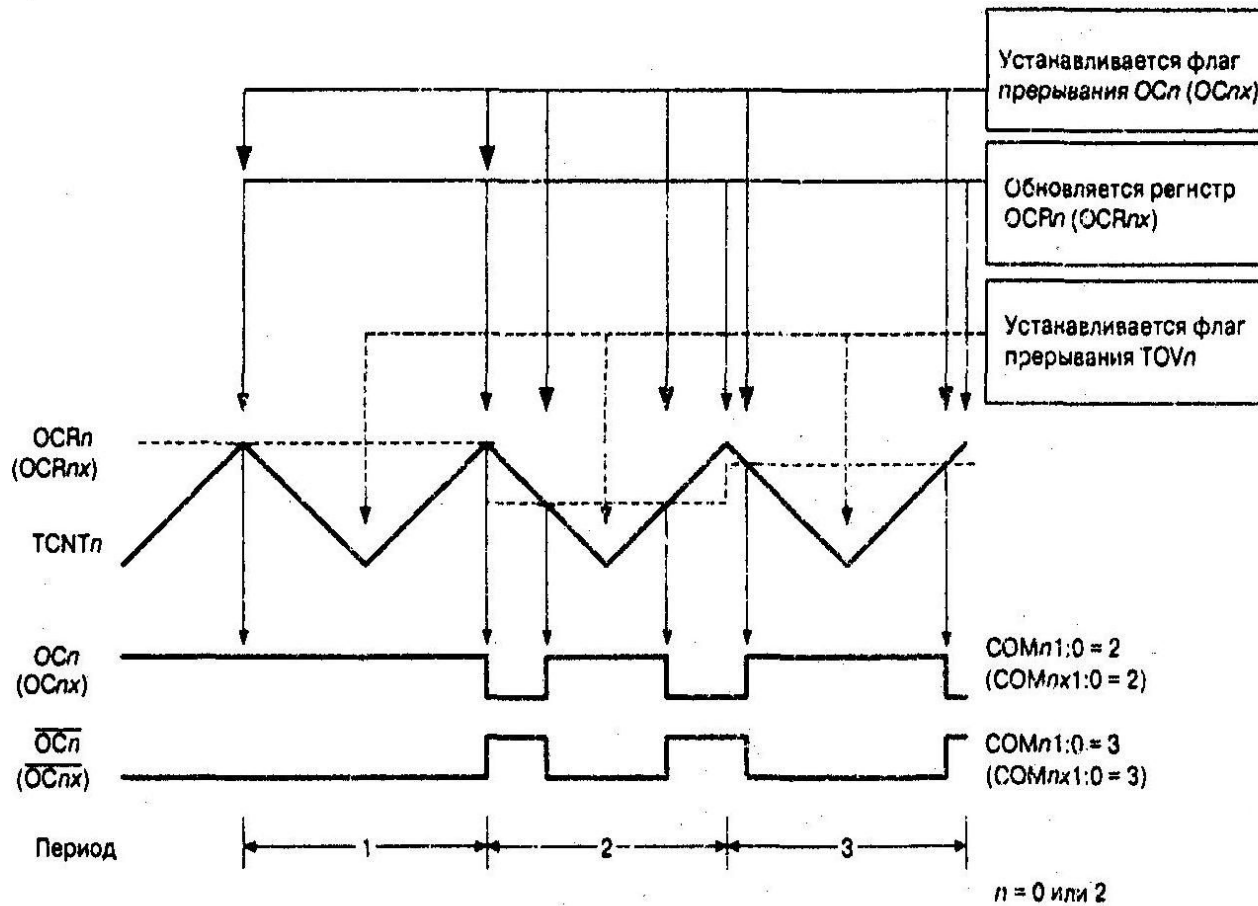
Таблица 7.40. Задание периода сторожевого таймера

WDP2	WDP1	WDP0	Число тактов генератора	Период тайм-аута (типичное значение) [мс]	
				$V_{CC} = 3.0 \text{ В}$	$V_{CC} = 5.0 \text{ В}$
0	0	0	16K (16384)	17.3	16.3
0	0	1	32K (32768)	34.3	32.5
0	1	0	64K (65536)	68.5	65
0	1	1	128K (131072)	140	130
1	0	0	256K (262144)	270	260
1	0	1	512K (524288)	550	520
1	1	0	1024K (1048576)	1100	1000
1	1	1	2048K (2097152)	2200	2100

Формирование ШИМ – сигнала в режиме Fast PWM



Формирование ШИМ – сигнала в режиме Phase Correct PWM



Формат регистра TIFR

БИТ	7	6	5	4	3	2	1	0
	TOV1	OCF1A	OCF1B	-	ICF1	OCF0B	TOV0	OCF0A
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

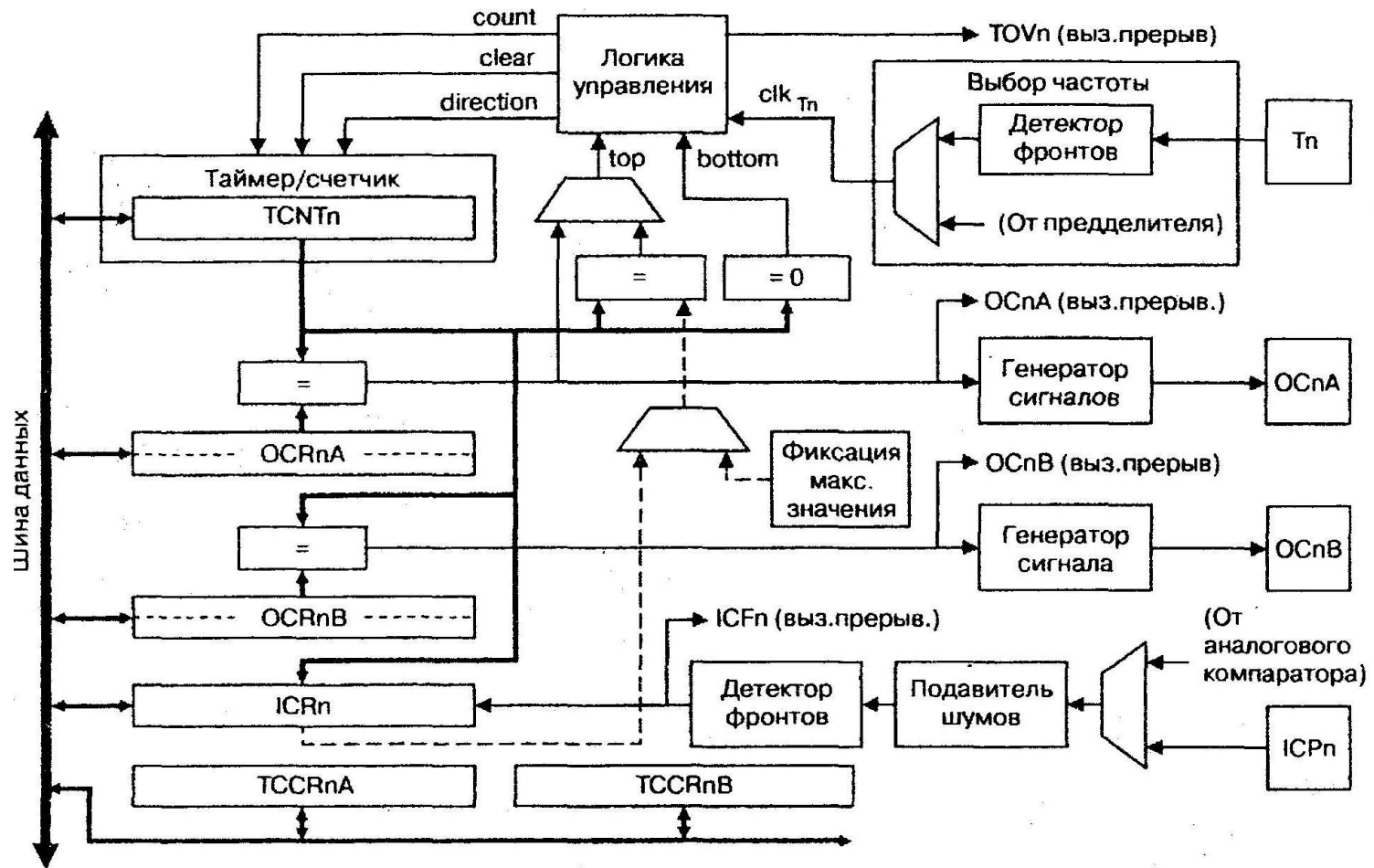
Выбор режимов работы таймера 0

№ режима	WGM2	WGM1	WGM0	Название режима	Верхний предел (TOP)	OCRх изменяется	Флаг TOV устанавливается от
0	0	0	0	Normal	0xFF	Непосредственно	MAX
1	0	0	1	PWM Phase Correct	0xFF	При достижении и TOP	BOTTOM
2	0	1	0	CTC	OCRA	Непосредственно	MAX
3	0	1	1	Fast PWM	0xFF	При достижении и TOP	MAX
4	1	0	0	Зарезервировано	-	-	-
5	1	0	1	PWM Phase Correct	OCRA	При достижении и TOP	BOTTOM
6	1	1	0	Зарезервировано	-	-	-
7	1	1	1	Fast PWM	OCRA	При достижении и TOP	TOP

Выбор источника тактового сигнала

CSx2	CSx1	CSx0	Описание
0	0	0	Нет источника сигнала (таймер/счетчик остановлен)
0	0	1	clkI/O/1 (нет предварительного деления)
0	1	0	clkI/O/8 (деление на 8)
0	1	1	clkI/O/64 (деление на 64)
1	0	0	clkI/O/256 (деление на 256)
1	0	1	clkI/O/1024 (деление на 1024)
1	1	0	Внешний источник сигнала, вход Tx. Синхронизация по заднему фронту
1	1	1	Внешний источник сигнала, вход Tx. Синхронизация по переднему фронту

Блок-схема 16-разрядного таймера/счетчика T1



Режимы работы таймера T1

Mode	WGM 13	WGM 12 (CTC1)	WGM 11 (PW M11)	WGM1 0 (PWM 10)	Режим работы таймера/ счетчика	TOP	Регистр OCR1 х загружается из	Флаг TOV1 устанавливается по
0	0	0	0	0	Normal	0xFFFF	Непосредствен но	MAX
1	0	0	0	1	PWM, Phase Correct, 8-бит	0x00FF	TOP	BOTTOM
2	0	0	1	0	PWM, Phase Correct, 9-бит	0x01FF	TOP	BOTTOM
3	0	0	1	1	PWM, Phase Correct, 10-бит	0x03FF	TOP	BOTTOM
4	0	1	0	0	CTC	OCR1A	Непосредствен но	MAX
5	0	1	0	1	Fast PWM, 8-бит	0x00FF	TOP	TOP
6	0	1	1	0	Fast PWM, 9- бит	0x01FF	TOP	top
7	0	1	1	1	Fast PWM, 10- бит	0x03FF	TOP	TOP

Режимы работы таймера T1

Mode	WGM 13	WGM 12 (CTC1)	WGM 11 (PW M11)	WGM1 0 (PWM 10)	Режим работы таймера/ счетчика	TOP	Регистр OCR1 х загружается из	Флаг TOV1 устанавливается по
8	1	0	0	0	PWM, Phase and Frequency Correct	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	PWM, Phase and Frequency Correct	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	PWM, Phase Correct	ICR1	TOP	BOTTOM
11	1	0	1	1	PWM, Phase Correct	OCR1A	TOP	BOTTOM
12	1	1	0	0	CTC	ICR1	Непосредствен но	MAX
13	1	1	0	1	(Зарезервировано)	-	-	-
14	1	1	1	0	Fast PWM	ICR1	TOP	top
15	1	1	1	1	Fast PWM	OCR1A	TOP	TOP

Формат регистра TIMSK ATMega128x

Бит	7	6	5	4	3	2	1	0
	OCIE2	TOIE2	TICIE1	OCIE1A	OCIE1B	TOIE1	OCIE0	TOIE0
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Формат регистра ETIFR

Бит	7	6	5	4	3	2	1	0
	-	-	ICF3	OCF3A	OCF3B	TOV3	OCF3C	OCF1C
Чтение/запись	R	R	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Формат регистра TCCR0

Бит	7	6	5	4	3	2	1	0
	FOC0	WGM00	COM01	COM00	WGM01	CS02	CS01	CS00
Чтение/запись	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Формат регистра TCCR2

Бит	7	6	5	4	3	2	1	0
	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20
Чтение/запись	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Выбор режима работы таймера T0 и T2

WGMn1	WGMn0	Режим работы таймера/счетчика Tn
0	0	Normal
0	1	Phase correct PWM
1	0	CTC (сброс при совпадении)
1	1	Fast PWM

Выбор источника тактового сигнала таймера T0

CS02	CS01	CS00	Источник тактового сигнала	
			AS0= «0»	AS0= «1»
0	0	0	Таймер/счетчик остановлен	
0	0	1	Clk _{I/O}	Clk _{TOSC1}
0	1	0	Clk _{I/O} /8	Clk _{TOSC1} /8
0	1	1	Clk _{I/O} /32	Clk _{TOSC1} /32
1	0	0	Clk _{I/O} /64	Clk _{TOSC1} /64
1	0	1	Clk _{I/O} /128	Clk _{TOSC1} /128
1	1	0	Clk _{I/O} /256	Clk _{TOSC1} /256
1	1	1	Clk _{I/O} /1024	Clk _{TOSC1} /1024

Формат регистра TCCR1B

Бит

7	6	5	4	3	2	1	0
ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10

Чтение/запись

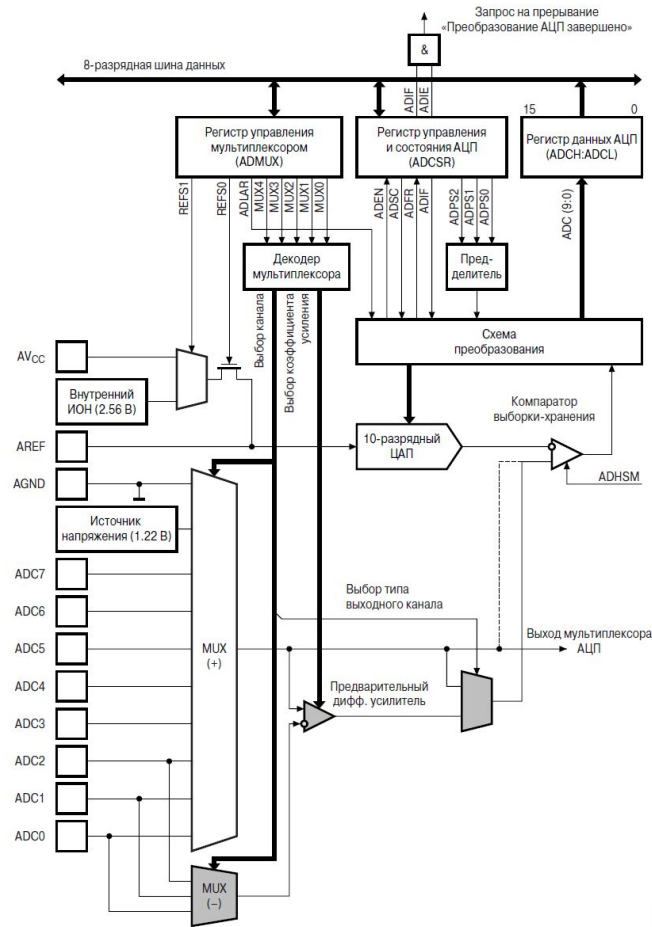
R/W R/W R R/W R/W R/W R/W R/W

Начальное

0 0 0 0 0 0 0 0

значение

Структурная схема модуля АЦП



Формат регистра ADCSRA

Бит	7	6	5	4	3	2	1	0
	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Выбор коэффициента предделителя АЦП

ADPS2	ADPS1	ADPS0	Коэффициент деления
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
0	1	0	64
1	1	1	128

Формат регистра ADMUX

Бит	7	6	5	4	3	2	1	0
	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0
Чтение/запись	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Начальное значение	0	0	0	0	0	0	0	0

Выбор источника опорного напряжения

REFS1	REFS0	Источник опорного напряжения(ИОН)
0	0	Внешний ИОН, подключенный к выводу AREF, внутренний ИОН отключен.
0	1	Напряжение питания AVcc
1	0	Зарезервировано
1	1	Внутренний ИОН напряжением 2,56В, подключенный к выводу AREF.

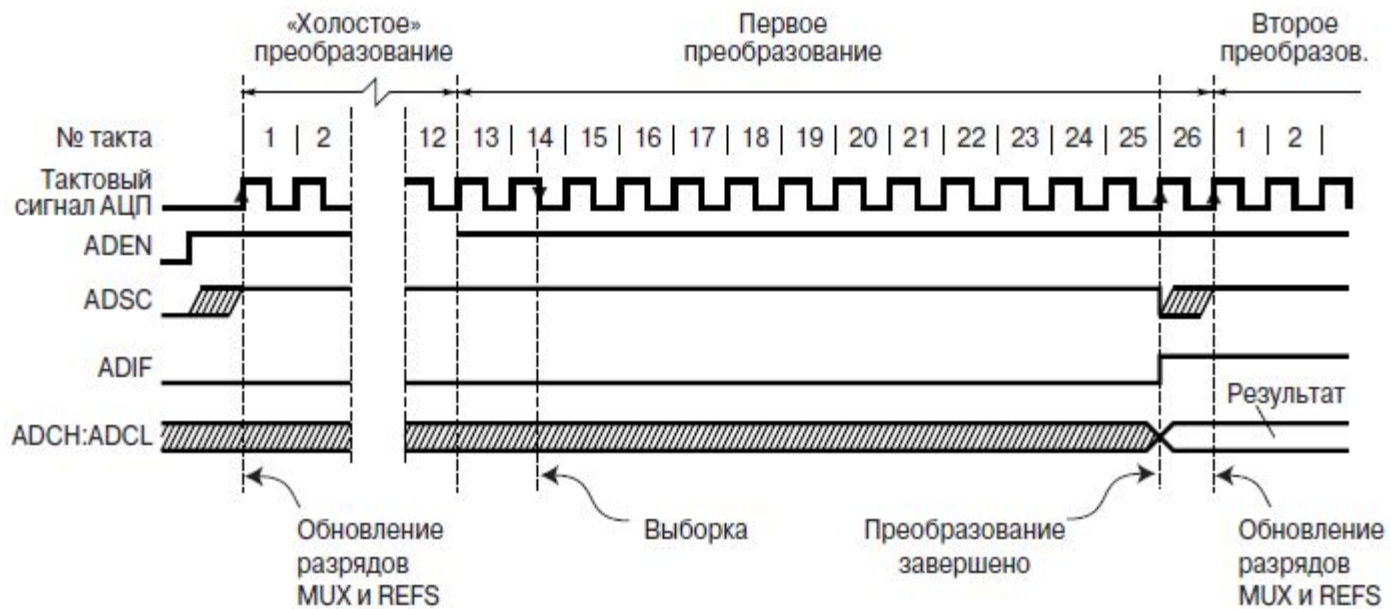
Выбор входного канала

MUX4:MUX0	Несимметричный вход	Дифференциальный вход		Предварительное усиление
		положительный	отрицательный	
00000	ADC0	Не применяется		
00001	ADC1			
00010	ADC2			
00011	ADC3			
00100	ADC4			
00101	ADC5			
00110	ADC6			
00111	ADC7			
01000	Не применяется	ADC0	ADC0	10x
01001		ADC1	ADC0	10x
01010		ADC0	ADC0	200X
01011		ADC1	ADC0	200X
01100		ADC2	ADC2	10x
01101		ADC3	ADC2	10x
01110		ADC2	ADC2	200x
01111		ADC3	ADC2	200x
10000		ADC0	ADC1	1x
10001		ADC1	ADC1	1x
10010		ADC2	ADC1	1x
10011		ADC3	ADC1	1x
10100		ADC4	ADC1	1x

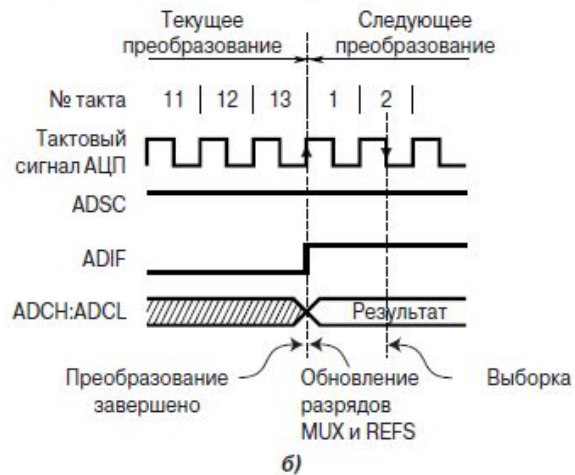
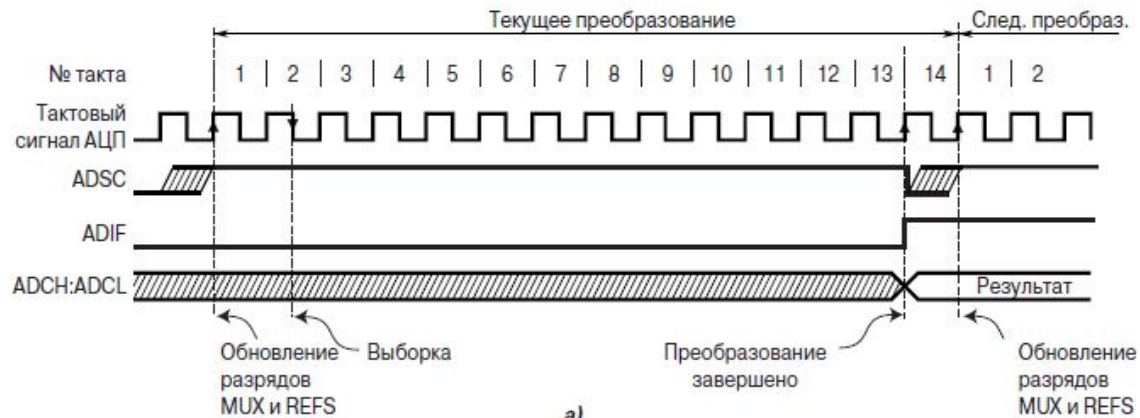
Выбор входного канала продолжение

10101	Не применяется	ADC5	ADC1	1x
10110		ADC6	ADC1	1x
10111		ADC7	ADC1	1x
11000		ADC0	ADC2	1x
11001		ADC1	ADC2	1x
11010		ADC2	ADC2	1x
11011		ADC3	ADC2	1x
11100		ADC4	ADC2	1x
11101		ADC5	ADC2	1x
11110	1.22В	Не применяется		

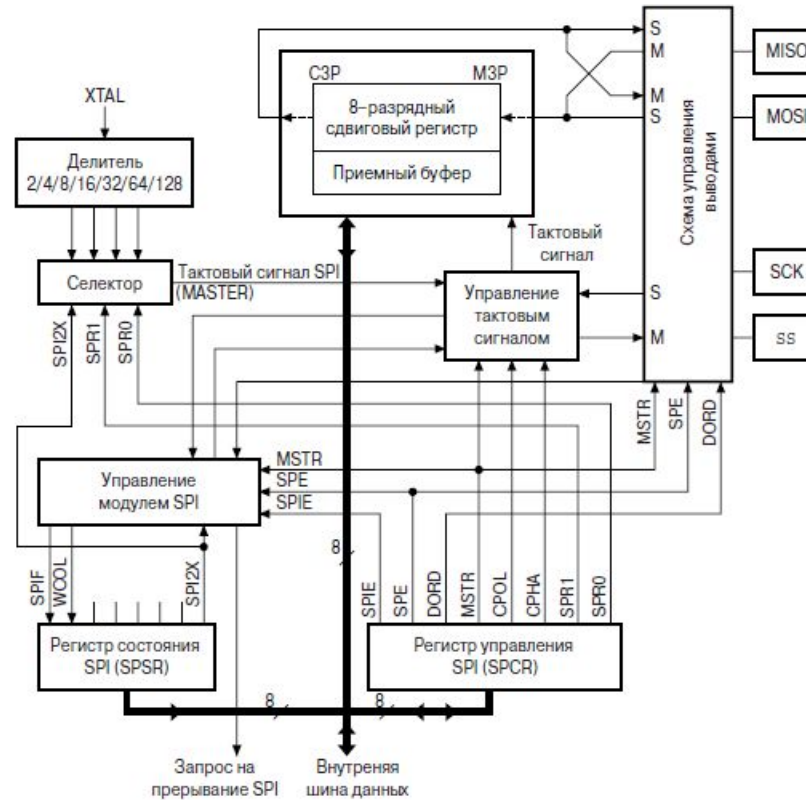
Временная диаграмма первого преобразования



Временные диаграммы работы АЦП в режиме одиночного преобразования (а) и в режиме непрерывного преобразования (б)



Структурная схема модуля SPI в ATМega128



Переназначение режима работы выводов модуля SPI

Вывод	Режим «Master»	Режим «Slave»
MOSI	Определяется пользователем	Вход
MISO	Вход	Определяется пользователем
SCK	Определяется пользователем	Вход
SS	Определяется пользователем	Вход

Задание режима передачи данных

Разряд	Описание
CPOL	Полярность тактового сигнала
	«0» — генерируются импульсы положительной полярности, при отсутствии импульсов на выводе присутствует низкий уровень;
	«1» — генерируются импульсы отрицательной полярности, при отсутствии импульсов на выводе присутствует высокий уровень
CPHA	Фаза тактового сигнала
	«0» — обработка данных производится по переднему фронту импульсов сигнала SCK (для CPOL = «0» — по нарастающему фронту, а для CPOL = «1» — по спадающему фронту);
	«1» — обработка данных производится по заднему фронту импульсов сигнала SCK (для CPOL = «0» — по спадающему фронту, а для CPOL = «1» — по нарастающему фронту)

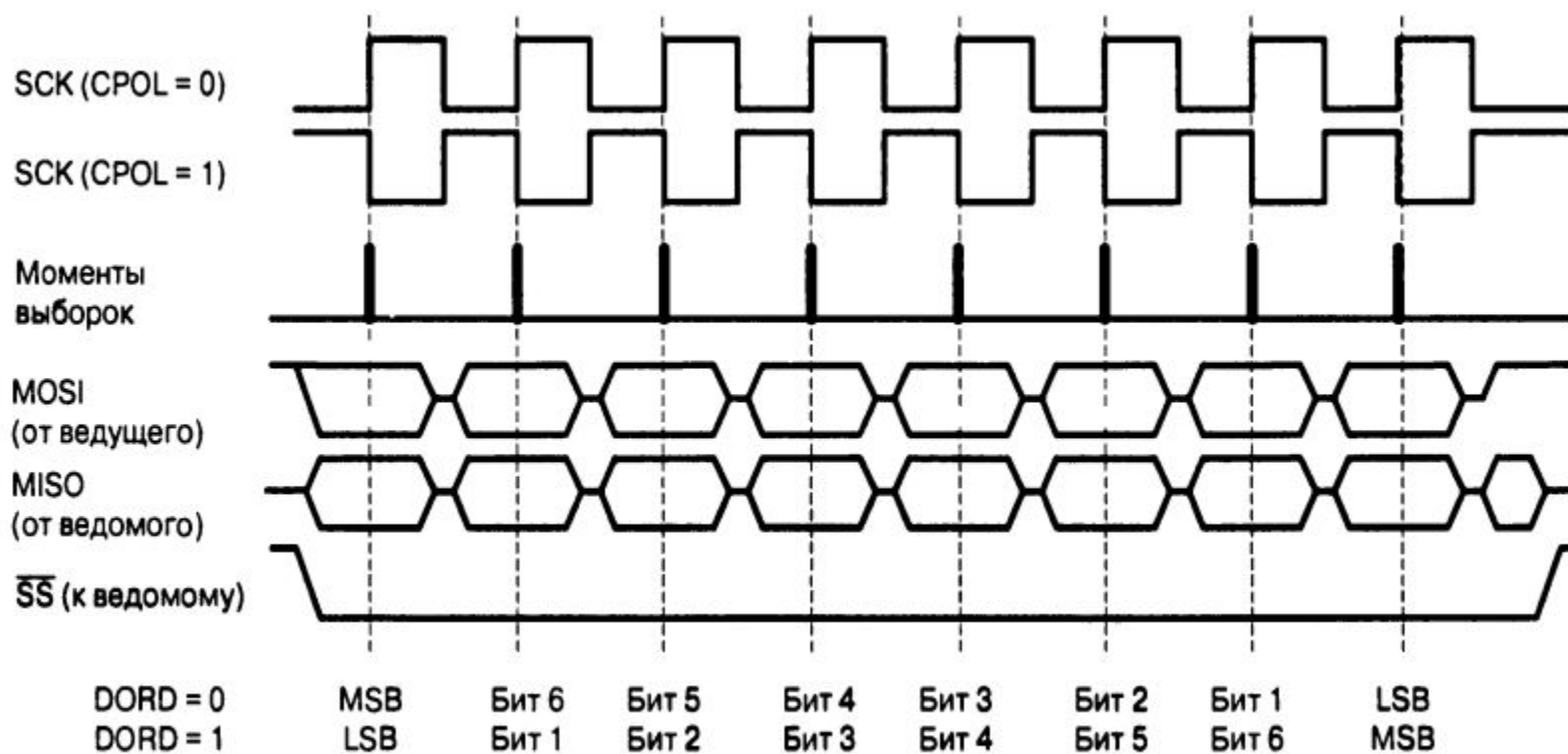


Рис. 10.5. Передача данных при $CPHA = 0$

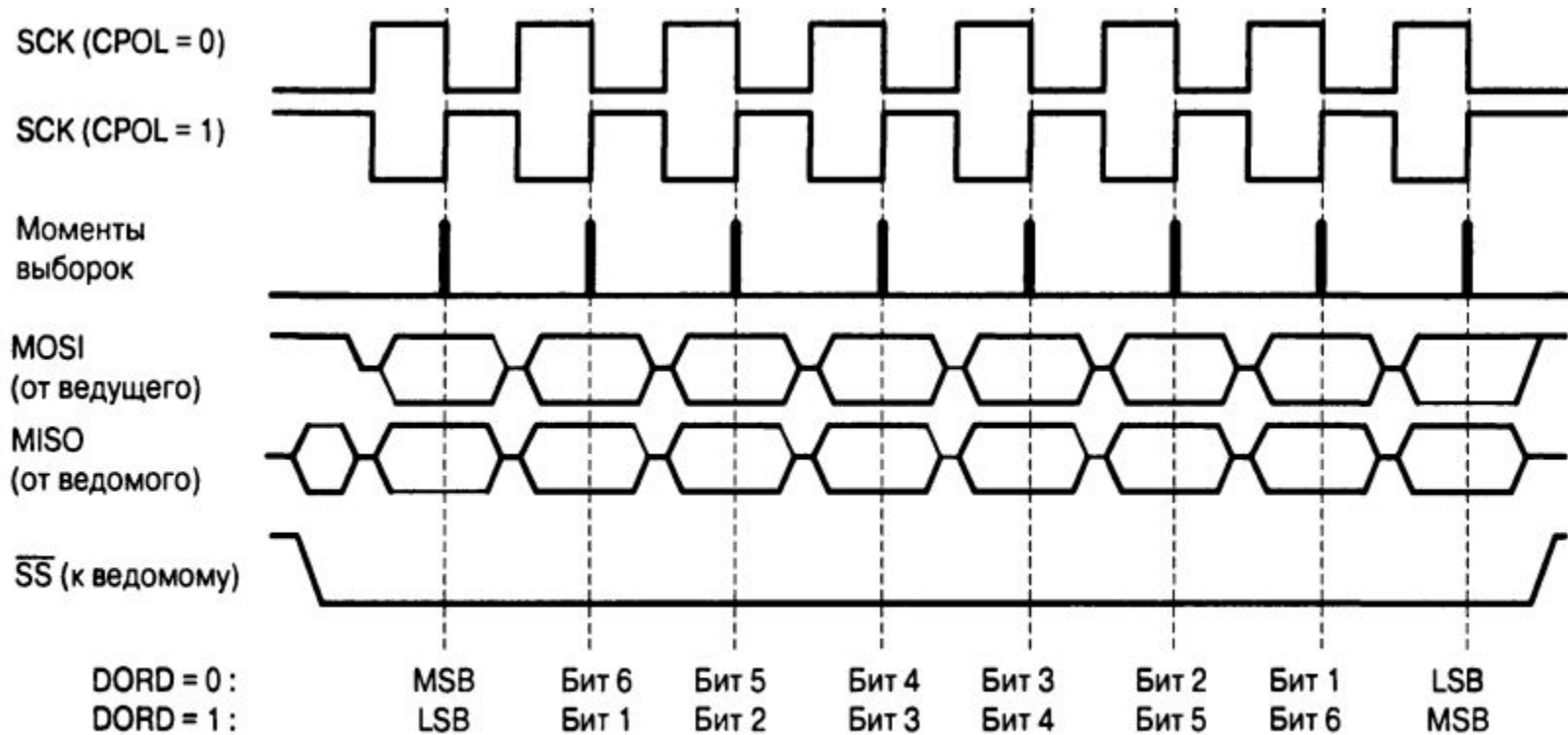


Рис. 10.6. Передача данных при $CPHA = 1$

Задание частоты тактового сигнала SCK

SPI2X	SPR1	SPR0	Частота сигнала SCK
0	0	0	$f_{CLK}/4$
0	0	1	$f_{CLK}/16$
0	1	0	$f_{CLK}/64$
0	1	1	$f_{CLK}/128$
1	0	0	$f_{CLK}/2$
1	0	1	$f_{CLK}/8$
1	1	0	$f_{CLK}/32$
1	1	1	$f_{CLK}/64$