

Раздел 3

МИКРОСХЕМЫ ОПЕРАЦИОННЫХ УЗЛОВ

Модульность структуры цифрового устройства – необходимое условие повышения степени интеграции. Разделение модулей на СИС и собственно БИС или СБИС (сверхБИС) не учитывает возможную при этом *качественную трансформацию понятия элемента: от элемента (фрагмента) структуры к элементу системы, т.е. к организованной совокупности фрагментарных структур.* Чтобы подчеркнуть принципиальные отличия в соответствующих подходах к модульному проектированию, различаются модули **структурные** и **системные**.

Системный подход ассоциируется с широким применением микропроцессорных комплексов БИС и означает коренное изменение во взглядах на проектирование. Но это относится уже к *системотехнике*, которая составляет предмет отдельной дисциплины.

В настоящее время наиболее распространена изначальная ориентация на *применение в качестве структурных модулей серийных микросхем с повышенной степенью интеграции.* Это – микросхемы памяти, счетчиков, регистров, арифметико-логических устройств, дешифраторов, мультиплексоров и др.

Лекция 13. АРИФМЕТИЧЕСКИЕ МИКРОСХЕМЫ

В ТТЛ-сериях к числу арифметических относятся микросхемы:

- *сумматоров SM* (мнемоника УГО) – **К155 ИМ1,2,3**, **К555 ИМ6,7**;
- *перемножителя* – **К555 ИП9**;
- *АЛУ* – **К155 ИП3**;
- *ускорения переносов* – **К155 ИП4**.

К155 ИМ1 – 1-разр. полный сумматор с доп. вх. логикой. **К155 ИМ2** – 2-разр. сумматор. **К155 ИМ3** и **К555 ИМ6** – 4-разр. **К155 ИМ3** имеет внутр. схему ускорения переносов. **К555 ИМ7** и **К555 ИП9** своеобразны и обычно используются совместно. *Наибольшее применение* в наст. время находят микросхемы *АЛУ* и *ускорения переносов*. Эти микросхемы имеются и в серии КР1533.

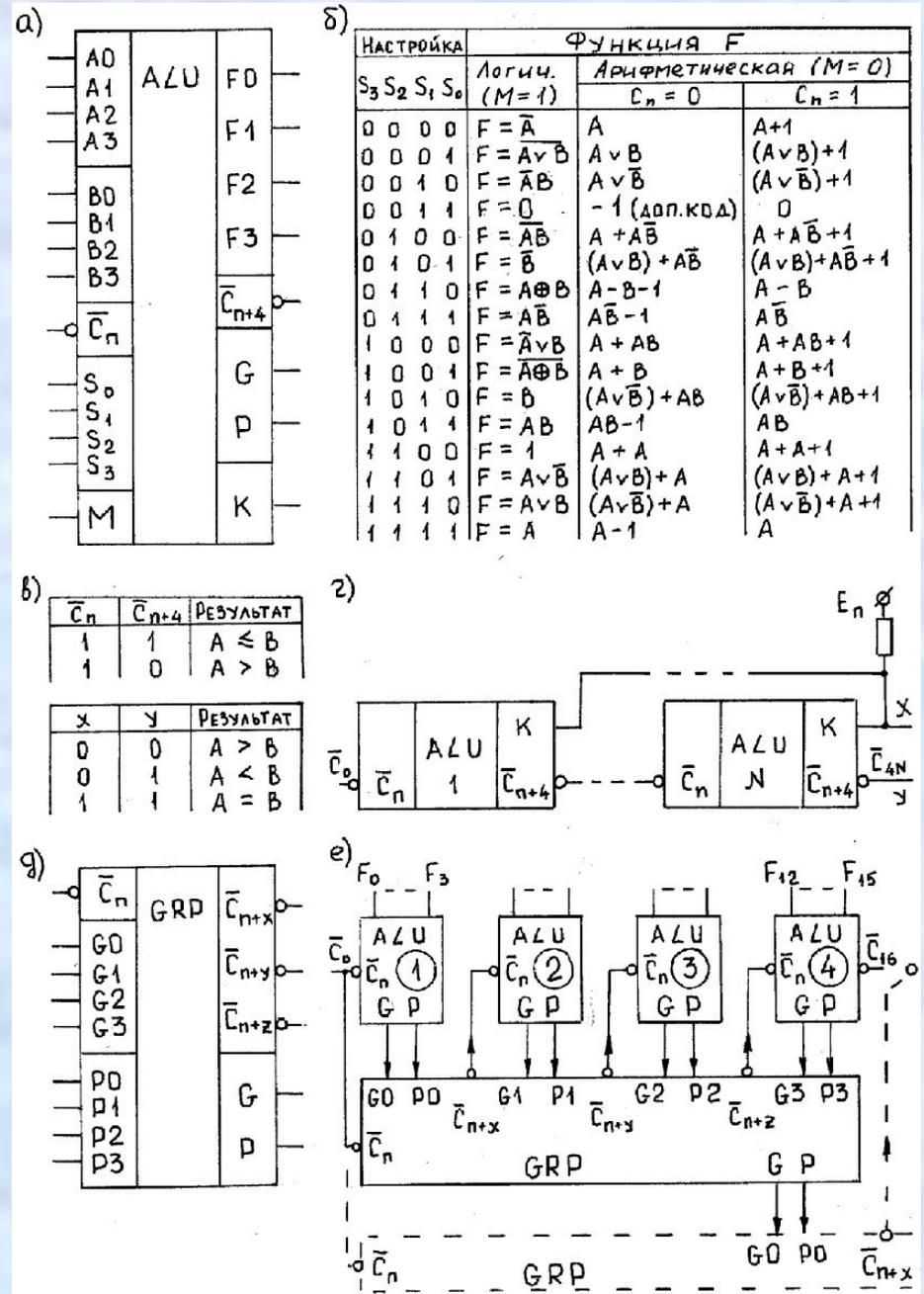
Состав арифметических микросхем КМОП значительно беднее. Это 4-разрядные *сумматор ИМ1* (К176, 561, 564) и *компаратор* – схема сравнения **ИП2** (К561, 564), микросхемы *АЛУ ИП3* (К564) и *ускорения переносов ИП4* (К564). По своим функц. возможностям две последние микросхемы подобны **К155ИП3,4**. В серии КР1554 арифм. микросхемы пока отсутствуют.

1. Микросхема К155 ИФЗ

Это 4-разр АЛУ. Может работать в *двух режимах*, выполняя **16 логич. побитовых операций** над парой операндов либо **16 арифм. операций** с параллельными переносами во все разряды.

Строго говоря, вып. только **2 арифм. операции** – сложение или вычитание с возможным добавлением или вычитанием единицы. Вариации достигаются тем, что операндами могут выступить не только сами вх. коды, но и их побитовые инверсии, конъюнкции, дизъюнкции и т.д.

Микросхема выполнена в корпусе на **24 вывода**. Ее УГО показано на рис.а. Таблица функционирования – на рис.б.



Спецификация выводов:

$\langle A3, \dots, A0 \rangle, \langle B3, \dots, B0 \rangle$ – входы операндов A, B ;

\overline{C}_n – инверсный вход переноса в младший разряд;

$\langle S_3, \dots, S_0 \rangle$ – сигналы настройки на выполнение той или иной функции;

M (*mode control*) – выбор типа функции: $M=0$ – арифм., $M=1$ – логич.;

$\langle F3, \dots, F0 \rangle$ – выходы результата;

C_{n+4} – инверсный выход переноса из старшего разряда;

G и P – выходы генерации и распространения переноса. Служат для подключения микросхемы ускорения переносов.

K – выход компаратора с ОК. При $A = B$ значение $K=1$, если АЛУ работает в режиме вычитания и $\overline{C}_n = 0$ (-1 представляется как 1111). Для того же режима еще один результат сравнения дает значение сигнала \overline{C}_{n+4} (рис.в; верх.табл.).

АЛУ выполняет операции алг. сложения в прямом ($A + B$; знаки операндов одинаковы), обратном ($A - B - 1$) и дополнительном ($A - B$) кодах при соотв. организации цепей переноса устройства в целом. В этом можно убедиться на примерах.

Наращивание разрядности операндов выполняется каскадированием микросхем АЛУ согласно рис.г (случай послед. переносов). Выходы 'x' и 'y' дают результаты сравнения (рис.в; табл. внизу).

2. Микросхема К155 ИП4

Функции АЛУ: $\bar{C}_{n+4} = \bar{G} \vee \bar{P} \bar{C}_n$, $P = P_0 \vee P_1 \vee P_2 \vee P_3$, $P_j = A_j B_j$, $j \in \{0,3\}$; $G = G_3 \vee \{P_3 \vee G_2 [P_2 \vee G_1 (P_1 \vee G_0)]\}$, $G_j = A_j \vee B_j$. Задержка формирования P и G – 12 нс. Задержки получения суммы и переноса: $t_F = 24$ (12 нс, если к моменту поступл. \bar{C}_n формирование G и P завершено), $t_{\bar{C}_{n+4}} = 12$ нс. Для 16-разр. АЛУ с послед. переносами между тетрадами $t_{\Sigma\Pi} = 3t_{\bar{C}_{n+4}} + 12$ нс = $3 \cdot 12$ нс + 12 нс = 48 нс.

При использовании ИП4 (рис.д) переносы на входах всех тетрад 16-разр. сумматора (рис.е), формируются одновременно с задержкой 13 нс относительно G_i , P_i : $\bar{C}_{n+x} = \bar{G}_0 \vee \bar{P}_0 \bar{C}_n = \bar{C}_{n+4,1} = \bar{C}_{n,2}$; $\bar{C}_{n+y} = \bar{G}_1 \vee \bar{P}_1 \bar{C}_{n+x} = \bar{C}_{n+4,2} = \bar{C}_{n,3}$; $\bar{C}_{n+z} = \bar{G}_2 \vee \bar{P}_2 \bar{C}_{n+y} = \bar{C}_{n+4,3} = \bar{C}_{n,4}$. Время сложения $t_{\Sigma} = t_{P,G} + t_{\bar{C}_{n+x,y,z}} + 12$ нс = 12 нс + 13 нс + 12 нс = 37 нс (ускор. на 25%). 32-разр. сумматор строится из двух таких секций со связью по сигналу \bar{C}_{16} . В послед. варианте $t_{\Sigma\Pi} = 7t_{\bar{C}_{n+4}} + 12$ нс = 96 нс. С ИП4: $t_{\Sigma} = t_{G,P} + 2t_{\bar{C}_{n+x,y,z}} + t_{\bar{C}_{n+4}} + 12$ нс = 62 нс (ускор. на 35%).

Эффект от аналог. постр. 64-разр. АЛУ – 40%. Однако, если переносы между секциями орг. паралл. с пом. ИП4 2-ступени (рис.е; пунктир), то ускорение – в 3 раза (63 нс против 192 нс). Здесь сигналы P_j и G_j на вх. GRP 2-ступени подаются с вых. P и G первой. Их значения отвечают предыдущим формулам для P и G , но без штрихов. Можно показать, что сигналы \bar{C}_{n+x} , \bar{C}_{n+y} , \bar{C}_{n+z} на вых. GRP 2-ступ. являются прав. сигналами на вх. соотв. секций.

Лекция 14. МИКРОСХЕМЫ КОНТРОЛЯ И ДЕШИФРАТОРЫ

Наиболее распространенный способ контроля правильности высокоскоростных передач информации по линиям связи – проверка сохранения четности (нечетности) числа единиц передаваемого кода. Такая проверка называется **контролем паритета**. Она позволяет обнаружить **одиночные ошибки**, что достаточно во многих случаях. Контроль выполняется с помощью специальных микросхем **проверки на четность**. В сериях ТТЛ это микросхемы **К155ИП2**, **КР1533ИП5**. В сериях КМОП – **К561СА1**, **К564СА1** (12-разрядная), **КР1554ИП5** (9-разрядная).

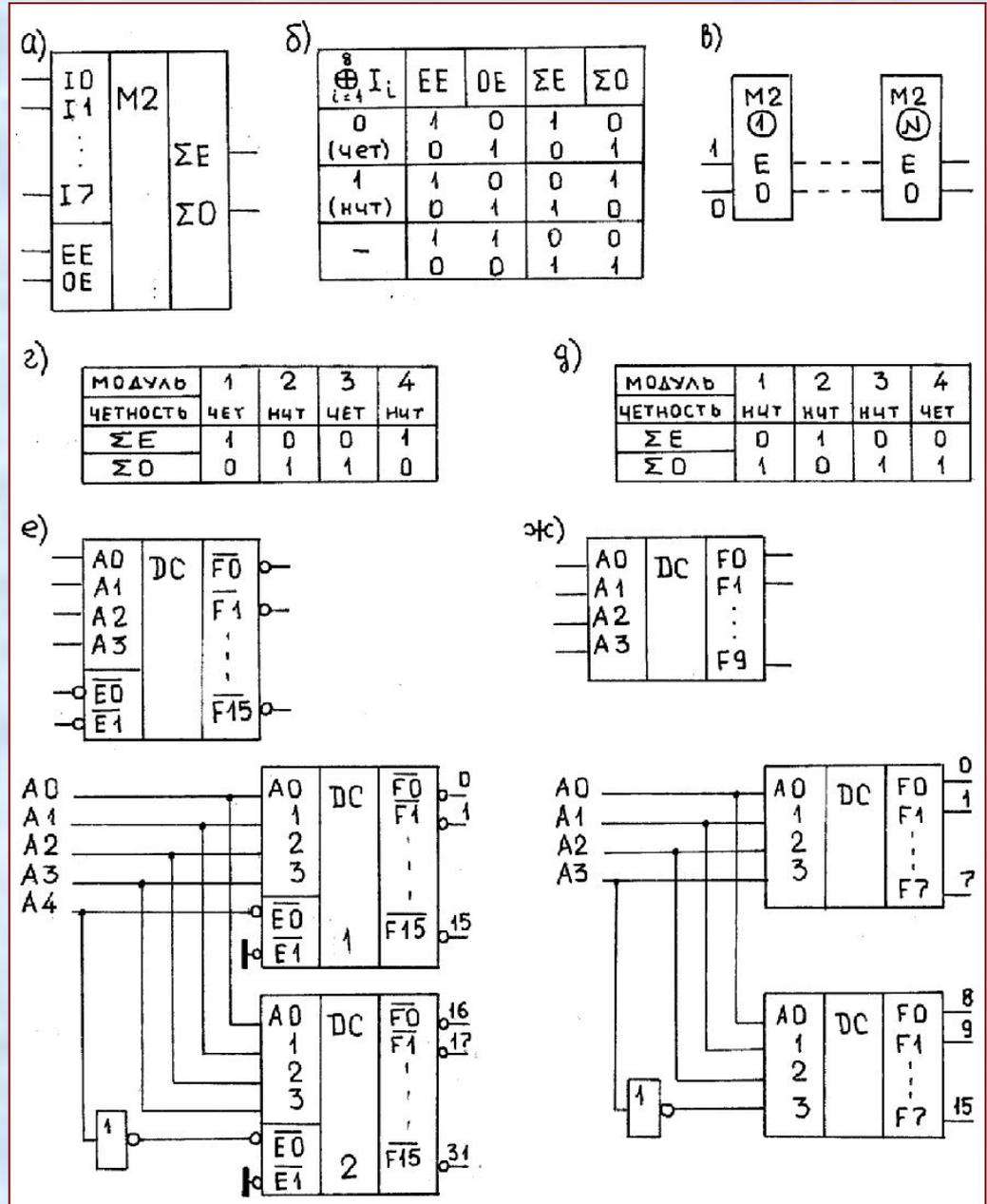
Дешифратор – это комбинационная схема на M входов и 2^M выходов. (с № – $0, 1, \dots, 2^{M-1}$). В любой момент времени в активном состоянии (0 или 1) – только 1 выход, № которого определен входным кодом. В состав серий ТТЛ входит 7 типов микросхем дешифраторов. Они различаются по числу дешифраторов в корпусе (1 или 2), по числу адресных входов в каждом (2, 3 или 4), по формату адресного кода (2-чный или 2/10-чный). В сериях КМОП – 3 типа: **К561(176)ИД1** (характеристика {1, 4, 2/10}), **КР1554ИД14** ({2, 2, 2}), **К564ИД5**. Последняя достаточно сложна, предназначена для работы на жидкокристаллич. 7-сегментный индикатор.

1. Микросхема К155ИП2

Это 8-разрядный модуль. Рис.а – его УГО. Микросхема имеет 2 входа разрешения: четный **ЕЕ** (*even enable*) и нечетный **ОЕ** (*odd enable*). Для целей проверки использ. *парафазная* комбинация сигналов на этих вх. (рис.б).

Если сумма единиц на вх. **четна**, то комбинац. $\langle \Sigma E, \Sigma O \rangle$ совпадает со входной. В **неч.** варианте – противоположна.

Каскадное соединение **N** таких микросхем (рис.в) – проверка на чет. **8N**-разр. слова. На упр. входах модуля 1 $\langle EE, OE \rangle = 10$. Если сумма единиц в слове четна, то на вых. мод. **N** $\langle \Sigma E, \Sigma O \rangle = 10$. Иначе – 01 (рис.г, д).



При контроле передач для каждого передаваемого байта в источнике формируется девятый (*контрольный*) разряд КР. Он снимается в выхода ΣE микросхемы **K155ИП2** и также передается. В приемнике КР поступает на вход $E E$ аналогичной микросхемы. Для нее $O E := \overline{K P}$. Если байт передан правильно, то на ее выходах всегда $\langle \Sigma E, \Sigma O \rangle = 10$. *Одиночная ошибка – 01.*

2. Микросхема K155 ИДЗ

Ее характеристика – {1, 4, 2}, УГО – на рис.е. *Особенности:* инверсные выходы (*активный 0*); два входа разрешения $\overline{E0}$ и $\overline{E1}$ (активизация – только при $\overline{E0} = \overline{E1} = 0$). Эти входы используются для наращивания разрядности адреса (рис.е; внизу – пример реализации ДС на 5 входов), стробирования адреса и для трансформации ДС в демультимплексор. В последнем случае адрес определяет номер выходного канала, на который будут поступать в последовательном коде данные с информационного входа $\overline{E1}$ (или $\overline{E0}$).

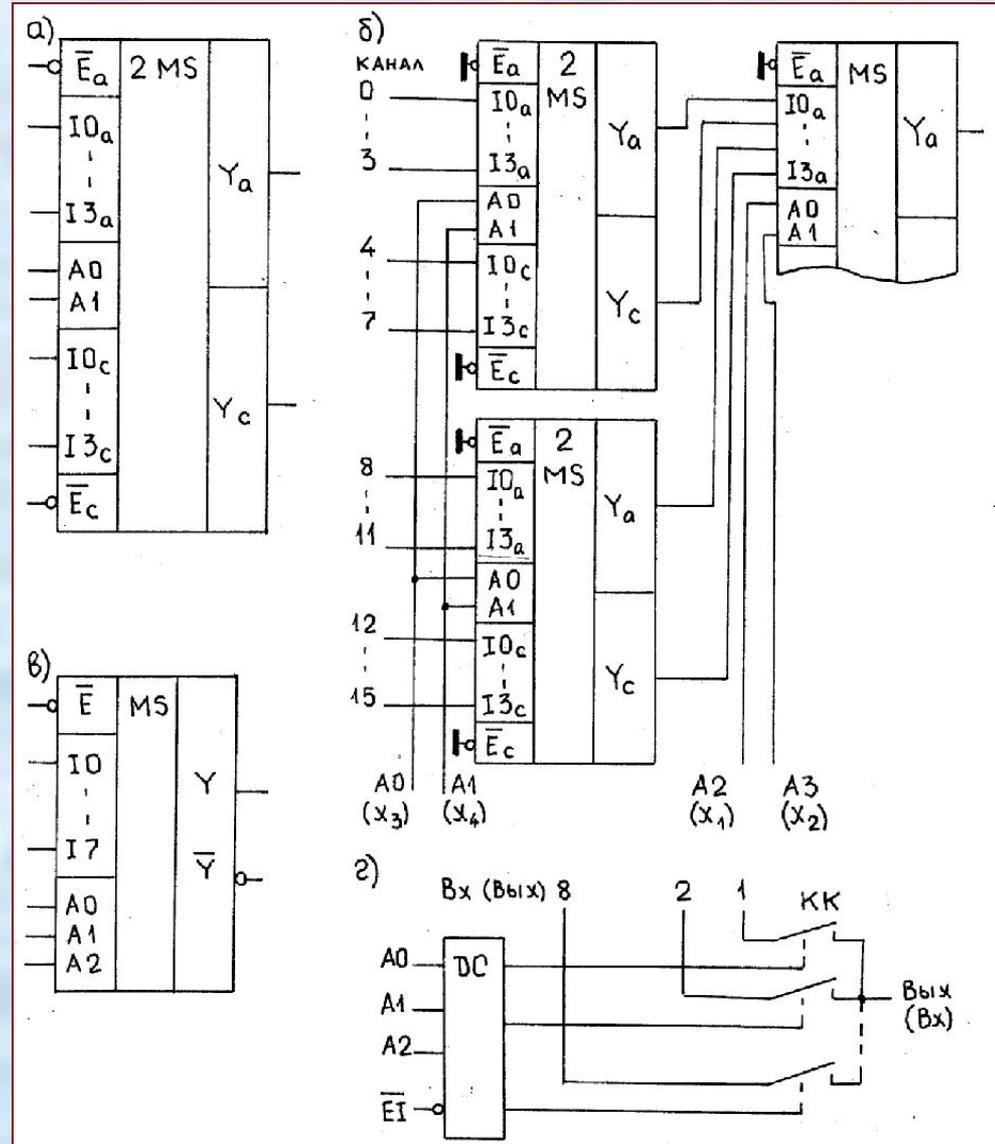
3. Микросхема K155ИД1

УГО – рис.ж (10 выходов). Прим. как в 2/10- (дешифруются только числа от 0 до 9. При подаче на адр. вх. чисел от 10 до 15 все вых. пассивные), так и в 8-чном – октальном ($\langle A2, \dots, A0 \rangle$ – адрес, $A3$ – управление; выходы F9, F8 не использ.; активизация – при $A3 := 0$) вариантах. На рис.ж, внизу – пример построения 2-чного ДС на 4 входа на основе двух микросхем ИД1.

Лекция 15. МИКРОСХЕМЫ МУЛЬТИПЛЕКСОРОВ

Мультиплексор (коммутатор входных каналов) – это комбинационная схема на M входов и 1 выход. При этом $M = m + 2^m$, где m – разрядность адреса, 2^m – число входных коммутируемых каналов с № $0, 1, \dots, 2^m - 1$. Код адреса определяет № инф. канала, который должен быть подключен к выходу.

В сериях ТТЛ имеется > 11 типов MS (мнемоника УГО). Иногда их называют селекторами-мультиплексорами. Различаются по числу вх. каналов, наличием или отсутствием парафазного вых. либо спец. входов разрешения. Выходы некоторых MS имеют 3 состояния для организации работы на общую шину.



1. Микросхемы К155КП2 и др.

Рис.а – ее УГО. Это – два 4-вх. MS с общими входами адреса $\langle A1, A0 \rangle$. Каждый из MS ('а' и 'с') имеет свой вход разрешения и свой выход. При отсутствии разрешения выход пассивен (0). "Штатное" применение – коммутация 2-разр. данных с 4-х направлений. Разрядность передаваемого кода растет с ростом числа используемых корпусов.

Рост числа каналов послед. передачи данных связан с построением многоярусных схем. Каждый новый ярус содержит в 4 раза > MS, чем соседний справа. Рис.б – реализация 16-канального коммутатора в базисе КП2. По коду адреса в 1-ярусе (левом) выбираются сразу 4 канала: $j, j+4, j+8, j+12$ ($j \in \{0,3\}$). Выходной MS селектирует из них единственный.

Использование схемы для реализации произвольной БФ от 5 переменных (x_5, \dots, x_1): на адр. входы – x_4, \dots, x_1 ; на входы каналов – остаточные функции $f_{\sigma_1 \dots \sigma_4}(x_5) \in \{0, 1, x_5, \bar{x}_5\}$ декомпозиции Шеннона:

$$f(x_1, \dots, x_5) = \bigvee_{\sigma_1 \dots \sigma_4 = 0 \dots 0}^{1 \dots 1} x_1^{\sigma_1} \dots x_4^{\sigma_4} f_{\sigma_1 \dots \sigma_4}(x_5), \quad \in \{0, 1\}.$$

Здесь $x_i^{\sigma_i} = x_i$, если $\sigma_i = 1$; иначе $x_i^{\sigma_i} = \bar{x}_i$. $f_{\sigma_1 \dots \sigma_4}(x_5)$ – результат подстановки в $f(x_1, \dots, x_5)$ значений $x_i = \sigma_i, i \in \{1, 4\}$.

Аналогично – для любого числа перем. m. УЛМ требует $(2^{m-1} + m - 1)$ выводов. Поэтому MS $4 \rightarrow 1$ – УЛМ с $m=3$ (КП2), $8 \rightarrow 1 \sim m=4$ (КП5,7; К555КП15; КР1533КП7,15), $16 \rightarrow 1 \sim m=5$ (КП1).

MS на 3 состояния выхода: К555(КР1533) КП11,12,14,15¹.

2. Коммутаторы КМОП

Принципиальным отличием КМОП-технологии от любой др. является дуальность для нее понятий “мультиплексор” и “демультиплексор”. Это объясняется 2-направл. передачи сигналов через коммутац. ключи КК, которые исп. как контакты коммутаторов КМОП.

Рис.г – организация **К561КП2** на 8 вх. (вых.) каналов и 1 вых. (вход). Каждый вых. ДС управляет соответ. КК. Сопр. вкл. канала $R_0 = 0,5 \dots 2,5$ КОм при $E_{п} = 5В$. Если же $E_{п} = 15В$, то $R_0 = 130 \dots 280$ Ом. При этом $t_{з.ср} \leq 30нс$. **К561КП1** имеет некот. особенности. В серии КР1554 имеется 6 типов MS – на 2 и 4 входа.

*Примерами коммутаторов как таковых являются **К176 КТ1**, **К561 КТ3**. Они имеют по 4 канала, которые могут быть разомк. либо замк. В каждом канале – свой КК с индивид. управлением. В КТ3 ключ двойной (оппозитный). Его особенность в том, что вход разомк. канала заземляется. Для КТ1 сопротивление $R_0 = 500$ Ом, $t_{з.ср} = 10 \dots 25нс$. В КТ3 значение $R_0 = 800$ Ом.*

Все коммутаторы КМОП обладают не только двунаправленностью, но и способностью пропускать как цифровые, так и аналоговые сигналы. Это объясняется тем, что вх. сопротивление приемника КМОП $R_{вх} \gg R_0$, а собственная инерционность коммутатора сравнительно мала.

Лекция 16. МИКРОСХЕМЫ РЕГИСТРОВ

Регистровая ИС – линейка из ряда триггеров, используемая для последовательного накопления, промежуточного хранения и сдвига данных. Триггеры – 2-ступ., синхровход – общий.

1. Разновидности микросхем регистров

Простейший **RG** имеет 1 инф., 1 такт. входы и 1 вых. Последов. код, подаваемый на инф. вход 1-триг., потактно продвигается по триг. цепочке. Если n – разрядность **RG**, то через n тактов с выходов Q_i , $i=0\dots(n-1)$, –соотв. *параллельный код*. В более слож. схемах: входы паралл. загрузки данных и вход разрешения – **WE** (*write enable*) или **PE** (*parallel enable*), логика паралл. отображения на вых. Q_i – по сигналу **ER** (*enable read*) после заполнения **RG**. Если **ER** – пас., то вых. – в сост. **z**. Такая организация характерна при работе на *ОШ*. Сдвиг в **RG** может вып. как *вправо*, так и *влево* – по сигналу реверса либо с исп. *внешней коммутации*. Паралл. загрузка и сброс могут быть *синхронными* или *асинхр.* Входы и выходы – *прямыми* либо *инверсными*.

В **ТТЛ** (**КМОП**) – > 20 (10) типов **RG-ИС**. В **ТТЛ** – в осн. 4-, 8- и 12-разр. **RG**. Примеры **RG-КМОП**: **K561IP9** – 4-разр. посл.-парал. **RG**; **K561IP6** – 8-разр. универс. 2-направ. шинный **RG** с посл. и парал. вых.; **K564IP13** – 12-разр. **RG** спец. назначения, исп. при построении **АЦП**; В **KP1554** – в осн. 8-разр. **RG** (7 типов). Но есть и 18-разр. сдвиговый **RG** – **KP1554IP47**.

2. Регистры серии K155

В этой серии – 4 типа RG-ИС: ИР1 – 4-разр. сдвиговый RG; ИР13 – универсальный 8-разр. RG сдвига; ИР15 – 4-разр. параллельный RG без сдвига с выходами на ОШ – для промежуточной буферизации данных; ИР17 – 12-разр. RG спец. назначения. Используется вместе с ЦАП и компаратором.

K155ИР1. Рис.а: SI – последовательный вход; $\langle D3, \dots, D0 \rangle$ и $\langle Q3, \dots, Q0 \rangle$ – параллельные входы и выходы; PE=1 – параллельная загрузка с $\langle D3, \dots, D0 \rangle$ по срезу C2, PE=0 – последовательное занесение с SI (сдвиг) по срезу C1 ($Q0:=SI, Q1:=Q0, Q2:=Q1, Q3:=Q2$). Изменение PE – когда нет СИ.

Сдвиг влево – внешней коммутацией ($Q3 \rightarrow D2, Q2 \rightarrow D1, Q1 \rightarrow D0$) при PE = 1 по срезу C2.

Наращивание разрядности: Q3 предыд. ИС \rightarrow SI послед., Q0 послед. \rightarrow D3 предыд. При параллельной загрузке связи $Q_i \rightarrow D_{i-1}$ надо разомкнуть.

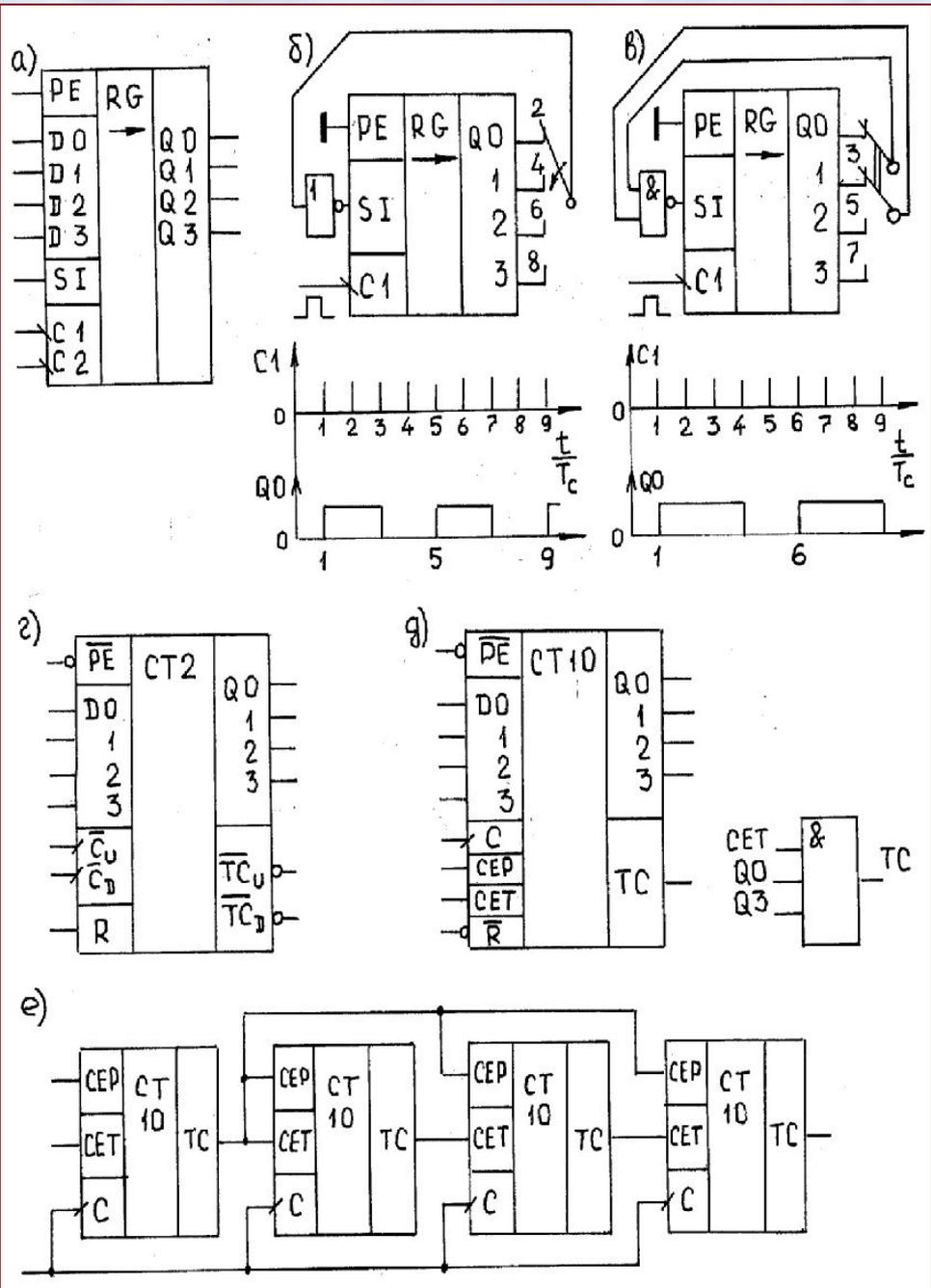
Организация делителей частоты. Коммутируя выходы микросхемы через инвертор на вход SI (рис.б), можно осуществить деление частоты на 2, 4, 6, 8. При одновременной коммутации на вход SI через элемент И-НЕ двух выходов в парах $\langle Q0, Q1 \rangle - \langle Q1, Q2 \rangle - \langle Q2, Q3 \rangle$ (рис.в) получаем делители на 3 – 5 – 7. Временные диаграммы для случаев деления на 4 и 5 показаны внизу соответствующих рисунков.

Лекция 17. СЧЕТЧИКИ

3. Типы микросхем счетчиков

Серии ТТЛ. В **K155** – 7 типов **СТ**: ИЕ2,4–9. Коэфф. деления **k** в нек. из них перемен., зависит от упр. кода (ИЕ8) либо от внеш. коммутации (ИЕ2,4,5). В осн. **СТ** – 4-тригг. ИЕ8 – единств. 6-тригг. с $k_{\max}=64$ и 1 вых. **СТ** – 2-чн. (ИЕ7) и 2/10-чн. (ИЕ6), с послед. (ИЕ2,4,5 – асинхр., или **СТ** пульсаций) и паралл. (ИЕ6,7 – синхр. **СТ**) переносами. Возможен *реверсивный счет*. Сброс – асинхр. или синхр. Нач. загрузка – асинхр. (по спец. сигналу установки – **K155ИЕ7,6**) или синхр. (по 1-му СИ после разреш. записи – **K155ИЕ9**). В серии **KP1533** – 11 типов **СТ**, и все они 4-разр.

Особенности серий КМОП. **K561ИЕ8,9** имеют дешифр. выходы (10 и 8 соответ.). **K561ИЕ11,14** – 4-разр. реверс. Есть асинхр. и синхр., 2-чн. и 2/10-чн. (в осн. – 4-тригг.). Есть и 14-разр. – **K561ИЕ16**. В серии **KP1554** (5 типов) – 4-разр.



4. Микросхема К155ИЕ7 (рис.г)

Это 4-разр. СТ 2 синхр. типа. *Направление счета* – UP (по импульсу \bar{C}_U при $\bar{C}_D=ВП$) или DOWN (по импульсу \bar{C}_D при $\bar{C}_U=ВП$). *Предустановка* – по импульсу PE (действие \bar{C}_U и \bar{C}_D – блок.). *Сброс* – асинхр. по ВУ на вх. R независимо от PE, \bar{C}_U , \bar{C}_D . Выходы $\bar{T}C_U$ и $\bar{T}C_D$ – оконч. счета (переноса), прямого и обр. Если $\langle СТ \rangle_{нач} = \langle 0 \rangle$ ($\langle 1 \rangle$), то импульс $\bar{T}C_U$ ($\bar{T}C_D$) повторяет 16-импульс \bar{C}_U (\bar{C}_D) с задержкой 26нс. *Наращивание разр. СТ* – каскад нескольких ИЕ7. СИ – на \bar{C}_U (\bar{C}_D) первой ИЕ7, а вых. переносов каждой предыд. ИЕ7 – на сч. вх. послед. Вх. PE и R для всех ИЕ7 – общие. Из-за задержек переносов такой СТ в целом – асинхр.

5. Микросхема К155ИЕ9 (рис.д)

Это синхр. СТ 2/10 с синхр. *предуст.* при НП на PE в сост. от $\langle 0 \rangle$ до $\langle 9 \rangle$ и асинхр. *сброс.* – по НП на R. *По приоритн:* R (высш.), PE, CEP (паралл. разреш.) и SET (“трюковый”). *Счет* – только в прям. напр. при ВП на PE, CEP, SET. СИ – отрицат, переноса TC – положит. Формир. (с нек. t_3) по фронту СИ 9 и заверш.(с той же t_3) по фронту СИ 10 (рис.д, справа – сх. формир. TC). Это позв. строить на ИЕ9 синхр. многодекад. СТ (рис.е). СИ – одно-врем. на все декады. TC на вых. данной декады заверш. позже СИ, от кот. должна сработать сосед. справа ИЕ9, если число декад $N \leq T_c/t_{3,ср} + 1$. Здесь T_c – период СИ, $t_{3,ср}$ – для эл. И, форм TC. F_{max} 4-дек. сх. – 25МГц.