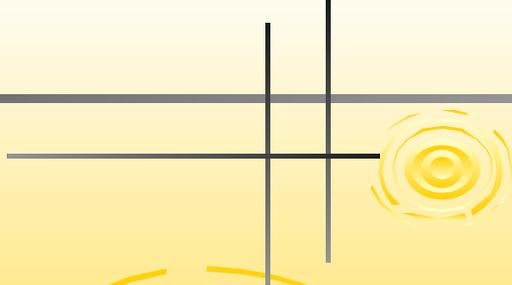
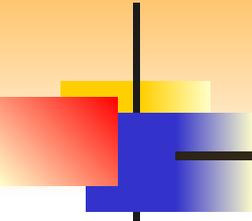


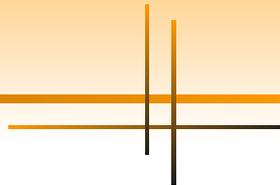
Компьютерная схемотехника

Лекция 9. Сумматоры и вычитатели





Сумматоры



Сумматором называется устройство, предназначенное для выполнения операции сложения над многоразрядными числами.

Многоразрядный сумматор состоит из одnorазрядных сумматоров.

Одноразрядный сумматор, на входы которого поступают два одnorазрядных числа A и B , а на выходах формируются одnorазрядные числа суммы S и переноса P называется полусумматором.



Полусумматор

Таблица истинности

Входы		Выходы	
A_i	B_i	S_i	P_i
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1
$A_i + B_i$			

Булевы функции для выходов имеют вид:

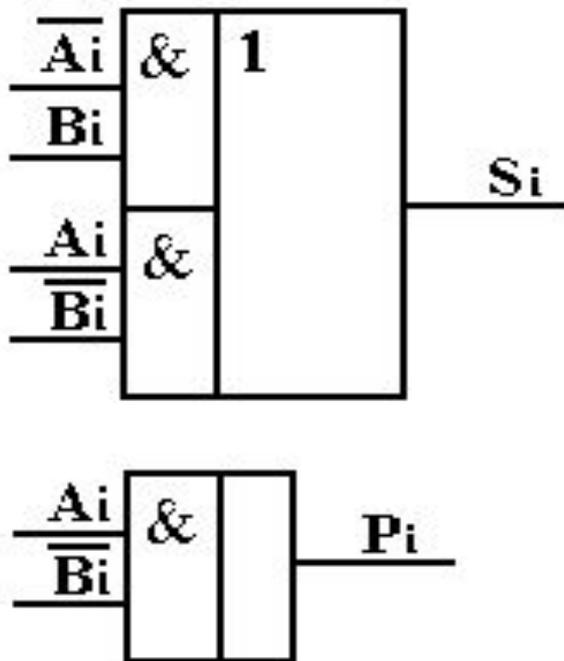
$$S_i = \bar{A}_i B_i + A_i \bar{B}_i = A_i \oplus B_i;$$
$$P_i = A_i * B_i.$$

Возможны различные реализации полусумматоров на основании тождественных преобразований полученных функций. Выбор схемы определяют с учетом требований по быстродействию, энергопотреблению, технологичности.

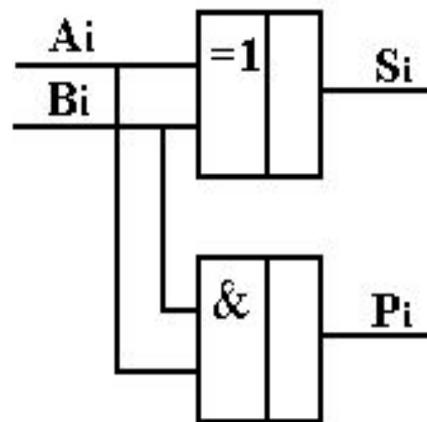
Максимальным быстродействием характеризуется полусумматор, у которого минимальное количество логических ступеней между входом и выходом.

Схемы полусумматоров

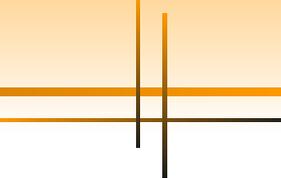
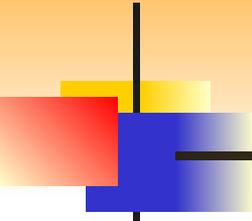
Быстродействующий сумматор



Простейший сумматор



Полный сумматор



Многоразрядный сумматор, начиная со второго разряда, должен иметь три входа: два входа для слагаемых A_I и B_I и один для сигнала переноса с предыдущего разряда P_{I-1} . Такой одnorазрядный сумматор называется полным сумматором.



Таблица истинности полного сумматора

Входы			Выходы	
A_i	B_i	P_{i-1}	S_i	P_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1
$A_i + B_i + P_{i-1}$				

Булева функция для суммы

		A _i B _i			
		00	01	11	10
P _{i-1}	0	0	1	0	1
	1	1	0	1	0

$$\begin{aligned} S_i &= \overline{A_i} \overline{B_i} P_{i-1} + \overline{A_i} B_i \overline{P_{i-1}} + A_i B_i P_{i-1} + A_i \overline{B_i} \overline{P_{i-1}} = \\ &= P_{i-1} (\overline{A_i} \overline{B_i} + A_i B_i) + \overline{P_{i-1}} (\overline{A_i} B_i + A_i \overline{B_i}) = \\ &= P_{i-1} (\overline{A_i \oplus B_i}) + \overline{P_{i-1}} (A_i \oplus B_i) = P_{i-1} \oplus A_i \oplus B_i. \end{aligned}$$

Булева функция для переноса

		A _i B _i			
		00	01	11	10
P _{i-1}	0	0	0	1	0
	1	0	1	1	1

$$\begin{aligned}
 P_i &= A_i B_i + P_{i-1} A_i + P_{i-1} B_i = \\
 &= A_i B_i + P_{i-1} A_i (B_i + \bar{B}_i) + P_{i-1} B_i (A_i + \bar{A}_i) = \\
 &= A_i B_i + P_{i-1} A_i \bar{B}_i + P_{i-1} A_i B_i + P_{i-1} \bar{B}_i A_i + P_{i-1} B_i A_i = \\
 &= A_i B_i (1 + \bar{P}_{i-1} + P_{i-1}) + P_{i-1} (A_i \bar{B}_i + B_i A_i) = \\
 &= A_i B_i + P_{i-1} A_i \oplus B_i.
 \end{aligned}$$

Быстродействующий сумматор

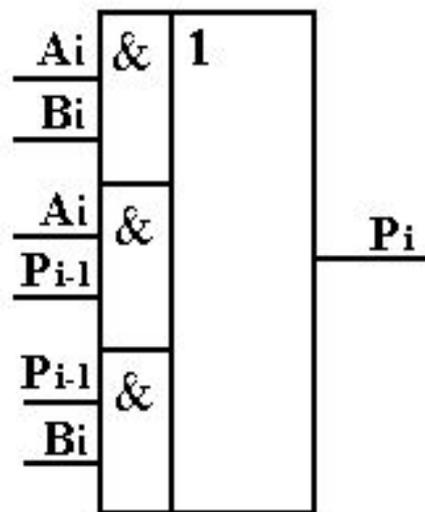
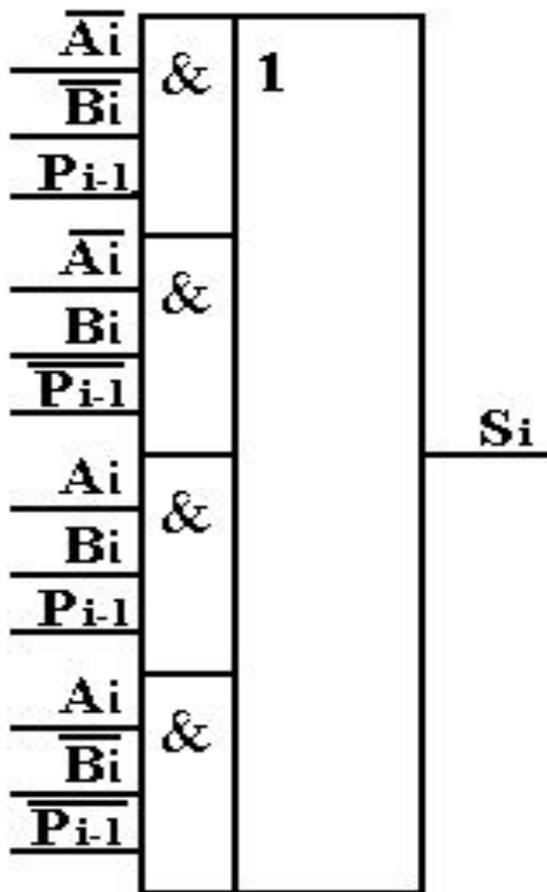
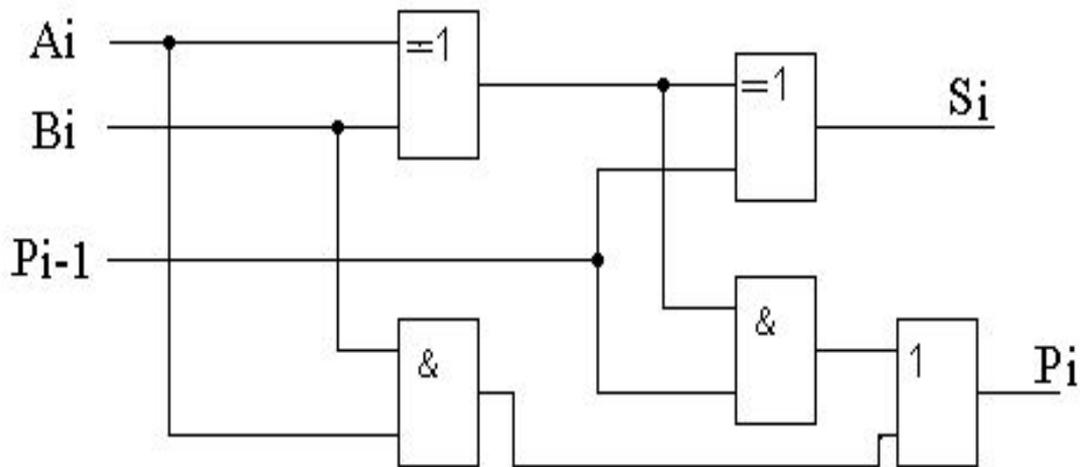


Схема простого полного сумматора

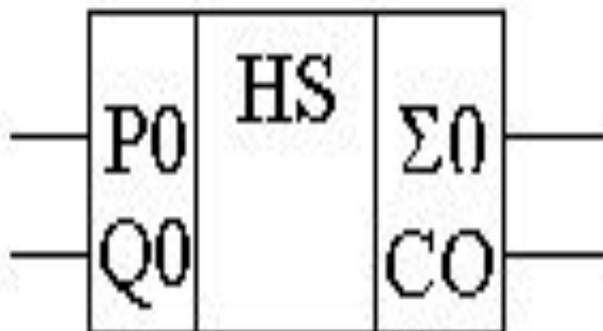


$$S_i = A_i \oplus B_i \oplus P_{i-1} ;$$

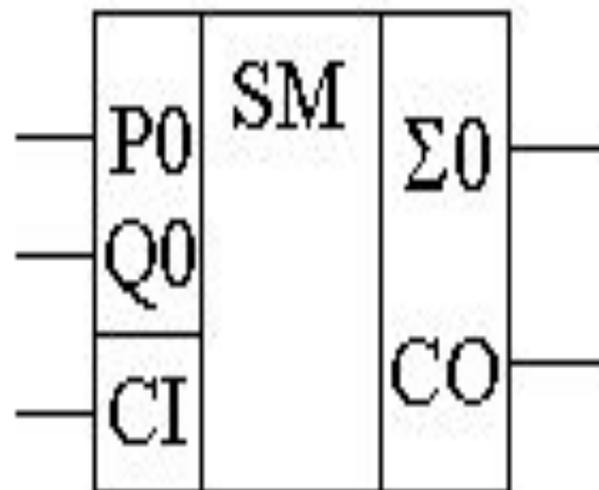
$$P_i = A_i B_i + P_{i-1} A_i \oplus B_i .$$

Условные графические обозначения сумматоров

Полусумматор



Полный сумматор



Многоразрядные сумматоры

Выделяют параллельные и последовательные сумматоры.

Параллельные сумматоры подразделяют на:

- параллельные сумматоры с последовательным переносом;
- параллельные сумматоры с параллельным переносом.

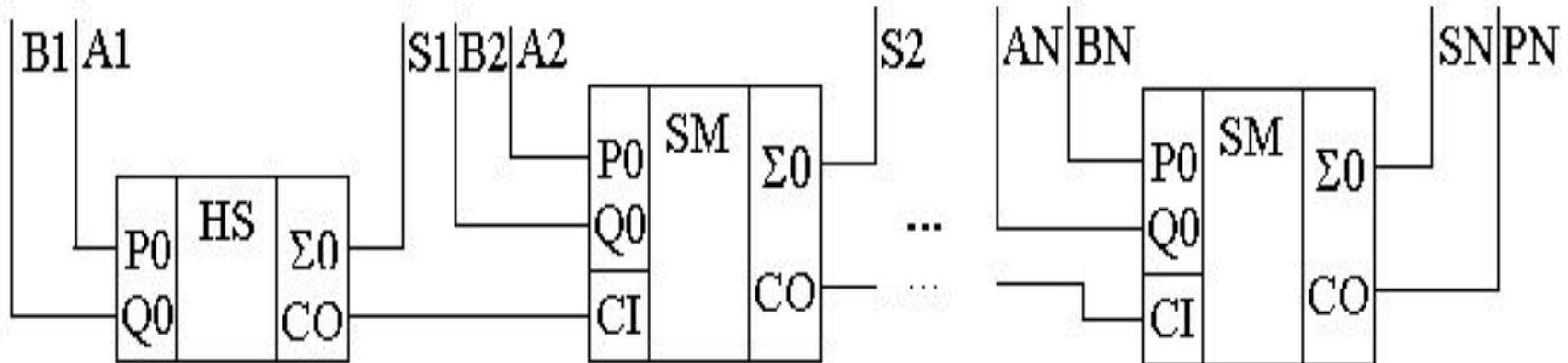
В параллельных сумматорах с последовательным переносом используется $m-1$ полный сумматор и один полусумматор, т.е. затраты пропорциональны разрядности операндов, но операция суммирования выполняется за один такт T_{Σ} . Длительность суммирования определяется соотношением:

$$T_{\Sigma} = t_{\Sigma} + m * t_{\text{здр.}},$$

t_{Σ} - длительность суммирования в одnorазрядном сумматоре;

$t_{\text{здр.}}$ - длительность формирования переноса в одном разряде.

Многоразрядный сумматор с последовательным переносом



При большом количестве разрядов длительность суммирования оказывается недопустимо большой. Увеличение быстродействия достигается за счет одновременного (параллельного) формирования сигнала переноса во всех разрядах.

Многоразрядный сумматор с параллельным переносом

В многоразрядных сумматорах с параллельным переносом применяют узел ускоренного (параллельного) переноса, для построения которого вводят два сигнала:

- ▣ образования переноса $G_i = A_i B_i$;
- ▣ распространения переноса $H_i = A_i \oplus B_i$.

Если $A_i = B_i = "1"$, то в данном разряде сигнал переноса формируется независимо от формирования сигналов в предыдущем разряде.

Известно, что для полного сумматора:

$$S_i = A_i \oplus B_i \oplus P_{i-1} = H_i \oplus P_{i-1};$$

$$P_i = A_i B_i + P_{i-1} A_i \oplus B_i = G_i + H_i P_{i-1}.$$

Многоразрядный сумматор с параллельным переносом

Результат суммирования можно записать в виде:

$$S_1 = H_1 \oplus P_0;$$

$$S_2 = H_2 \oplus P_1;$$

$$S_3 = H_3 \oplus P_2;$$

$$S_4 = H_4 \oplus P_3;$$

где P_i – возможный перенос из предыдущего разряда;

$$P_1 = G_1 + H_1 P_0;$$

$$P_2 = G_2 + H_2 P_1 = G_2 + H_2 G_1 + H_1 H_2 P_0;$$

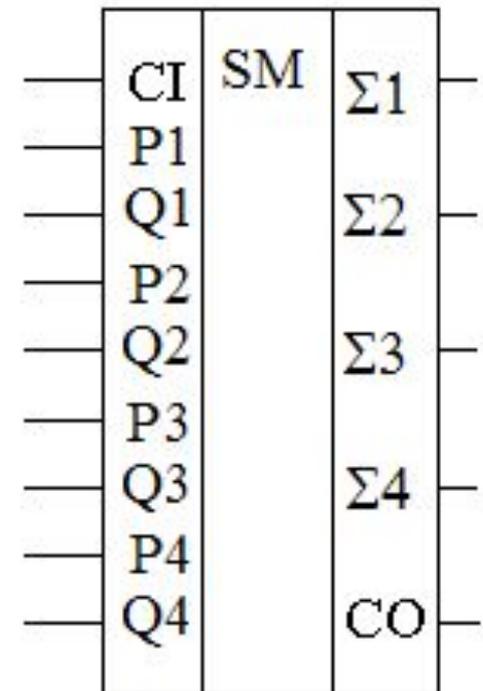
$$P_3 = G_3 + H_3 P_2 = G_3 + H_3 G_2 + H_2 H_3 G_1 + H_1 H_2 H_3 P_0;$$

$$P_4 = G_4 + H_4 P_3 = G_4 + H_4 G_3 + H_3 H_4 G_2 + H_2 H_3 H_4 G_1 + H_1 H_2 H_3 H_4 P_0.$$

Сумматор, реализованный по полученным соотношениям (на элементах ИСКЛЮЧАЮЩЕЕ ИЛИ и М-НИЛИ-И), характеризуется максимальным быстродействием.

Многоразрядный сумматор с параллельным переносом

Выпускаются десятки сумматоров с ускоренным переносом. Типичным представителем таких сумматоров является четырехразрядный сумматор с ускоренным переносом К555ИМЗ, условное графическое обозначение которого имеет вид:



Многоразрядный последовательный сумматор

При последовательном суммировании требуется одноразрядный полный сумматор, на входы которого в течение тактового интервала последовательно, начиная с младшего разряда, подаются соответствующие разряды слагаемых и результат переноса от сложения на предыдущем такте. Результат суммирования поразрядно с выхода сумматора запоминается в буферном сдвигающем регистре суммы. Операция суммирования заканчивается через количество тактов суммирования

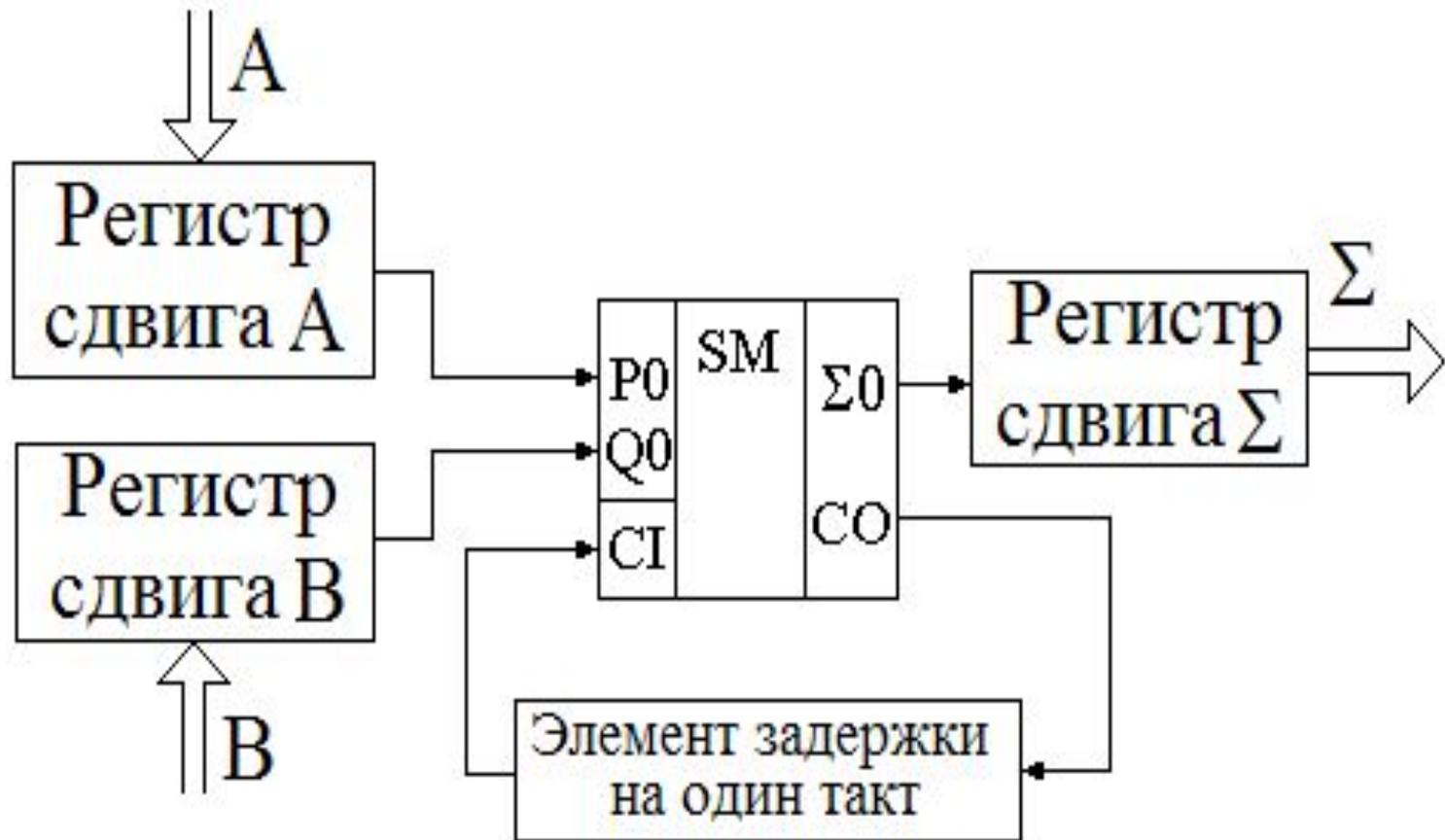
$$N_{\Sigma} = m + 1.$$

Дополнительный перенос необходим для учета переноса от суммирования старших разрядов.

К достоинствам следует отнести минимальные затраты оборудования, практически не зависящие от разрядности суммируемых чисел.

Недостатком является большая длительность операции суммирования.

Схема многоразрядного последовательного сумматора



Полувычитатели

Одноразрядный вычитатель, на входы которого поступают два одноразрядных числа A и B , а на выходе формируются одноразрядные числа разности D и заема V называется полувычитателем. Выходные сигналы описываются соотношениями:

$$D_i = \bar{A}_i B_i + A_i \bar{B}_i = A_i \oplus B_i;$$

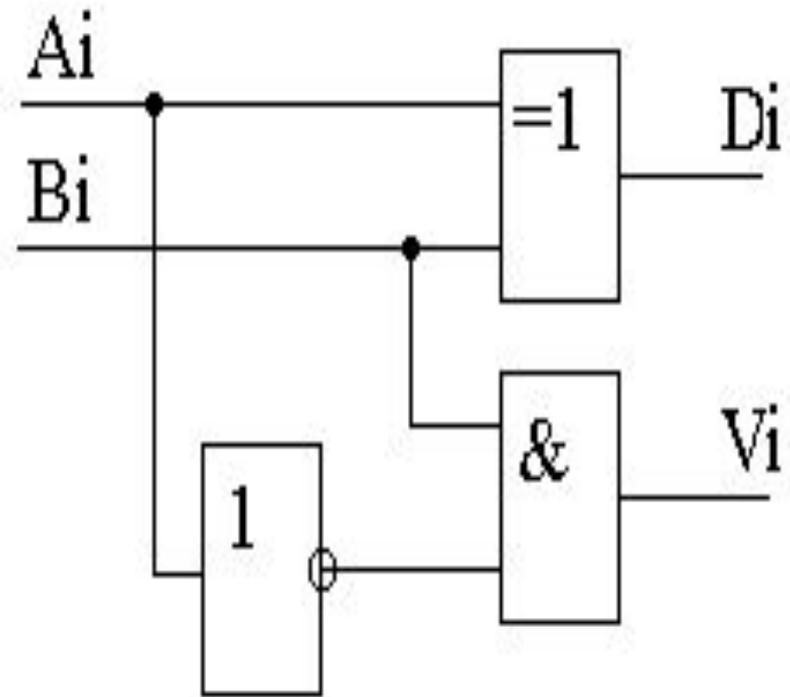
$$V_i = \bar{A}_i * B_i.$$

Входы		Выходы	
A_i	B_i	D_i	V_i
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0
$A_i - B_i$			

Полувычитатели

Возможны различные реализации полувычитателей на основании тождественных преобразований полученных функций.

Схема полувычитателя отличается от схемы полусумматора только наличием инвертора по сигналу A .

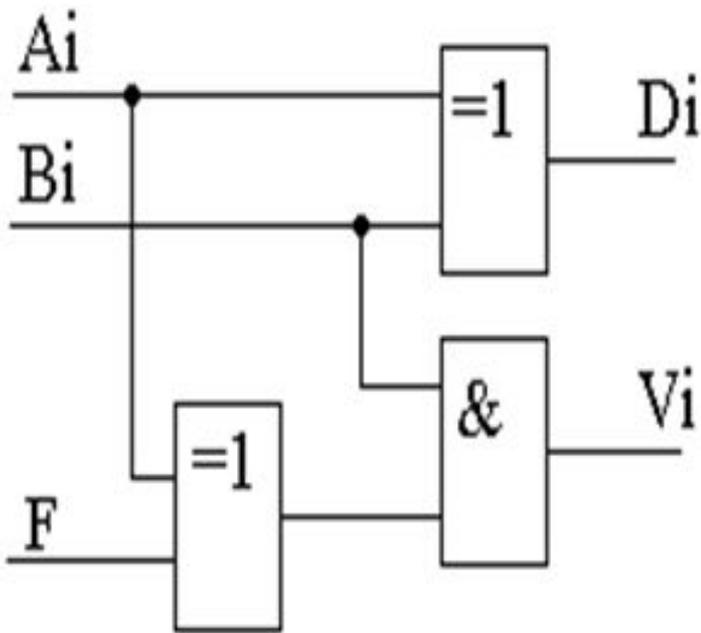


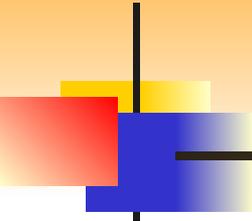
Универсальное устройство

Универсальное устройство, в котором на элементе ИСКЛЮЧАЮЩЕЕ ИЛИ реализован управляемый инвертор, в зависимости от уровня сигнала F выполняет функции сумматора или вычитателя:

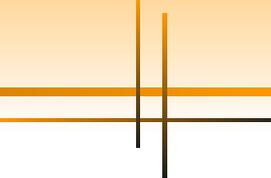
$F = "1"$ – полусумматор;

$F = "0"$ – полувывчитатель.





Полный вычитатель



Полным вычитателем называется устройство, реализующее операцию вычитания одноразрядных чисел с учетом заема из предыдущего разряда.



Таблица истинности полного вычитателя

Входы			Выходы	
A_i	B_i	P_{i-1}	D_i	V_i
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1
$A_i - B_i - V_{i-1}$				

Описание выходных сигналов

Как следует из таблиц истинности для сумматора и вычитателя выходные сигналы суммы и разности совпадают, т.е.

$$D_i = V_{i-1} \oplus A_i \oplus B_i.$$

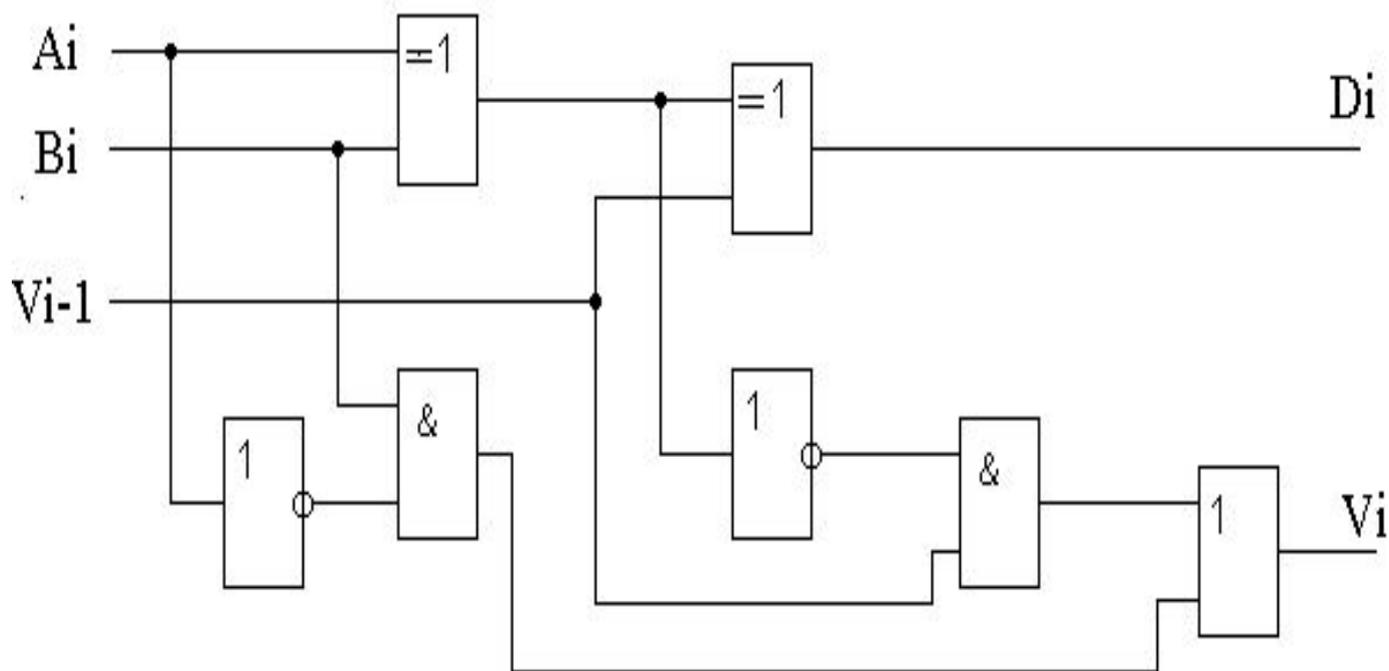
Выражение для заема, полученное по приведенной карте Карно, имеет вид:

$$V_i = \overline{A_i B_i} + \overline{V_{i-1}} (A_i \oplus B_i).$$

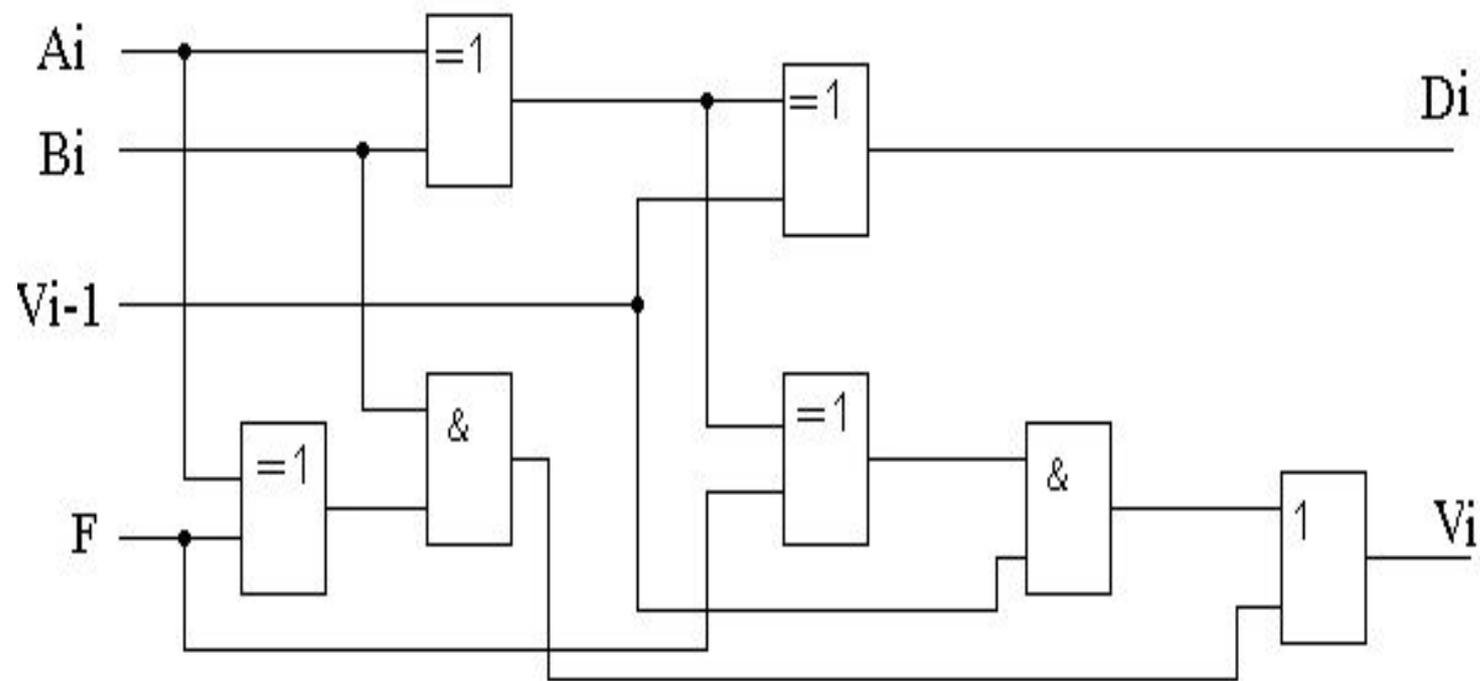
Карта Карно для заема

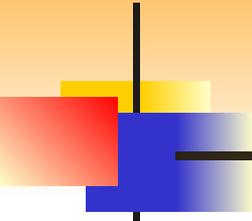
		Ai Bi			
		00	01	11	10
Vi-1	0	0	1	0	0
	1	1	1	1	0

Схема полного вычитателя



Универсальное устройство





Построение универсальных устройств



В вычислительных устройствах применяют сумматоры и вычитатели. Для упрощения схемной реализации вычислительных устройств целесообразно иметь одно универсальное устройство. Оказывается, что использование простых специальных математических приёмов позволяет приспособить сумматоры для выполнения операции вычитания.

Такие приёмы - сложение в системе с обратным или дополнительным кодом.



Универсальное устройство в обратном коде

Рассмотрим четыре возможных случая, которые могут иметь место при сложении различных комбинаций положительных и отрицательных чисел.

1 Оба числа положительны. Так как оба разряда знака будут нулевыми, разряд знака сумматора остаётся в состоянии 0.

$$\begin{array}{r} +3 \quad 0.011 \\ +4 \quad \underline{0.100} \\ +7 \quad 0.111 \end{array}$$

2 Одно число положительное, другое отрицательное, причём отрицательное число по модулю больше положительного. Результат правилен. Переполнения не возникает.

$$\begin{array}{r} +3 \quad 0.011 \\ -4 \quad \underline{1.011} \\ -1 \quad 1.110 \end{array} \rightarrow 1.001 = -1 \text{ (прямой код)}$$

Обратный код $-4 = 1.011$.

Универсальное устройство в обратном коде

3 Положительное число по модулю больше отрицательного. Сумма неправильна! Прибавление к ней циклического переноса исправит результат. Разряд знака равен 0, что соответствует положительному значению суммы.

$$\begin{array}{r} +4 \qquad \qquad 0.100 \\ -\underline{3} \qquad \qquad \underline{1.100} \\ +1 \qquad \qquad 10.000 \\ \hline \qquad \qquad \qquad \underline{1} \quad \rightarrow \\ \qquad \qquad \qquad 0.001 \end{array}$$

Универсальное устройство в обратном коде

4 Оба числа отрицательны, всегда возникает циклический перенос. Поэтому разряд знака будет равен 1.

$$\begin{array}{r} -3 \quad \quad \quad 1.100 \\ -4 \quad \quad \quad \underline{1.011} \\ \hline -7 \quad \quad \quad 10.111 \\ \quad \quad \quad \underline{\quad 1} \quad \quad \quad \rightarrow \\ \quad \quad \quad 1.000 \end{array}$$

1.000 в обратном коде = 1.111 в прямом.

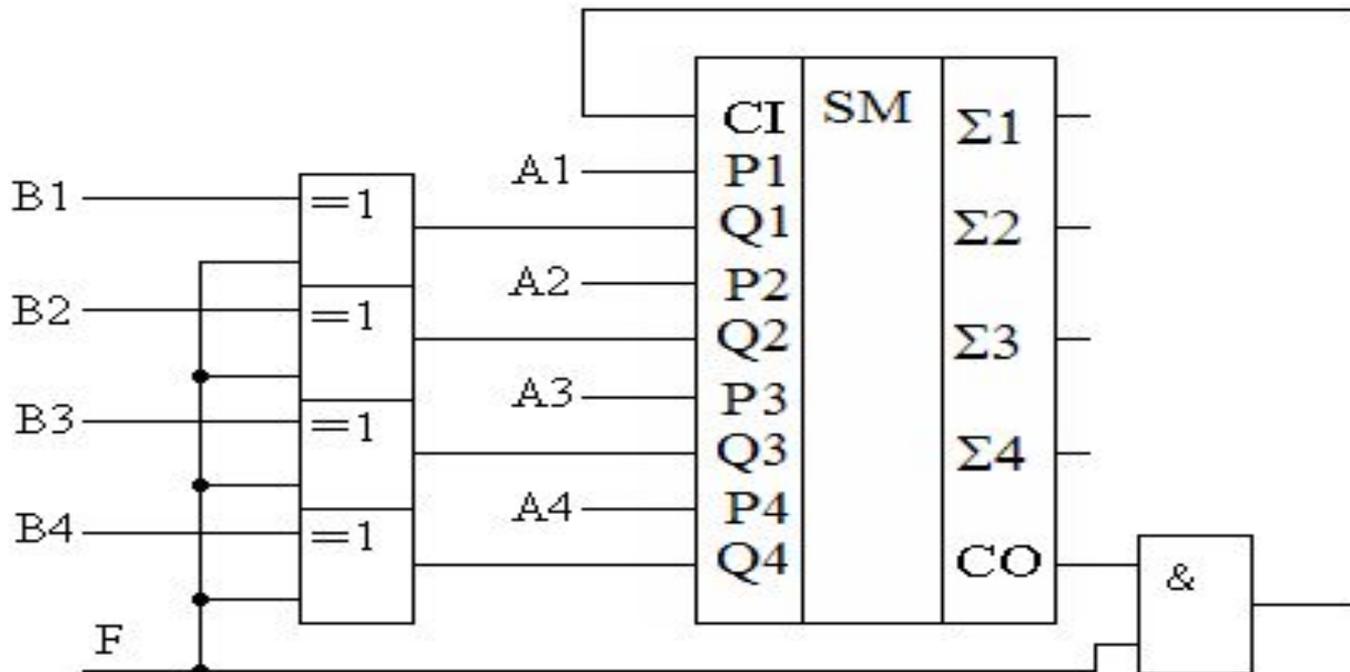
Таким образом,

- для получения правильного результата следует осуществлять циклический перенос;
- если в знаковом разряде стоит единица, то результат представлен в обратном коде.

Схема универсального устройства в обратном коде

Схема в зависимости от уровня управляющего сигнала обеспечивает сложение или вычитание чисел в обратном коде.

Такой сумматор-вычитатель часто применяется в основном из-за простоты получения обратного кода. К недостаткам следует отнести малое быстродействие из-за наличия циклического переноса.



Универсальное устройство в дополнительном коде

В вычислительных машинах наиболее часто применяют сложение в системе с дополнительным кодом. В этой системе отрицательные числа преобразуются в дополнительный код до выполнения операций сложения или вычитания. Затем они преобразуются обратно в прямой код.

Дополнительный код положительного числа совпадает с двоичным представлением чисел. Знаковый разряд всегда равен 0.

Дополнительный код отрицательных чисел формируют по следующему правилу: цифры всех разрядов, кроме знакового, инвертируют, и в младший разряд прибавляется единица. В знаковый разряд отрицательного числа ставится 1.

Универсальное устройство в дополнительном коде

Возможны четыре случая, которые могут иметь место при сложении различных комбинаций положительных и отрицательных чисел.

1 Оба числа положительны. Обычное суммирование.

$$\begin{array}{r} +4 \qquad \qquad 0.100 \\ +3 \qquad \qquad \underline{0.011} \\ +7 \qquad \qquad 0.111 \end{array}$$

2 Одно число положительное, а другое отрицательное, причём положительное число имеет большую абсолютную величину. Возникает перенос в разряд знака. Его следует отбросить и на выходе сумматора получится правильный результат.

$$\begin{array}{r} +4 \qquad \qquad 0.100 \\ -3 \qquad \qquad \underline{1.101} \\ +1 \qquad \qquad 10.001 \end{array}$$

Универсальное устройство в дополнительном коде

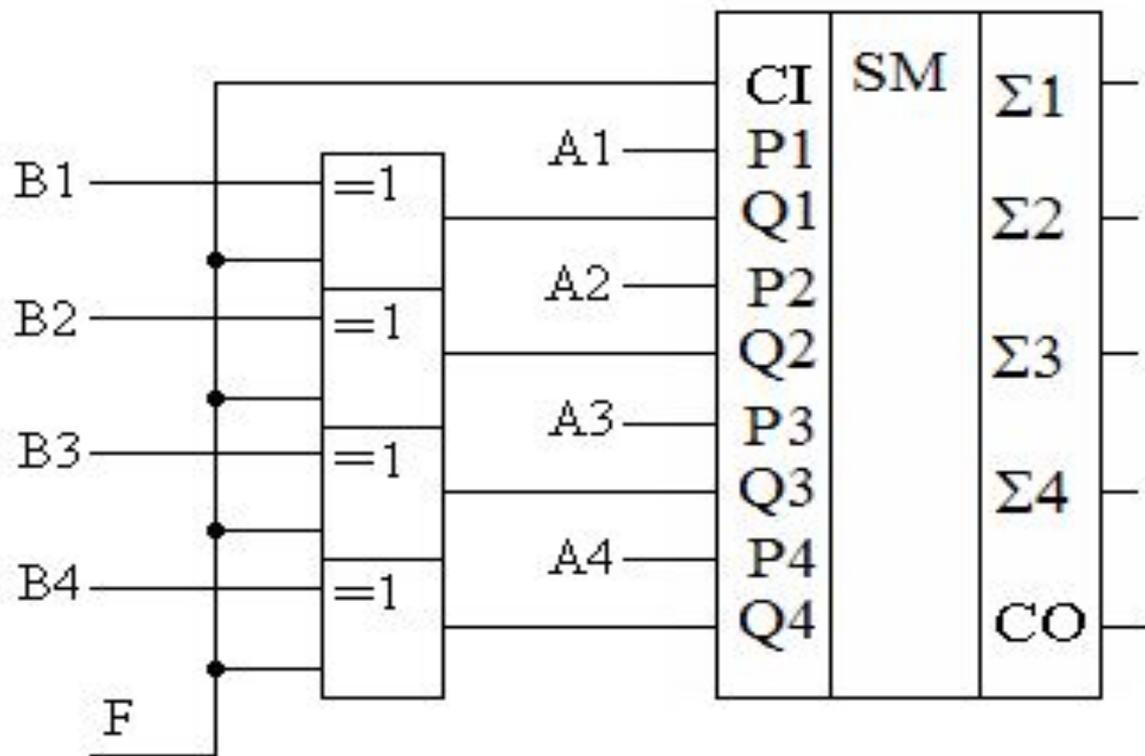
3 Когда суммируются положительное и отрицательное число и отрицательное число имеет большую абсолютную величину. В разряды знака переноса не будет и результат останется правильным.

$$\begin{array}{r} +3 \\ -4 \\ \hline -1 \end{array} \qquad \begin{array}{r} 0.011 \\ \underline{1.100} \\ 1.111 \end{array}$$

4 Если складывают два числа отрицательных, то в разряде знака и в разряде справа от разряда знака образуется перенос. По этой причине разряд знака станет равным 1, а перенос в разряды знака следует отбросить.

$$\begin{array}{r} -3 \\ -4 \\ \hline -7 \end{array} \qquad \begin{array}{r} 1.101 \\ \underline{1.100} \\ 11.001 \end{array}$$

Схема универсального устройства в дополнительном коде



Универсальное устройство в дополнительном коде

Сумматор обрабатывает числа, представленные в дополнительном коде.

Когда $F=0$, то $CI=0$, код B не инвертируется, и схема работает как обычный сумматор, последний перенос CO отбрасывается.

Если $F=1$, то $CI=1$, код B инвертируется и суммируется с $CI=1$. Это эквивалентно формированию дополнительного кода вычитаемого.

Таким образом, применяя представление чисел в дополнительном коде можно довольно просто на базе полного сумматора сделать устройства, обеспечивающие как сложение, так и вычитание двоичных чисел.