

Цепи распространения переноса в многоразрядных сумматорах

Многоразрядный параллельный сумматор может быть составлен из одnorазрядных полных сумматоров, число которых равно числу разрядов слагаемых.

Быстродействие одnorазрядного комбинационного сумматора характеризуется временем установления выходных сигналов суммы и переноса после подачи сигналов на входы сумматора.

Максимальное время суммирования T_{Σ} двух многоразрядных чисел с момента одновременной подачи слагаемых на входы параллельного сумматора определяется следующей формулой:

$$T_{\Sigma} = t_s + N \cdot t_c$$

где t_s – время формирования сигнала суммы в одном разряде;

t_c – время задержки сигнала переноса в одном разряде;

N – число разрядов параллельного сумматора.

Из приведенной формулы видно, что повысить быстродействие параллельного сумматора можно двумя способами.

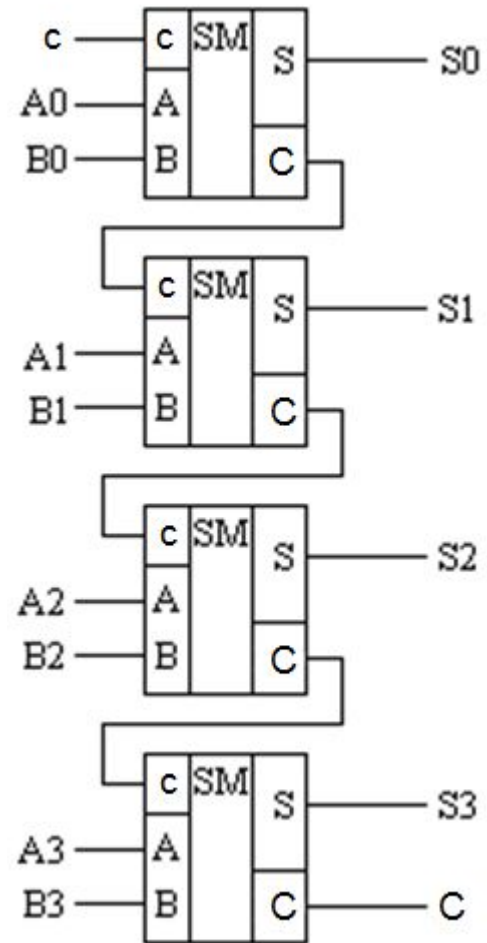
Во-первых, уменьшением времени задержки сигнала переноса в одноразрядном сумматоре.

Во-вторых, уменьшением влияния числа разрядов на время распространения переноса.

По характеру распространения переноса различают следующие виды сумматоров:

- с поразрядным последовательным переносом;
- с параллельным одновременным переносом;
- с групповым переносом.

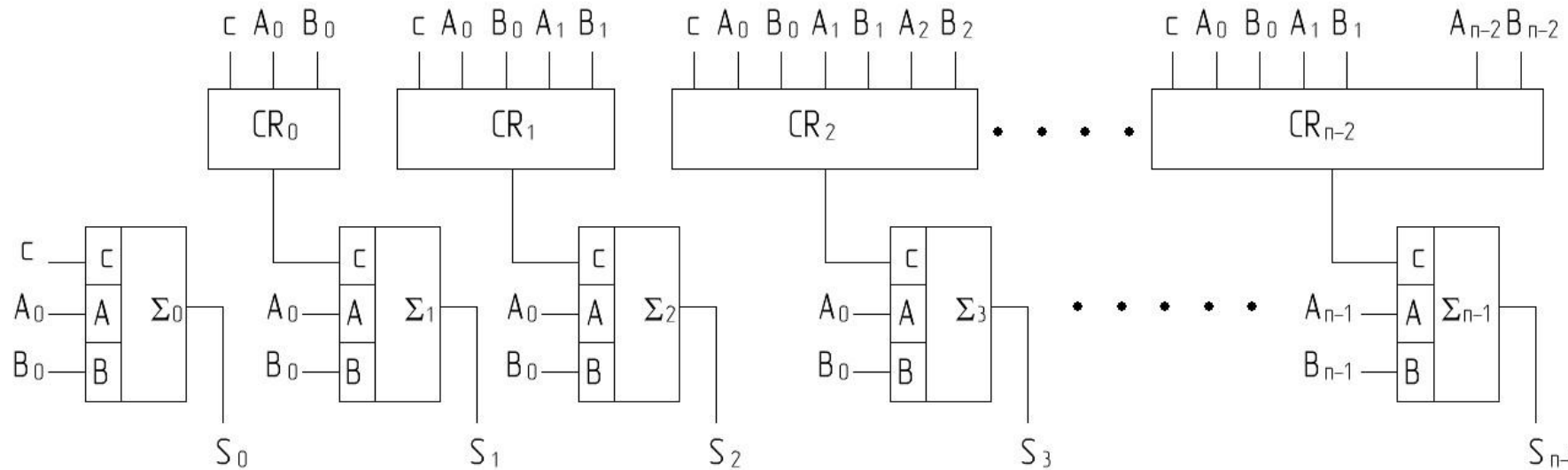
Многоразрядный сумматор с последовательным переносом



Максимальное время
суммирования многоразрядного
сумматора с последовательным
переносом

$$T_{\Sigma} = t_s + N \cdot t_c$$

Многоразрядный сумматор с параллельным переносом



Структура сумматора с цепями параллельного переноса

Задержка T получения суммы сумматора с параллельным переносом складывается из одинаковых для всех (кроме первого) разрядов задержки блока переноса – $(2 \div 3) \tau$ в зависимости от логического базиса и задержки трехвходовой схемы сложения по модулю 2 – $(2 \div 4) \tau$.

От числа разрядов ни задержка получения суммы, ни задержка получения выходного переноса $CR_{\text{групп}}$ не зависят.

Максимальное время суммирования многоразрядного сумматора с параллельным переносом

$$T_{\Sigma} = t_s + t_c$$

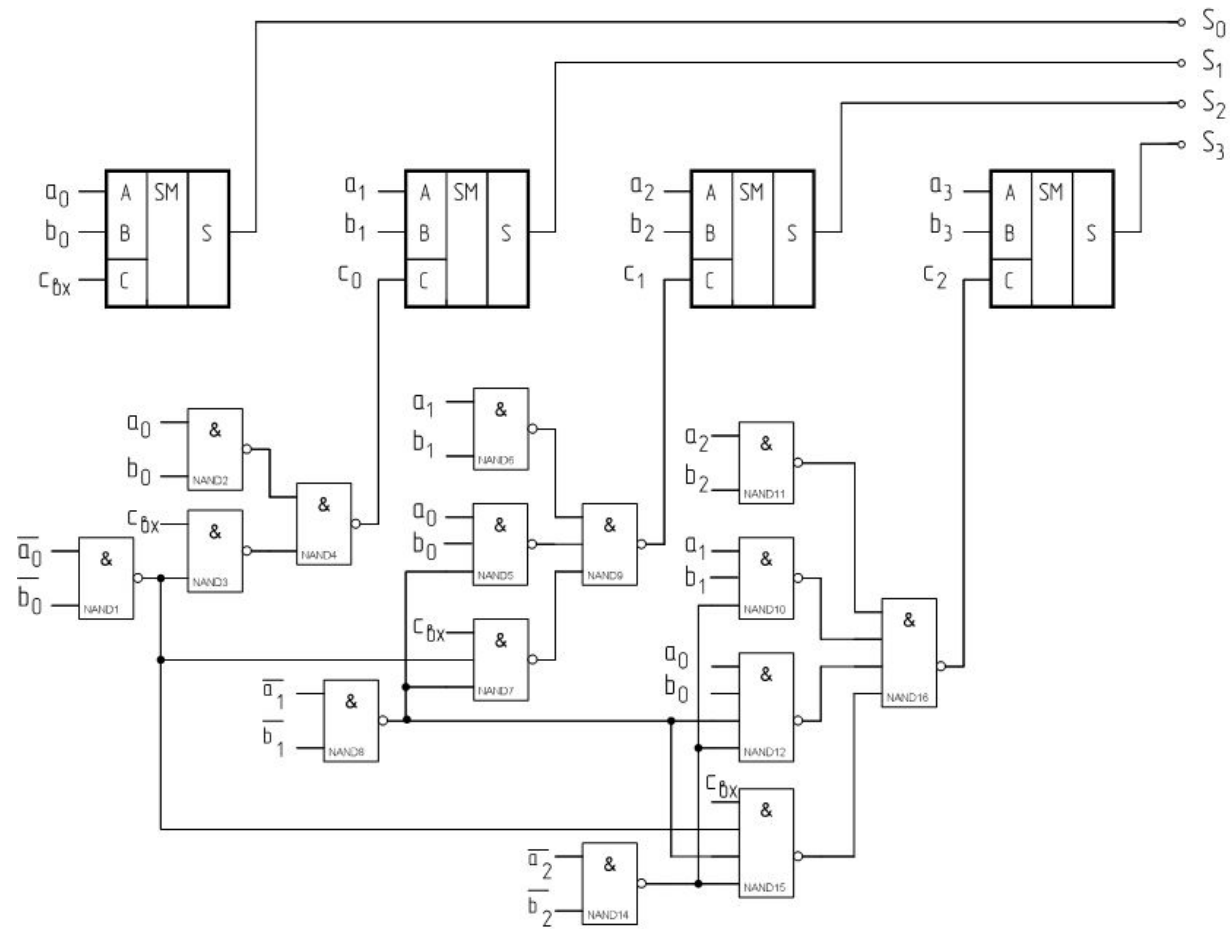


Схема формирования сигналов параллельного переноса

Аппаратурные затраты сумматора с параллельным переносом заметно превышают сумматора с последовательным переносом и быстро растут с ростом разрядности.

Диапазон разрядности, в пределах которого сумматор с параллельным переносом эффективен, невелик. Так при малой разрядности 2 ÷ 3, и даже 4 он хуже сумматора с последовательным переносом и по аппаратурным затратам, и по затрачиваемому времени T .

Многоразрядный сумматор с групповым переносом

Для ускорения переноса в сумматорах с большим числом разрядов применяют принцип группового переноса.

Сумматор разбивают на группы, представляющие собой небольшие сумматоры с разрядностью обычно от 2 до 8.

Блоки переноса анализируют слагаемые, т.е. определяют состояние группы и если из группы должен быть перенос, то он появляется на выходе блока для подачи его на вход следующей группы и в цепочку распространения переноса от младшей группы к старшей. Тракт группового переноса построен так, что время распространения переноса в нем между группами оказывается меньше, чем если бы этот перенос распространялся по цепям внутригрупповых трактов

Переносы в группе определяются по формулам как для обычных сумматоров с параллельным переносом, но сами **сумматоры благодаря делению на группы существенно упрощаются**, так как у них все **блоки формирования переноса имеют одинаковую сложность**, тогда как **в сумматоре с параллельным переносом сложность схем переноса возрастает непрерывно** от предыдущего разряда к последующему.

Максимальное время суммирования многоразрядного сумматора с групповым переносом

$$T_{\Sigma} = t_s + (N/K)$$



Схема формирования сигналов группового переноса

Как и в обычном сумматоре, который можно рассматривать как частный случай сумматора с групповым переносом, когда разрядность каждой группы равна 1, тракт межгруппового переноса может быть построен:

- a) как **параллельным**, когда все групповые переносы вырабатываются параллельно как функции только слагаемых,
- b) так и **последовательным**, когда исходным материалом для переноса в каждую следующую группу служит перенос, поступающий на вход данной группы.

Параллельный перенос между группами в сочетании с параллельным переносом внутри группы дает самые быстрые сумматоры в диапазоне разрядности, приблизительно от 24 до 64. Задержка таких *параллельно-параллельных* сумматоров не зависит от разрядности и составляет $(9 \div 10)\tau$ в зависимости от используемого логического базиса. За скорость приходится платить, и аппаратные **затраты таких сумматоров заметно превышают затраты сумматоров с другими типами переносов.**

В диапазоне разрядности примерно от 8 до 24 первенство по скорости переходит к сумматорам с **параллельным переносом между группами и с последовательным внутри групп.**

Разрядность групп при этом выбирают небольшой – от 2 до 4.

Умножители

Параллельные умножители

При умножении используются понятия **множимое** и **множитель**.

Множимое — это базовое число.

Множитель является числом, на которое увеличивается множимое. В результате получается **произведение**.

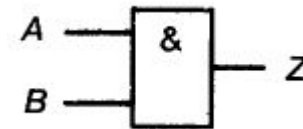
$$\begin{array}{rcccl} \text{Множимое} & \text{Множитель} & & \text{Произведение} & \\ 2 & \times & 3 & = & 6 \end{array}$$

Например, перемножим два двухразрядных двоичных числа: $2 \cdot 3 = 6$

$$\begin{array}{r} 10_2 \\ \underline{11_2} \\ 10_2 \quad \rightarrow \text{1-е слагаемое} \\ \underline{10_2} \quad \rightarrow \text{2-е слагаемое} \\ 110_2 \quad \rightarrow \text{Результат} \end{array}$$

$$\begin{array}{l} 0 \cdot 0 = 0 \\ 0 \cdot 1 = 0 \\ 1 \cdot 0 = 0 \\ 1 \cdot 1 = 1 \end{array}$$

Вар.	B	A	X
1	0	0	0
2	0	1	0
3	1	0	0
4	1	1	1



Элемент И является 1-битовым умножителем

Пример: $2 \cdot 3 = 6$

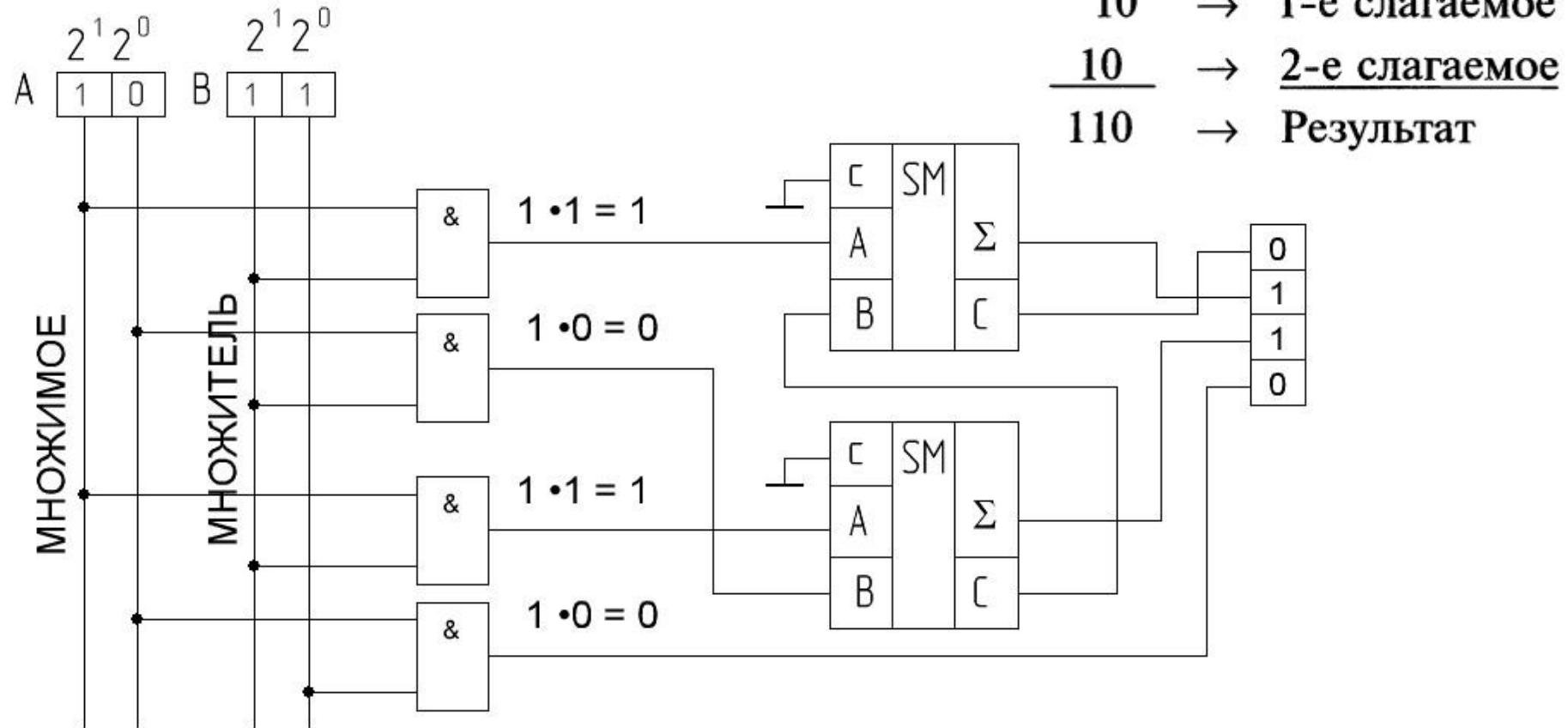


Схема умножителя для получения слагаемых

Оба слагаемых должны теперь складываться поразрядно. Сложение происходит в 2-битовом параллельном сумматоре. И-элементы должны быть включены таким образом, чтобы второе слагаемое прибавлялось к первому слагаемому со смещением на одну позицию влево.

		A_2	A_1	A_0
	\times	B_2	B_1	B_0
0	0	A_2B_0	A_1B_0	A_0B_0
0	A_2B_1	A_1B_1	A_0B_1	0
A_2B_2	A_1B_2	A_0B_2	0	0
M_4	M_3	M_2	M_1	M_0

$$M_0 = A_0B_0$$

$$M_1 = A_1B_0 + A_0B_1$$

$$M_2 = A_2B_0 + A_1B_1 + A_0B_2$$

$$M_3 = A_2B_1 + A_1B_2$$

$$M_4 = A_2B_2$$

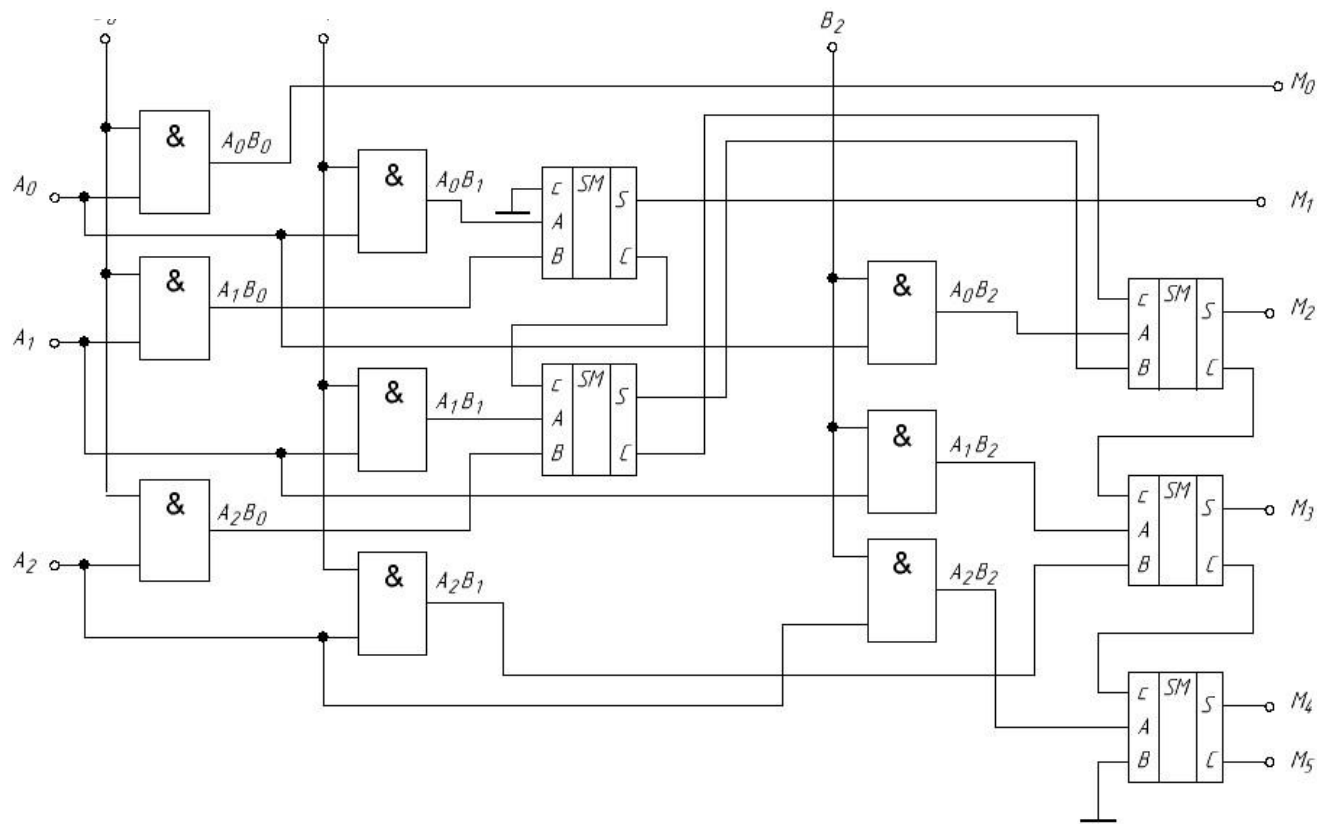
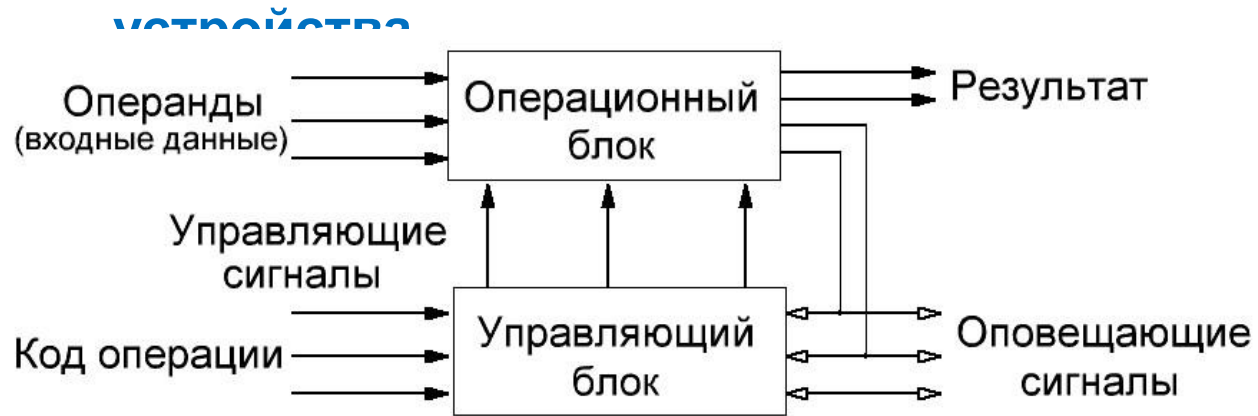


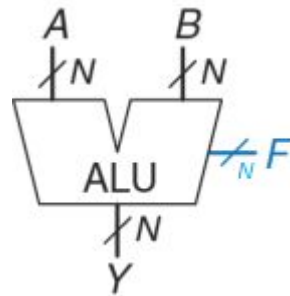
Схема 3-х битового умножителя для получения произведения

Арифметико-логические устройства

Декомпозиция вычислительного устройства



Операционный блок – совокупность электронных устройств (регистров, сумматоров и других узлов), производящих приём из внешней среды наборов данных, их преобразование и выдачу во внешнюю среду результатов преобразования, а также выдачу в управляющий блок и внешнюю среду оповещающих сигналов, которые могут представлять из себя сообщения о знаках, особых значениях промежуточных и конечных результатов. Например, регистр **PSW** (*Processor status word – слово состояния процессора*).



Арифметико-логическое устройство (АЛУ) является операционным узлом ЭВМ, который выполняет арифметические и логические операции над данными, обрабатываемыми ЭВМ.

Классификация АЛУ

АЛУ можно классифицировать по ряду признаков.

1. Классификация по способу представления данных (чисел):

- с фиксированной запятой;
- с плавающей запятой.

2. Классификация по способу действия над операндами:

- последовательные АЛУ, где каждая операция выполняется последовательно над каждым разрядом;
- параллельные АЛУ, операция выполняется над всеми разрядами данных одновременно;
- последовательно-параллельные АЛУ, где слово данных делится на части (слоги), при этом обработка данных ведется параллельно над разрядами слога и последовательно над самими слогами.

3. Классификация по использованию систем счисления:

- двоичная;
- двоично-десятичная;
- восьмеричная;
- шестнадцатеричная и т.д.

4. Классификация по характеру использования элементов и узлов:

- **блочные** – для выполнения отдельных арифметических операций в структуру АЛУ вводят специальные блоки, что позволяет процесс обработки информации вести параллельно;
- **конвейерные** – в конвейерных АЛУ операция разбивается на последовательность микроопераций, выполняемых за одинаковые промежутки времени (такты) на разных ступенях конвейера, что позволяет выполнять операцию над потоком операндов каждый такт;
- **многофункциональные** – это универсальные АЛУ, выполняющие множество операций в одном устройстве. В таких АЛУ требуется настройка (программирование) на выполнение данной операции при помощи кода операции.

5. Классификация по временным характеристикам.

По временным характеристикам АЛУ делятся на:

- **синхронные** – в синхронных АЛУ каждая операция выполняется за один такт.
- **асинхронные** – не тактируемые АЛУ, обеспечивающие высокое быстродействие, так как выполняются на комбинационных схемах.

6. Классификация по структуре устройства управления:

АЛУ с **жесткой логикой устройства управления**;

АЛУ с **микропрограммным управлением**.

Основные функции АЛУ

Современные АЛУ выполняют:

- *функции двоичной арифметики* для данных представленных *в формате с фиксированной точкой*;
- *функции двоичной арифметики* для данных представленных *в формате с плавающей точкой*;
- *функции арифметики двоично-десятичного представления данных*;
- *логические операций* (в том числе сдвиги арифметические и логические);
- *операции пересылки данных*;
- *работу с символьными данными*;
- *работу с графическими данными*.

Арифметико-логическое устройство процессора выполняет операции в соответствии с правилами двоичной арифметики независимо от типа данных.

Основные характеристики

Основные характеристики АЛУ можно разделить на количественные и качественные.

Количественные характеристики определяют:

- *скорость выполнения операций*,
- *время выполнения одной операции*,
- *точность представления данных*, количество выполняемых операций.

Среднюю скорость выполнения операций $V_{\text{ср}}$ в АЛУ можно определить как отношение количества операций – $N(T)$, выполненных за отрезок времени T к данному отрезку времени:

$$V_{\text{ср}} = N(T)/T$$

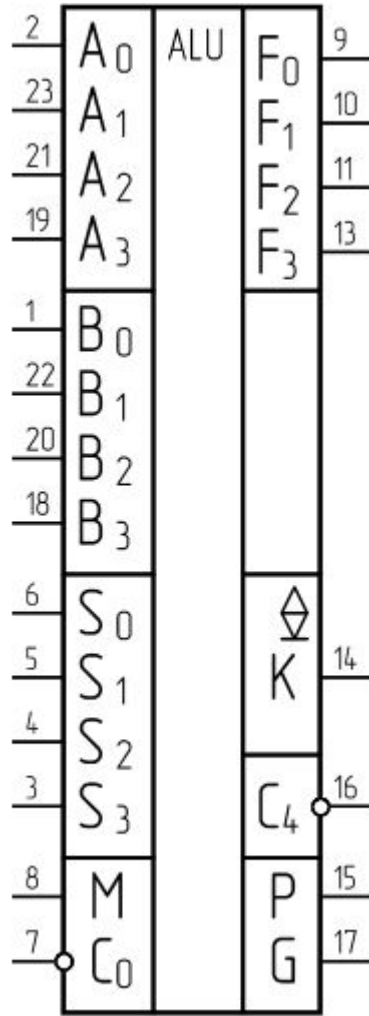
Среднее время $T_{\text{ср}}$, которое АЛУ тратит на выполнение операции равно:

$$T_{\text{ср}} = 1/V_{\text{ср}}$$

Точность представления данных в АЛУ зависит от разрядной сетки АЛУ и выбранного формата данных.

Качественные характеристики АЛУ:

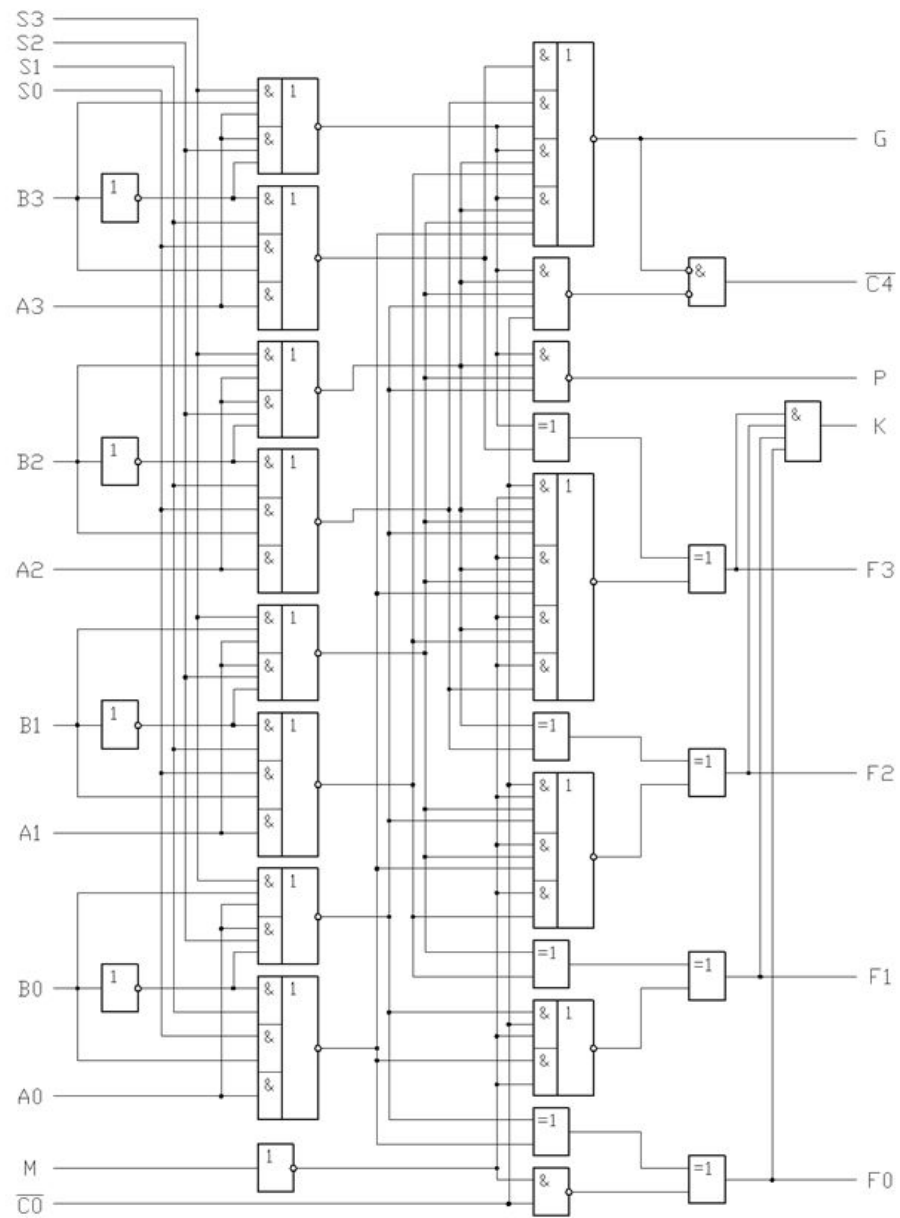
- *структурные особенности АЛУ*;
- *форматы представления данных* (с фиксированной или плавающей точкой);
- *способы кодирования данных*.



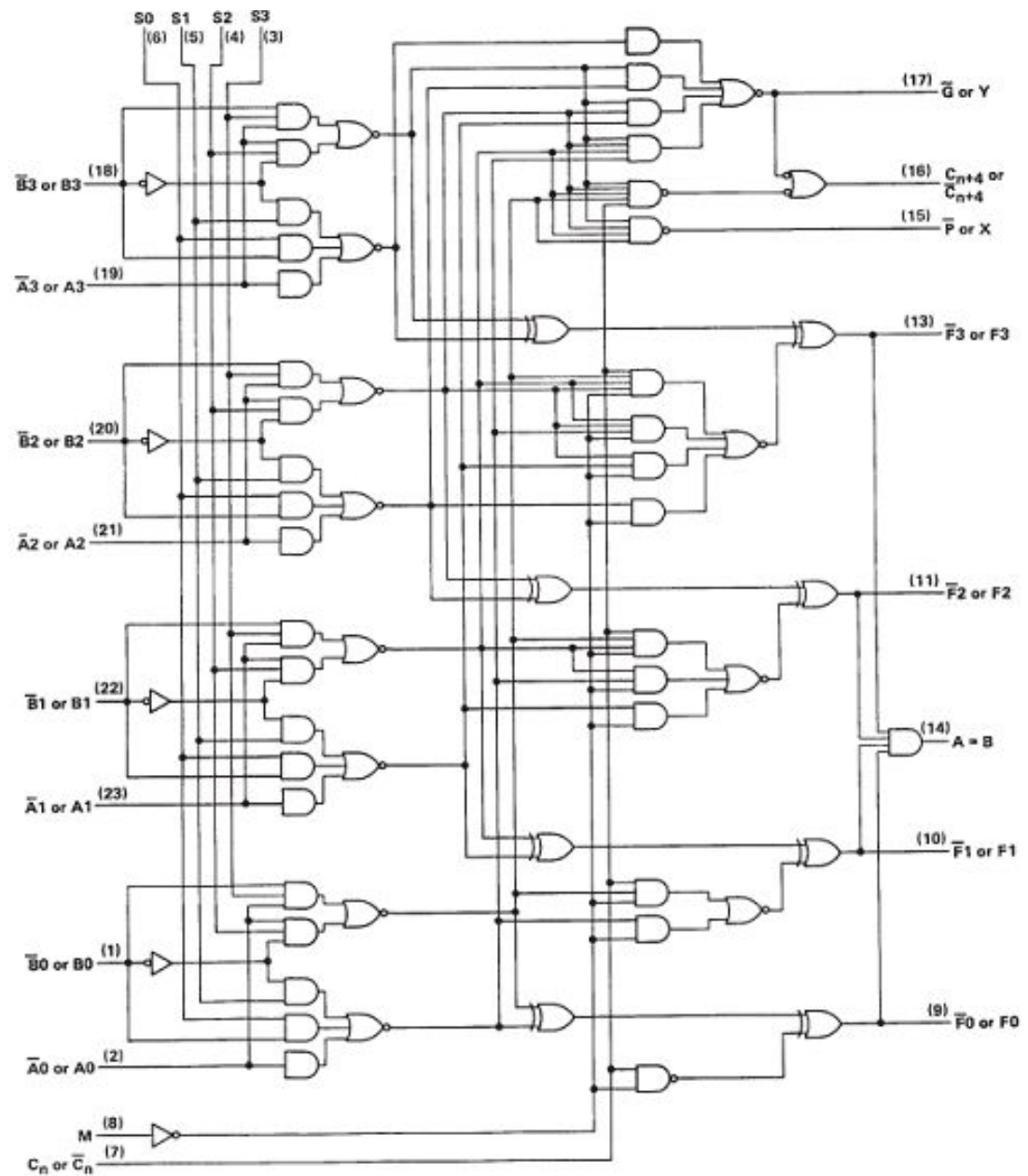
УГО 4-х битного АЛУ К155ИПЗ
(SN74LS181)

Таблица состояний

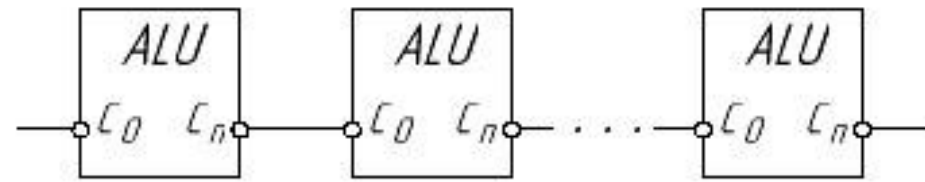
№ операции j	Состояние входов				Положительная логика	
	S_3	S_2	S_1	S_0	Арифметические ($M=0$)	Логические ($M=1$)
0	0	0	0	0	$A + c_0$	\overline{A}
1	0	0	0	1	$(A \vee B) + c_0$	$\overline{A \vee B}$
2	0	0	1	0	$(A \vee \overline{B}) + c_0$	$\overline{A \cdot B}$
3	0	0	1	1	$1 + c_0$	Лог. 0
4	0	1	0	0	$A + (A \cdot \overline{B}) + c_0$	$\overline{A \cdot B}$
5	0	1	0	1	$(A \vee B) + (A \cdot \overline{B}) + c_0$	\overline{B}
6	0	1	1	0	$A + \overline{B} + c_0$	$A \oplus B$
7	0	1	1	1	$1 + (A \cdot \overline{B}) + c_0$	$A \cdot \overline{B}$
8	1	0	0	0	$A + (A \cdot B) + c_0$	$\overline{A \vee B}$
9	1	0	0	1	$A + B + c_0$	$\overline{A \oplus B}$
10	1	0	1	0	$(A \vee \overline{B}) + (A \cdot B) + c_0$	B
11	1	0	1	1	$1 + (A \cdot B) + c_0$	$A \cdot B$
12	1	1	0	0	$2A + c_0$	Лог. 1
13	1	1	0	1	$A + (A \vee B) + c_0$	$A \vee \overline{B}$
14	1	1	1	0	$A + (A \vee \overline{B}) + c_0$	$A \vee B$
15	1	1	1	1	$1 + A + c_0$	A



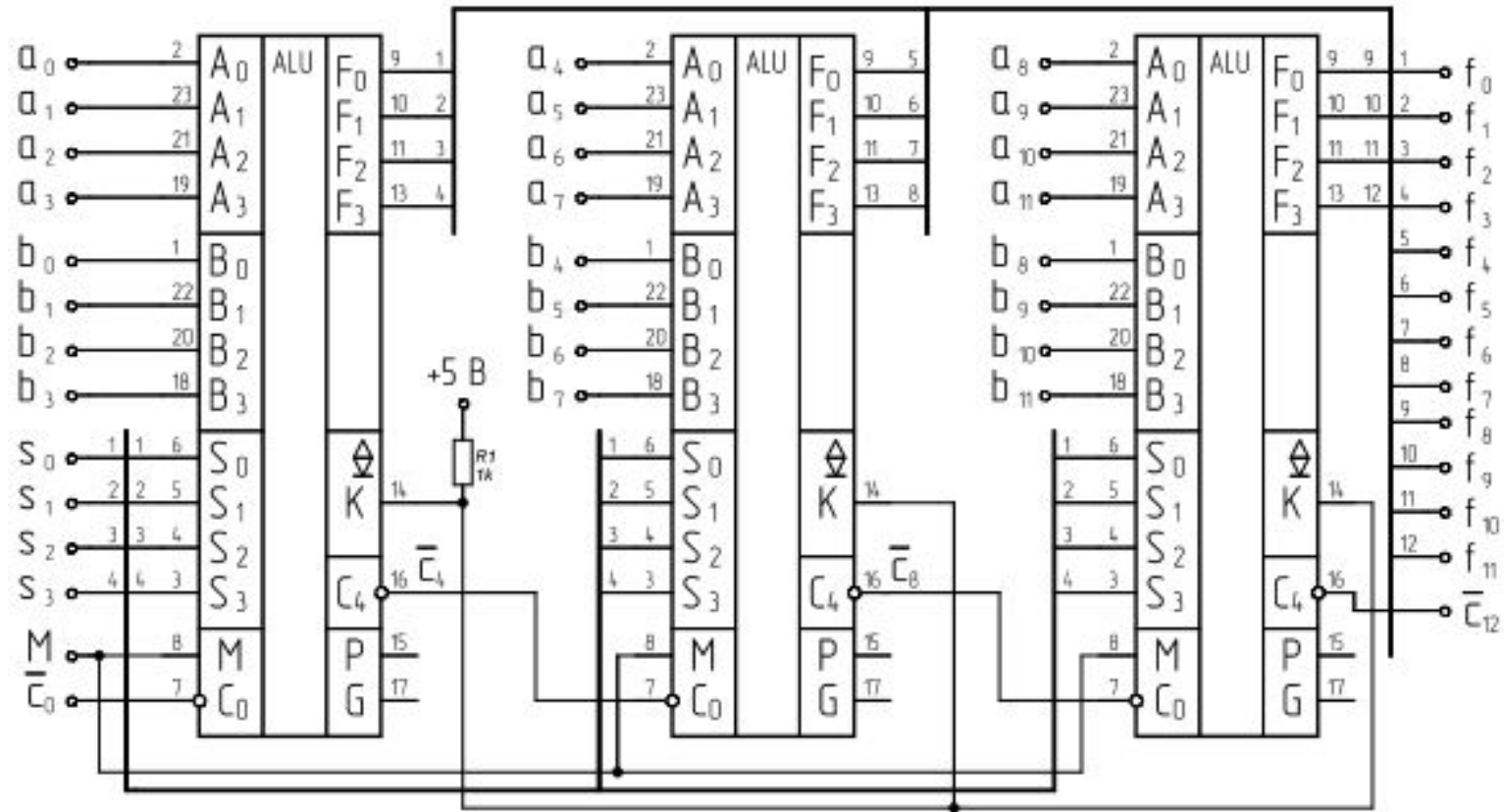
Принципиальная схема АЛУ К155ИП3



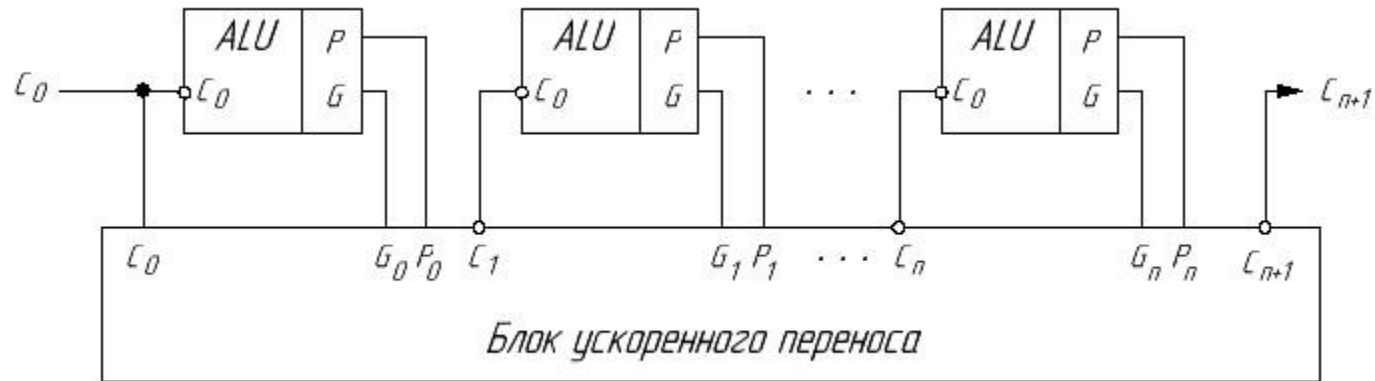
SN74LS181



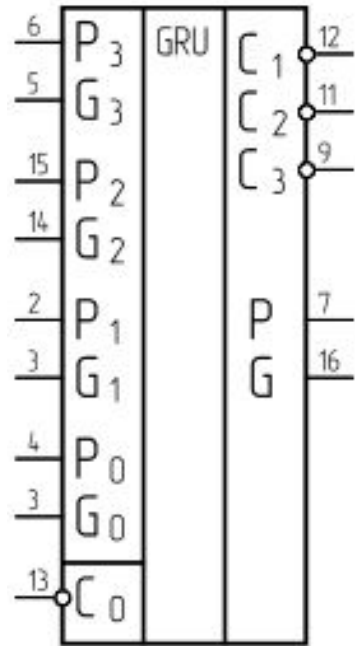
Соединение АЛУ со сквозным (последовательным) переносом.



Последовательное соединение АЛУ.



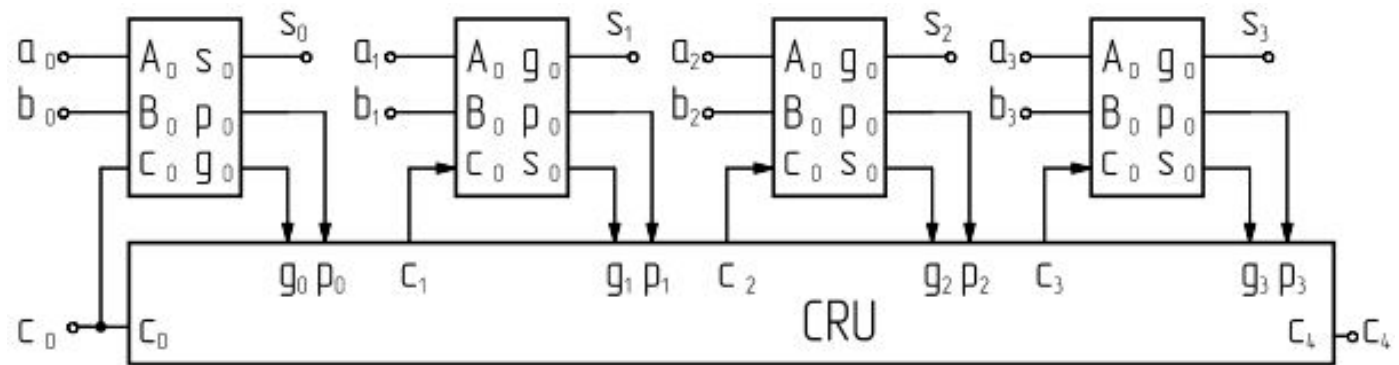
Соединение АЛУ с ускоренным (опережающим) переносом



УГО микросхемы ускоренного переноса К155ИП4 (74S182)

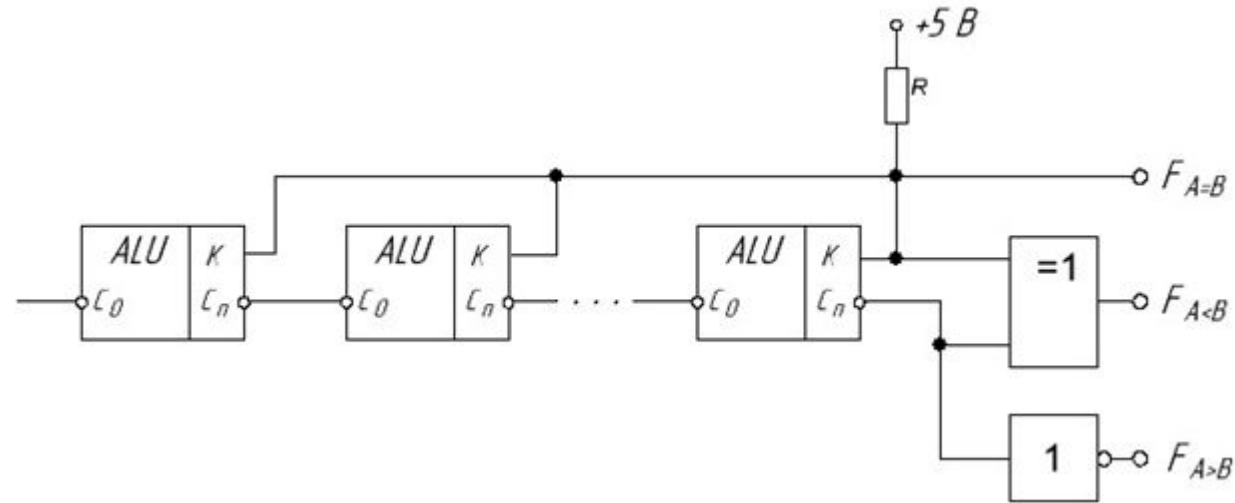
$$G = g_3 + p_3g_2 + p_3p_2g_1 + p_3p_2p_1g_0$$

$$P = p_3p_2p_1p_0$$



Использование устройства ускоренного переноса

Реализация операций сравнения в схеме из АЛУ



Выход K есть выход компаратора, осуществляющего сравнение на равенство.

Выход компаратора выполняется по схеме с открытым коллектором, так что допускает реализацию монтажной логики путем параллельного соединения аналогичных выходов нескольких АЛУ. Выход компаратора формирует функцию

$$F_{A=B} = \overline{F_0} \overline{F_1} \overline{F_2} \overline{F_3}$$

При этом АЛУ работает в режиме вычитания $A - B$ (выполняемого как сложение слова A с инвертированным словом B). Если $A = B$, то во всех разрядах выходного слова будут нули, а, следовательно, все инвертированные значения F_i – единичные, что обеспечит единичное значение функции $F_{A=B}$. Во всех других случаях среди величин F_i найдется хотя бы одна единица, т.е. среди функций НЕ F_i имеется хотя бы один нуль, и будет получено $F_{A=B} = 0$.

Параллельное соединение выходов K нескольких АЛУ дает реализацию монтажной логики И, что позволяет проводить сравнение на равенство многоразрядных слов, обрабатываемых несколькими АЛУ.