

МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ



Старший преподаватель каф. КС
Попова Надежда Владимировна

Литература

- Микропроцессоры: Учебное пособие для вузов. В 3 кн. Под ред. Преснухина Л.Н. – Минск: Высшая школа, 2006.
- Токхайм Р. Микропроцессоры.М. : Энергоатомиздат, 2001
- Микропроцессоры семейства i8080A/8085: Системы программирования и отладки. Под ред. Меснякова В.А. –М.: Энергоатомиздат, 2006.
- Погребинский М.П. Микропроцессорные системы управления электротехническими установками. – М.: МЭИ, 2003.

Основные понятия

- **Микропроцессор (МП)** - это функционально законченное программно-управляемое устройство обработки информации, выполненное в виде одной или нескольких больших интегральных схем (БИС).
- МП выполняет над информационными данными арифметические и логические операции и осуществляет программное управление вычислительным процессом.

Основные понятия

• **Микропроцессорный комплект интегральных микросхем** – совокупность микропроцессорных и других интегральных микросхем, совместимых по архитектуре, конструктивному исполнению и электрическим параметрам обеспечивающих возможность совместного применения.

Основные понятия

- **Архитектура МП** – функциональные возможности аппаратурных электронных средств МП, используемые для представления данных, машинных операций, описания алгоритмов и процессов вычислений.
- **Магистраль** – совокупность соединительных линий и схем, обеспечивающих требуемые параметры передаваемых по линиям электрических сигналов, по которым информация передается от источника информации к приемнику.

Основные понятия

- **Микропроцессорной системой (МП-системой)** обычно называют специализированную информационную или управляющую систему, построенную на основе микропроцессорных средств.

Основные понятия

- **Интерфейс** – совокупность правил, устанавливающих единые принципы взаимодействия устройств в микропроцессорной системе.
- В состав интерфейса входят аппаратные средства соединения устройств (разъемы и связи), номенклатура и характер связей, программные средства, описывающие характер сигналов интерфейса, и их временную диаграмму, а также описание электрических параметров сигналов.

Микропроцессорные устройства релейной защиты и автоматики электроэнергетических систем

- Современное устройство релейной защиты и автоматики (РЗА) представляет собой управляющую микропроцессорную систему, предназначенную для получения и обработки информации о состоянии электроэнергетических объектов, и выдачи управляющих и информационных сигналов для прекращения аварийных и аномальных режимов в электроэнергетических

Микропроцессорные устройства релейной защиты и автоматики электроэнергетических систем

- В качестве входной информации используются следующие составляющие:
- аналоговые сигналы, характеризующие контролируемые величины электроэнергетических систем (ЭЭС) токи i_a , i_b , i_c , напряжения U_a , U_b , U_c , а также другие непрерывные аналоговые величины, пропорциональные характеристикам защищаемого объекта (температура, давление, освещенность и т.п.);

Микропроцессорные устройства релейной защиты и автоматики электроэнергетических систем

- входная двоичная дискретная информация, такая как, сигналы от коммутационных аппаратов, других устройств релейной защиты автоматики (РЗА) и от обслуживающего персонала;
- цифровая информация от других устройств РЗА, характеризующая как текущие значения измеряемых величин, так и логические сигналы, полученные посредством цифровых коммуникационных интерфейсов.

Микропроцессорные устройства релейной защиты и автоматики электроэнергетических систем

- управление уставками и параметрами устройств РЗА, осуществляемое обслуживающим персоналом или системами управления через коммуникационные интерфейсы.
- Выходная информация микропроцессорных устройств РЗА может быть представлена следующим образом:
- выходная дискретная двоичная информация;

Микропроцессорные устройства релейной защиты и автоматики электроэнергетических систем

- цифровая информация к другим устройствам;
- сообщения различных видов о состоянии защищаемого объекта, в том числе сигналы для визуального наблюдения измеряемых аналоговых величин в нормальном и аварийных режимах;

Основные сведения о микропроцессорах и микропроцессорных системах

- Основные преимущества микропроцессорных средств заключены в их универсальности, высокой производительности и технологичности.
- архитектуру микропроцессоров можно разделить на несколько классов:
- простые однокристальные 4- и 8-разрядные контроллеры невысокой производительности для применения в бытовых приборах и небольших подсистемах:

Основные сведения о микропроцессорах и микропроцессорных системах

- быстродействующие секционные комплекты микропроцессорных БИС для создания систем произвольной разрядности, адаптируемых к алгоритмам обработки данных на микропрограммном уровне;
- мощные однокристальные 16-и 32- и 64-разрядные микропроцессоры;

Основные сведения о микропроцессорах и микропроцессорных системах

- процессоры цифровой обработки сигналов, подключаемые к стандартным интерфейсам микропроцессорных систем для обработки арифметических алгоритмов, таких как быстрое преобразование Фурье;
- аналоговые процессоры — устройства, включающие АЦП, ЦАП, устройства цифровой обработки и представляющиеся пользователю как системы с аналоговым входом и

Основные характеристики и типы МП

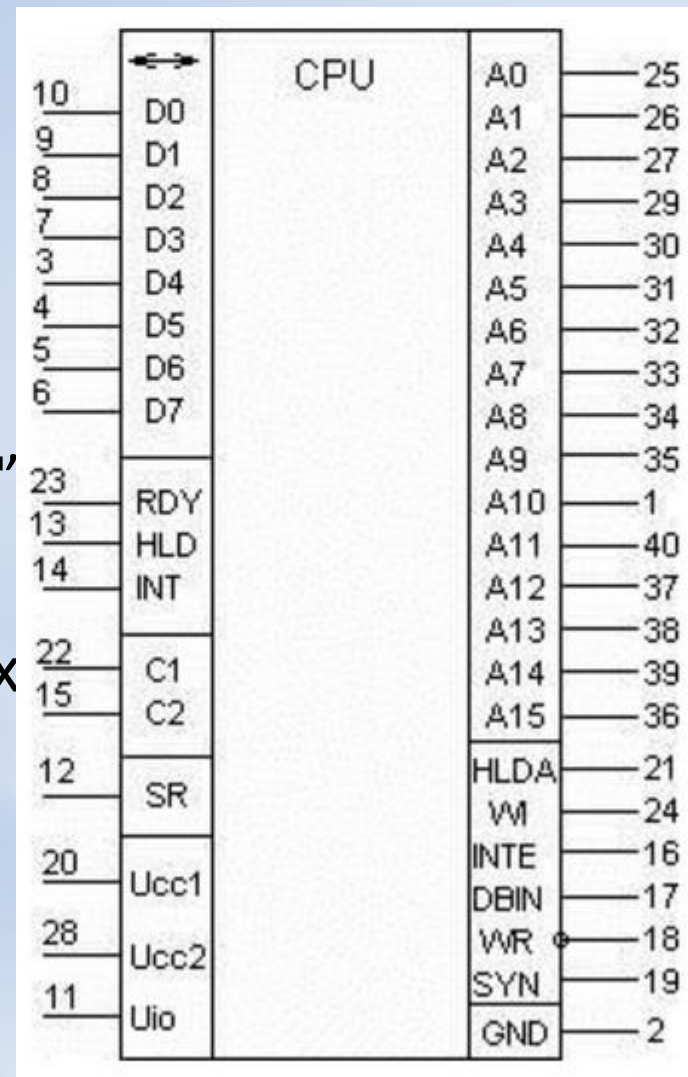
- Однокристалльные МП с фиксированной разрядностью слова, с фиксированной системой команд и управляющим устройством со «схемной логикой».
- Выполняются с использованием различных МОП технологий микроэлектроники позволяющие размещать на одном кристалле большое число элементарных схем.

Основные характеристики и типы МП

- Многокристальные (секционные) микропрограммируемые МП с изменяемой разрядностью слова и фиксированным набором микроопераций.
- Многокристальный биполярный МП основан на конструктивном принципе функционально-разрядного слоя (несколько одинаковых кристаллов) объединяемых микропрограммным блоком.

Строение МП

- **КР580ВМ80А** — 8-разрядный микропроцессор, полный аналог микропроцессора Intel i8080A (1974 г.). Процессор содержит 4500 транзисторов штатная тактовая частота КР580ВМ80А — до 2,5 МГц, средняя производительность оценивается на уровне 200..500 тыс. оп/с на частоте 2 МГц ,простых операций типа "регистр - регистр" при длительности цикла 250 нс.. Микропроцессор конструктивно помещен в пластиковый корпус с 40 выводами



Состав МПК КР580

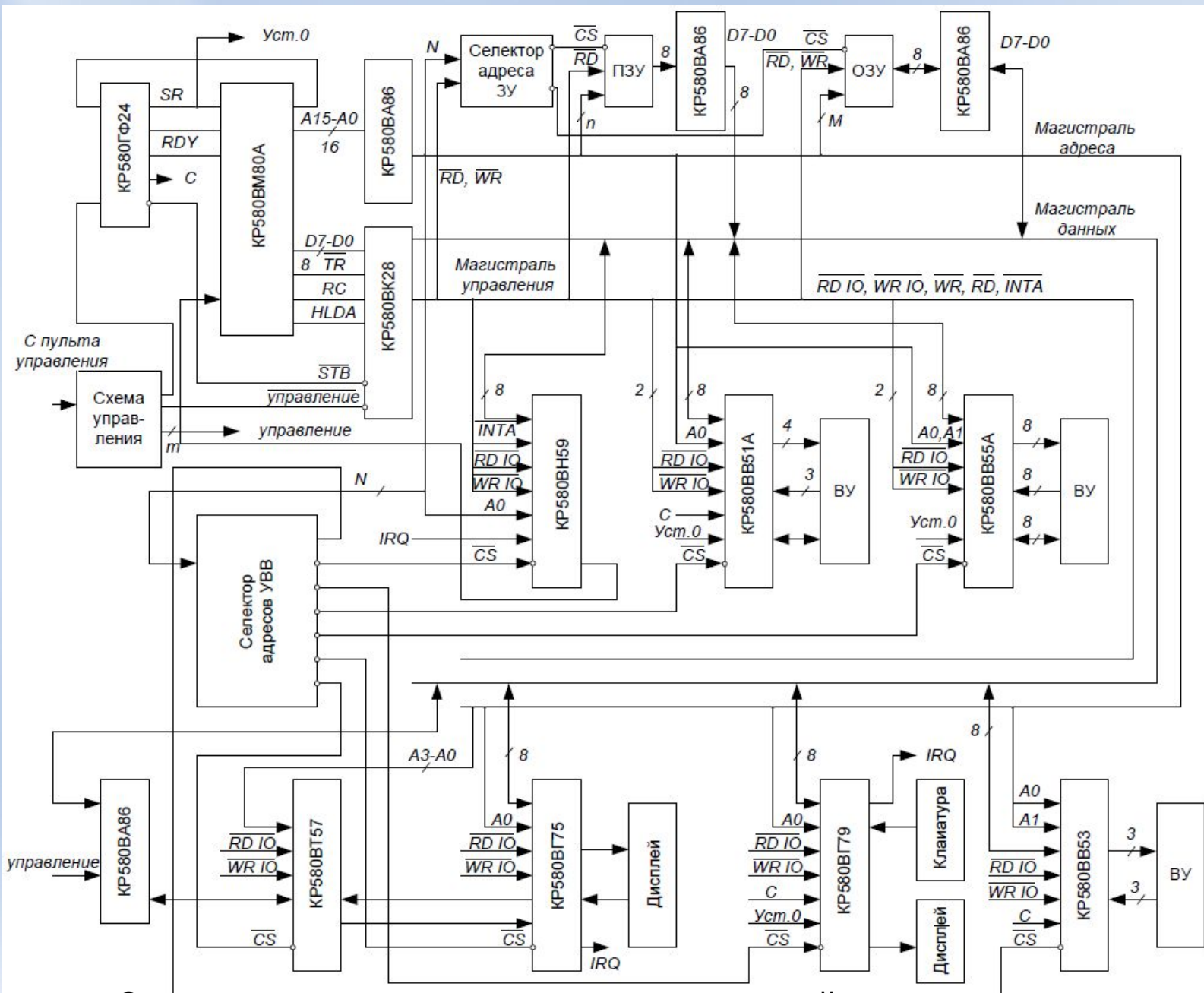
- Для формирования управляющих сигналов и буферирования данных в микропроцессорных системах на базе микропроцессора КР580ВМ80А применяются микросхемы КР580ВК28 и КР580ВК38.
- Для повышения нагрузочной способности и обмена данных между микропроцессором и системной шиной применяют двунаправленные шинные формирователи КР580ВА86 и КР580ВА87.

Состав МПК КР580

- Для связи микропроцессора с системной шиной применяют адресные регистры с повышенной нагрузочной способностью КР580ИР82 и КР580ИР83.
- Для синхронизации работы микропроцессорной системы используется микросхема генератора тактовых сигналов КР580ГФ24.

Состав МПК КР580

- Микросхема КР580ВВ55А – программируемое устройство ввода-вывода параллельной информации, применяется в качестве элемента ввода-вывода общего назначения, сопрягающего различные типы периферийных устройств с магистралью данных систем обработки информации.



Структурная схема микропроцессорной системы на основе микропроцессорного комплекта К580

Структура, организация микро ЭВМ

- Микропроцессор является основным компонентом любого микрокомпьютера или микро-ЭВМ.
- В основу построения микро-ЭВМ положено три принципа:
- **Модульность** — в языках программирования — принцип, согласно которому логически связанные между собой подпрограммы, переменные и т. д. группируются в отдельные файлы (модули).

Структура, организация микро ЭВМ

- **Магистральность** – это способ соединения между различными модулями компьютера, когда входные и выходные устройства модулей соединяются одними и теми же проводами, совокупность которых называется шиной.
- **Микропрограммируемость** – это способ реализации принципа программного управления.

Структура, организация микро ЭВМ

- Современные ЭВМ могут иметь различную архитектуру, но обязательно содержат в своей структуре следующие элементы:
- *Арифметико-логическое устройство (АЛУ), выполняющее арифметические и логические операции.*
- *Устройство управления (УУ), которое организует процесс выполнения программ.*
- *Запоминающее устройство (память) для хранения программ и данных.*
- *Внешние устройства для ввода–вывода информации (ВУ).*

Принципы фон Неймана

- Принцип программного управления обеспечивает автоматизацию процессов вычислений на ЭВМ.
- Согласно этому принципу программа состоит из набора команд, которые выполняются процессором автоматически друг за другом в определенной последовательности.

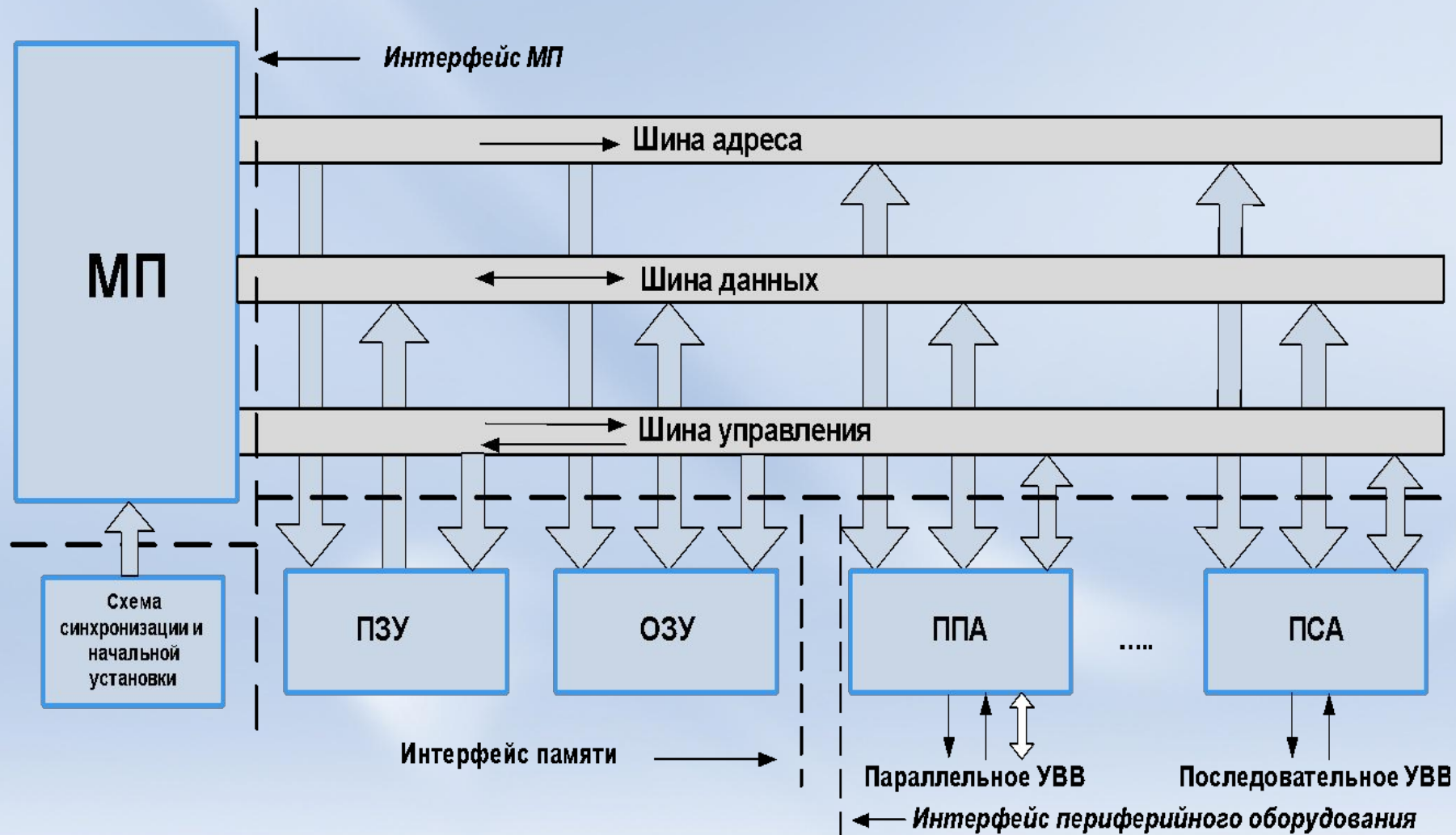
Принципы фон Неймана

- Принцип однородности памяти. Программы и данные хранятся в одной и той же памяти. Поэтому компьютер не различает, что храниться в данной ячейке памяти – число, текст или команда. Над командами можно выполнять такие же действия, как и над данными.
- Иногда этот принцип называют «принцип хранимой команды»

Принципы фон Неймана

- **Принцип адресности.** Структурно основная память состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка. Это позволяет обращаться к произвольной ячейке (адресу) без просмотра предыдущих.

Структура типового МП



Структура типового МП

- **Шина данных** (Data Bus) 8-ми разрядная, т.к. разрядность микропроцессора КР580ВМ80А равна 8-ми (D0-D7). (D0 – младший разряд, D7 – старший разряд, всего 8 разрядов).
- Предназначена для передачи данных от микропроцессора к периферийным устройствам, а также в обратном направлении (двунаправленная).

Структура типового МП

- **Шина адреса** (Address Bus), 16-ти разрядная (A0-A15), служит для определения адреса (номера) устройства, с которым процессор обменивается информацией в данный момент. Каждому устройству (кроме процессора), каждой ячейке памяти в микропроцессорной системе присваивается собственный адрес.

Структура типового МП

- **Шина управления** (Control Bus), постоянной размерности не имеет, состоит из отдельных управляющих сигналов. Каждый из этих сигналов во время обмена информацией имеет свою функцию.
- Некоторые сигналы служат для стробирования передаваемых или принимаемых данных , для подтверждения приема, сброса данных, или для сброса всех устройств в исходное состояние

Структура типового МП

- **ОЗУ** хранит информацию только при наличии напряжения питания. ОЗУ-это простейший регистр построенный на D – триггерах.
- **ПЗУ**- предназначено для долговременного хранения информации, её нельзя оперативно менять. В ПЗУ информация записывается один раз либо в процессе производства, либо непосредственно перед применением, при помощи специальных программаторов.

Структура типового МП

- Соединение всего многообразия внешних устройств с шинами МК осуществляется с помощью **интерфейсов**, которые следует понимать как унифицированное средство объединения различных устройств в единую систему.
- **ППА** – программируемый параллельный адаптер КР580ВВ55.
- **ПСА** – программируемый связной адаптер КР580ВВ51.

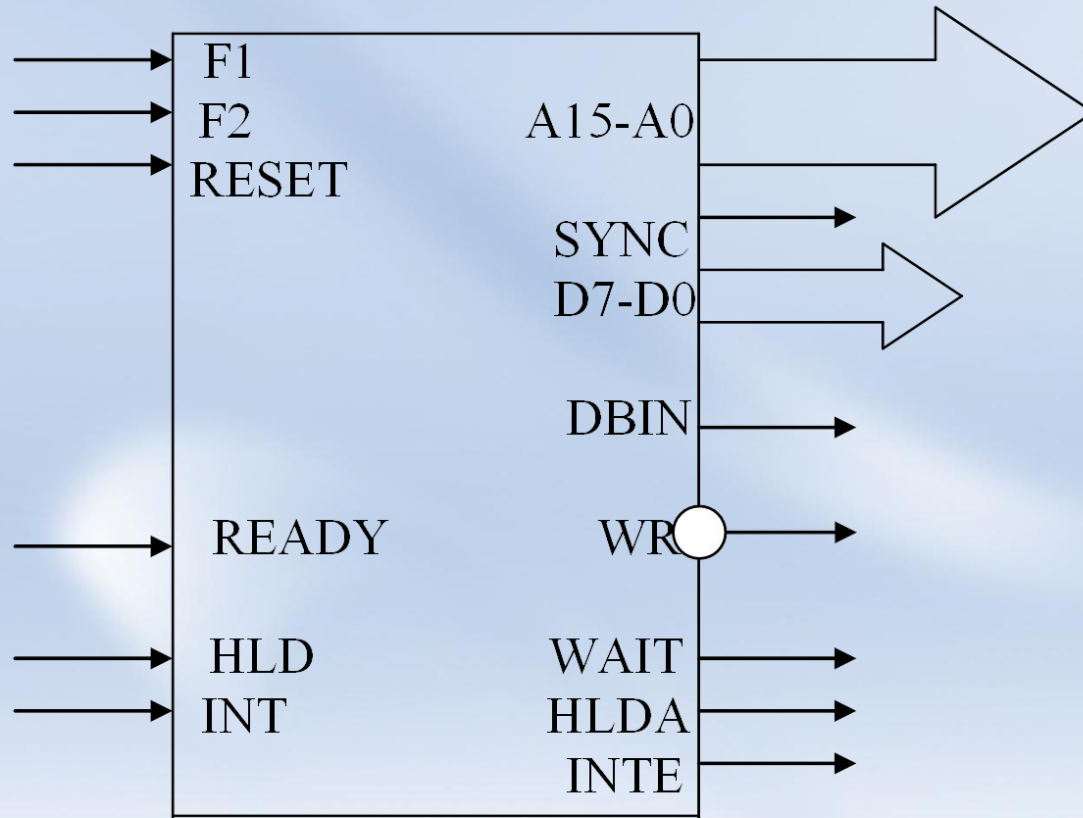
Структура типового МП

- Обмен данными с внешними устройствами осуществляется через порты ввода/вывода.
- Для микропроцессора Intel 8080 общее число портов ввода/вывода может составлять 256.
- В качестве внешних устройств используются клавиатура, дисплей, принтеры, датчики и т.п.

Структура типового МП

- Микропроцессор Intel 8080А ориентирован на работу с памятью, имеющую байтовую организацию (8 бит). Это значит, что микропроцессор считывает информацию побайтно.
- Программа и данные хранятся в памяти в ячейках длиной 1 байт (8 бит); каждая ячейка имеет адрес длиной 2 байта (16 бит). Всего процессор может напрямую обращаться к 64К памяти.

Схема подключения выводов микропроцессора КР580ВМ80А и их назначения.



Выводы синхронизации:

- **F1, F2** – выводы двух неперекрывающихся последовательностей синхроимпульсов;
- **SYNC** – выход синхронизации, сигнал определяет начало каждого машинного цикла команды;
- **RESET** – вход сигнала начальной установки процессора. После прекращения действия сигнала программный счетчик устанавливается в нулевое состояние и процессор начинает работать с нулевого адреса.

Выводы управления ожиданием:

- **READY** – готово внешнее устройство ($READY = 1$) или не готово ($READY = 0$). Синхронизирует обмен информации с внешними устройствами.
- **WAIT** – указывает, что процессор находится в состоянии ожидания ($WAIT = 1$).

Выводы управления памятью:

- **WR** – управление записью в память или во внешние устройства; низкий уровень указывает, что процессор выдал данные на магистраль данных D7-D0.

Выводы управления магистралью данных:

- **DBIN** – указывает, что магистраль данных (D7-D0) находится в режиме приема. Используется для управления чтением данных из памяти или внешнего устройства.

Выводы управления прерыванием:

- **INT** – запрос прерывания внешним устройством, запрашивающих обмен с процессором в режиме прерывания.
- **INTE** – выход сигнала разрешения прерывания ($INTE = 1$), указывающего на то, что процессор готов к обмену в режиме прерывания; ($INTE = 1$ – если готов, $INTE = 0$ – если не готов).

Выводы управления захватом магистралей в режиме ПДП:

- **HLD** – вход запроса захвата магистралей D7-D0 и магистрали адреса A15-A0 внешними устройствами. Процессор переходит в режим ЗАХВАТ и отключает магистрали D7-D0 и A15-A0 (переходит в высокоимпедансное состояние).
- **HLDA** – выход подтверждения захвата. Указывает, что процессор находится в состоянии ЗАХВАТ. Магистрали данных и адреса при этом отключены от выводов.

Командный цикл микропроцессора

- Выполнение команд в МП осуществляется в строго определенной последовательности обусловленной рядом факторов, в том числе используемыми синхросигналами . В основе работы МП лежит *командный цикл* - действия по выбору из памяти и выполнению одной команды. В зависимости от типа и формата команды, способов адресации и числа операндов командный цикл может включать в себя различное число обращений к памяти и ВУ и следовательно - иметь различную длительность.

Машинные циклы и их идентификация

- Действия МПС по передаче в/из МП одного байта данных/команды называются *машинным циклом*.
- Командный цикл представляет собой последовательность **машинных циклов** (МЦ), причем КЦ i8080 может содержать от 1 до 5 МЦ.
- МЦ может состоять из нескольких машинных тактов.
- **Машинный такт (Т)** – это период синхросигналов. Его длительность может быть установлена в некоторых пределах. В МП КР580 длительность может быть установлена произвольно в диапазоне 0,5...2 мкс (при тактовой частоте 2 МГц)

- МЦ микропроцессора i8080 предусматривает возможность обмена как в *синхронном*, так и в *асинхронном режиме*.
- Если в составе МПС использованы только "быстрые" устройства, т.е. такие, которые могут работать с тактовой частотой МП, то передача информации в МЦ осуществляется в синхронном режиме.
- При работе с "медленными" устройствами, быстродействие которых не позволяет переключаться с частотой тактового генератора МП, необходимо "растянуть" во времени МЦ, реализовав асинхронный принцип обмена.

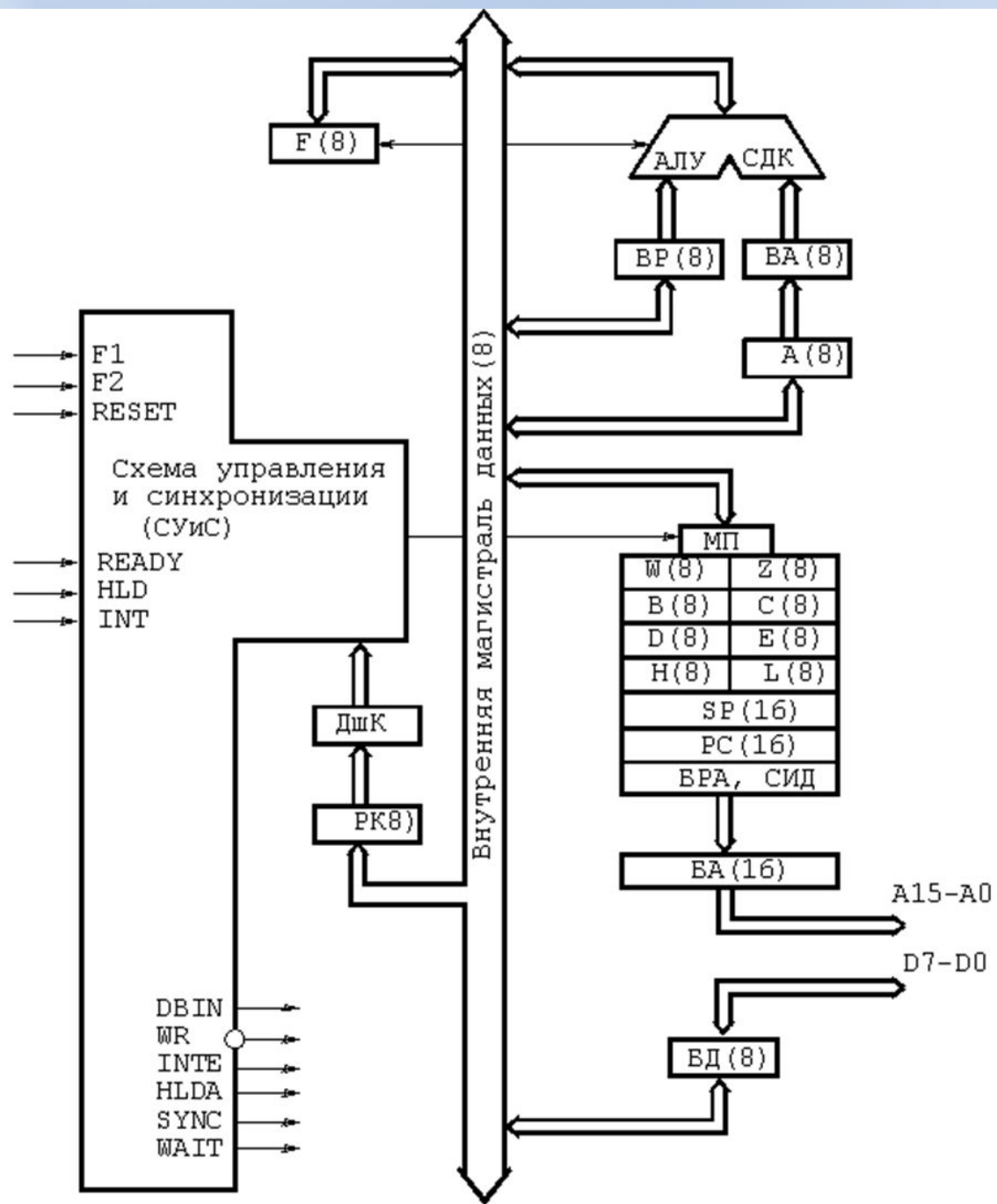
Принципы программирования микропроцессоров.

- Все языки программирования условно можно разделить на три уровня:
- машинный код;
- автокод (язык ассемблера);
- языки высокого уровня (процедурные языки и языки искусственного интеллекта).

Ассемблерная мнемоника

- **Язык ассемблера** - это символическое представление машинного языка. Все процессы в машине на самом низком, аппаратном уровне приводятся в действие только командами (инструкциями) машинного языка.
- Программа на ассемблере представляет собой совокупность блоков памяти, называемых **сегментами памяти**

**Структурная схема
микропроцессора
КР580ВМ80А (i8080А)**



- **Микропроцессор КР580ВМ80А**
реализован на основе общей внутренней магистрали данных и включает в себя следующие функциональные узлы: блок регистров с адресной логикой; блок АЛУ; двунаправленную буферизованную магистраль данных; блок управления и синхронизации.

Блок регистров

- Содержит шесть 16-ти битовых регистров, образующих статическую память с произвольным доступом (регистр – пространство из восьми бит, схема или устройство хранения информации).
- Три из них могут использоваться как шесть отдельных 8-ми разрядных программно-доступных регистров B, C, D, E, H, L общего назначения для хранения операндов или как три 16-ти разрядных программно-доступных пары BC, DE, HL для хранения адресов или двухбайтовых операндов.

Блок регистров

- При выполнении арифметических и логических операций с регистровой адресацией в регистрах хранятся 8-ми разрядные операнды, которые передаются в АЛУ для участия в операции. Второй операнд и результат операции хранятся в блоке АЛУ.
- Содержимое каждого из регистров можно переслать в блок АЛУ или в память через 8-ми битовые мультиплексоры (МП) и внутреннюю магистраль данных.

Регистр-счетчик (РС)

- Используется в качестве программного счетчика и хранит адрес текущей команды программы.
- Его содержимое автоматически увеличивается после выборки каждого байта команды схемой адресной логики.
- Загрузка и выдача содержимого РС осуществляется через мультиплексоры и внутреннюю магистраль данных.

Указатель стека (SP)

- SP хранит адрес ячейки стековой области памяти, к которой было сделано последнее обращение.
- Содержимое SP уменьшается на 1 перед каждым занесением слова в стек или увеличивается на 1 после каждого извлечения из стека.

Пара регистров W и Z

- Это 8-разрядные регистры. Они недоступны программисту. Используются для запоминания двухбайтовых и трёхбайтовых команд перехода, передаваемых с внутренней магистрали данных в счётчик команд.

Адресная логика

- предназначена для хранения, программного изменения и выдачи на магистраль A15-A0 адресов данных и команду.
- Она содержит буферный регистр адреса (БРА), логическую схему инкремента-декремента (СИД) и адресный буфер.
- Буферный регистр адреса принимает и хранит адрес с любого 16-ти разрядного регистра. Его выход связан со входами СИД и БРА.

Блок АЛУ.

- Предназначен для выполнения арифметических и логических операций над числами в параллельном 8-ми разрядном двоичном коде.
- Информация обрабатывается в АЛУ с использованием регистра временного хранения (ВР), аккумулятора временного хранения (ВА), аккумулятора (А) и регистра признаков F.

Регистр флагов F

- 8 разрядный регистр, содержащий информацию о текущем состоянии микропроцессора.
- Имеет пять однобитовых флагов состояния, которые индицируют результаты выполнения арифметических и логических операций. В зависимости от состояния этих флагов некоторые машинные команды могут изменять последовательность выполнения команд в программе.

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
S	Z	-	AC	-	P	1	CY

Двунаправленная магистраль данных

- Служит для организации связи микропроцессора с другими микросхемами, входящими в состав микро-ЭВМ.
- Она включает в себя внутреннюю магистраль данных, буфер данных (БД) и соединена с выводами магистрали данных D7-D0 микропроцессора.
- Буфер данных – 8-ми разрядный двунаправленный с тремя состояниями – предназначен для развязки внутренней и внешней магистрали данных. Он состоит из буферного регистра данных и формирователей.

Двунаправленная магистраль данных

- В режиме вывода информация с внутренней магистрали загружается в буферный регистр, а затем передается на внешнюю магистраль данных через формирователи.
- При вводе данные из внешней магистрали через формирователи непосредственно передаются на внутреннюю магистраль. Буферный регистр данных при этом отключается. Он отключается также при выполнении операций, не связанных с передачей информации процессором.

Блок управления и синхронизации

- Предназначен для приема команд, синхронизирующих и управляющих внешних сигналов, а также для формирования внутренних сигналов микроопераций и внешних синхронизирующих и управляющих сигналов.
- Он содержит регистр команд (РК), дешифратор команд (ДшК), схемы формирования машинных циклов и другие устройства.

Способы адресации микропроцессора

- Микропроцессор 18080/8085 использует пять способов адресации: неявную, регистровую, непосредственную, прямую, косвенную регистровую.
- Неявная адресация В команде операнд явно не задается, он подразумевается (например команда CMA).

Способы адресации микропроцессора

- Регистровая адресация _____ Когда используются команды с этим способом адресации, операция и источник данных (операнд) точно определены.
- Операнд _____ отыскивается микропроцессором во внутреннем регистре микропроцессора (например команда MOV D,C).

Способы адресации микропроцессора

- Непосредственная адресация Команды непосредственной адресации являются командами, по которым данные следуют непосредственно за командой.
- Прямая адресация В случае прямой адресации второй и третий байт команды прямо указывают на расположение операнда в памяти. Это команды трехбайтового формата (исключение составляют ввод/вывода).

Способы адресации

- Косвенная микропроцессора адресация.
Команды с такой адресацией обращаются в память, используя содержимое пары регистров для указания на адрес операнда. Если в мнемонике команды стоит буква М, то операнд находится в памяти по адресу, записанному в регистровой пара HL.

Основные группы операций.

Микропроцессоры выполняют набор команд, которые реализуют следующие основные группы операций:

- операции пересылки,
- арифметические операции,
- логические операции,
- операции сдвига,
- операции сравнения и тестирования,
- битовые операции,
- операции управления программой;

Команды ветвлений и переходов микропроцессора Intel 8080

- Команды ветвлений содержат группы команд перехода, вызова, возврата и повторного запуска.
- Эта группа команд изменяет последовательный нормальный ход программы.
- Команды переходов существуют двух типов – безусловного и условного переходов.
- Безусловные переходы просто выполняют операцию перехода по указанному адресу; условные – проверяют состояние одного из индикаторов микропроцессора.
- Условия, которые проверяются командами условных переходов, задаются в следующей форме:

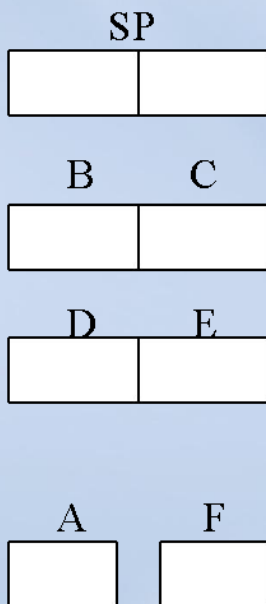
- Условия:
- JNZ – не ноль ($Z = 0$)
- JZ – ноль ($Z = 1$)
- JNC – нет переноса ($CY = 0$)
- JC – перенос ($C = 1$)
- JPO – нечетность ($P = 0$)
- JPE – четность ($P = 1$)
- JP – плюс ($S = 0$)
- JM – минус ($S = 1$)
- **JMP *addr*** (Jump). Переход или ветвление (PC) ← *addr*. Управление передается команде, адрес которой установлен в байте 2 и 3 текущей команды.

Команды стека, ввода/вывода и управления микропроцессором Intel 8080A

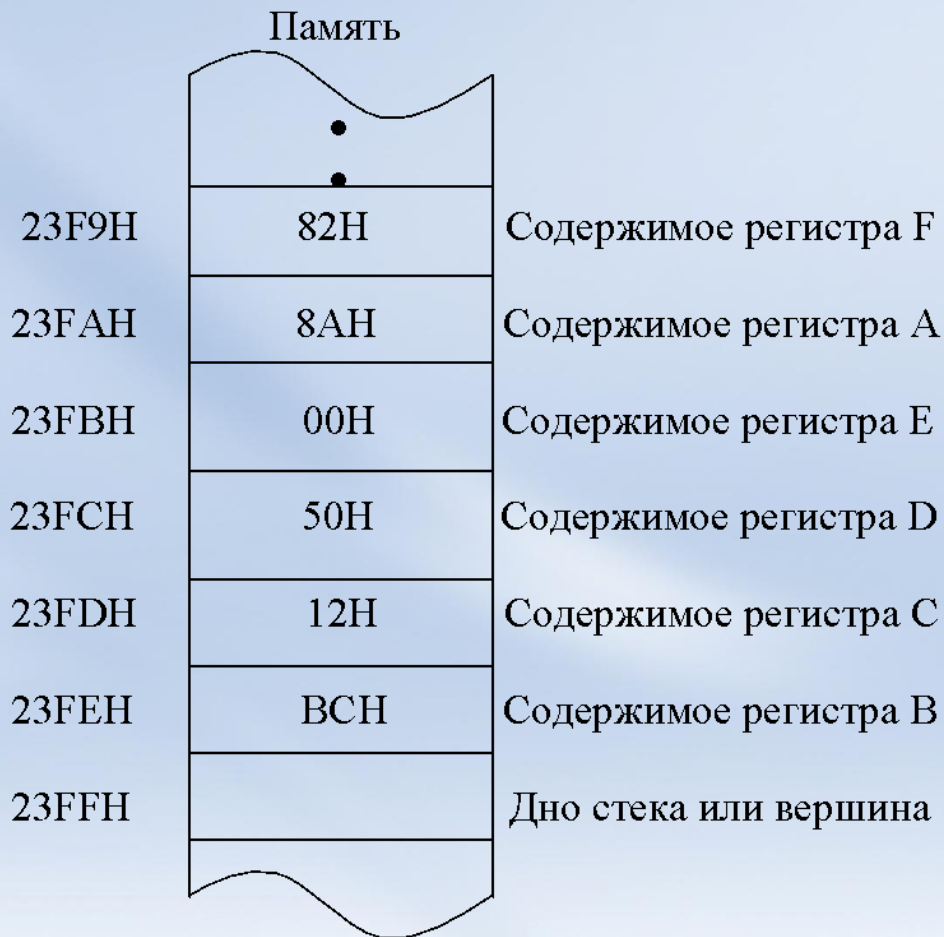
- Эти команды выполняют операции помещения в стек и извлечения из него, ввода и вывода данных, обмен данными, подтверждения и запрета прерываний, остановка процессора.

Рассмотрим более подробно операцию

До операции



После выполнения операции



Слово-состояние процессора

- МП КР580ВМ80А (I8080) имеет 10 типов машинных циклов, представленных в таблице 1, и все его команды состоят из комбинации только этих циклов.
- Т.е. в зависимости от выполняемой команды МП проходит через последовательность различных типов машинных циклов, о каждом из которых он посылает на шину данных в первом такте T_1 цикла информацию - слово-состояния (не путать со словом PSW - F и A).

Структура слово-состояния:

D0 (INTA)	подтверждение запроса на прерывание
D1 (W0)	запись в память или вывод во внешнее устройство
D2 (STACK)	операция со стеком
D3 (HLTA)	подтверждение останова после команды HLT
D4 (OUT)	вывод
D5 (M1)	первый цикл команды
D6 (IN)	ввод
D7 (MEMR)	чтение из памяти

Различают следующие циклы:

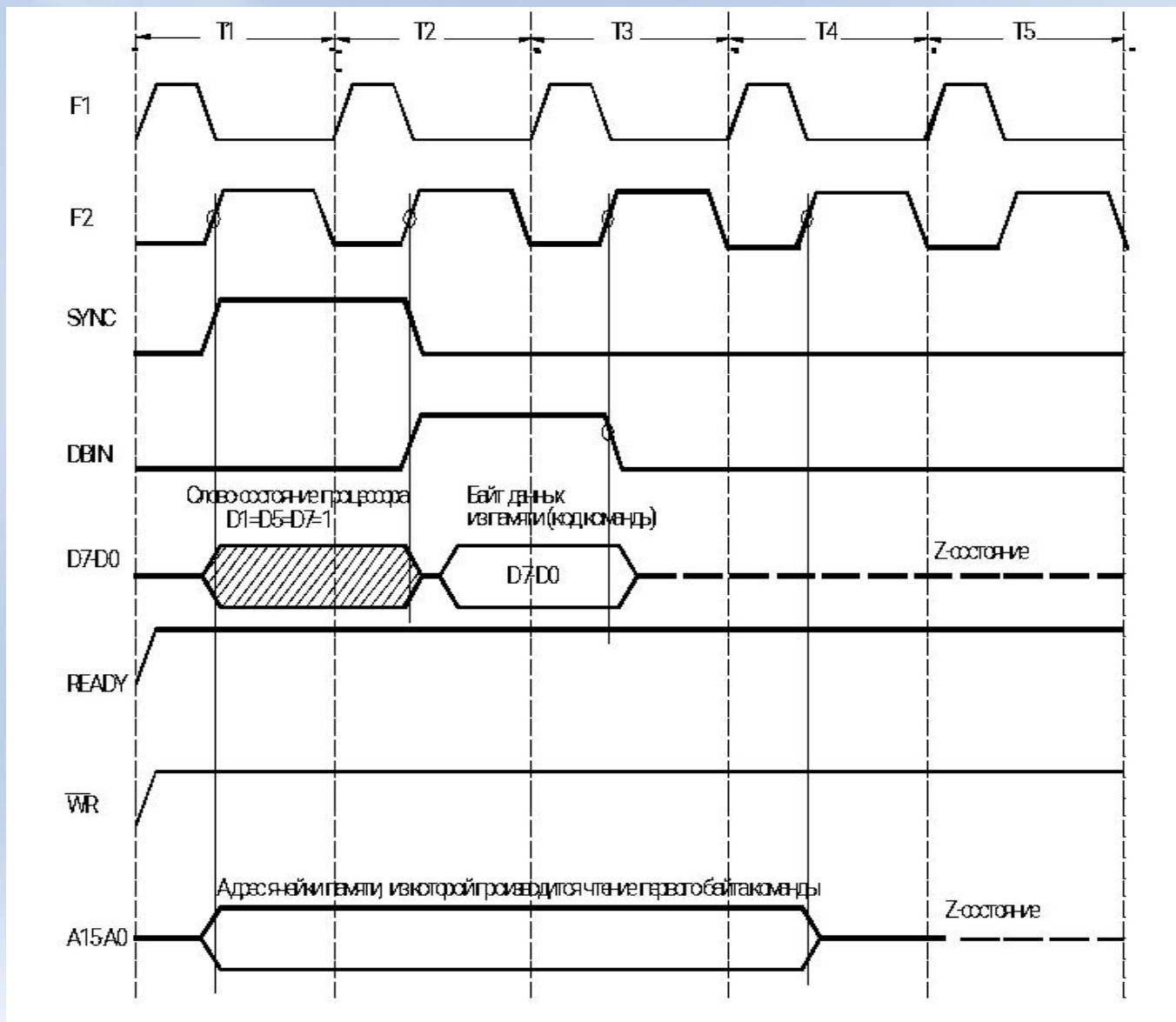
- M1 Прием первого байта (цикл извлечения команд)
- M2 Чтение из ЗУ по адресу, расположенному в паре регистров BC,DE,HL или счетчике команд PC
- M3 Запись в ЗУ по адресу, расположенному в паре регистров BC,DE,HL
- M4 Чтение из стека содержимого SP
- M5 Запись в стек
- M6 Ввод в аккумулятор из ВУ
- M7 Вывод из аккумулятора во внешнее устройство
- M8 Прерывание – переход на обслуживание запроса от внешнего источника
- M9 Останов
- M10 Прерывание во время останова

Виды машинных циклов микропроцессора i8080A

Машинные циклы	D0 INTA	D1 WO	D2 STACK	D3 HLTA	D4 OUT	D5 M1	D6 IN	D7 MEMR
Извлечение команды M1	0	1	0	0	0	1	0	1
Чтение из памяти M2	0	1	0	0	0	0	0	1
Запись в память M3	0	0	0	0	0	0	0	0
Чтение из стека M4	0	1	1	0	0	0	0	1
Запись в стек M5	0	0	1	0	0	0	0	0
Ввод M6	0	1	0	0	0	0	1	0
Вывод M7	0	0	0	0	1	0	0	0
Подтвержд. прерыв-я M8	1	1	0	0	0	1	0	0
Подтвержд. останова M9	0	1	0	1	0	0	0	1
Подтвержд. прерывания во время от-танова M10	1	1	0	1	0	1	0	0

- Все множество допустимых циклов условно можно разбить на три группы: чтения (ввода) - M1, M2, M4, M6, M8, M10; записи (вывода) - M3, M5, M7 и остановка - M9
- Для того, чтобы сформировать интервал времени, соответствующий одному машинному такту, на входы микропроцессора F1 и F2 подаются тактовые импульсы. Длительность машинного такта равняется одному периоду синхроимпульсов.
- Все внутренние операции микропроцессора и формирования внешних сигналов происходят в моменты

Временные диаграммы работы микропроцессора в цикле M1 (цикл извлечения команды)



Цикл извлечения команды

- В первом такте T1 по переднему фронту F2 на выходе SYNC микропроцессора появляется сигнал высокого уровня, индицируя первый такт машинного цикла (рис.1)
- Кроме того, на шине данных в этом такте появляется слово состояния, у которого в разрядах D1, D5, D7 записаны единицы.
- По переднему фронту F2 в этом такте на адресной шине устанавливается адрес ячейки памяти, который поступил в буфер адреса из счетчика команд микропроцессора (т.е. поступает адрес ячейки, из которой извлекается команда)

- Во втором такте T2 на выходе микропроцессора DBIN появляется сигнал высокого уровня длительностью в один такт, по которому обычно происходит чтение памяти или внешних устройств.
- В этом такте МП опрашивает сигналы на входах READY, HOLD и HLDA.
- В зависимости от значения сигналов на этих выводах МП переходит в различные состояния:
- ожидания, захвата, останова.

- В такте T3 может выполняться или завершаться чтение памяти, после чего шина данных DB переходит в высокоимпедансное состояние.
- Обычно до четвертого такта T4 уже изменяется значение счетчика команд PC и таким образом, в нем находится адрес новой команды, который поступает на адресную шину в первом такте следующего машинного цикла.

- В четвертом такте T_4 код команды, поступивший в регистр команд дешифрируется - определяется , сколько циклов и тактов требуется для выполнения команды, которая затем обрабатывается микропроцессором в течении данного или последующего пятого такта T_5 .
- По переднему фронту F_2 на выводах адресной шины в такте T_4 появляется неопределенное значение, а в такте T_5 эти выводы переходят в высокоимпедансное состояние.

Построение модуля центрального процессора (МЦП) на основе микропроцессора КР580ВМ80А

- Для построения модуля центрального процессора (МЦП) на основе микропроцессора КР580ВМ80А дополнительно требуются (помимо собственно микросхемы процессора):
 - 1) схема формирования сигналов синхронизации F1 и F2, сигнала готовности внешних устройств READY, строба фиксации слова-состояния процессора /STSTB и сигнала начальной установки процессора RESET – микросхема системного генератора КР580ГФ24 (Intel 8224).

- 2) схема формирования сигналов управления чтением памяти (/MEMR), записи в память (/MEMW), чтения порта ввода/вывода (/IOR), записи в порт ввода/вывода (/IOW) и подтверждения запроса на прерывание – микросхема системного контроллера КР580ВК28/38 (Intel 8228/38);
- 3) схемы обеспечения необходимой нагрузочной способности магистралей данных и адреса - шинные формирователи КР580ВА86 /87 (Intel 8286/87).

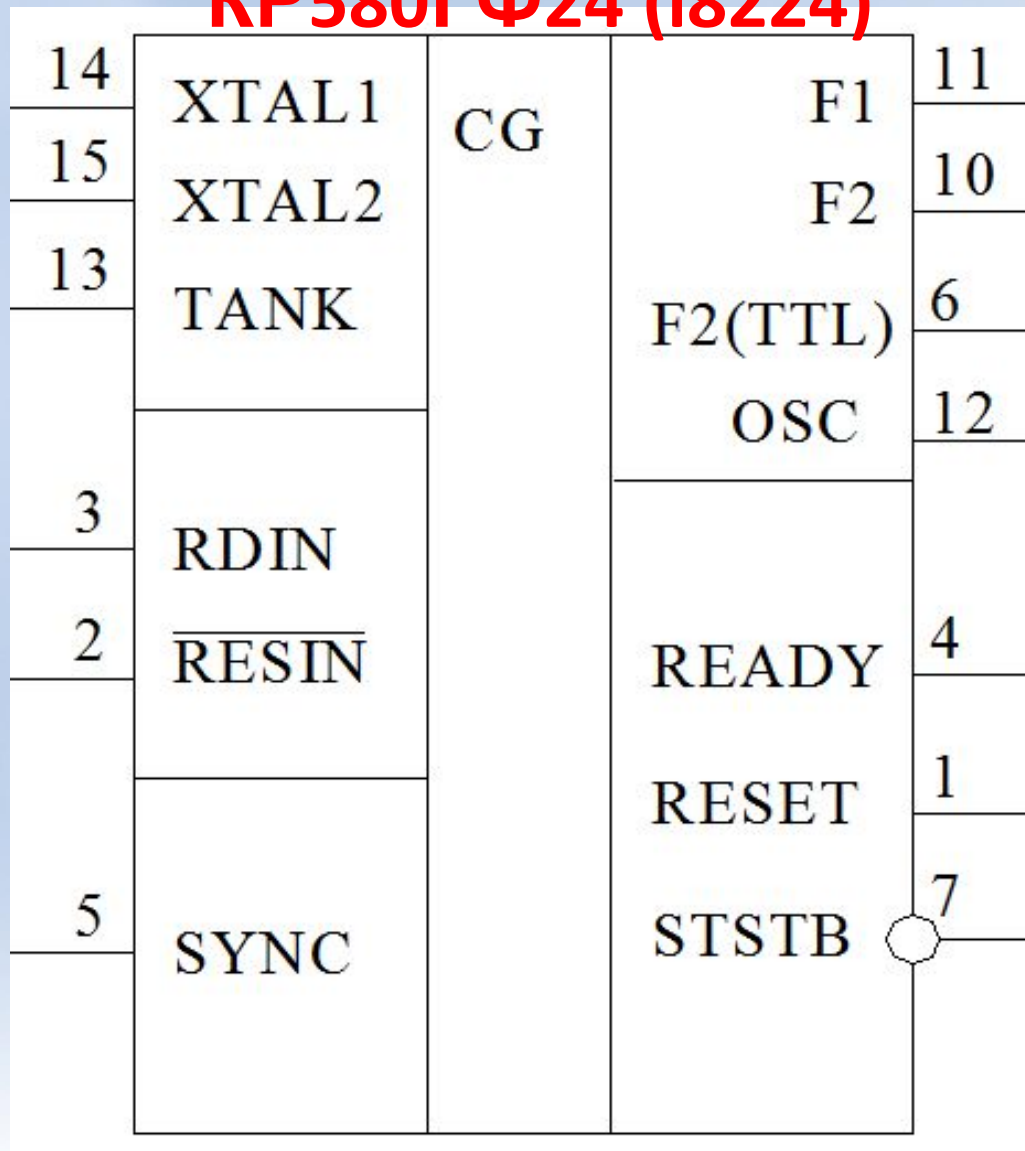
Схема синхронизации

центрального процессора.

Системный генератор КР580ГФ24 (Intel 8224)

- Схема синхронизации предназначена для формирования двух последовательностей тактовых импульсов с требуемыми временными и амплитудными параметрами, подаваемыми на входы F1 и F2 микропроцессора КР580ВМ80А (Intel 8080А), а также для синхронизации внешних цепей путем формирования синхроимпульсов фазовых последовательностей ТТЛ-уровней F2ТТЛ; формирования и синхронизации внешних сигналов готовности и сброса; управление пошаговой работы микропроцессора.

Условное графическое изображение микросхемы системного контроллера КР580ГФ24 (i8224)



Назначение выводов интегральной микросхемы КР580ГФ24 (Intel 8224):

- XTAL1, XTAL2 - входы для подключения кварцевого резонатора;
- F1, F2 - выходы синхроимпульсов, подаются на соответствующие входы микропроцессора;
- RDIN - вход готовности; используется для формирования сигнала готовности микропроцессора READY;
- READY - выход готовности; используется для осуществления асинхронного обмена микропроцессора с внешними устройствами;

- **RESIN** - вход сброса; используется для формирования импульса сброса RESET, который подается на вход микропроцессора;
- **RESET** - выход микросхемы; используется для начального сброса микропроцессора;
- **SYNC** - вход синхронизации; данный сигнал поступает от выхода SYNC микропроцессора;
- **/STSTB** - строб слова-состояния; сигнал поступает от данного вывода микросхемы в системный контроллер и используется для фиксации слова-состояния в системном контроллере;

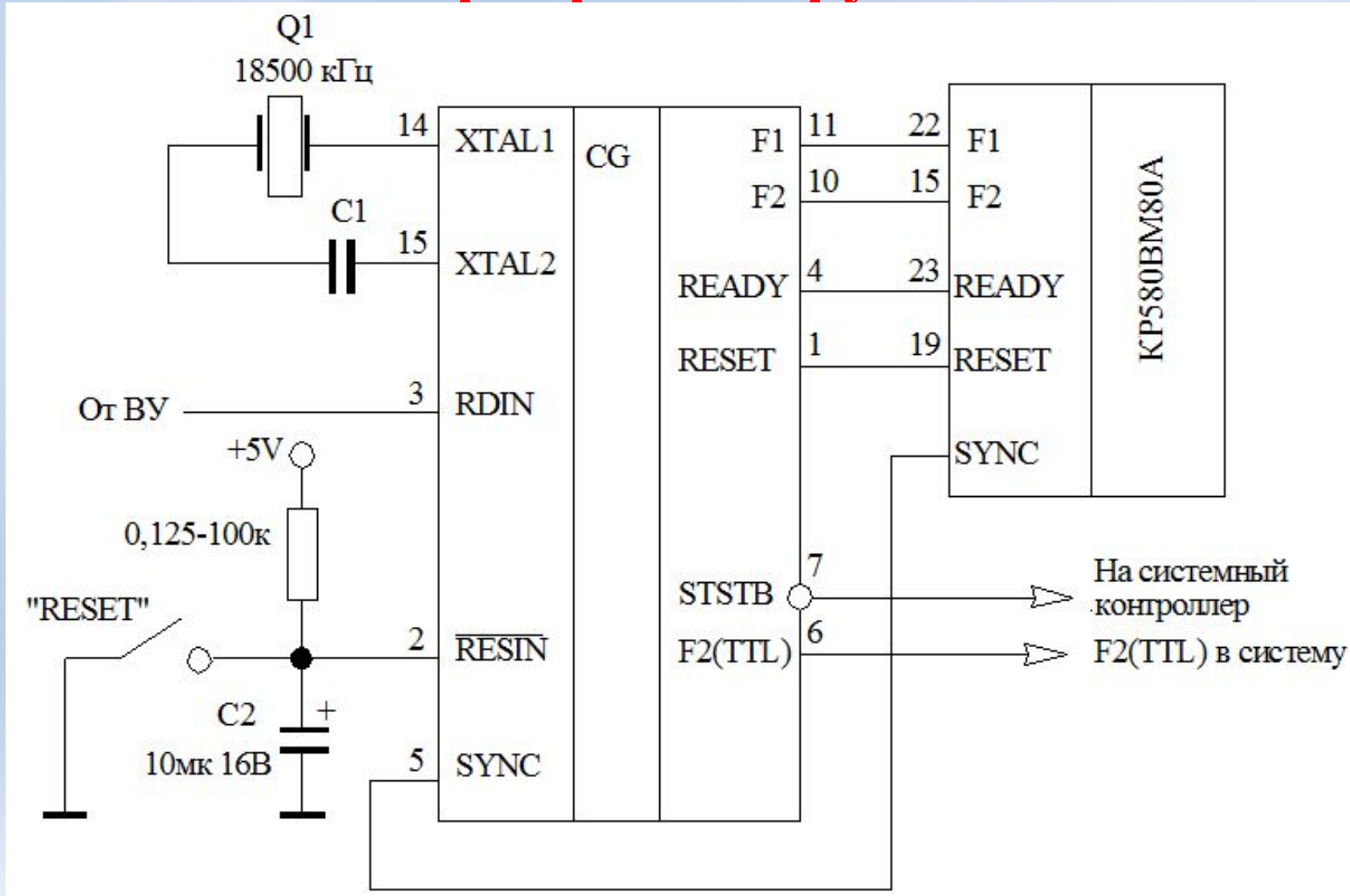
- **F2ТТЛ** - выход; вторая синхросерия F2; (сопрягается с ТТЛ-логикой);
- **TANK** - используется для задания тактовой частоты вместо кварцевого резонатора (подключается LC-цепь);
- **OSC** - выход; генератор гармонических сигналов (для настройки, наладки микропроцессорного модуля).

• Для выполнения указанных функций в состав микропроцессорного комплекта входит синхронизированная интегральная схема системного генератора КР580ГФ24 (Intel 8224).

• Микросхема КР580ГФ24 (Intel 8224) используется как генератор тактовых синхросерий F1 и F2 для микропроцессора КР580ВМ80А (Intel 8080).

- Как генератор, вырабатывающий сигналы начальной установки микропроцессора RESET и сигнал готовности микропроцессора READY, которые синхронизированы тактовыми импульсами.
- Вырабатывает строб /STSTB, используемый для фиксации слова-состояния в системном контроллере.

Подключение микросхемы КР580ГФ24 / Intel 8224 к микропроцессору КР580ВМ80А

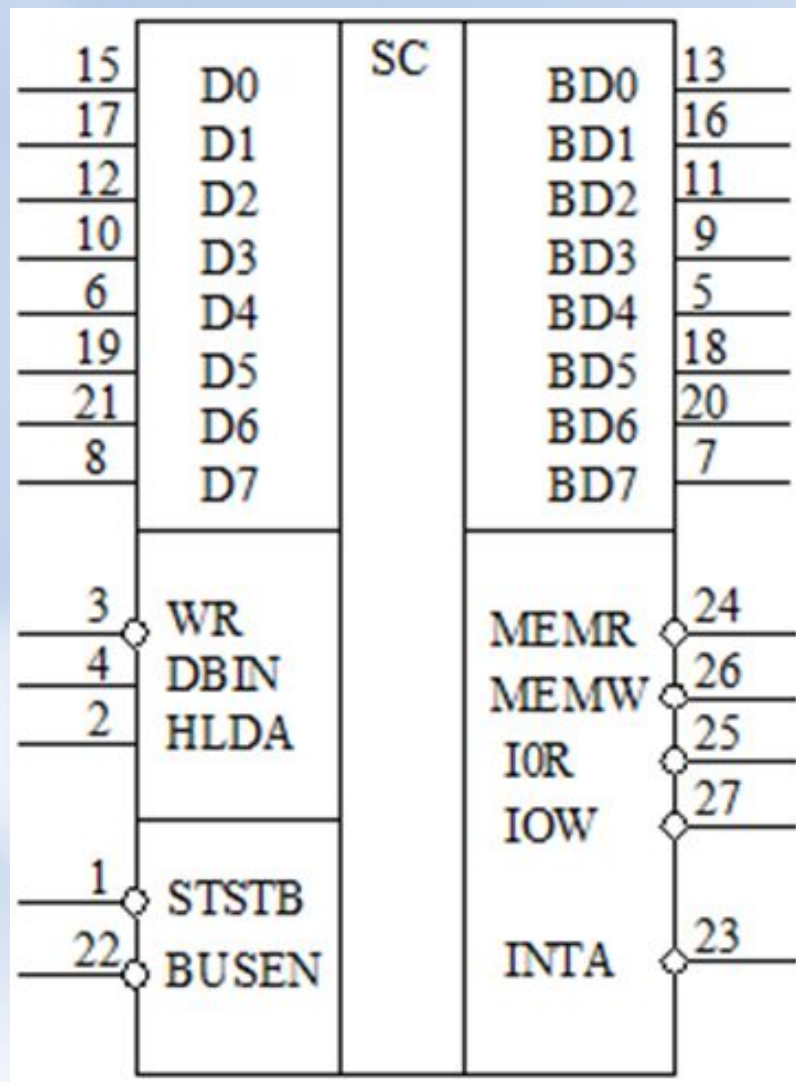


Системный контроллер КР580ВК28 /38 (Intel 8228/38)

Системный контроллер КР580ВК28 (38) / Intel 8228 (38) предназначен для:

- фиксации слова-состояния микропроцессора КР580ВМ80А;
- формирование сигналов, управляющих памятью и внешними устройствами;
- буферизации шины данных.

Обозначение микросхемы КР580ВК28 /38 (Intel 8228/38)



Подключение выводов КР580ВК28 /38

D0-D7	Входы/выходы. Подключаются к выводам D0-D7 микропроцессора.
DB0-D B7	Входы/выходы с высокоимпедансным состоянием. Подключаются к системной шине данных МП-системы. Имеют три состояния ("0", "1", Z). Системная шина (магистраль) данных с высокой нагрузочной способностью.
/STSTB	Вход. Строб слова-состояния микропроцессора. По данному сигналу микросхема системного контроллера производит фиксацию слова-состояния и выработку на его основе сигналов управления.
HLDA	Вход. Подтверждение захвата. Сигнал поступает на системный контроллер от одноименного выхода микропроцессора (HLDA = 1 - микропроцессор находится в состоянии "захват" - режим ПДП - прямого доступа к памяти).
/WR	Вход. Строб ввода данных. Сигнал поступает от одноименного выхода микропроцессора (WR = 0 - производится операция записи в устройство ввода/вывода). (знак / означает, что

Выводов КР580ВК28 /38

DBIN	Строб шины данных при вводе. Сигнал поступает от одноименного выхода микропроцессора (DBIN = 1 - шина данных находится в режиме приема информации от внешних устройств или памяти).
/IOW	Выход. Сигнал управления записью в порты ввода/вывода.
/MEMW	Выход. Сигнал управления записью в память.
/IOR	Выход. Сигнал управления чтением из портов ввода/вывода.
/MEMR	Выход. Сигнал управления чтением из памяти.
/INTA	Выход. Сигнал подтверждения прерывания. Поступает на одноименный вход микросхемы контроллера прерываний Intel 8259.
/BUSEN	Вход. Сигнал управления системной шиной (/BUSEN = 0 - разрешает работу шин управления и системной магистрали данных; /BUSEN = 1 шины данных и управления переходят в Z-состояние). Сигнал на данный вход микросхемы поступает от контроллера ПДП.

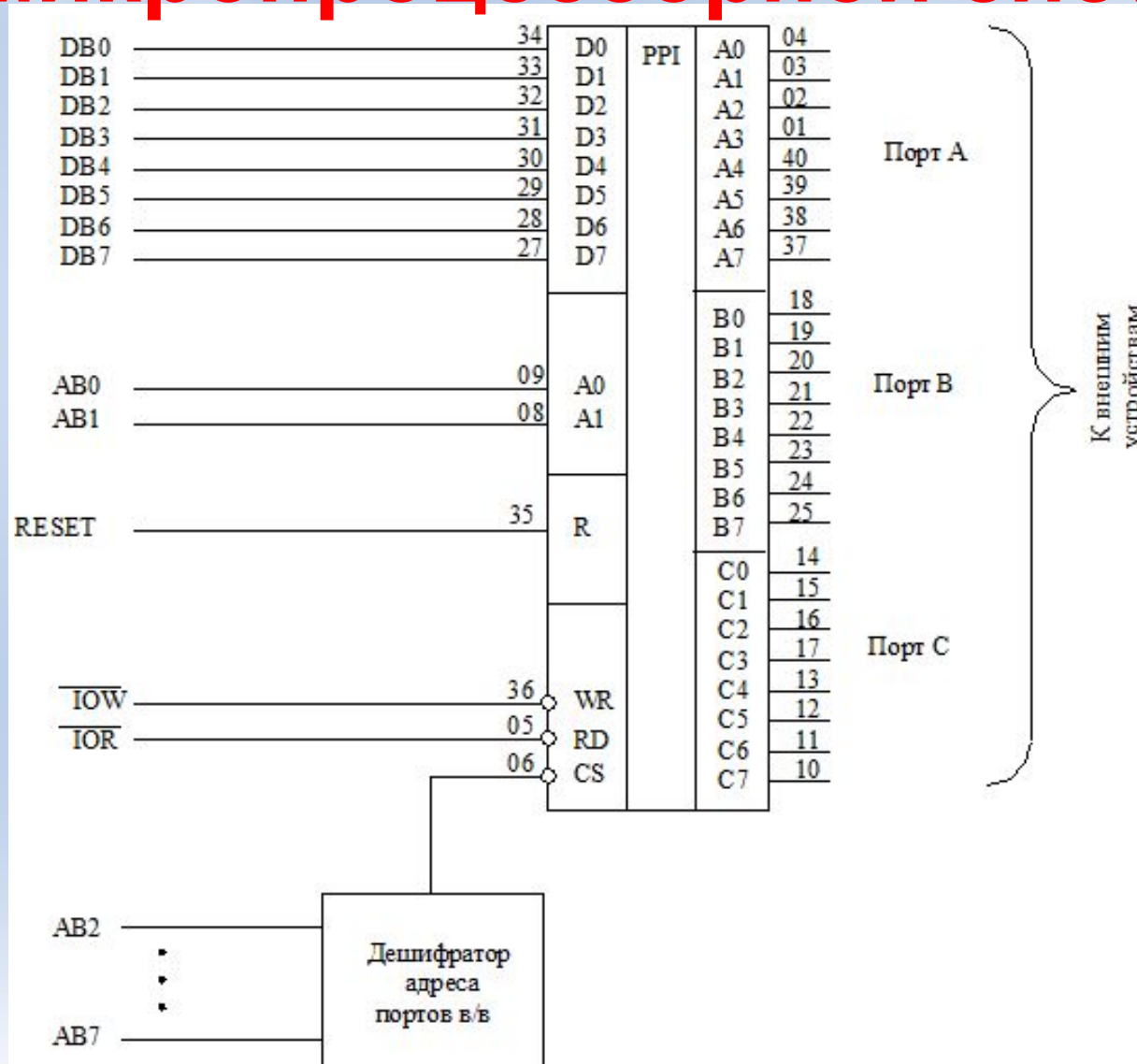
Параллельный программируемый интерфейс i8255 (КР580ВВ55)

- Для организации обмена информации МП системы с внешними периферийными устройствами в параллельном восьмиразрядном коде в комплект микросхем входит БИС программируемого параллельного интерфейса (ППИ) КР580ВВ55 (Intel 8255).

Параллельный программируемый интерфейс i8255 (КР580ВВ55)

- В ППИ КР580ВВ55 входит схема управления выводом, вводом и двунаправленный буфер данных, предназначенный для подключения внутренней шины ППИ к шине данных МП системы, и три 8 разрядных порта А, В и С для обмена между МП и периферией.
- Порты А и В состоят из входных и выходных 8 разрядных регистров, порт С из двух входных и выходных 4 разрядных регистров.

ППИ и его подключение к микропроцессорной системе



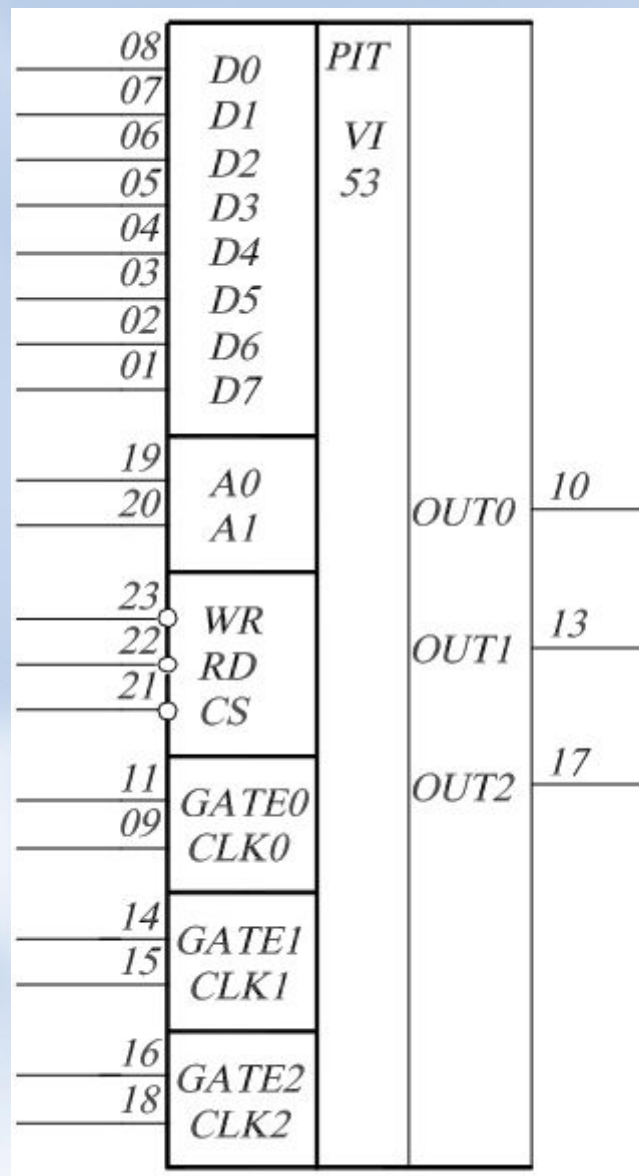
Назначение выводов ППИ

D0 - D7	Шина данных
RESET	Сброс. Начальная установка. После снятия сигнала RESET выводы портов настраиваются на ввод (INPUT) информации.
\overline{CS}	Выбор кристалла. Сигнал низкого уровня подключает выводы D0-D7 к шине данных МП системы.
\overline{RD}	Чтение. По сигналу RD содержимое одного из портов передается на шину данных.
\overline{WR}	Запись. По сигналу низкого уровня с шины данных происходит запись в один из портов или в регистр УС
A0, A1	Выбор порта или РУС

Программируемый интервальный таймер БИС КР580ВИ53

- Программируемый интервальный таймер БИС i8253 используется для задания временных интервалов в МП системах и может применяться как одновибратор с программируемой длительностью импульсов, программируемый делитель частоты и счетчик внешних событий.

Графическое изображение микросхемы КР580ВИ53



Назначение выводов КР580ВИ53

D7 - D0	Входы-выходы. Подключаются к шине данных системы
CS	Вход. Выбор м/схемы
WR	Вход. Запись
RD	Вход. Чтение
A0,A1	Входы. Выбор канала, регистров управляющих слов
CLK0 - CLK2	Входы. Синхровходы. На них подаются синхроимпульсы, подсчет которых выполняется соответственно на счетчиках 0 - 2
GATE0 GATE2	Управляющие входы счетчиков
OUT0 OUT2	Выходы. Выходы счетчиков

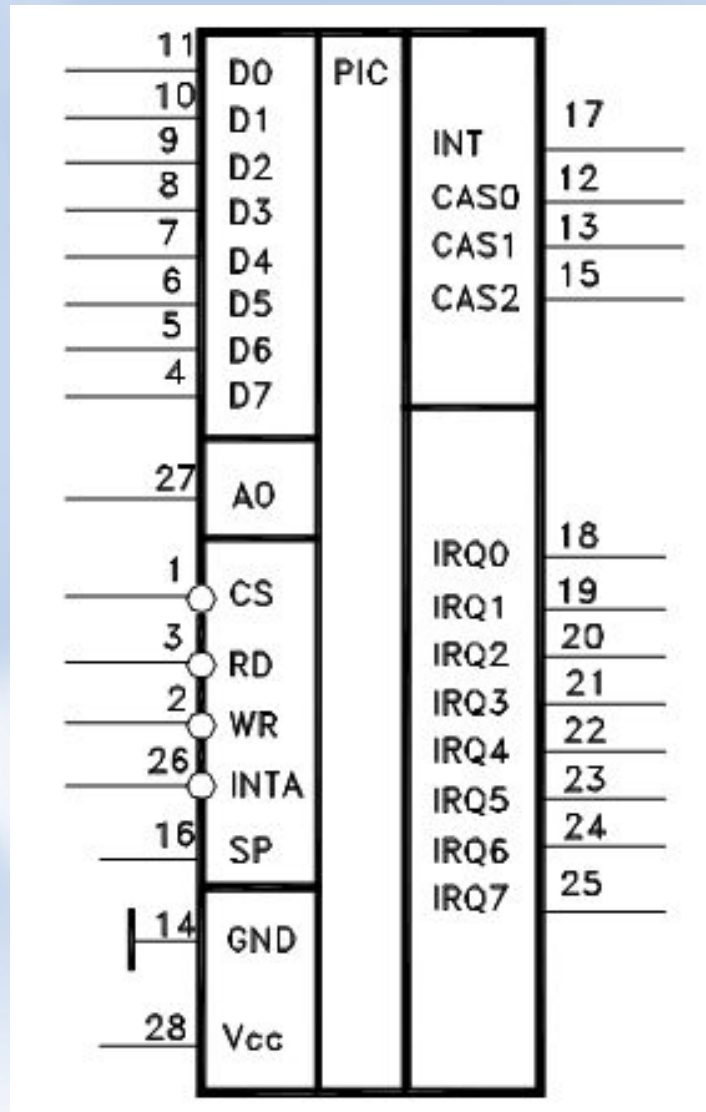
Программируемый контроллер прерываний i8259

- Для организации прерываний в микропроцессорной системе существует специальная БИС - контроллер прерываний КР580ВН59.
- Программируемый контроллер прерываний реализует векторную восьмиуровневую систему прерываний. Контроллер выполняет следующие функции:

Программируемый контроллер прерываний i8259

- фиксацию запросов на прерывание от 8 внешних источников;
- программное маскирование поступающих запросов;
- присвоение фиксированных или циклически изменяемых приоритетов входам контроллера, на которые поступают запросы;
- формирование кода операции CALL (переход на подпрограмму обработки прерываний) и 16 разрядного адреса этой подпрограммы.

Условное изображение программируемого контроллера прерываний.



Назначение выводов

- D0 - D7 - Двухнаправленные выводы с импедансным состоянием, подключаются к шине данных системы
- /CS - Вход. Выбор микросхемы.
- /WR - Вход. Запись.
- /RD - Вход. Чтение.
- A0 - Вход. Выбор регистров контроллера.
- IRQ0-IRQ7 Входы запросов на прерывание, поступающих от внешних источников

Назначение выводов

- INT - Запрос на прерывание. Сигнал, формируемый по входу INT, подается на процессор для обслуживания запроса на прерывание.
- /INTA - Подтверждение прерывания
- SP - Выбор ведомой микросхемы.
- CAS0-CAS2 - Входы-выходы, используются при каскадировании