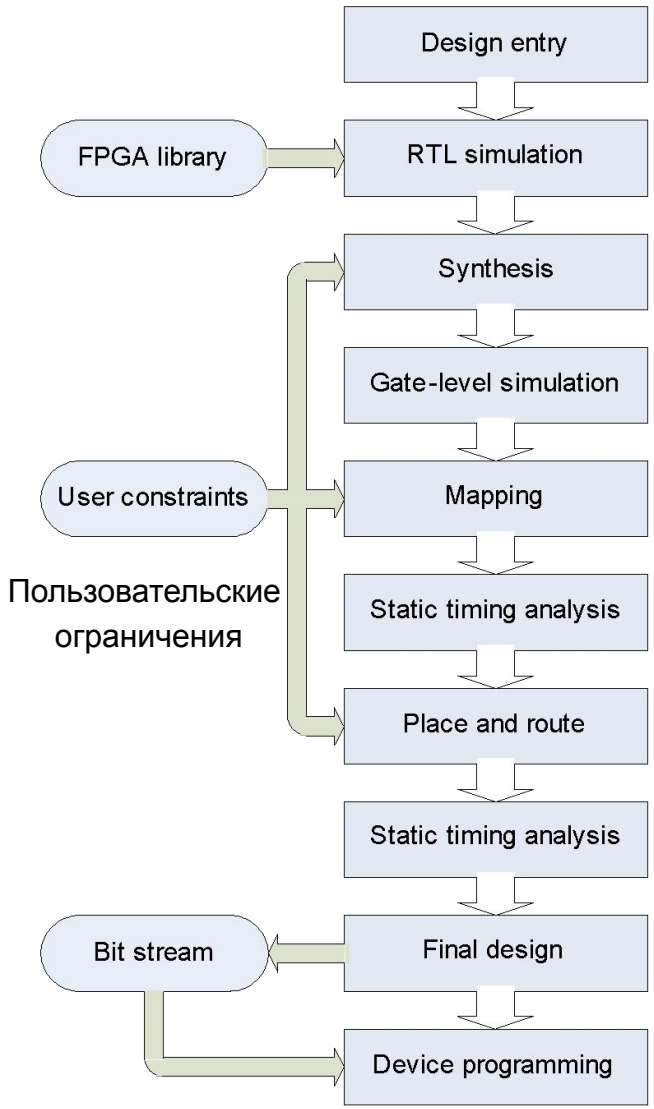
Введение в Verilog

Стандартные этапы проектирования устройства на FPGA



Ввод описания проекта

Моделирование, преобразование пользовательского описания в компоненты и примитивы, входящие в состав библиотеки FPGA.
RTL – Registr Transport Level (Уровень регистровых пересылок)

Логический синтез, преобразование файлов в схему соединений

Моделирование на логическом уровне

Размещение полученных вентилей в ячейки

Временной анализ

Непосредственное размещение на микросхему и разводка связей

Временной анализ с учетом параметров микросхемы и пользовательских ограничений

Конец разработки

Создание файла с конфигурацией устройства

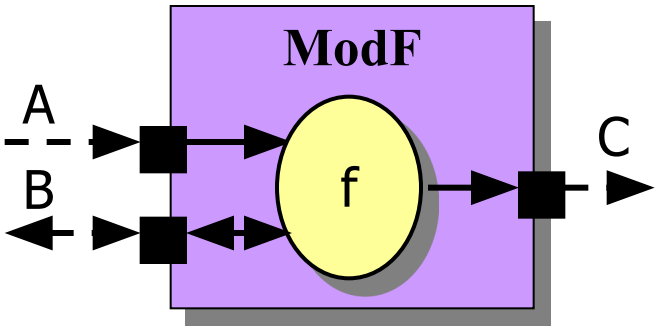
Программирование микросхемы

САПР

Contents

Объявление модуля

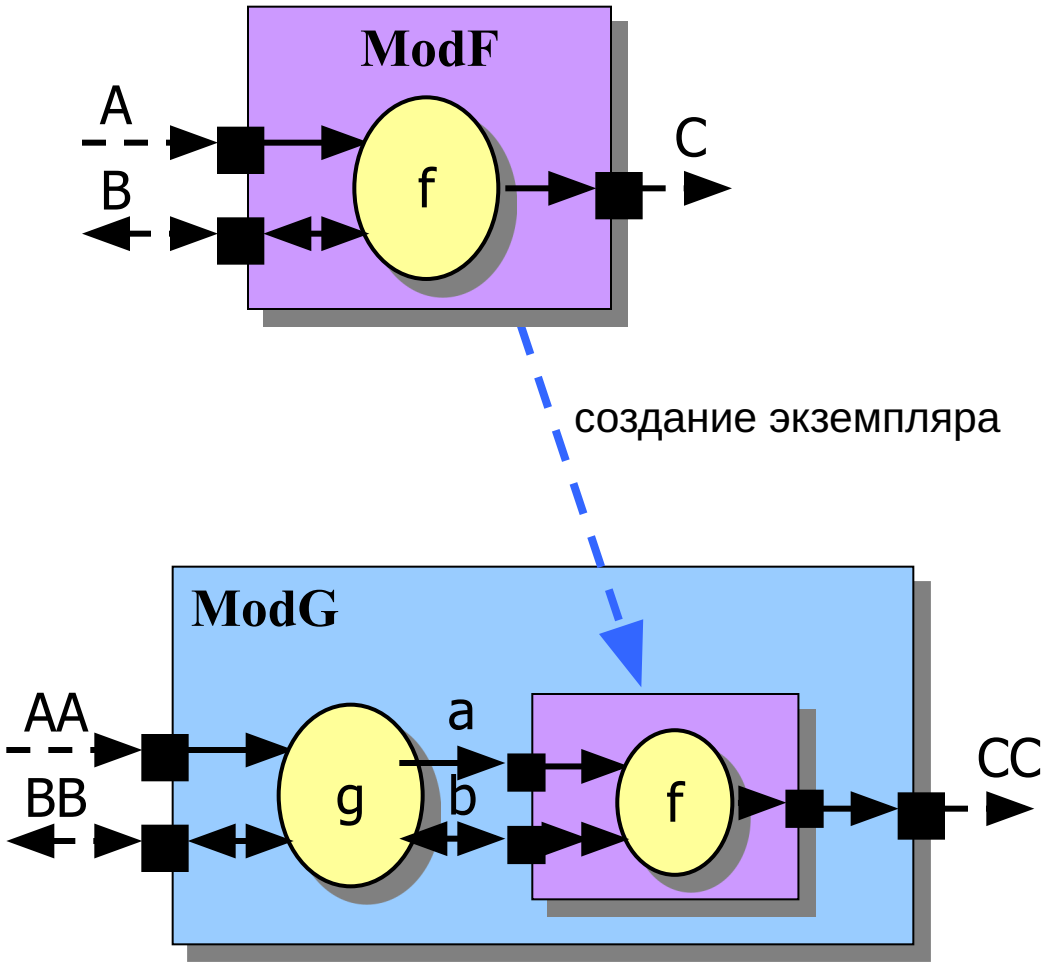
- Модуль – базовая единица проекта.
- Модуль должен быть задекларирован (объявлен). □ *подготовка*
- Модуль может быть конкретизирован (создан экземпляр) □ *использование*
- Определение модуля должно вкладывается между ключевыми словами ‘module’ и ‘endmodule’.




```
module module_name (список портов);
   // in, out, inout объявление портов
   // signal/wire/reg объявление сигналов
   // data variable объявление переменных
   // sub-module создание экземпляров и
                        // подключение
   // initial, always, function, task функциональные блоки,
                    // описывающие логику работы компонента
endmodule
```

```
module ModF (A, B, C);
   input         A;
   inout  [7:0] B;
   output [7:0] C;
   // описания
   // описания ‘f’
endmodule
```

Создание экземпляра модуля




```
module ModG (AA, BB, CC);
   input         AA;
   inout  [7:0] BB;
   output [7:0] CC;
   wire        a;
   wire [7:0] b;
   // описание  'g'
   //   создание екземпляра 'f'
   ModF Umodf (.A(a), .B(b), .C(CC));
endmodule
```

Соединение портов

Имя экземпляра

Имя модуля

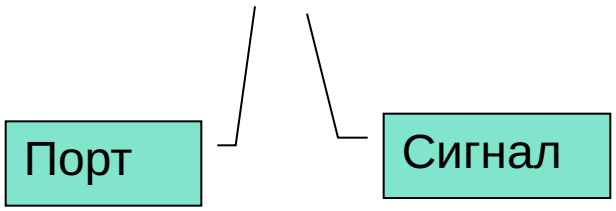
Соединение портов

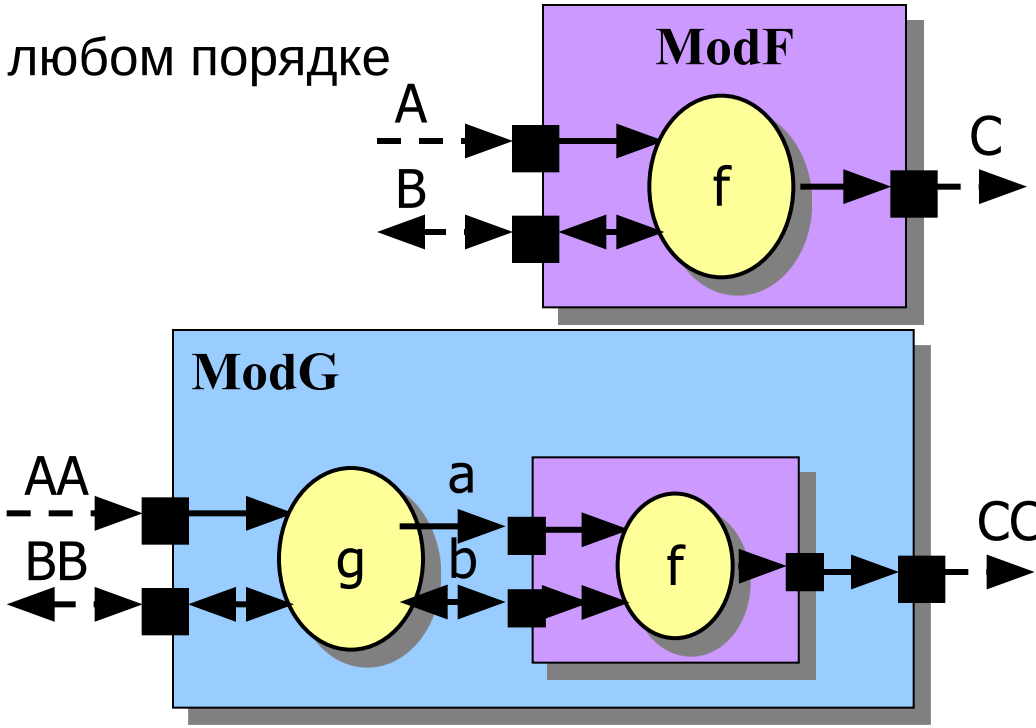
- Позиционный принцип – сопоставление портов в объявлении модуля и в его экземпляре:

```
module ModF (A, B, C);
ModF Umodf (a, b, cc);
```

- Ключевой принцип - явное указание, какой сигнал подключить к какому порту модуля

```
module ModF (A, B, C);
 ModF Umodf (.A(a), .B(b), .C(CC));   // в любом порядке
```

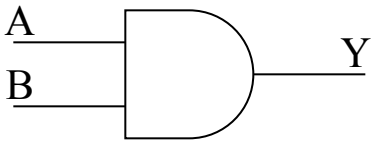




Типы данных

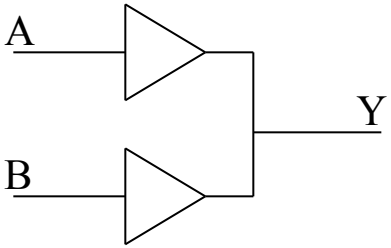
- Типы данных Verilog
  - Net - соединение (связь, цепь)
    - wire – простой провод
    - wand, wor – монтажное И/ИЛИ
    - tri, tri0, tri1, triand, trior, trireg - соединения с третьим состоянием
    - supply0 – постоянный 0 (GND)
    - supply1 – постоянная 1 (VCC/VDD)
  - Variable - переменная
    - Reg - регистр

Nets (2/2)




```
wire Y;  // declaration
assign Y = A & B;
```

Y \ A	0	1
0	0	0
1	0	1

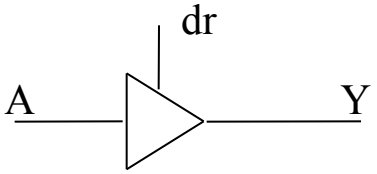



```
wand Y;  // declaration
assign Y = A;
assign Y = B;
```

Y \ A	0	1
0	0	0
1	0	1

```
wor Y;  // declaration
assign Y = A;
assign Y = B;
```

Y \ A	0	1
0	0	1
1	1	1




```
tri Y;  // declaration
assign Y = (dr) ? A : z;
```

'z' or 'Z' means high-impedance.

Verilog значения

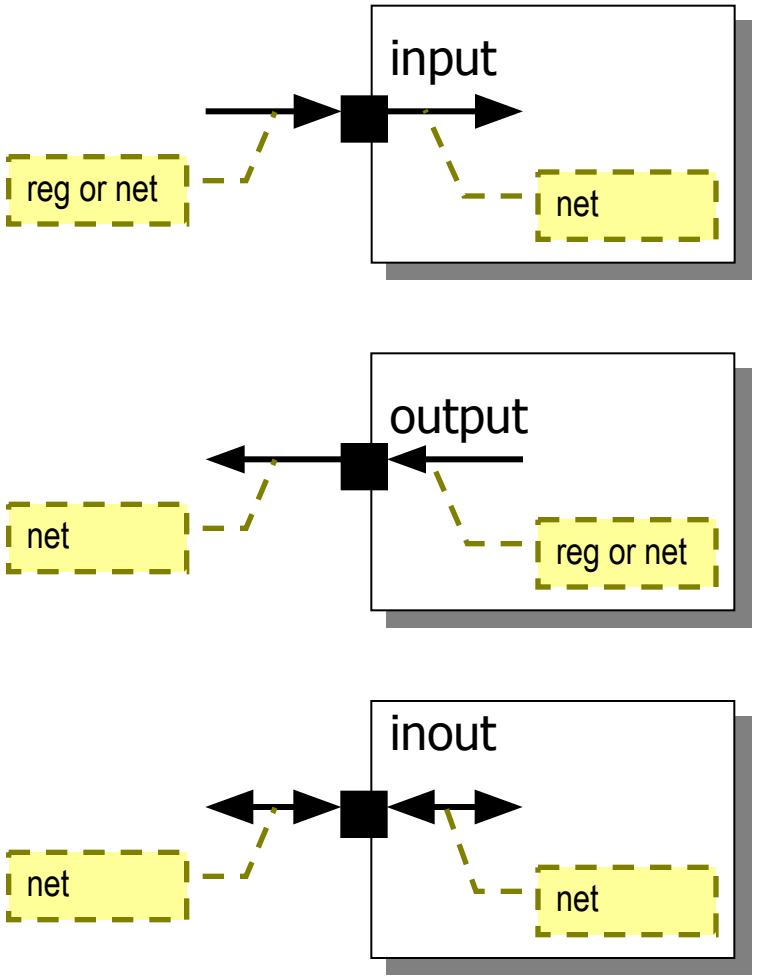
Integer constants

- Decimal (123, 4'd15)
- Hexadecimal ('h12F, 4'haBcD)
- Octal ('o763, 3'o7)
- Binary ('b1010, 4'b1100)

```
reg [7:0] my_vector_reg;

reg [3:0] a, b, c, d;
```

```
// Unsized constant numbers
 659          // is a decimal number
 'd659
 'h837FF    // is a hexadecimal number
 'o7460      // is an octal number
 4af          // is illegal (hexadecimal format requires 'h) – 'h4af

// Sized constant numbers
 4'b1001    // is a 4-bit binary number
 5'D3      // is a 5-bit decimal number
 3'b01x     // is a 3-bit number with the least significant bit unknown
 12'hx      // is a 12-bit unknown number
 16'hz      // is a 16-bit high-impedance number
```

Правила соединения портов



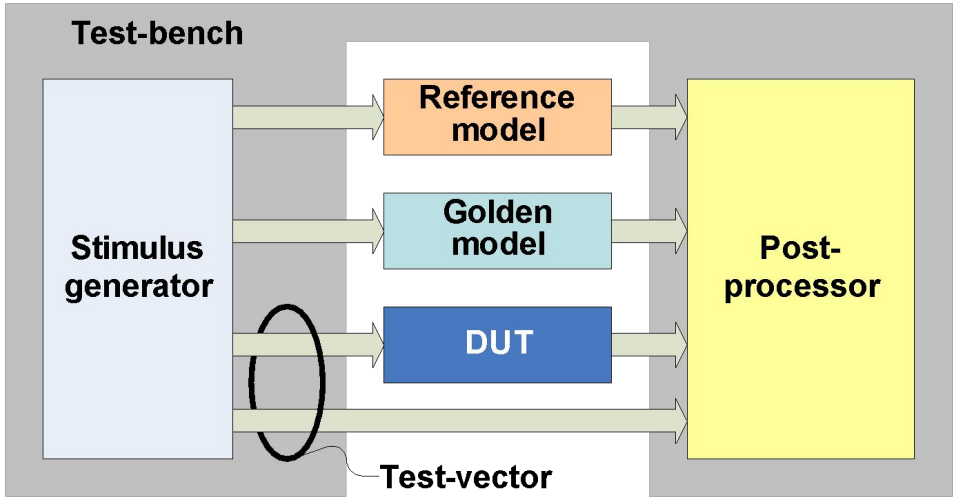
- Входной порт модуля должен иметь тип соединение (связь)
- Выходной порт модуля может иметь тип или соединение или регистр (переменная)
- Двунаправленные порты должны иметь только тип соединения

Четырехзначный алфавит Verylog

Значение	
0	Низкий логический уровень или ложно
1	Высокий логический уровень или истинно
X, x	Неопределенный логический уровень
Z, z	Высокоимпедансный логический уровень, третье состояние

Символ «?» так же используется для альтернативного представления «Z» состояния

Test-bench файлы



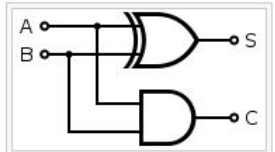
Golden model – идеальная модель, на выходе выдает идеальные ожидаемые результаты

Reference model – базовая модель, взятая за основу, работает идентично, но может быть создана с помощью других функций, например математических или аппаратная реализация, созданная сторонними разработчиками.

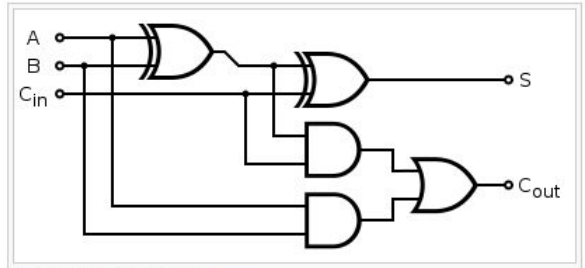
- «Test-bench» это специальный уровень кода, который создает пользовательские входные параметры (stimulus) для тестируемого проекта (DUT, design under test) и определяет, производит ли DUT ожидаемые (golden) выходные сигналы
- «Test-vector» установка значений для всех входных портов DUT(stimuli) и ожидаемых значений (образцов) выходных портов тестируемого модуля
- «Test-bench», который создает пользовательские входные сигналы, образцы выходных сигналов DUT и сравнивает выходные сигналы с ожидаемыми (golden) результатами называется однородно-проверяющим.

Разработка структурной схемы сумматора

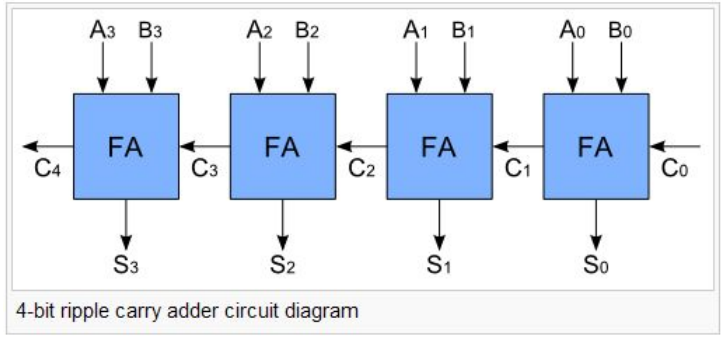
- Сумматор цифровая схема которая выполняет сложение чисел
  - Одноразрядный полусумматор складывает два однобитных двоичных числа (A и B). На выходе формируется значение суммы (S) и переноса (C).
  - Полный одноразрядный сумматор складывает три однобитный значения (C, A and B). На выходе формируется значение суммы (S) и переноса (C).
  - Многоразрядный сумматор
  - Суммирование с распространением переносов
  - Перенос из младшего полусумматора учитывается старшим полусумматором



Half adder circuit diagram



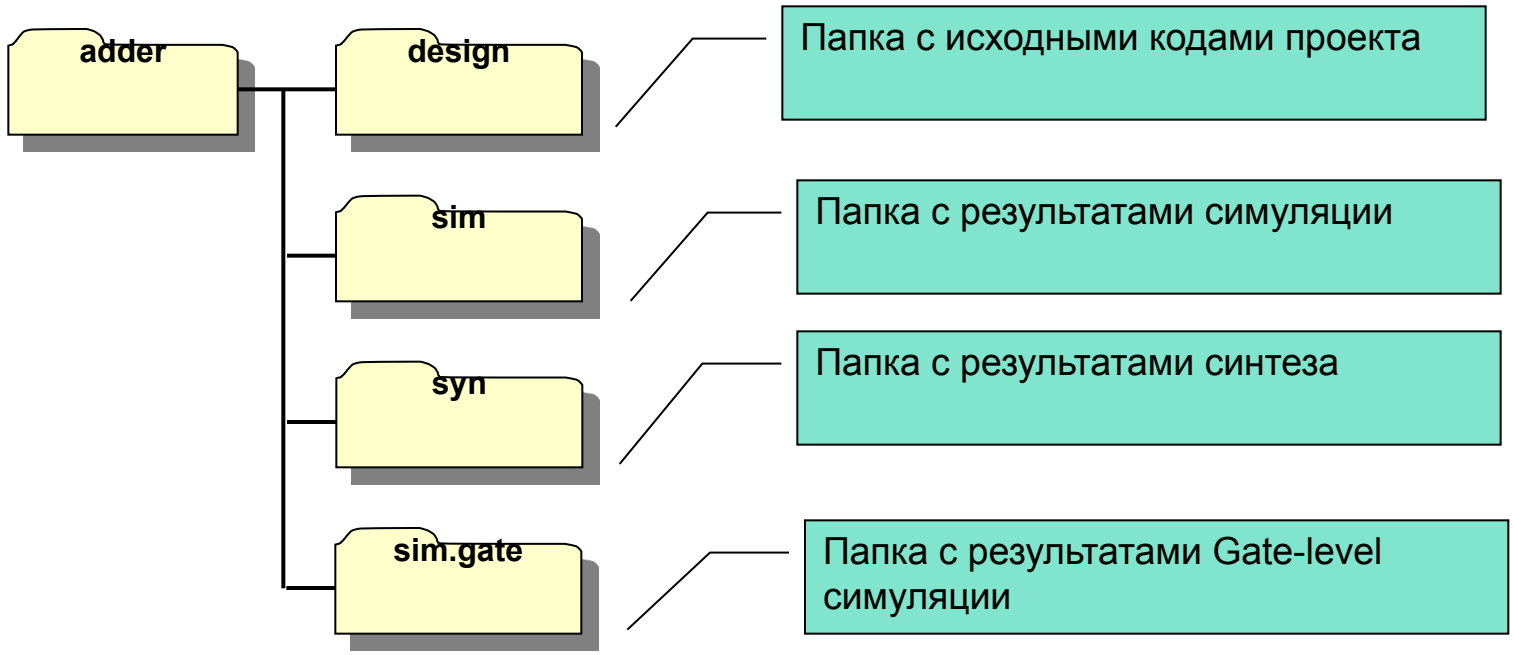
Full adder circuit diagram
Inputs: {A, B, CarryIn} → Outputs: {Sum, CarryOut}



4-bit ripple carry adder circuit diagram

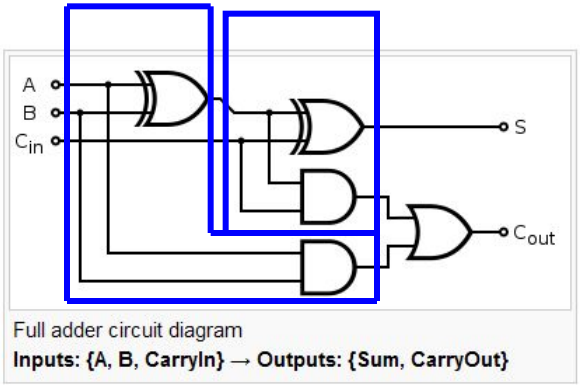
Picture has been adopted from Wikipedia (http://en.wikipedia.org/wiki/Half_adder).

Структура директории

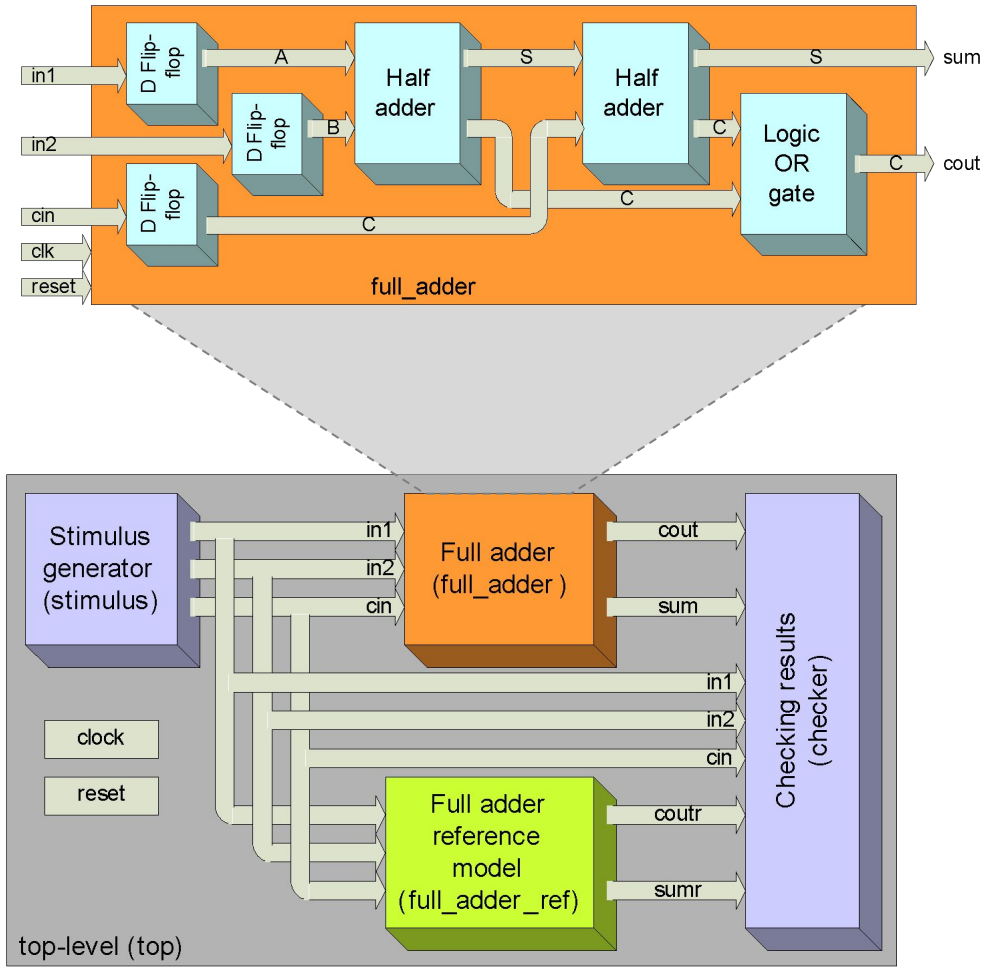


Проект “adder” - сумматор

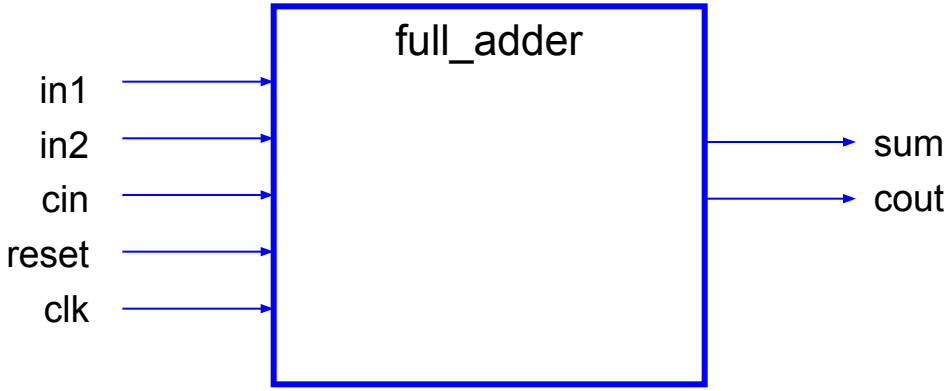
- Содержимое папки ‘design’
  - top.v
  - full_adder.v
  - half_adder_gate.v
  - half_adder_rtl.v
  - stimulus.v
  - full_adder_ref.v
  - checker.v

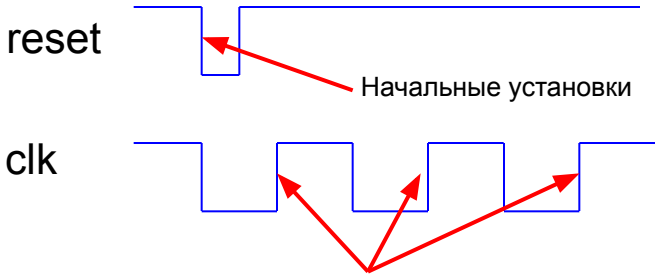


Full adder circuit diagram
Inputs: {A, B, CarryIn} → Outputs: {Sum, CarryOut}

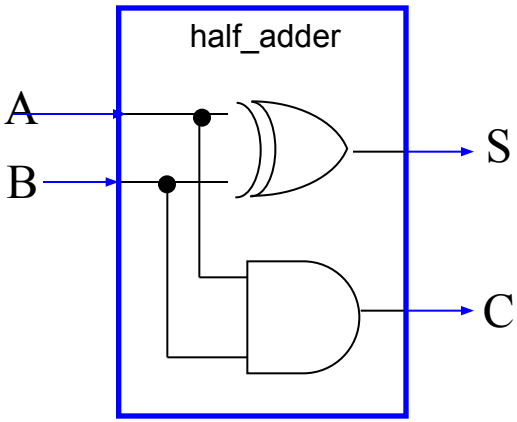


Модуль full_adder

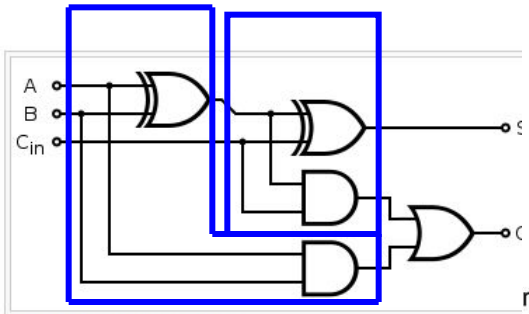




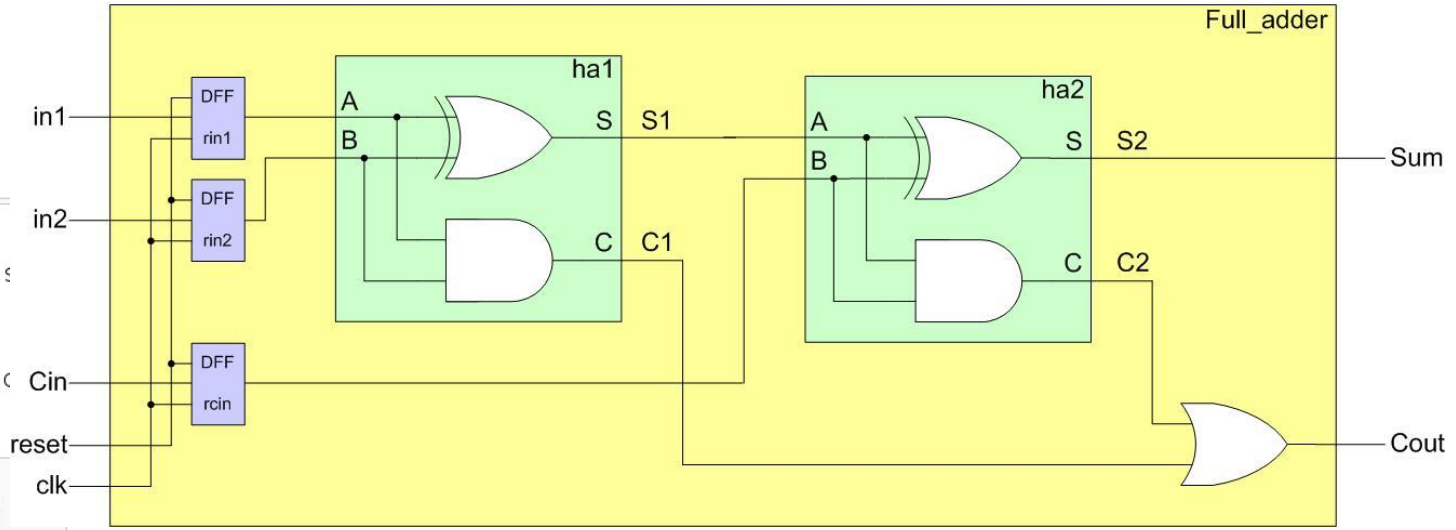
Запись входных значений во входные регистры, формирование результата




```
module half_adder (S, C, A, B);
        output S, C;
        input   A, B;
        // описание модуля
endmodule
```

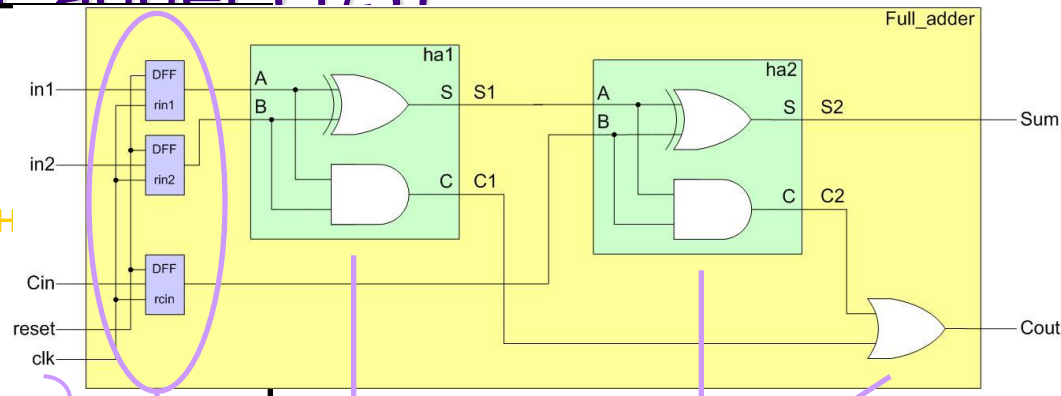


Full adder circuit diagram
Inputs: {A, B, CarryIn} → Outputs: {Sum, CarryOut}



Модуль full_adder (1/3)

```
module full_adder(sum,cout,in1,in2,cin,clk,resetb);
   output sum, cout; /выходные сигналы
   input  in1, in2, cin; /входные сигналы
   input  clk, resetb; /входные сигналы
/ объявление типов связей, сигналов и соединен
   wire   sum, cout; /соединение (проводник)
   reg    rin1, rin2, rcin; /переменная (регистр)
   wire   s1, c1, s2, c2; /соединение (проводник)
/процедурный блок - процесс
   always @ (posedge clk or negedge resetb) begin
      if (resetb==1'b0) begin
        rin1 <= 1'b0;  rin2 <= 1'b0;   rcin <= 1'b0; end
      else begin
        rin1 <= in1;    rin2 <= in2;     rcin <= cin;
      end
   end
/создание экземпляров модулей
   half_adder_gate ha1 (.S(s1), .C(c1), .A(rin1), .B(rin2));
   half_adder_rtl    ha2 (.S(s2), .C(c2), .A(s1),   .B(rcin));
/ процедурные присваивания
   assign sum = s2;
   assign cout = c1|c2;
endmodule
```



Оператор ожидания

@ (A or D) / события в A или B

@ posedge clk /фронта clk

@ negedge clk /среза clk

Оператор неблокирующего присваивания

X1<=1'b1; / X1 присваивается 1

X2<=X1; / X2 присваивается / старое значение X1

Параллельные операторы (процессы)

```
always [@(список чувствительности)]
begin
...
end
```

многократное повторение операторов в блоке

```
assign  / непрерывное / присваивание
```

Full adder (2/3)

```
module full_adder(sum,cout,in1,in2,cin,clk,resetb);
   output sum, cout;
   input  in1, in2, cin;
   input  clk, resetb;

   wire   sum, cout;
   reg    rin1, rin2, rcin;
   wire   s1, c1; wire   s2, c2;

   always @ (posedge clk or negedge resetb) begin
      if (resetb==1'b0) begin
         rin1 <= 1'b0;  rin2 <= 1'b0;  rcin <= 1'b0;
      end else begin
         rin1 <= in1;  rin2 <= in2; rcin <= cin;
      end
   end

   half_adder_gate ha1 (.S(s1), .C(c1), .A(rin1), .B(rin2));
   half_adder_rtl    ha2 (.S(s2), .C(c2), .A(s1),   .B(rcin));

   assign sum = s2;
   assign cout = c1|c2;
endmodule
```

Имя модуля

Объявление портов

Описание портов

Описание сигналов и соединений

internal design description

Создание экземпляров модулей

internal design description

Full adder (3/3)

```
module full_adder(sum,cout,in1,in2,cin,clk,resetb);
   output sum, cout;
   input  in1, in2, cin;
   input  clk, resetb;

   wire   sum, cout;
   reg    rin1, rin2, rcin;
   wire   s1, c1; wire   s2, c2;

   always @ (posedge clk or negedge resetb) begin
      if (resetb==1'b0) begin
         rin1 <= 1'b0;  rin2 <= 1'b0;  rcin <= 1'b0;
      end else begin
         rin1 <= in1;  rin2 <= in2; rcin <= cin;
      end
   end

   half_adder_gate ha1 (.S(s1), .C(c1), .A(rin1), .B(rin2));
   half_adder_rtl     ha2 (.S(s2), .C(c2), .A(s1),   .B(rcin));

   assign sum = s2;
   assign cout = c1|c2;
endmodule
```

Verilog типы данных: связь and переменная

- net : wire
- variable: reg, integer, real ...

Этот процесс запускается, когда наступает событие размещенное в списке чувствительности.

фронт ‘clk’

срез ‘resetb’

Блок процедурного присваивания, переменные внутри блока инициализируются и присваиваются многократно, если случается событие

==: оператор блокирующего присваивания

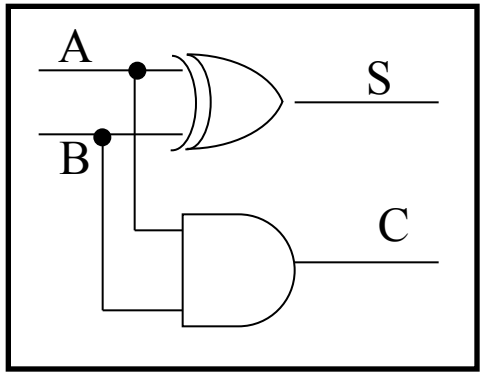
<=: неблокирующее присваивание

Экземпляры моделей, которые описывают соединение портов в виде позиционного списка

Блоки непрерывного присваивания значений сигналам, которые срабатывают, если изменяется хотя бы один сигнал в правой части

|: оператор побитового ИЛИ (OR)

Структурная модель полусумматора (gate level)



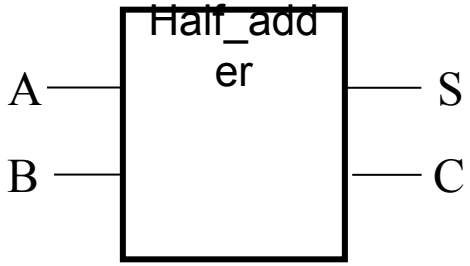

```
module half_adder_gate (S, C, A, B);
        output S, C;
        input  A, B;
        and UAND (C, A, B);
        xor UXOR (S, A, B);
endmodule
```

использование библиотечных модулей and и xor

Структурное описание – структура объекта, как композиция компонентов, соединенных между собой и обменивающихся сигналами.

Структурная модель - создание экземпляров примитивов и модулей (использование библиотечных модулей, или создание собственных)

Поведенческое описание объектов
Полусумматор. Процессная форма описания поведения (Behavior model)



Объект представлен в виде “черного ящика”, описывают зависимость выходных сигналов от входных на уровне одного процесса.

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

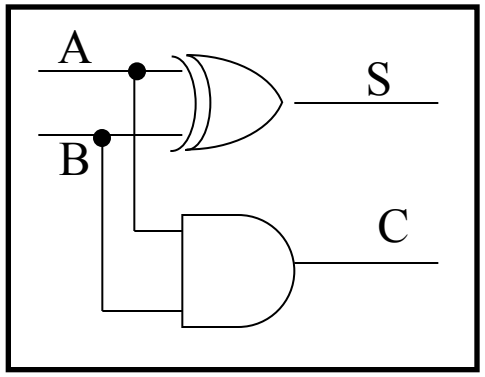
```
module half_adder_beh1 (S, C, A, B);
      output S, C;
      input    A, B;
      wire     S, C;
always @ (A or B)
      begin
      if ((A==0) or (B==1)) and ((A==0) or (B==1))
                  begin S<=1'b1; C<=1'b0; end
      else
                  begin
                  S<=1'b0;
                  if (A==0) and (B==0)
                  C<=1'b0; else C<=1'b1;
                  end
       end
endmodule
```

```
module half_adder_beh2 (S, C, A, B);
          output S, C;
          input    A, B;
          wire     S, C;
always
          begin
          S<=A^B;
          C<=A&B;
          @ (A or B);
          end
endmodule
```

Поведенческое описание объектов
Полусумматор. Потоковое описание архитектуры (Data-flow model (RTL-модель))

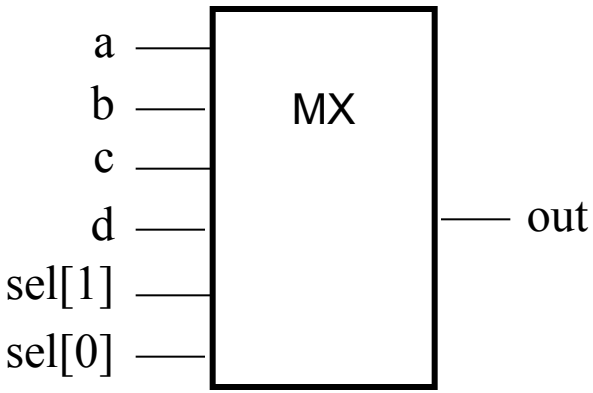
(RTL, Register Transfer Level, Уровень регистровых передач)

- Data-flow модель – модель потоков данных
- Описывает поведение архитектуры объекта, потоки данных функционирующие на уровне архитектуры объекта и их преобразование.
- Поведение архитектуры описывается с помощью операторов непрерывных назначений (присваиваний), которые представляют собой параллельные процессы.
- Объект представлен архитектурным описанием, где минимальная видимая единица примитив RTL уровня - RTL модель




```
module half_adder_rtl (S, C, A, B);
        output S, C;
        input   A, B;
        wire    S, C;
        assign C = A & B;
        assign S = A ^ B;
endmodule
```

Модели мультиплексора (Behavior model)

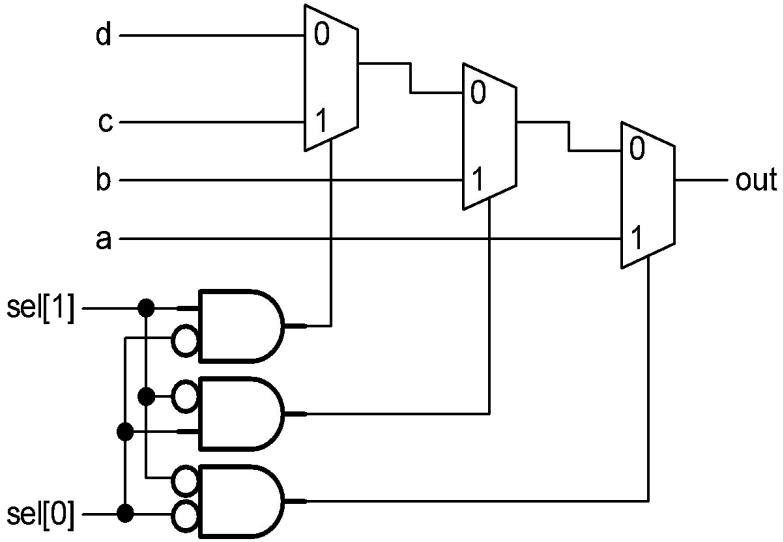


sel[1]	sel[0]	out
0	0	a
0	1	b
1	0	c
1	1	d

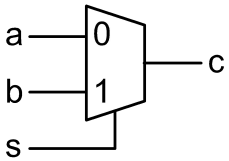
```
module mx_beh (sel, a, b, c, d, out);
        output out;
        input   sel, a, b, c, d;
        wire    a, b, c, d;
        wire     [1:0]sel;
        / description
endmodule
```

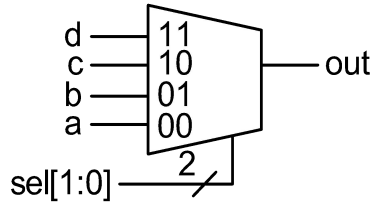
```
always @ (sel or a or b or c or d)
   if (sel == 2'b00) out = a;
   else if (sel == 2'b01) out = b;
   else if (sel == 2'b10) out = d;
   else out = d;
```

```
always @ (sel or a or b or c or d)
   case (sel)
    2'b00:    out = a;
    2'b01:    out = b;
    2'b10:    out = c;
    default: out = d;
   endcase
```

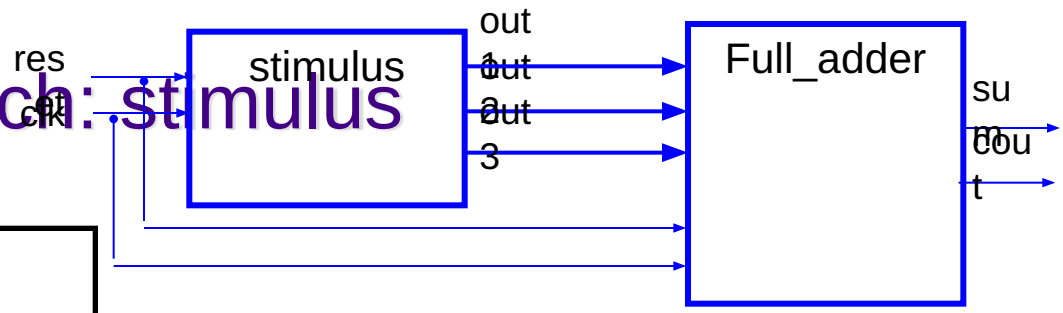



```
assign c = (s) ? b : a;
```





Test-bench: stimulus

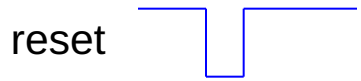



```
module stimulus(out1,out2,out3,clk,resetb);
    output out1,out2,out3;
    input clk,resetb;

    reg out1,out2,out3;

    initial begin
        out1 <=0; out2 <=0; out3 <=0;
/ ожидание сброса тригеров в 0
        wait (resetb==1'b0);
        wait (resetb==1'b1);
/ по фронту clk генерация на выходе трех битов
@ (posedge clk); out1=1; out2=0; out3=0;
@ (posedge clk); out1=0; out2=1; out3=0;
@ (posedge clk); out1=1; out2=1; out3=0;
@ (posedge clk); out1=0; out2=0; out3=1;
@ (posedge clk); out1=1; out2=0; out3=1;
@ (posedge clk); out1=0; out2=1; out3=1;
@ (posedge clk); out1=1; out2=1; out3=1;
@ (posedge clk);
/ повторить 3 раза
        repeat (3) @ (posedge clk);

        $finish;  /
    end
endmodule
```

Initial однократно выполняемая конструкция, выполняется во время старта симуляции.

<=: неблокируемый оператор присваивания

‘wait’ – оператор ожидания условия (выполняется, когда условие станет true)



‘@’ оператор ожидания события

=: оператор блокирующего присваивания, присваивания выполняются последовательно

‘repeat’: Выполняет установку фиксированного количества тактов

$finish - Системная задача, конец моделирования, выполняет остановку симулятора и передает управление назад операционной системе компьютера

Test-bench: full_adder_ref

```
module full_adder_ref(sum,cout,in1,in2,cin,clk,resetb);
   output sum, cout;
   input  in1, in2, cin;
   input  clk, resetb;

   wire   sum, cout;
   reg    rin1, rin2, rcin;


   always @ (posedge clk or negedge resetb) begin
      if (resetb==1'b0) begin
         rin1 <= 1'b0;
         rin2 <= 1'b0;
         rcin <= 1'b0;
      end else begin
         rin1 <= in1;
         rin2 <= in2;
         rcin <= cin;
      end
   end

   assign {cout, sum} = rin1+rin2+rcin;

endmodule
```

Оператор конкатенации ({, }) объединение двух или более значений в последовательность.

Test-bench: checker

```
module checker(in1,in2,cin,sum,cout,sumr,coutr,clk,resetb);
   input in1,in2,cin,sum,cout,sumr,coutr,clk,resetb;
   always @ (clk) begin
      if ({cout,sum}=={coutr,sumr})
            $display($time,,"correct");
      else $display($time,,"error result=%b expect=%b",  {cout, sum}, {coutr,sumr});
   end
endmodule
```

Display – системная задача, вывод информации с новой строки на экран.

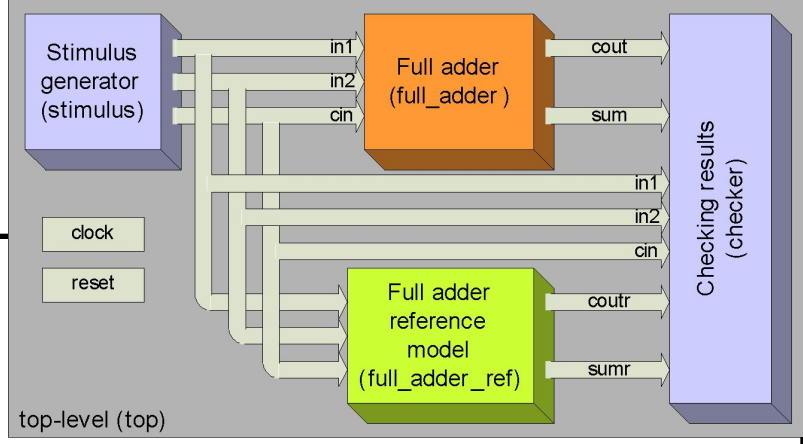
```
$display ( «текст с символами форматирования», list_of_arguments );
```

Time – системная функция возвращает текущее модельное время, целое 64-битное значение времени, масштабируемое соответственно единице временного масштаба модуля (timescale), установленной в нем

```
$time ;
```

Top-level модуль содержит весь проект, и не имеет входных портов.

Test-bench: top




```
module top;
   wire in1, in2, cin;
   wire sum, cout, sumr, coutr;
   reg  clk, resetb;
   full_adder Ufa (.sum(sum), .cout(cout), .in1(in1), .in2(in2), .cin(cin), .clk(clk), .resetb(resetb));
   full_addr_ref Urf (.sum(sumr), .cout(coutr), .in1(in1), .in2(in2), .cin(cin), .clk(clk), .resetb(resetb));
   stimulus    Ust (.out1(in1), .out2(in2), .out3(cin), .clk(clk), .resetb(resetb));
   checker    Uck (.in1(in1), .in2(in2), .cin(cin), .sum(sum), .cout(cout), .clk(clk) , .resetb(resetb));
/ генератор синхроимпульсов с периодом 5ns
initial begin
        clk <= 0;
        forever #5 clk = ~clk;
  end
initial begin
        resetb <= 1'b0;
        #200 resetb <= 1'b1;
  end
  initial begin
        $dumpfile("wave.vcd");
        $dumpvars(1);
        $dumpvars(1, Ufa);
end
endmodule
```

Forever – непрерывное назначение

Initial конструкция выполняется один раз во время инициализации

Dumpfile задача для установки имени VCD file.

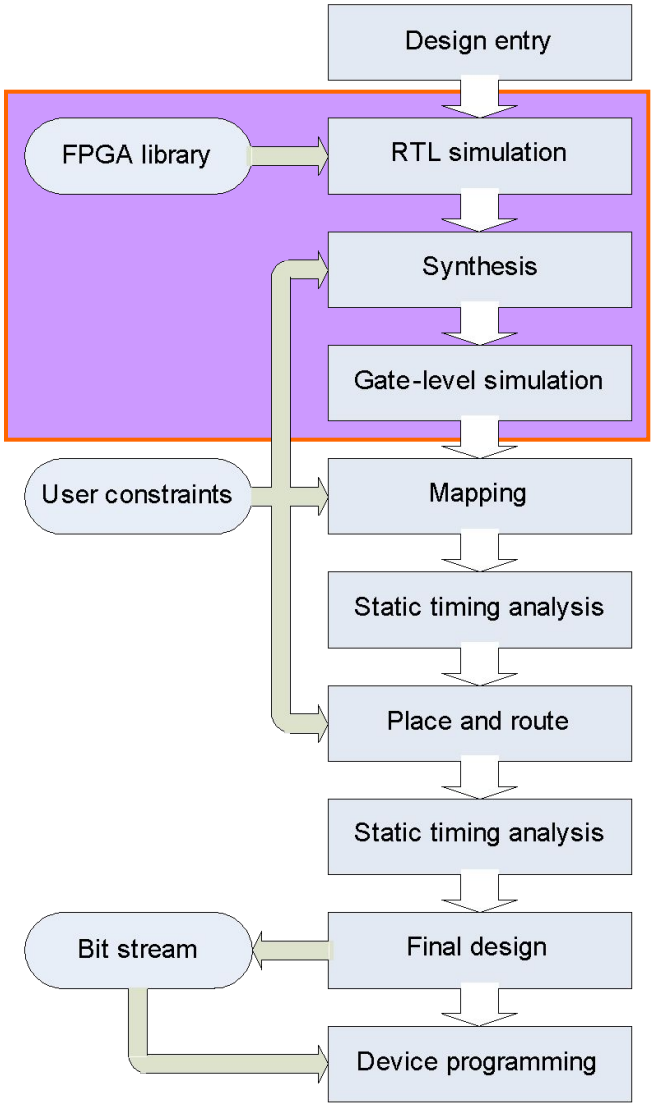
```
$dumpfile( filename ) ;
```

Dumpvars задача для установки переменных для записи в VCD file

```
$dumpvars ( level, [ list_of_mod_or_var );
```

Contents

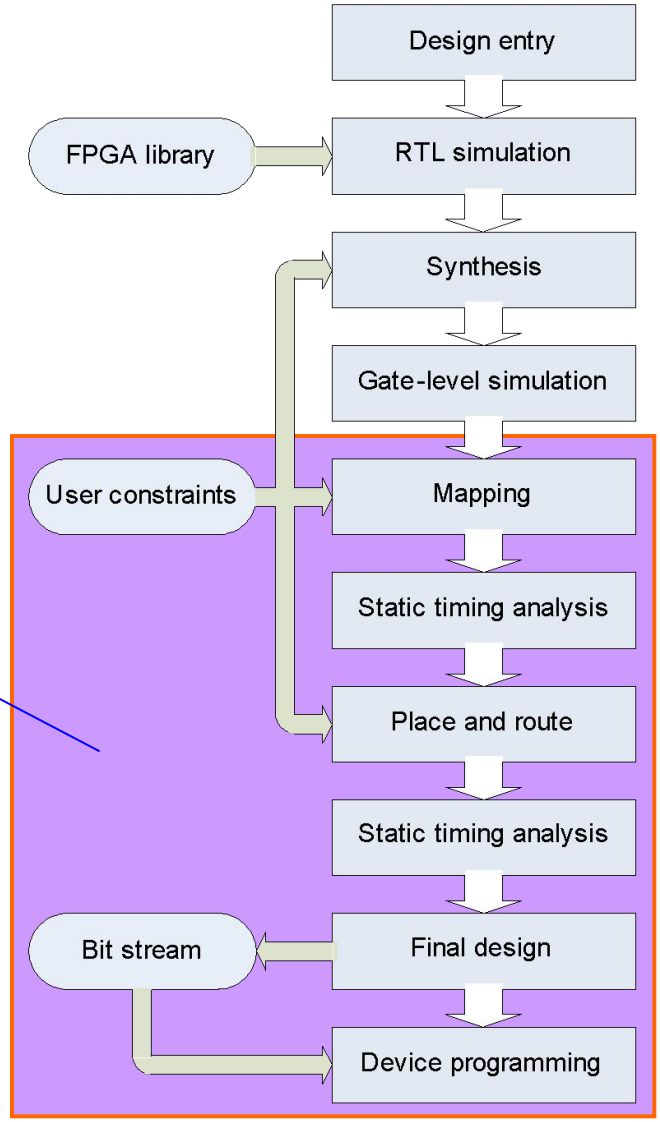
- Design flow overview
- Hello world
  - GUI based
  - Command based
- Module
  - Declaration
  - Instantiation
  - Port
  - Test-bench
- Adder example
  - What is adder
  - Directory structure
  - Example design
  - Simulation
  - Synthesis
  - Gate-level simulation



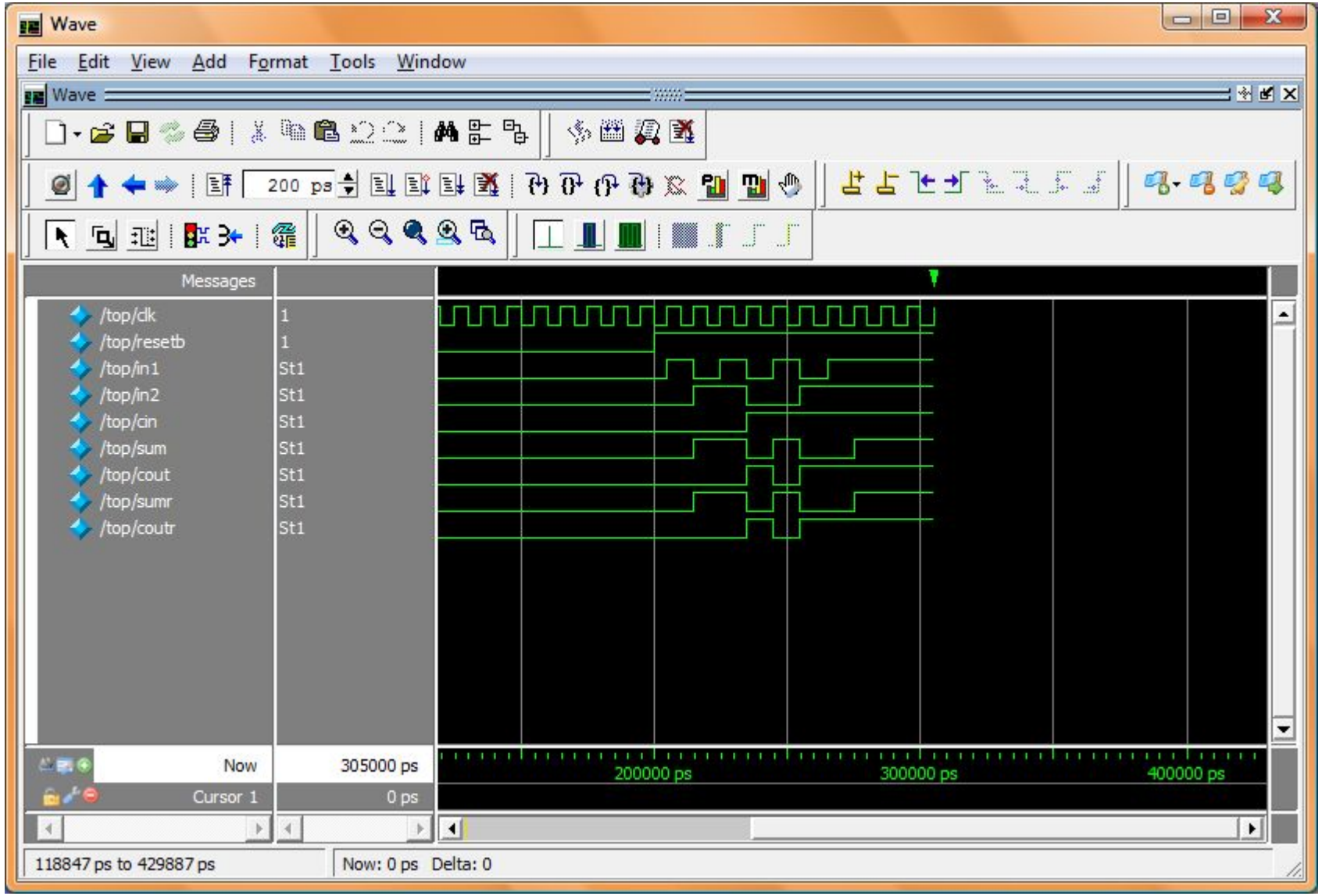
Contents

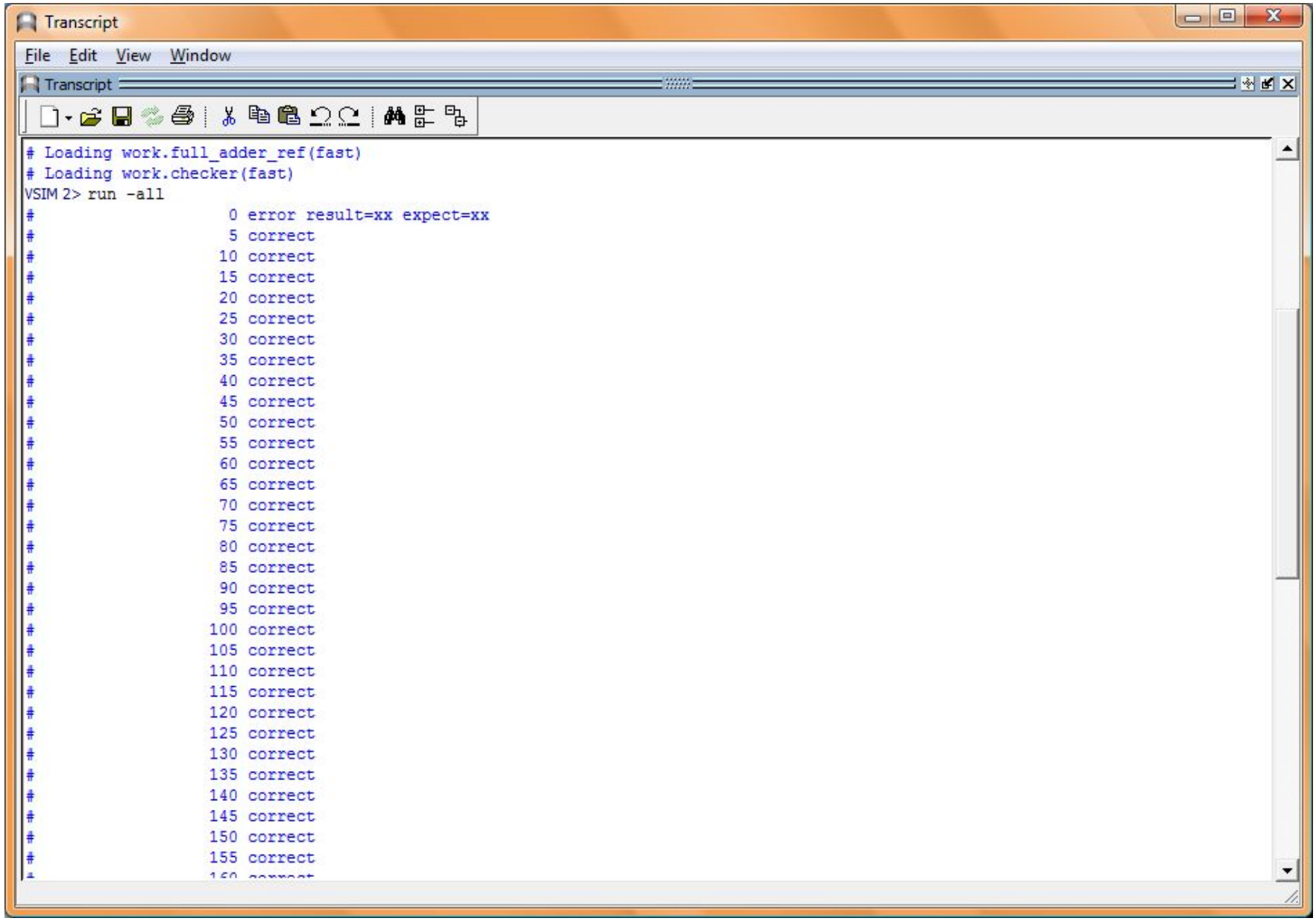
- Adder example
  - What is adder
  - Directory structure
  - Example design
  - Simulation
  - Synthesis
  - Gate-level simulation
  - Map & PnR
  - Static timing analysis
  - FPGA-based co-simulation

Использование САПР



Результаты моделирования

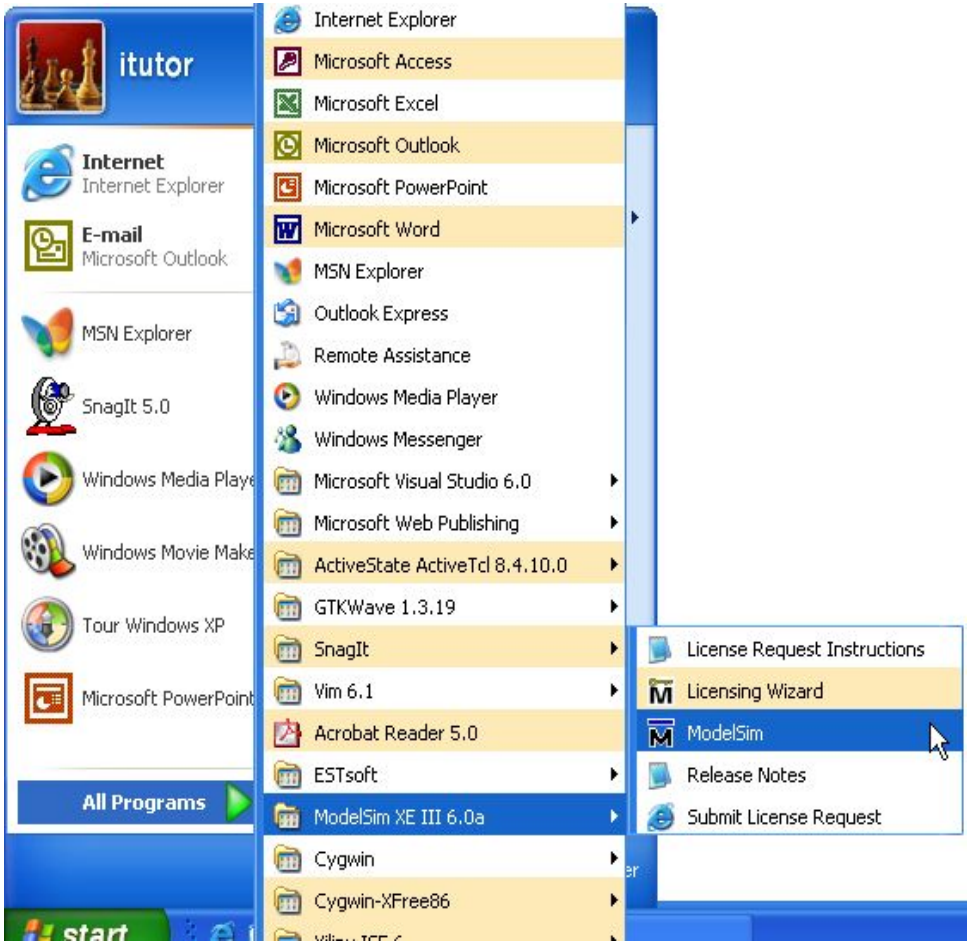


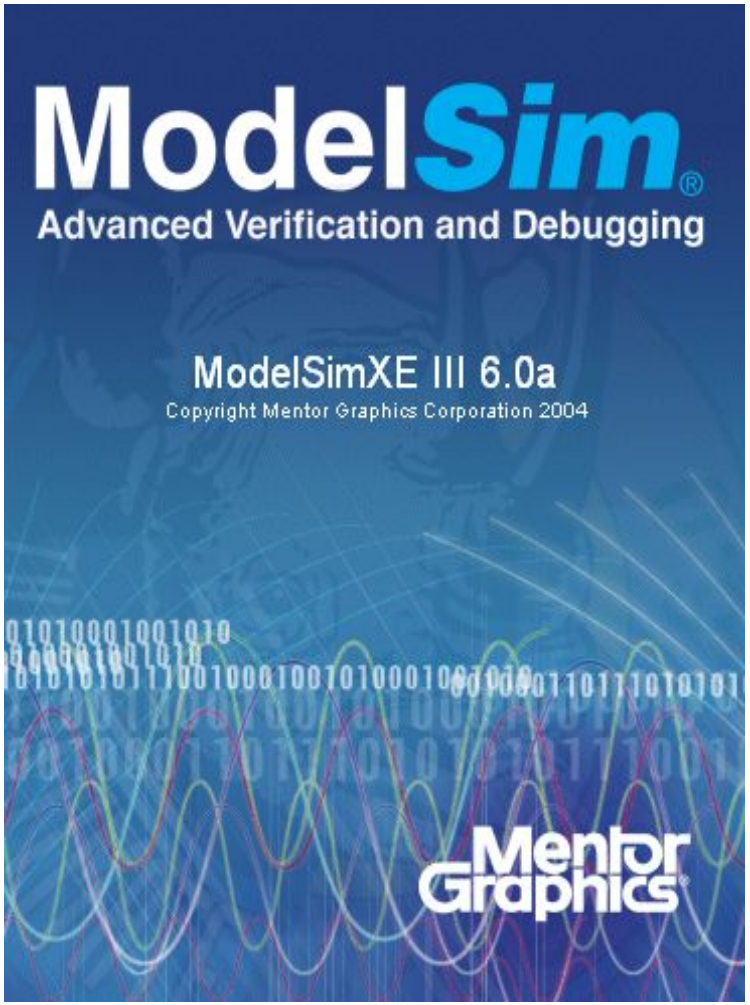

Transcript
File Edit View Window
Transcript
Loading work.full_adder_ref(fast)
Loading work.checker(fast)
VSIM 2> run -all
0 error result=xx expect=xx
5 correct
10 correct
15 correct
20 correct
25 correct
30 correct
35 correct
40 correct
45 correct
50 correct
55 correct
60 correct
65 correct
70 correct
75 correct
80 correct
85 correct
90 correct
95 correct
100 correct
105 correct
110 correct
115 correct
120 correct
125 correct
130 correct
135 correct
140 correct
145 correct
150 correct
155 correct

Моделирование с использованием ModelSim GUI

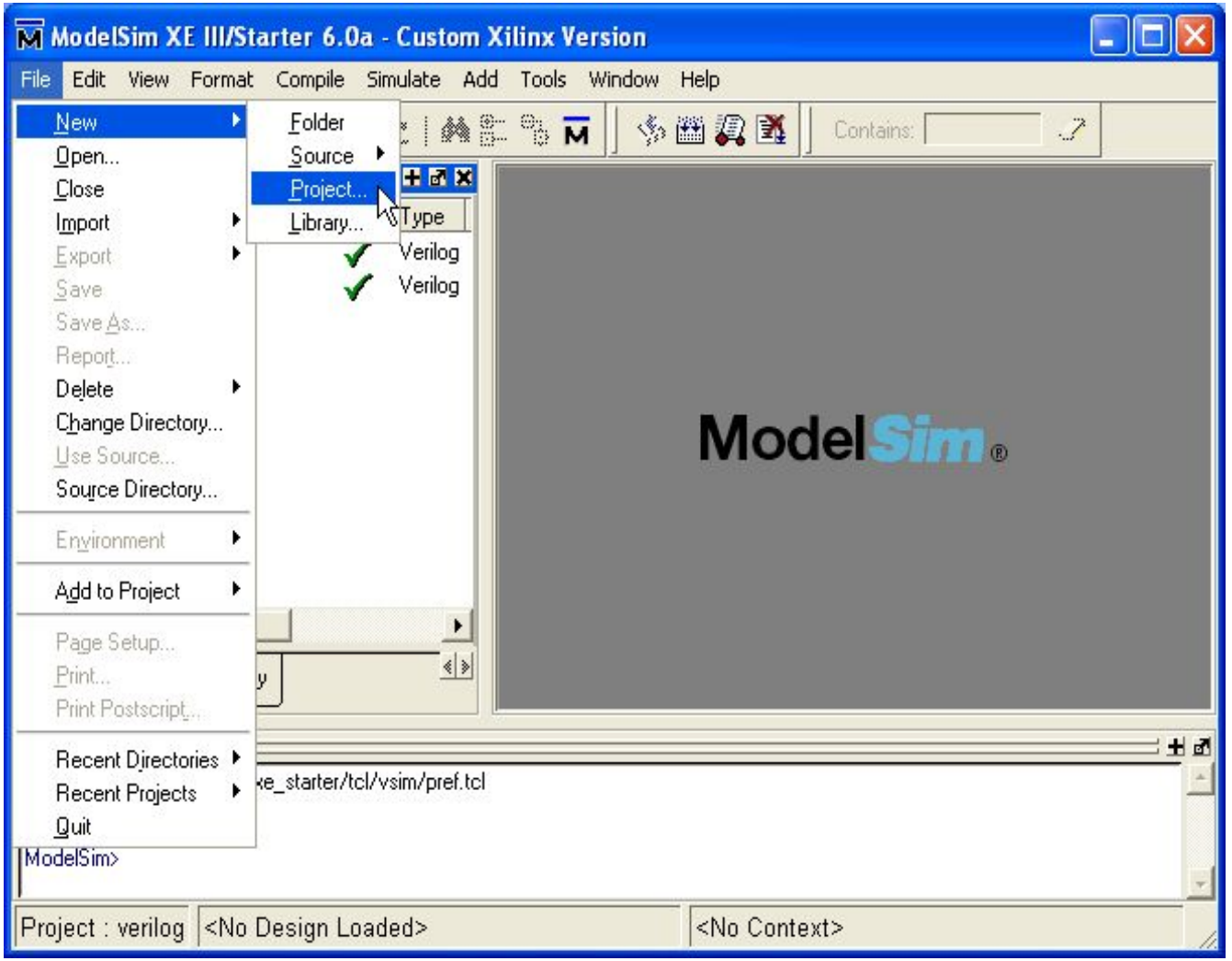
- Invoking ModelSim form start menu
- Create new project
- Add design files
- Compile
- Wave setting
- Simulation
- Invoking ModeSim project

Invoking ModelSim from start menu

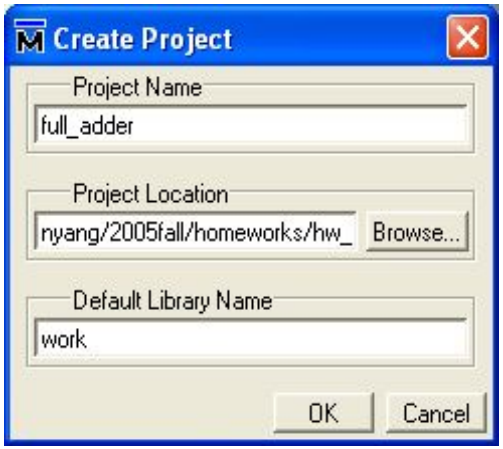




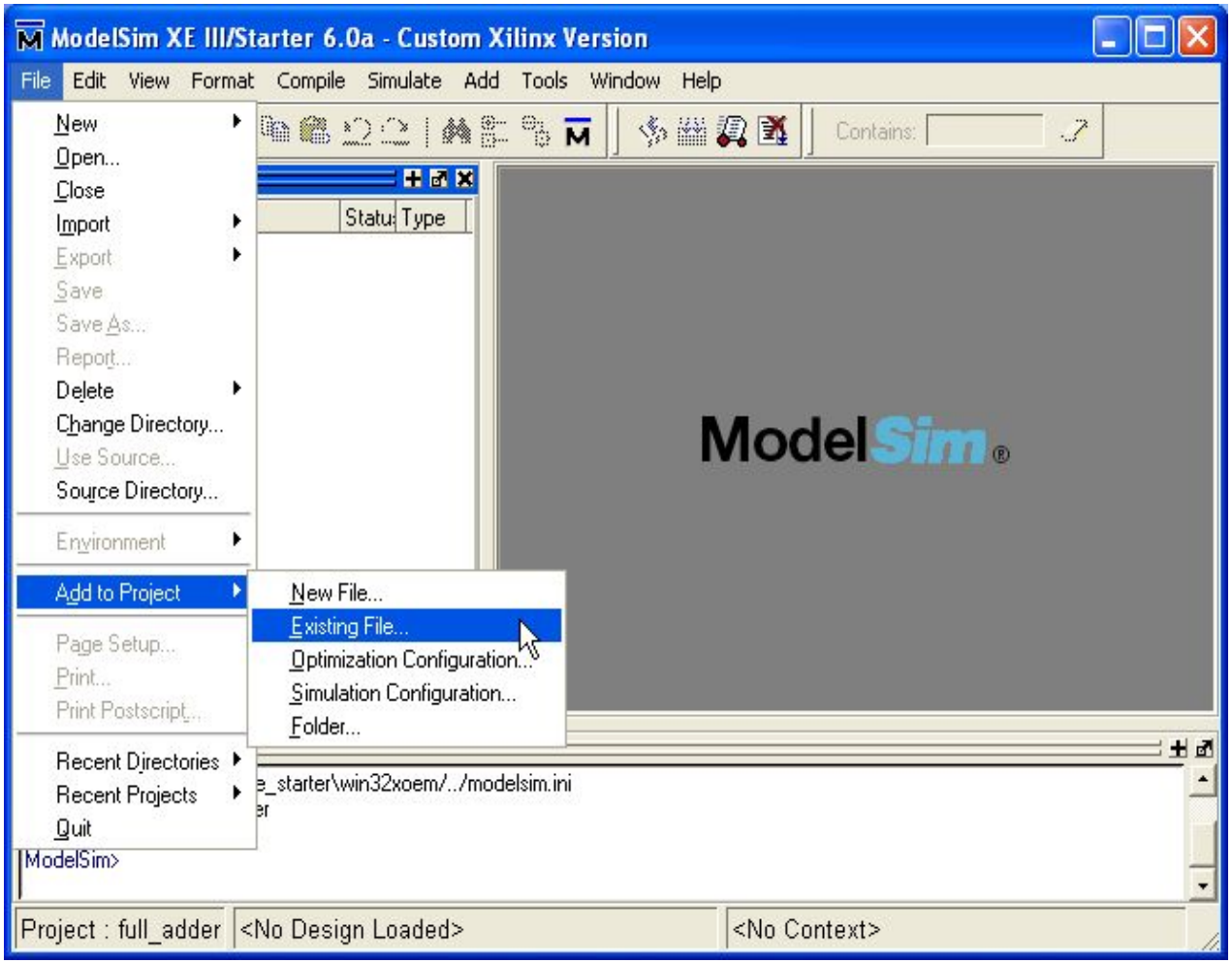
File->New->Project



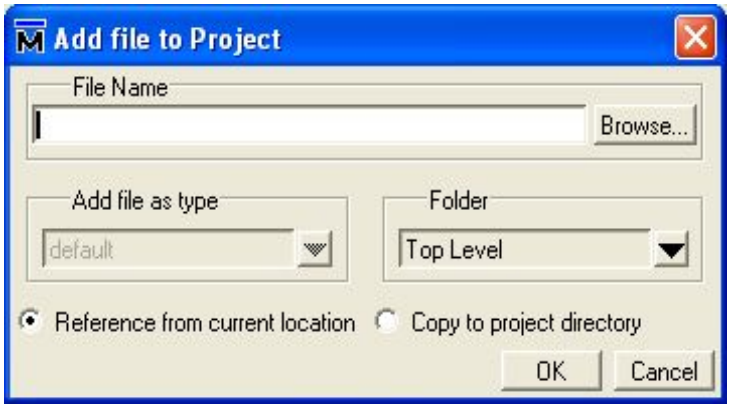
Specify project name and location

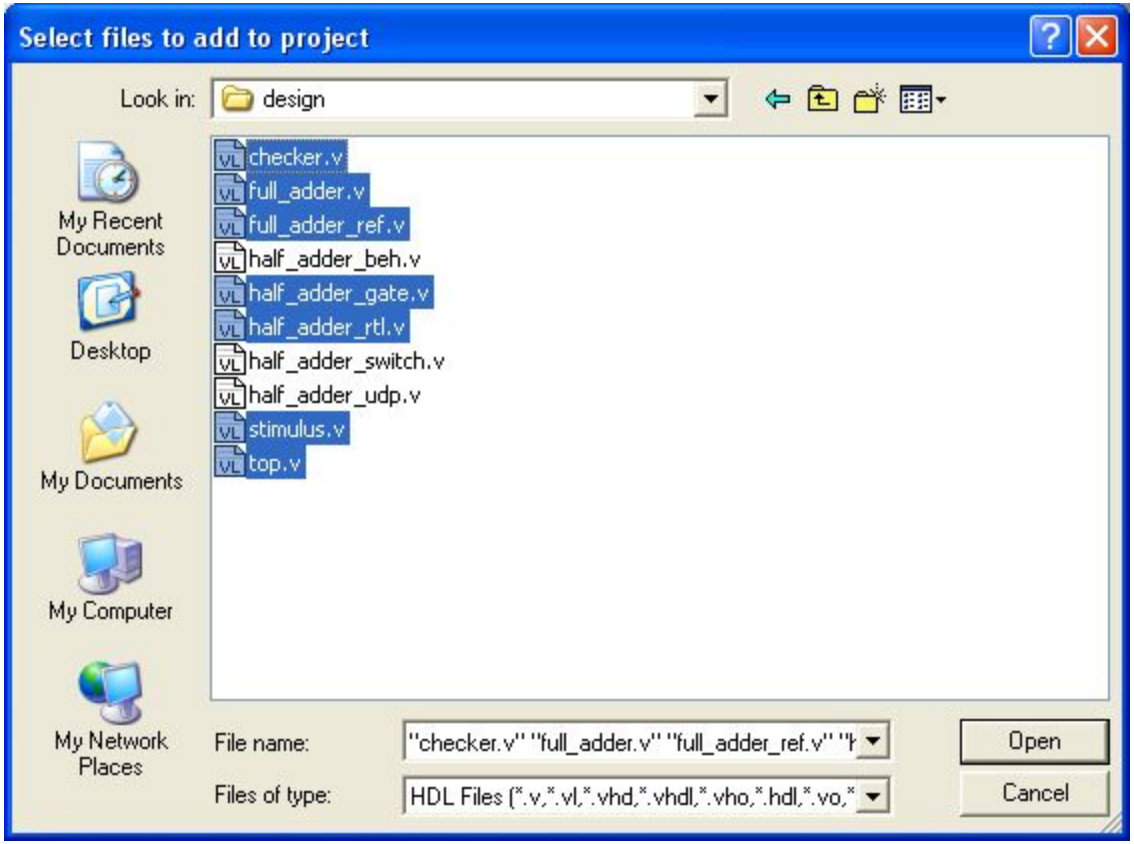


File->Add to Project->Existing File

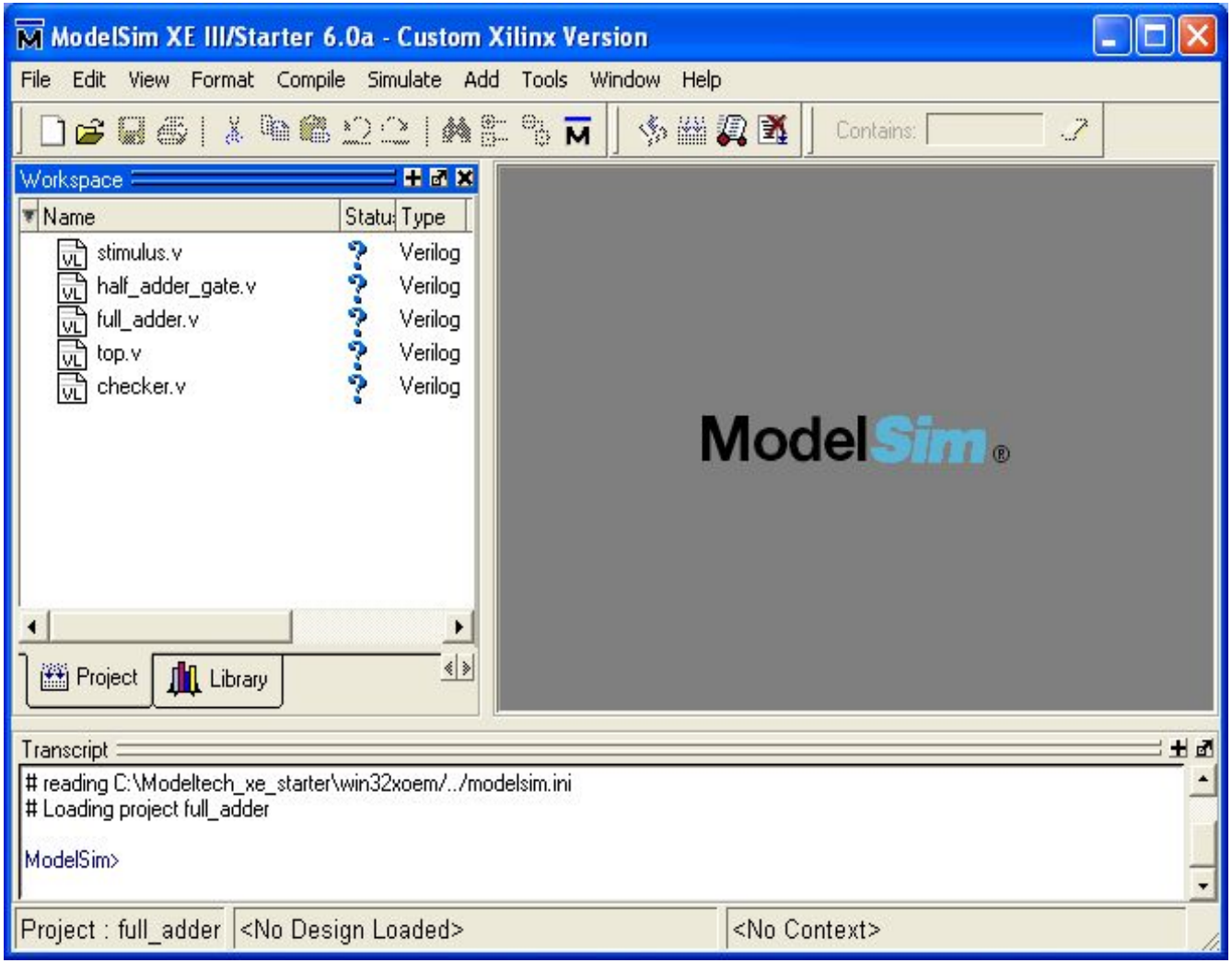


Add files

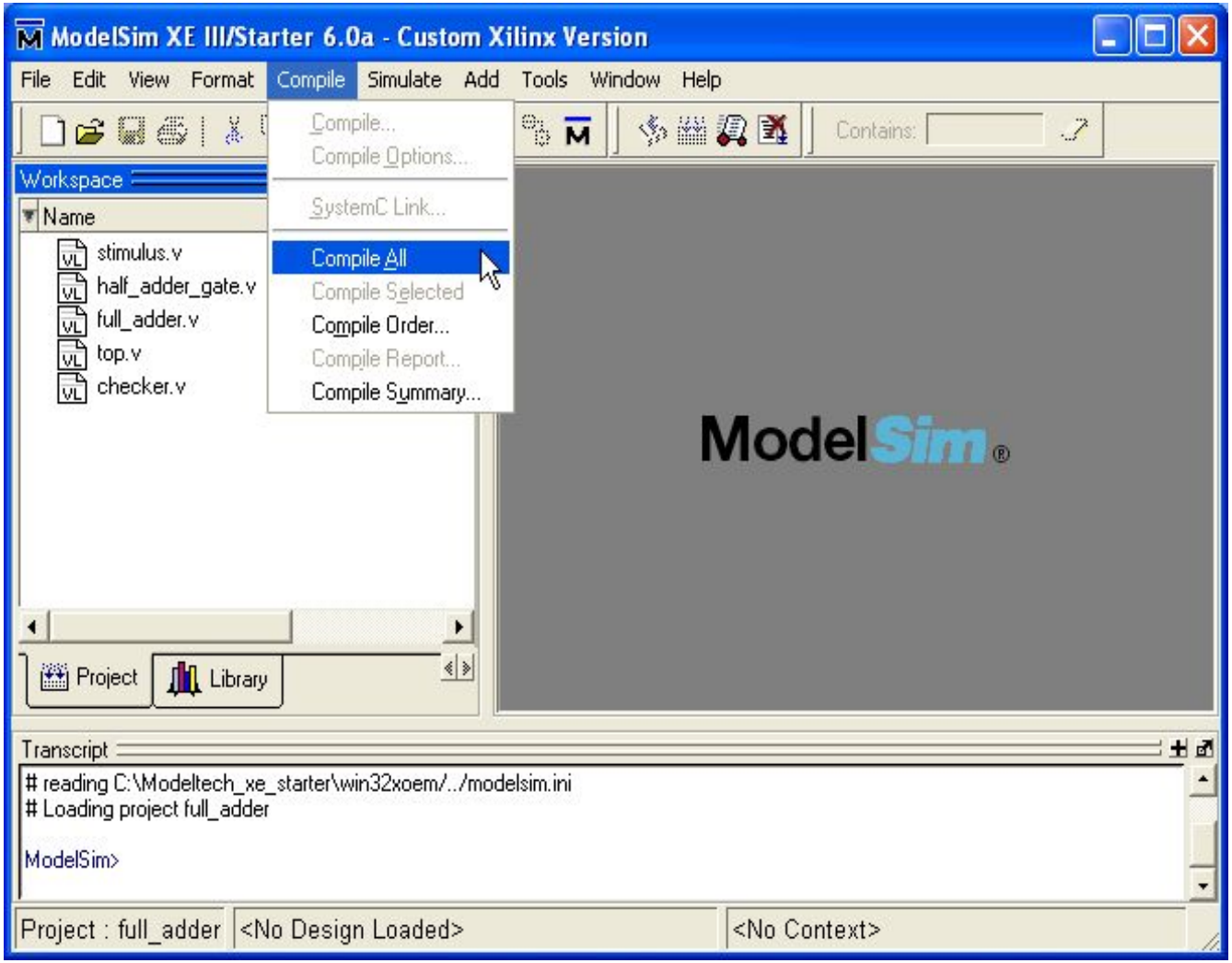

Add file to Project
File Name
Browse...
Add file as type
default
Folder
Top Level
Reference from current location
Copy to project directory
OK
Cancel


Select files to add to project
Look in:
design
My Recent Documents
Desktop
My Documents
My Computer
My Network Places
checker.v
full_adder.v
full_adder_ref.v
half_adder_beh.v
half_adder_gate.v
half_adder_rtl.v
half_adder_switch.v
half_adder_udp.v
stimulus.v
top.v
File name:
"checker.v" "full_adder.v" "full_adder_ref.v"
Files of type:
HDL Files (*.v,*.vl,*.vhd,*.vhdl,*.vho,*.hdl,*.vo,*
Open
Cancel

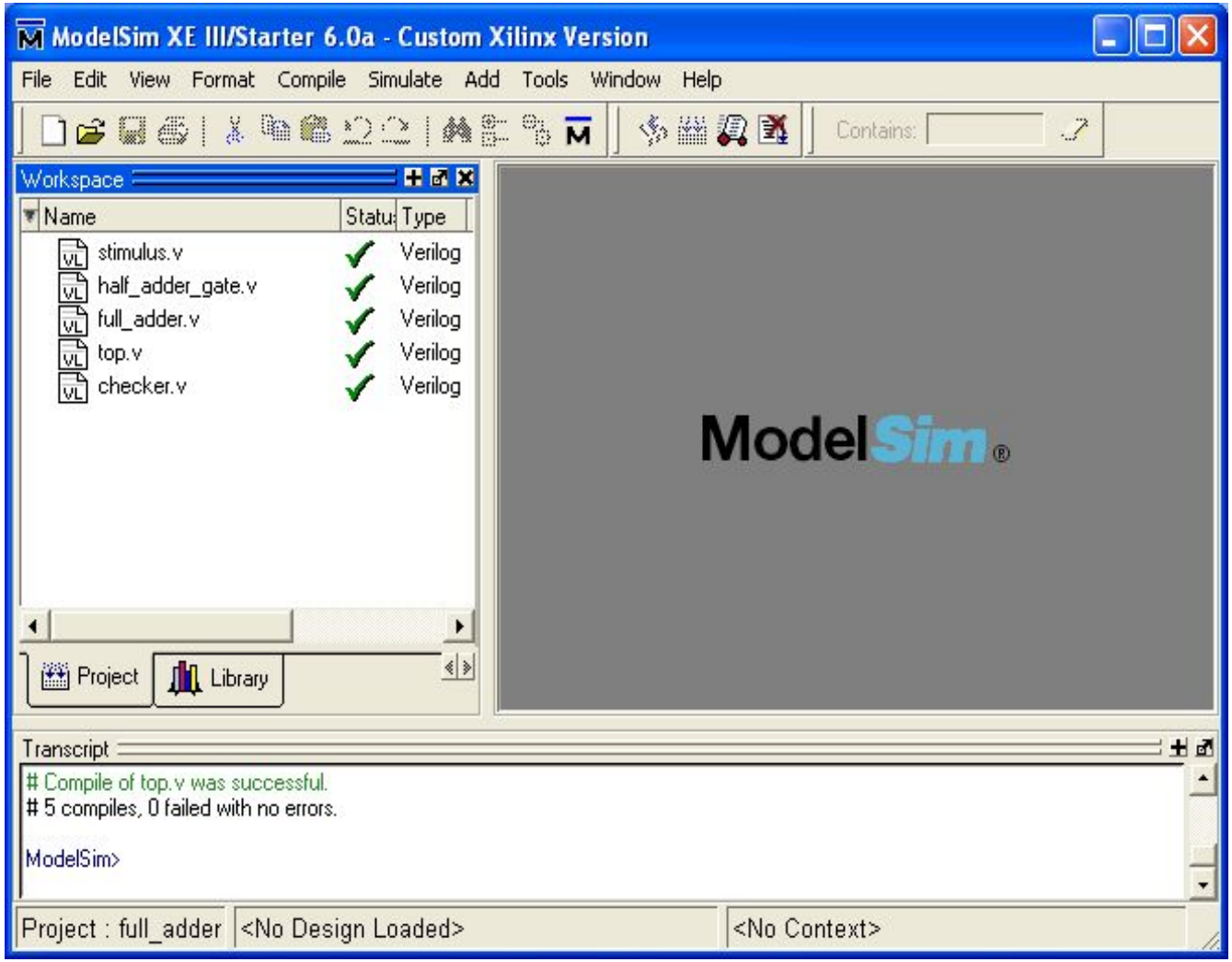
After adding files



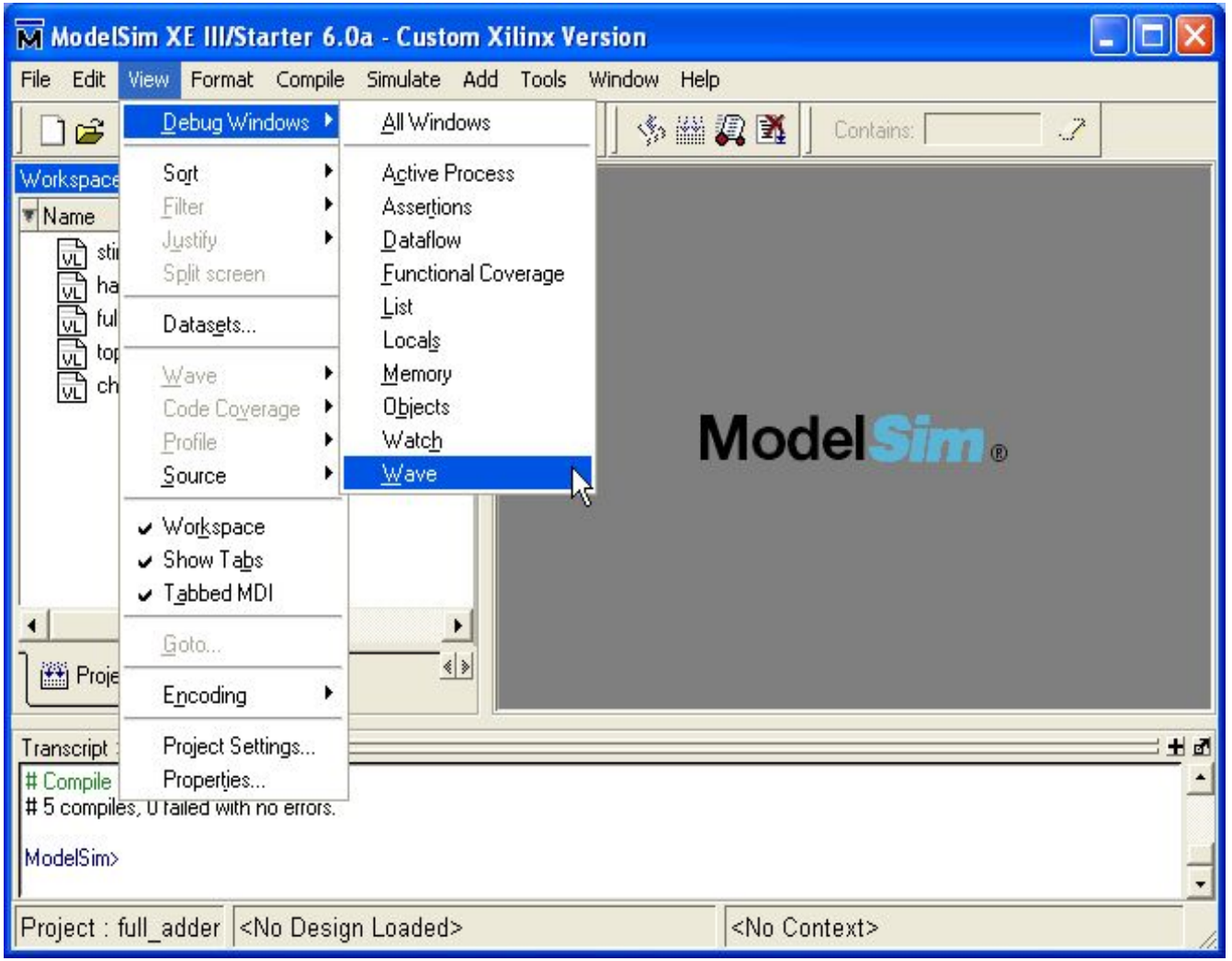
Compile->Compile All



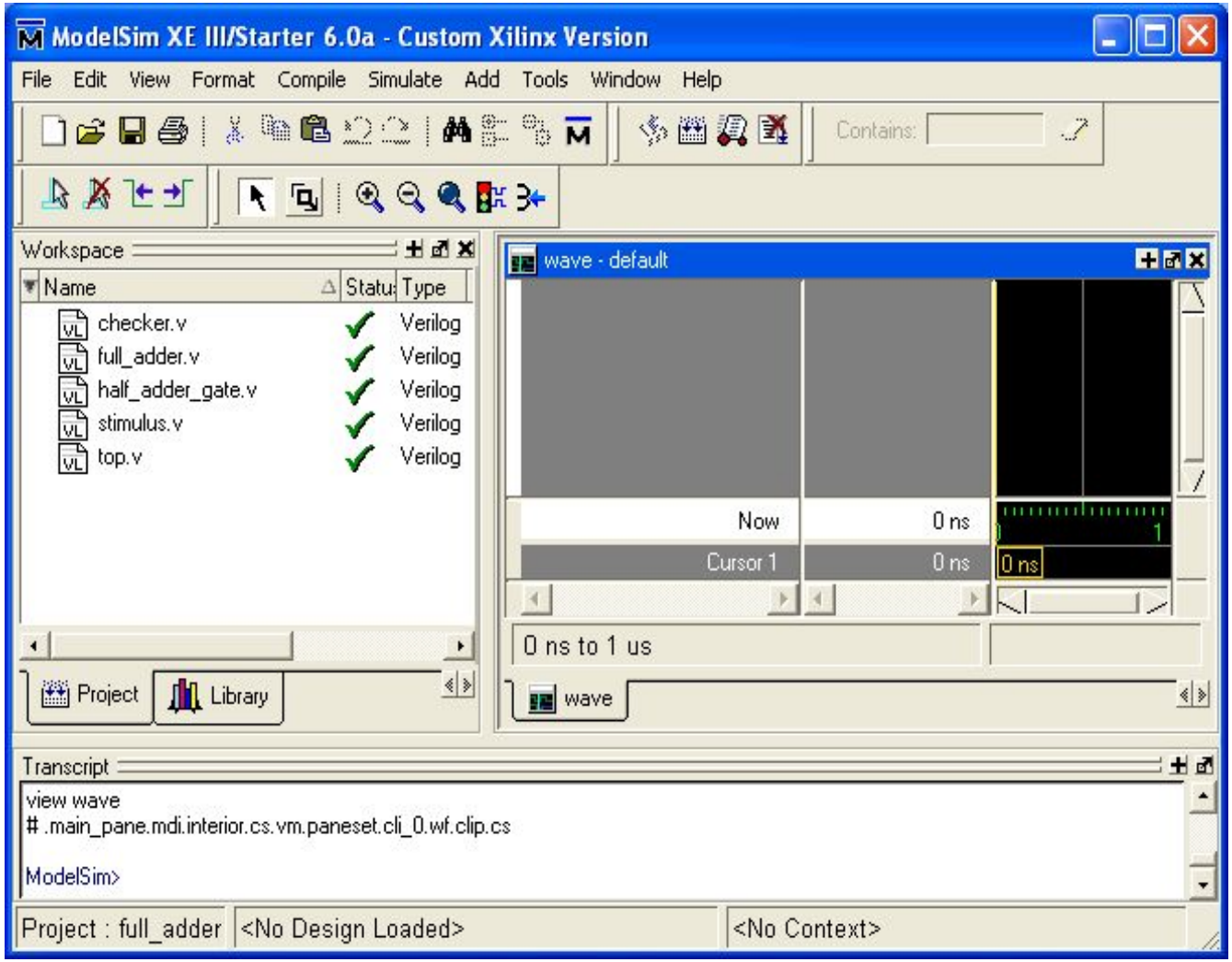
After compilation



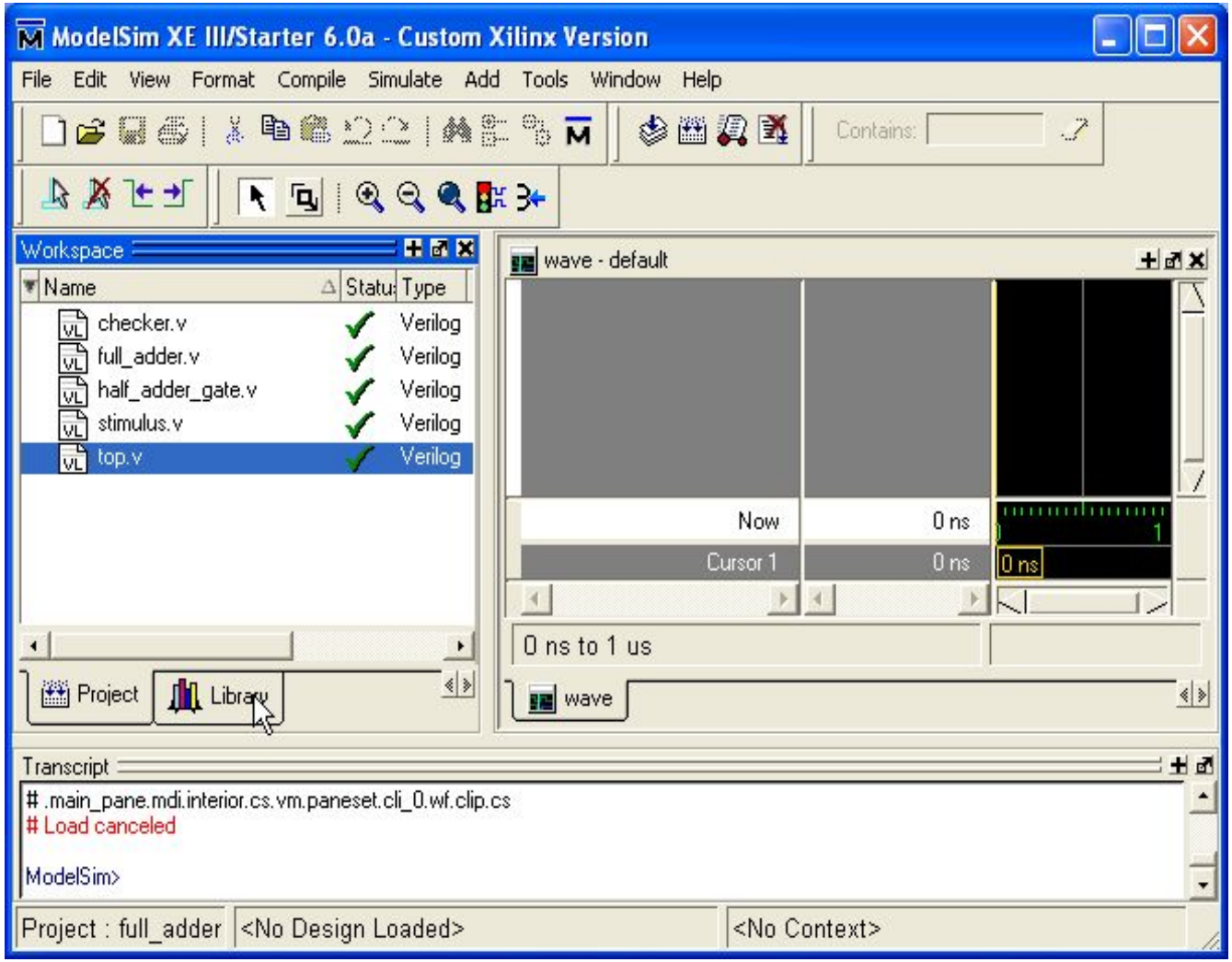
View->Debug Windows->Wave



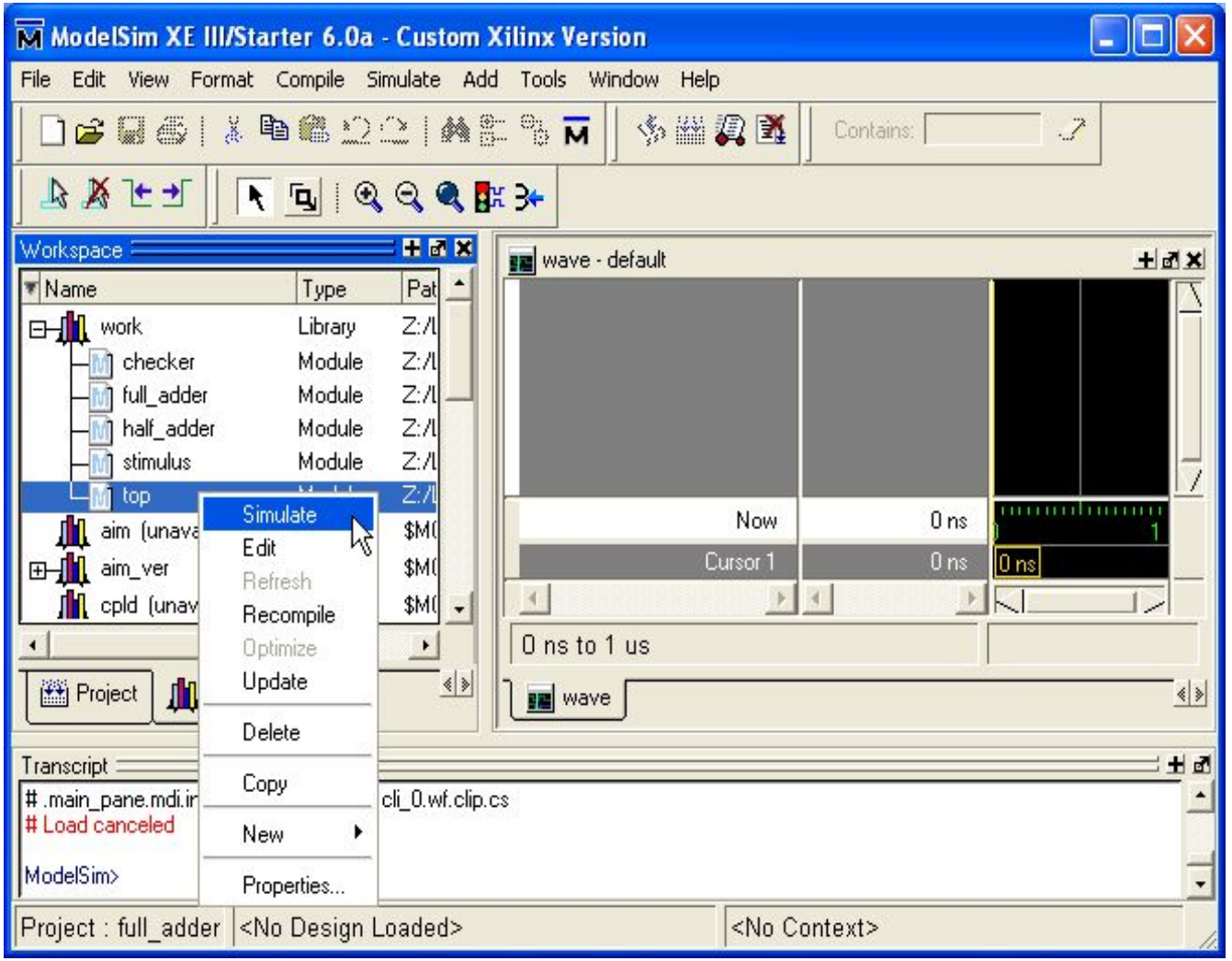
After adding wave window



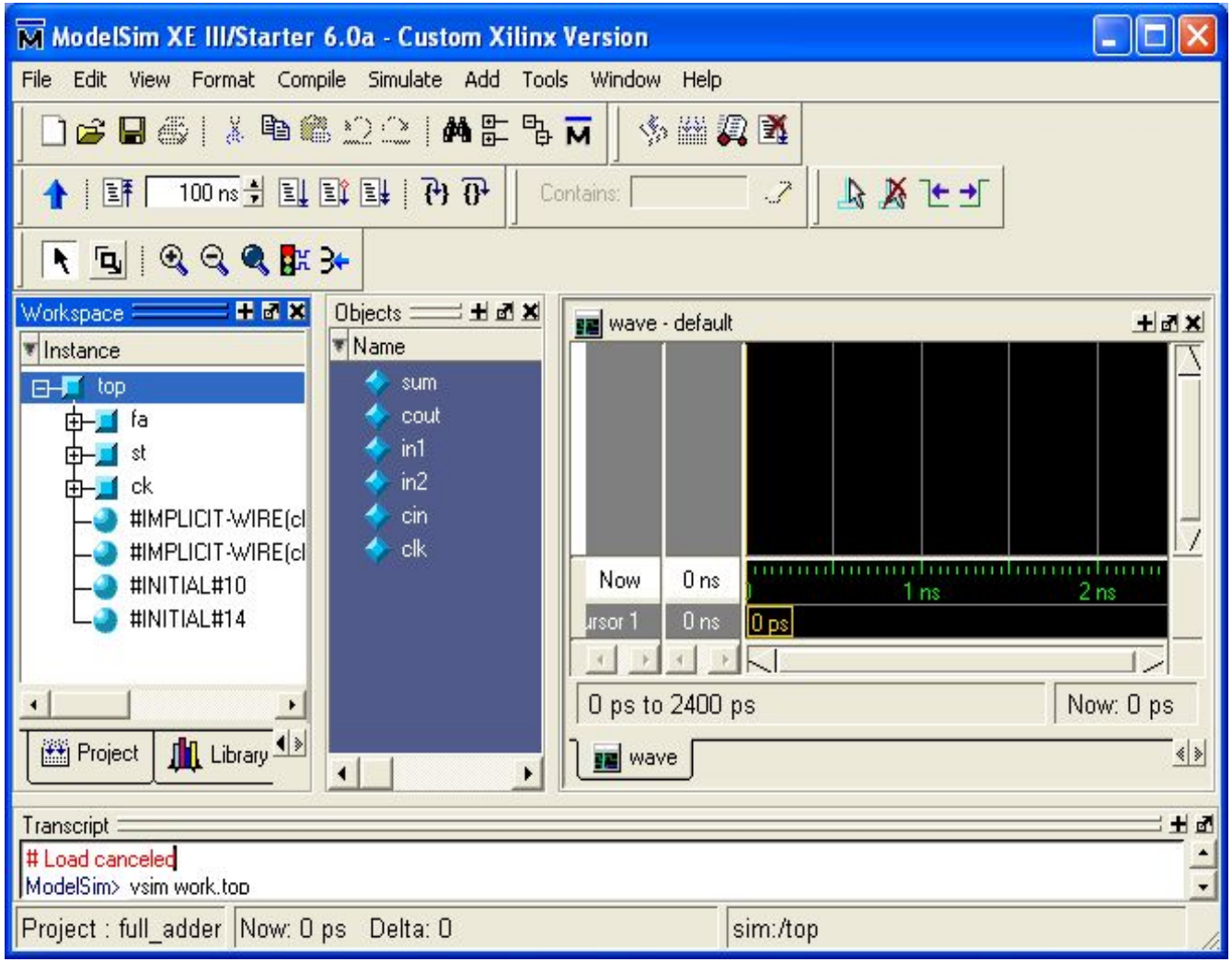
Select Library tab



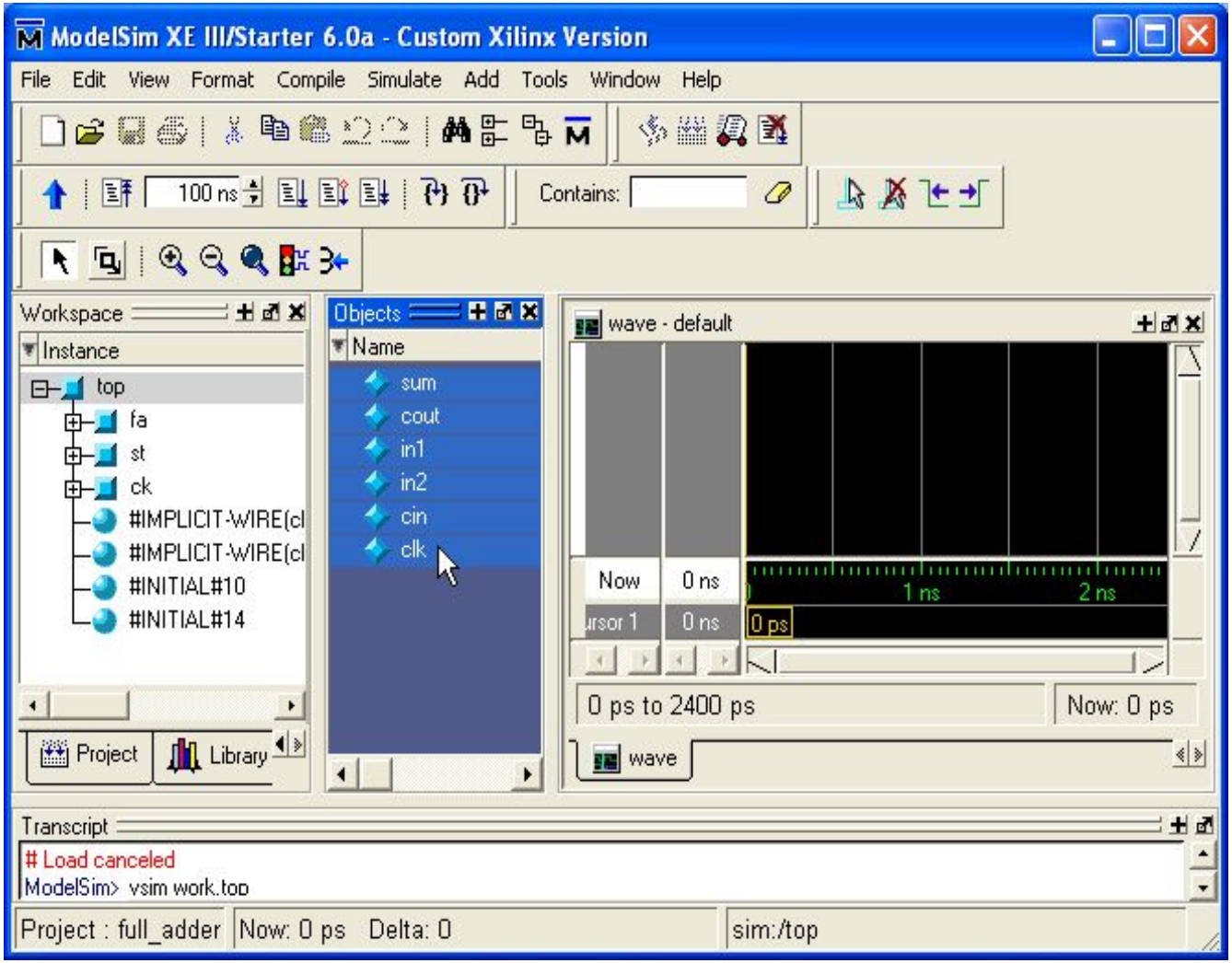
Run simulation with top-level



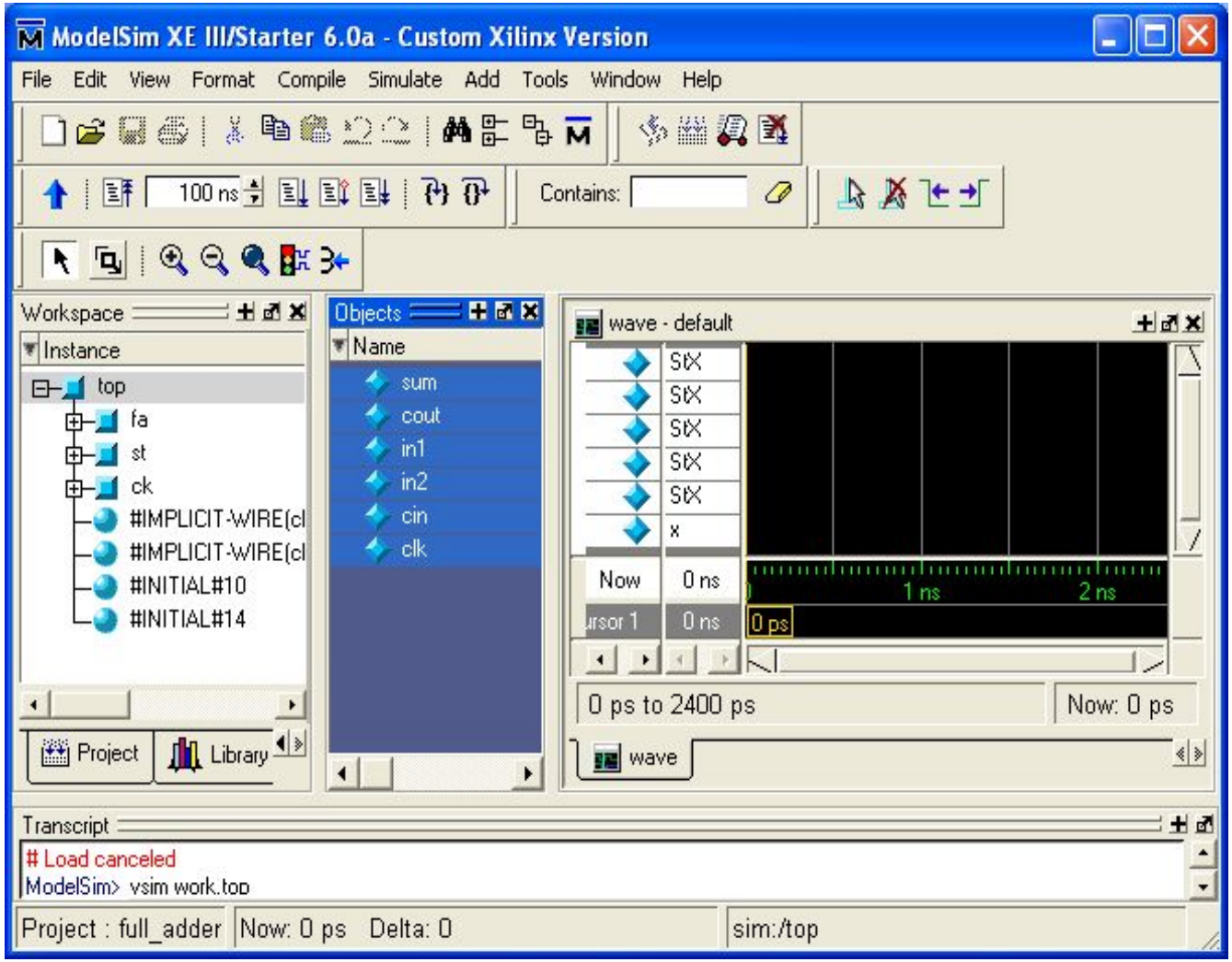
After simulation



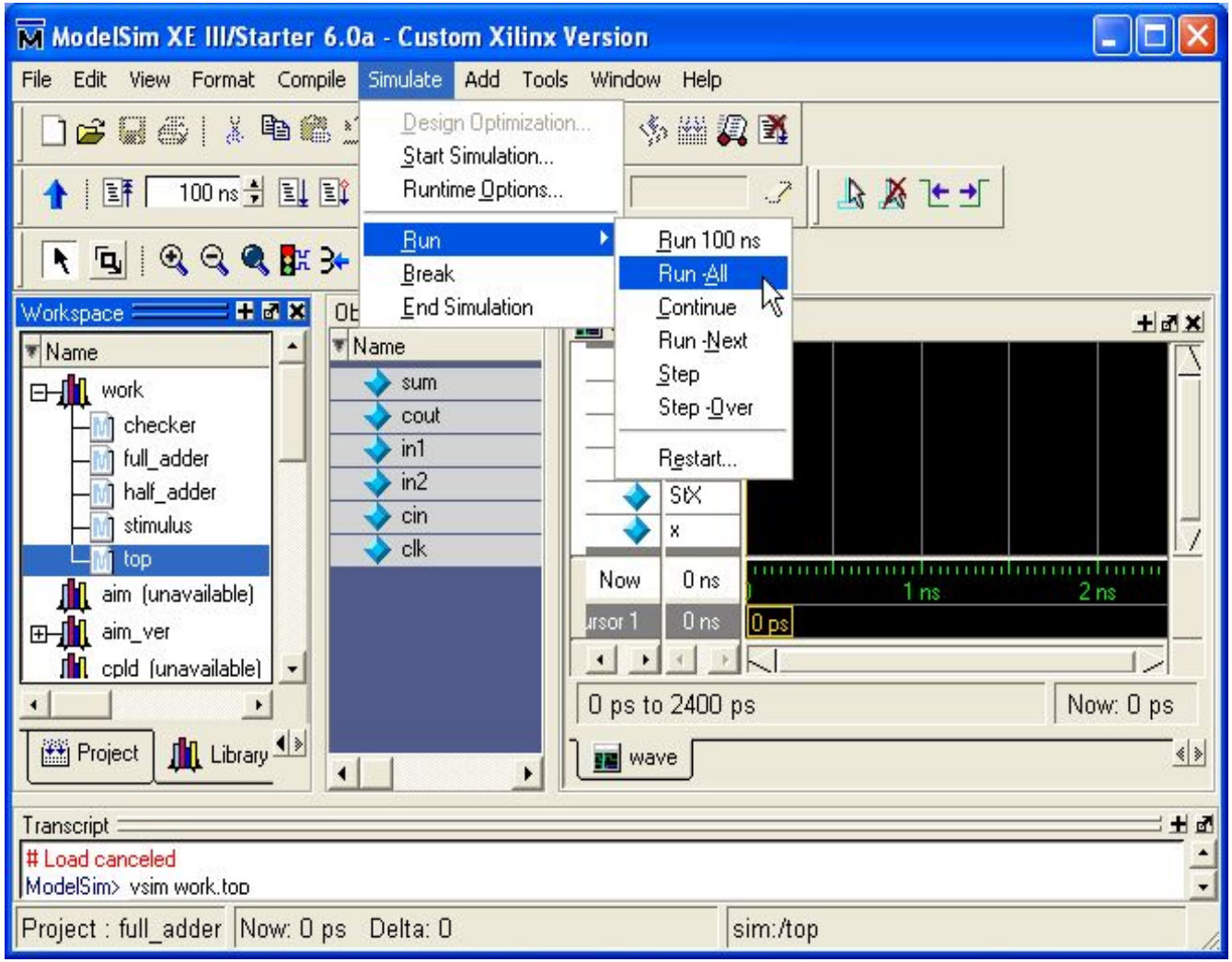
Selecting signals to be view



After selection

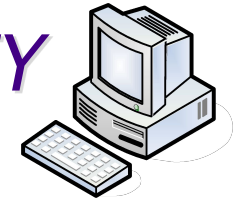


Run-All

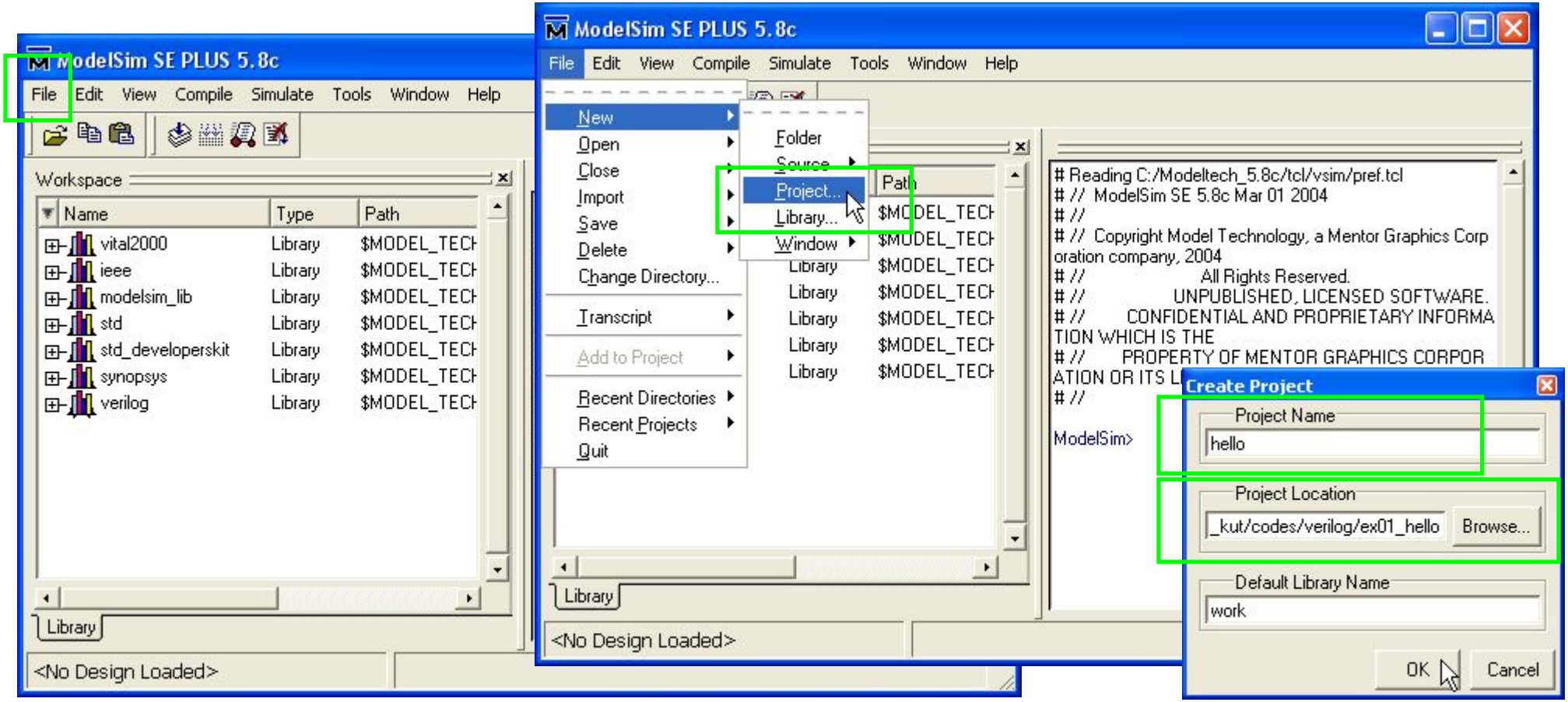

ModelSim XE III/Starter 6.0a - Custom Xilinx Version
File Edit View Format Compile Simulate Add Tools Window Help
Design Optimization...
Start Simulation...
Runtime Options...
Run
Break
End Simulation
Run 100 ns
Run -All
Continue
Run -Next
Step
Step -Over
Restart...
100 ns
Workspace
Name
work
checker
full_adder
half_adder
stimulus
top
aim (unavailable)
aim_ver
cpld (unavailable)
Project
Library
Name
sum
cout
in1
in2
cin
clk
Now
0 ns
1 ns
2 ns
0 ps
0 ps to 2400 ps
Now: 0 ps
wave
Transcript
Load canceled
ModelSim> vsim work.top
Project : full_adder
Now: 0 ps Delta: 0
sim:/top

Create a new project

DIY

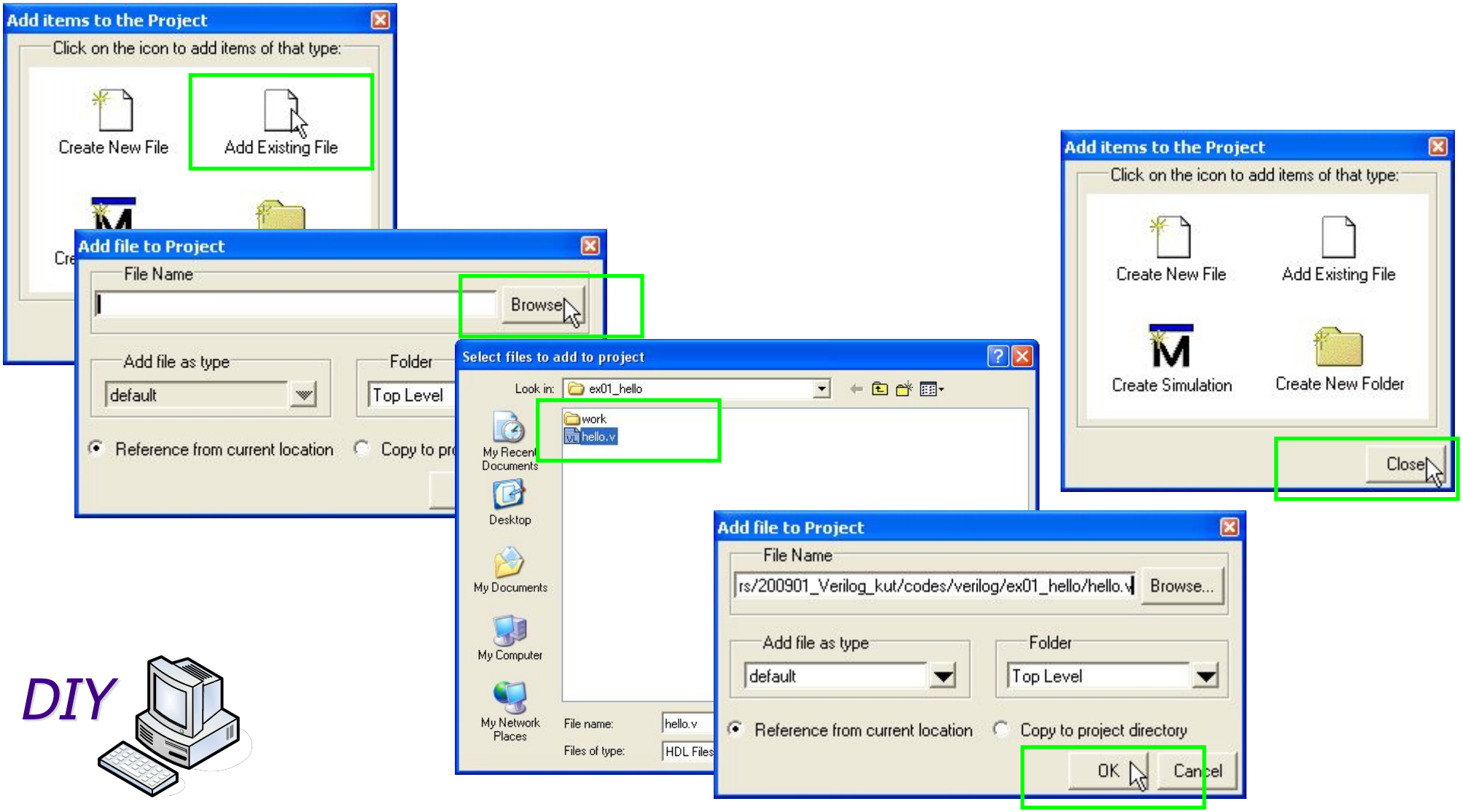


- Invoke ModelSim
- File □ New □ Project
- Specify ‘Project Name’ and ‘Project Location’

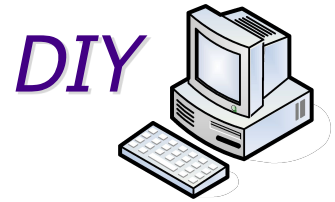


Add existing file

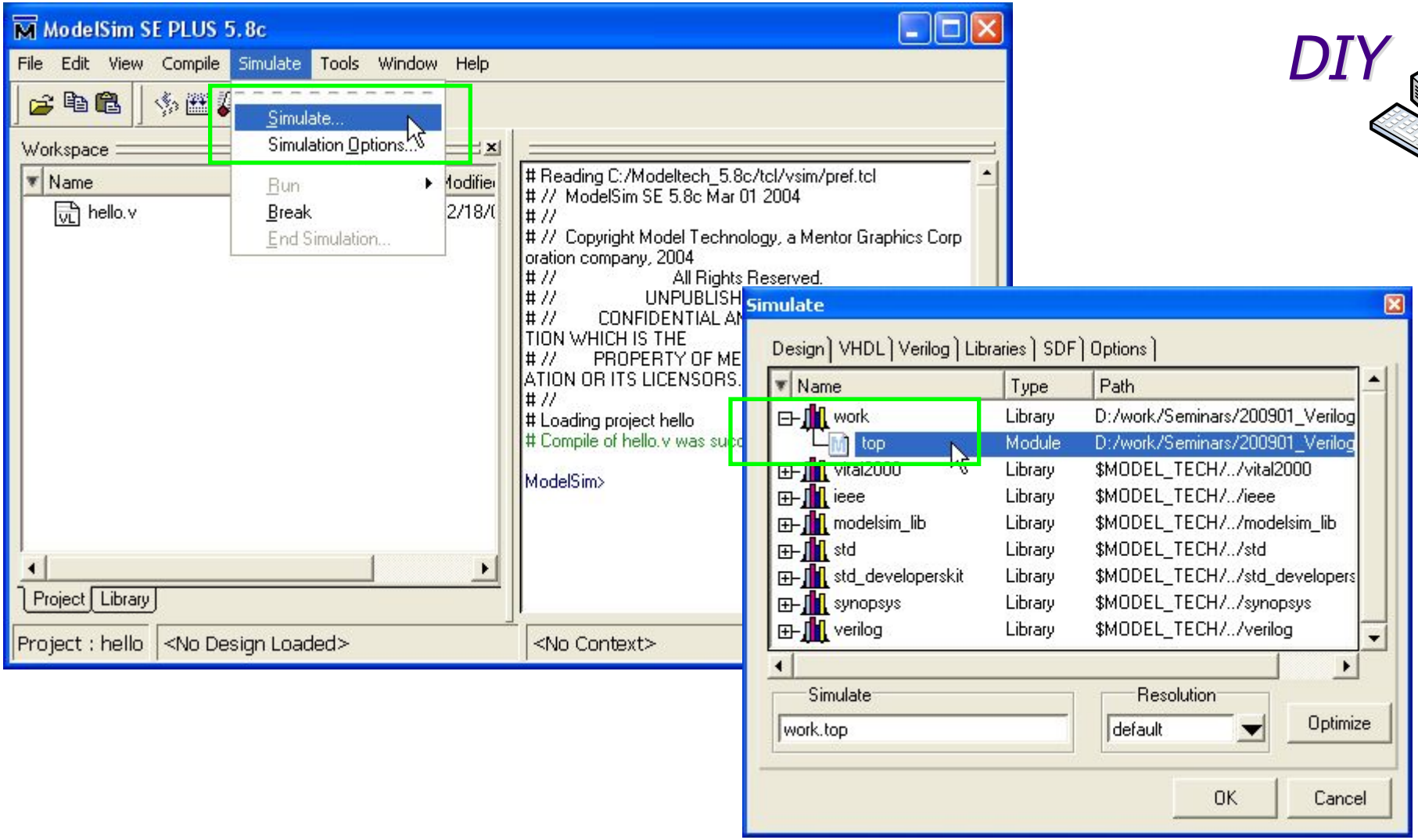
- Add the Verilog design file



Compile

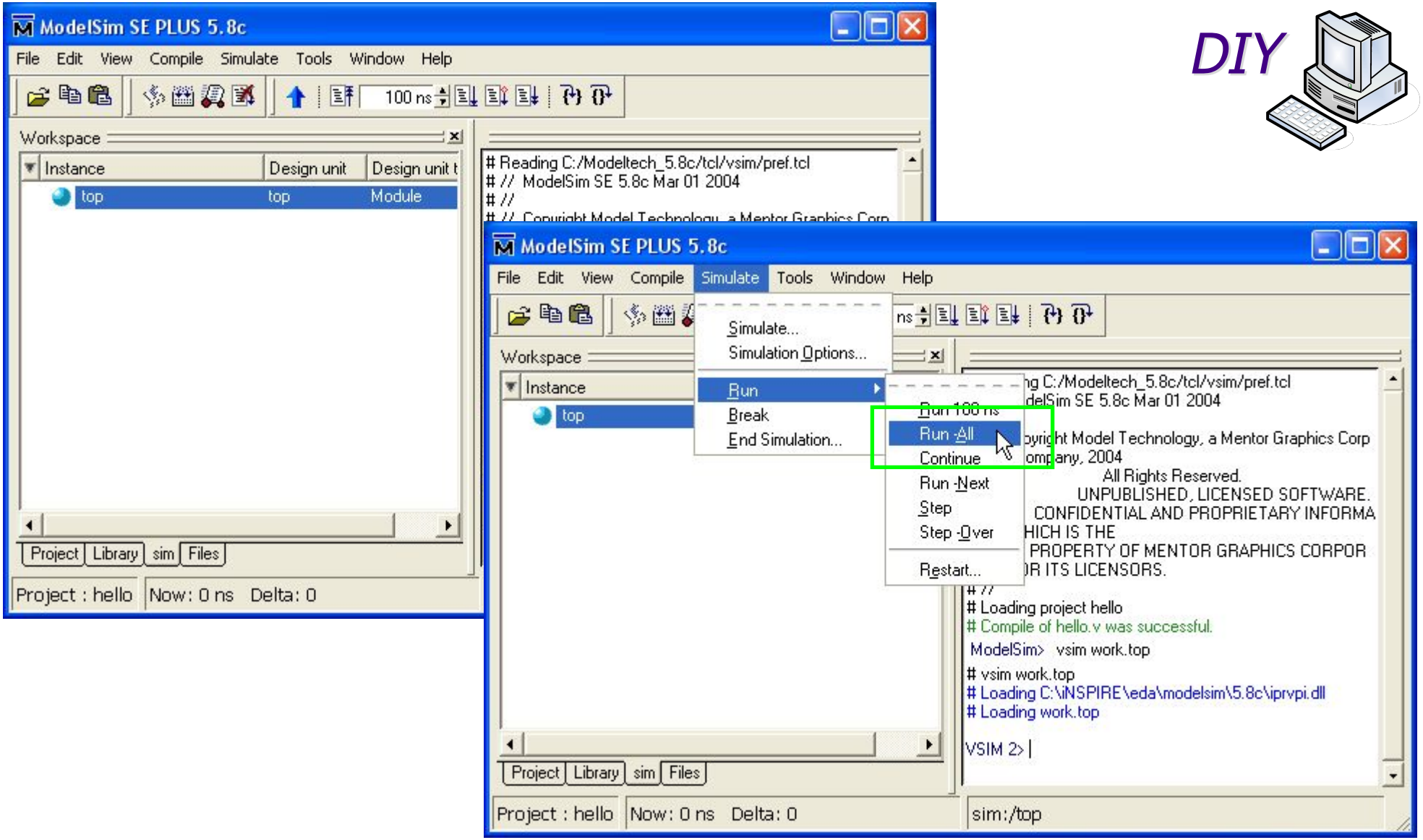


Compile


ModelSim SE PLUS 5.8c
File Edit View Compile Simulate Tools Window Help
Simulate...
Simulation Options...
Run
Break
End Simulation
Workspace
Name
hello.v
Reading C:/Modeltech_5.8c/tcl/vsim/pref.tcl
// ModelSim SE 5.8c Mar 01 2004
//
// Copyright Model Technology, a Mentor Graphics Corporation company, 2004
// All Rights Reserved.
// UNPUBLISH
// CONFIDENTIAL A
TION WHICH IS THE
// PROPERTY OF ME
ATION OR ITS LICENSORS.
//
Loading project hello
Compile of hello.v was suc
ModelSim>
Project Library
Project : hello
<No Design Loaded>
<No Context>
Simulate
Design VHDL Verilog Libraries SDF Options
Name Type Path
work Library D:/work/Seminars/200901_Verilog
top Module D:/work/Seminars/200901_Verilog
vital2000 Library $MODEL_TECH/../vital2000
ieee Library $MODEL_TECH/../ieee
modelsim_lib Library $MODEL_TECH/../modelsim_lib
std Library $MODEL_TECH/../std
std_developerskit Library $MODEL_TECH/../std_developers
synopsys Library $MODEL_TECH/../synopsys
verilog Library $MODEL_TECH/../verilog
Simulate
work.top
Resolution
default
Optimize
OK
Cancel

DIY

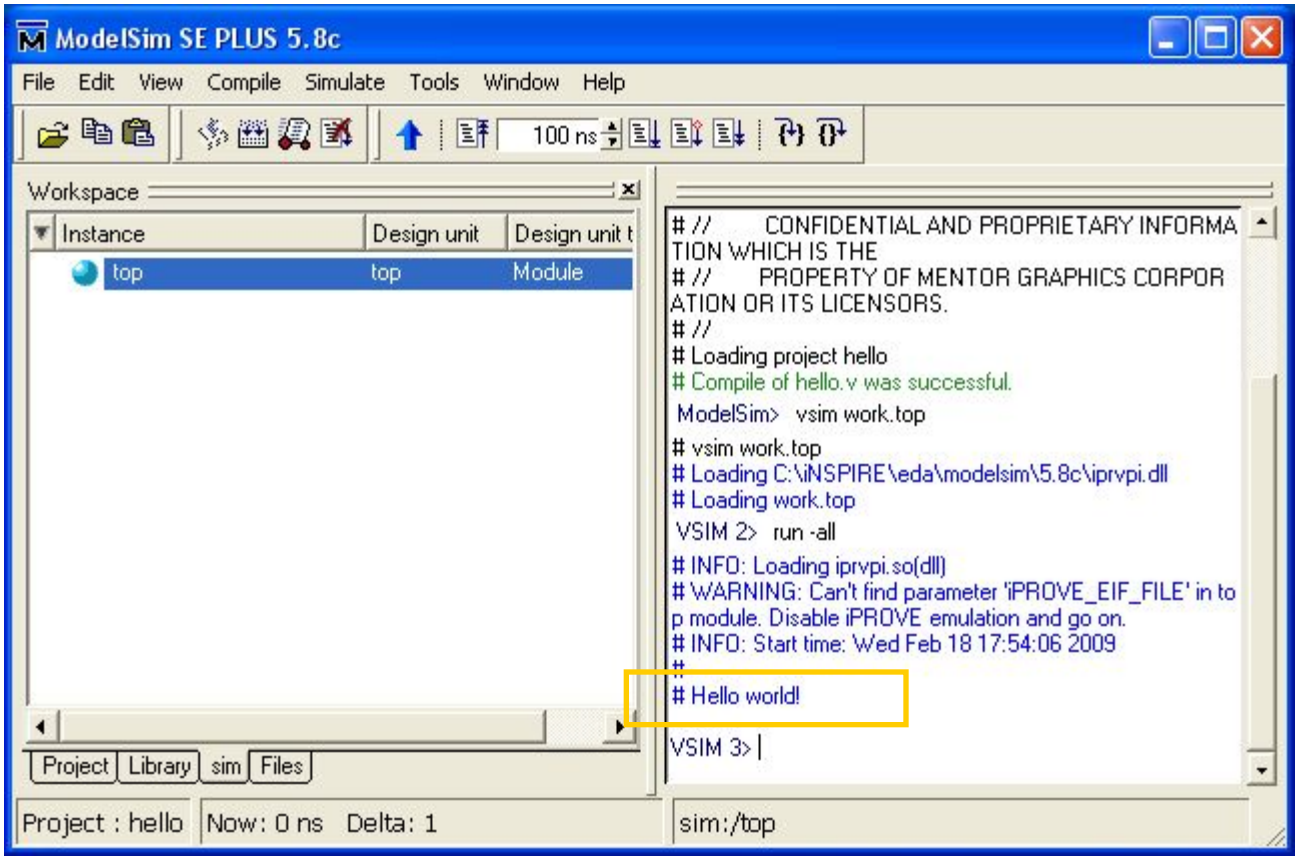
Compile


ModelSim SE PLUS 5.8c
File Edit View Compile Simulate Tools Window Help
100 ns
Workspace
Instance Design unit Design unit t
top top Module
Reading C:/Modeltech_5.8c/tcl/vsim/pref.tcl
// ModelSim SE 5.8c Mar 01 2004
#
Project Library sim Files
Project : hello Now: 0 ns Delta: 0
Simulate...
Simulation Options...
Run
Break
End Simulation...
Run -All
Continue
Run -Next
Step
Step -Over
Restart...
Loading project hello
Compile of hello.v was successful.
ModelSim> vsim work.top
vsim work.top
Loading C:\iNSPIRE\eda\modelsim\5.8c\iprvpi.dll
Loading work.top
VSIM 2>
sim:/top

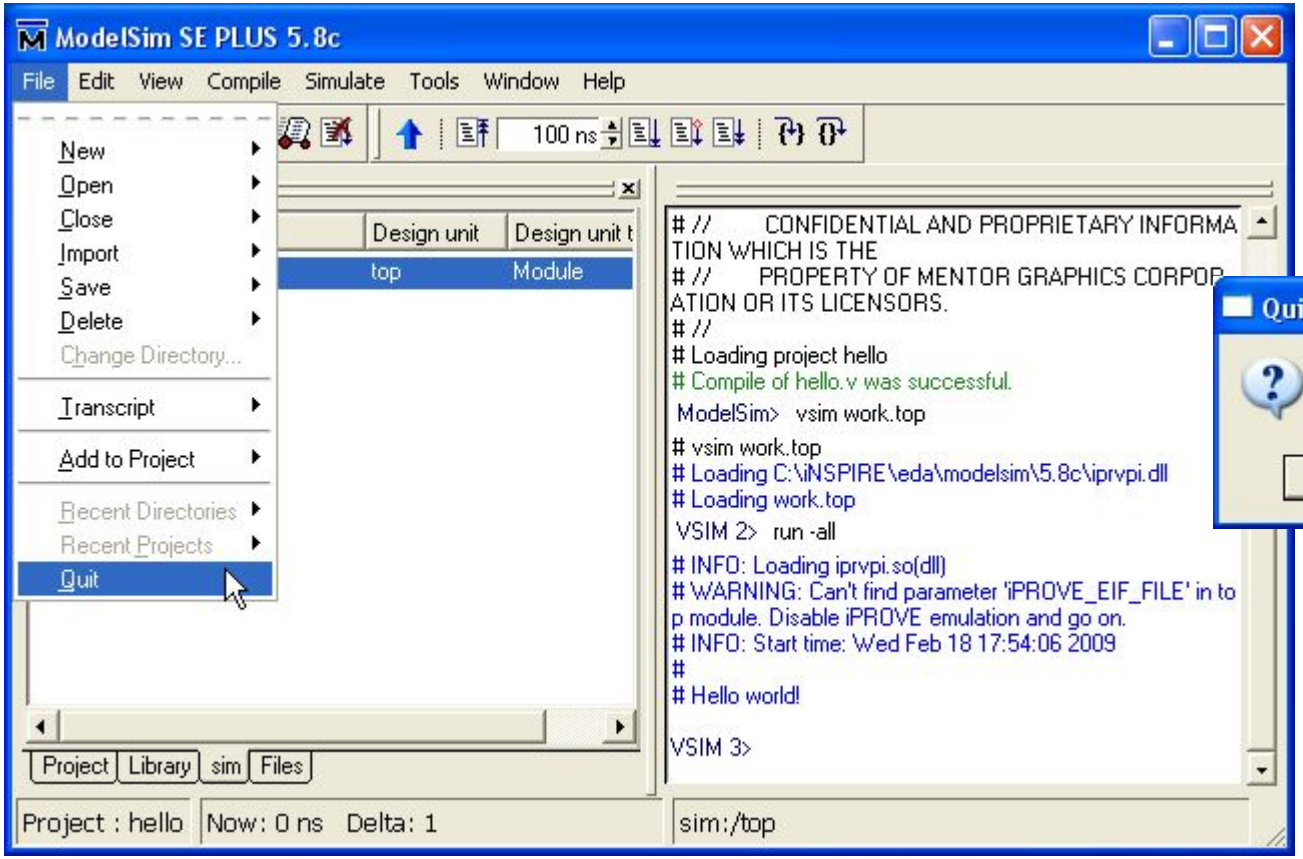
DIY

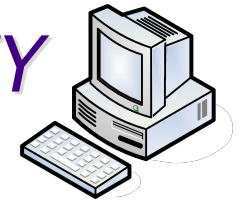
Simulation

DIY



Quit





- There should be ‘hello.mpf’, which is ModelSim project file.

Схема до лабораторної роботи №4