

ЛЕКЦИЯ 2–8

АСИНХРОННАЯ ДИНАМИЧЕСКАЯ ОПЕРАТИВНАЯ ПАМЯТЬ (DRAM)

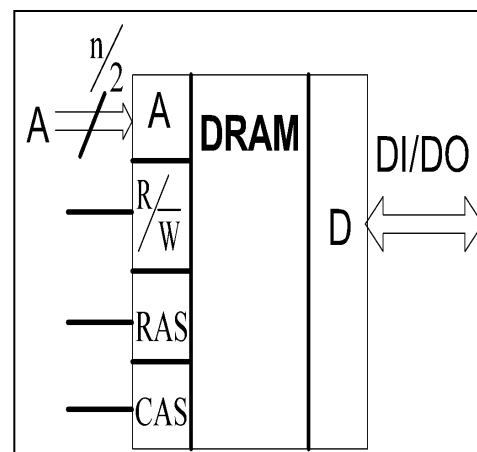
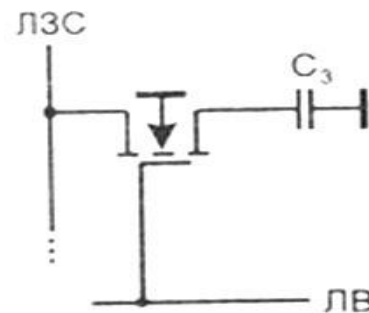
АСИНХРОННЫЕ DRAM

Динамическая оперативная память (DRAM – Dynamic Random Access Memory) – энергозависимая полупроводниковая память с произвольным доступом. На данный момент – это основной тип оперативной памяти.

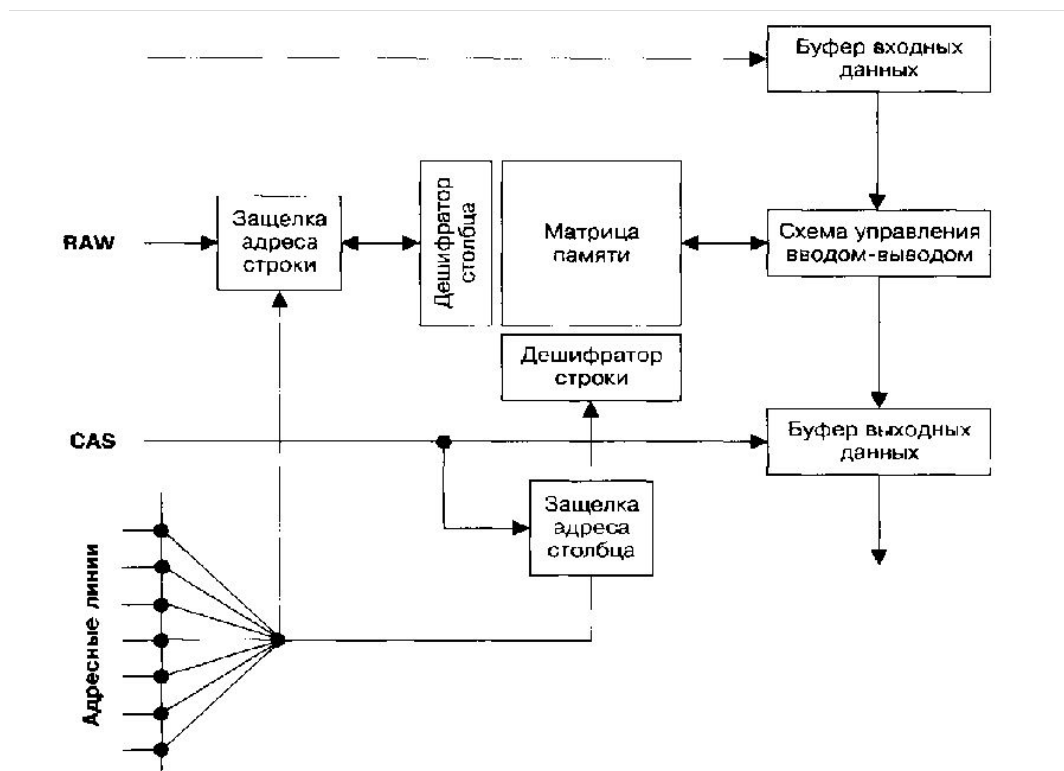
В динамических ОЗУ (DRAM) данные хранятся в виде зарядов емкостей МОП-структур и основным 3Э является конденсатор небольшой емкости. В современных ЗУ применяют однотранзисторный 3Э.

С целью ускорения процесса заряда/разряда конденсаторов, к разрядным шинам подвешивается ёмкость линий, которая заряжена до $U_{cc}/2$.

В отличие от **SRAM** у **DRAM** используются мультиплексированные адресные линии.

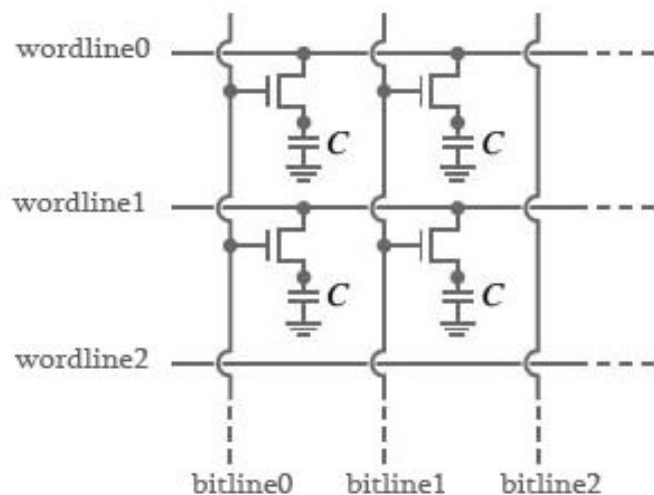


Микросхемы динамической памяти организованы в виде квадратной матрицы, причем пересечение столбца и строки матрицы задает одну из элементарных ячеек.

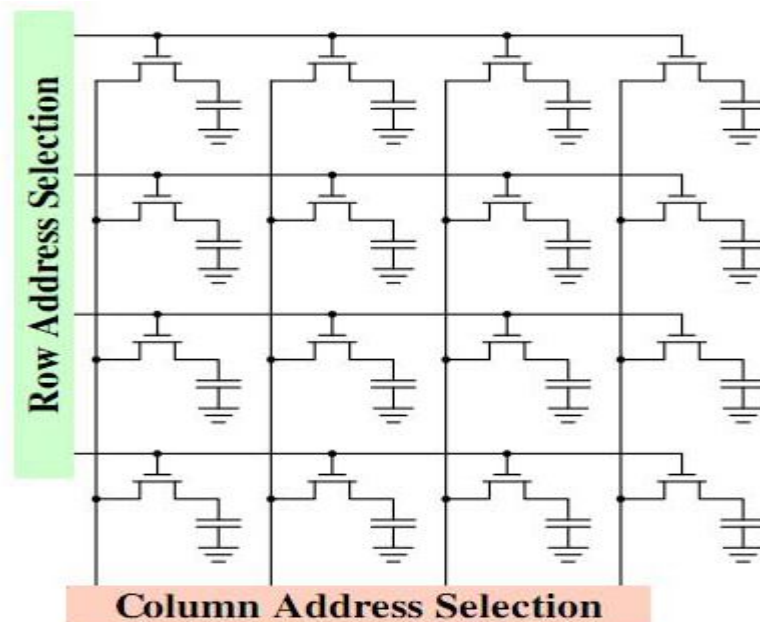


При обращении к той или иной ячейке памяти необходимо задать адрес нужной строки и столбца. Задание адреса строки происходит, когда на входы матрицы памяти подается специальный стробирующий импульс RAS (Row Address Strobe), а задание адреса столбца — при подаче стробирующего импульса CAS (Column Address Strobe).

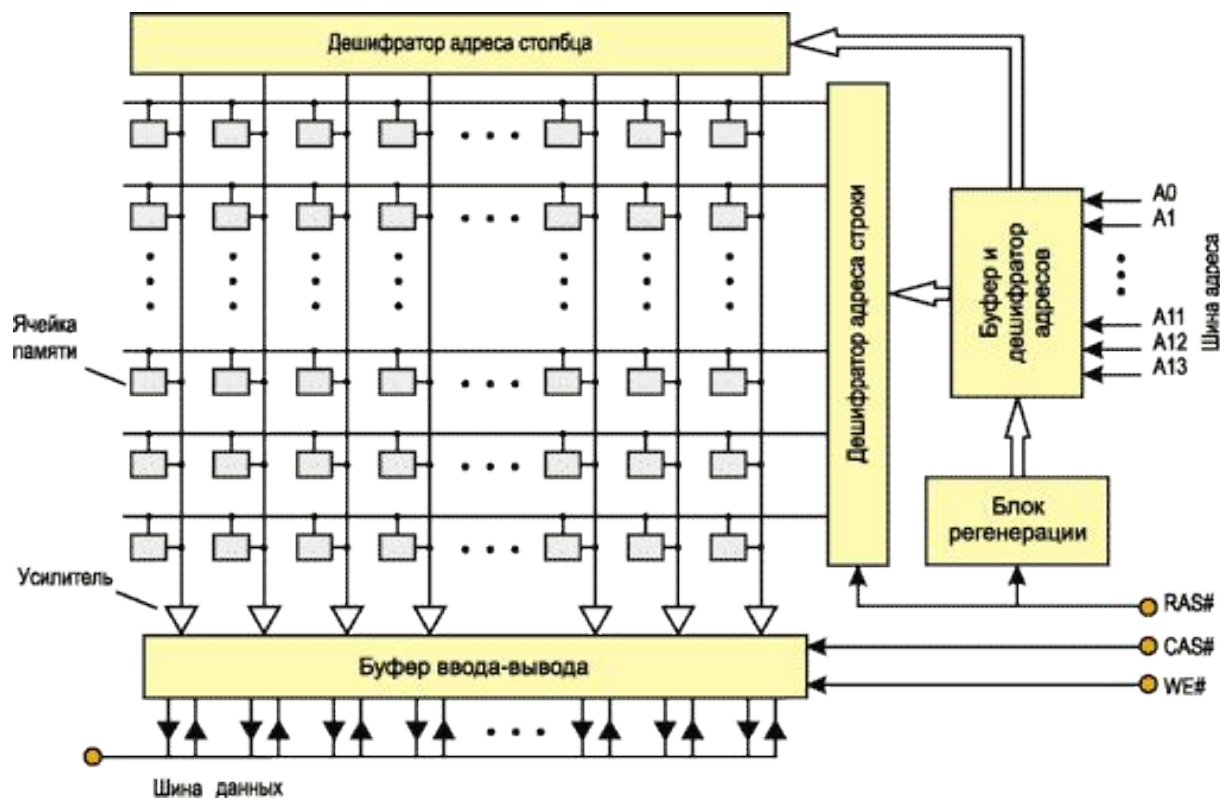
**Внутренняя структура
кристалла DRAM
в контексте однобитной
его организации**



**Двумерная адресация ячеек
динамической памяти по
строкам и столбцам**

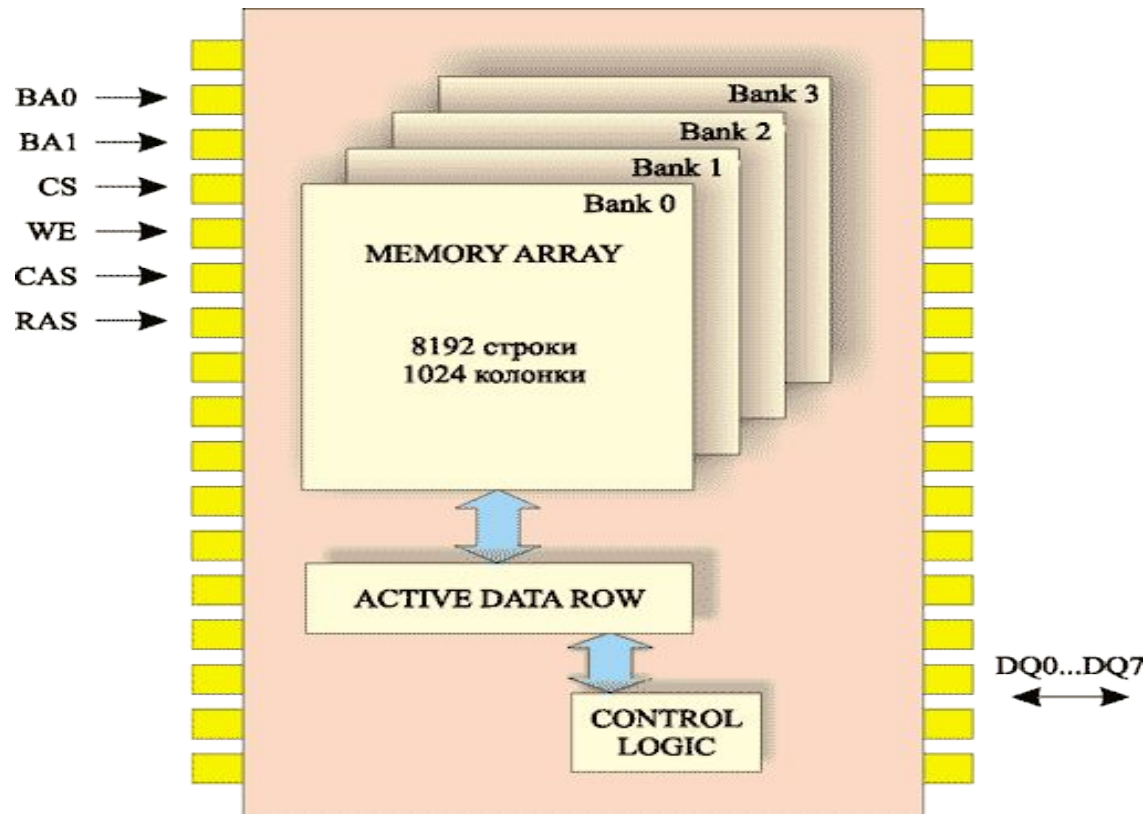


Запоминающая матрица банка динамической памяти

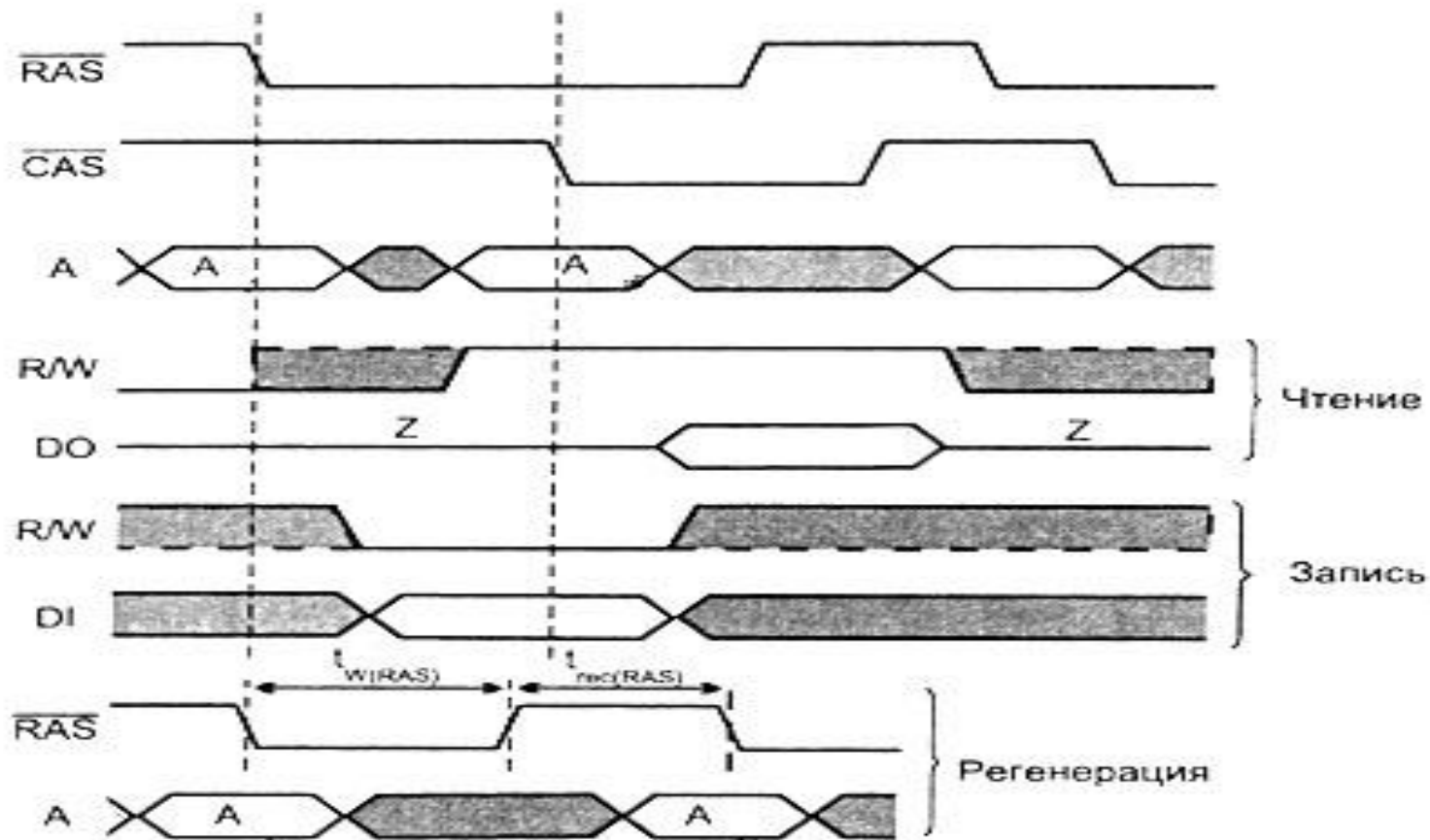


Логическая организация микросхем динамической памяти

Упрощенная схема чипа памяти с шириной шины данных 8 бит



Временные диаграммы *DRAM*



Тайминги памяти

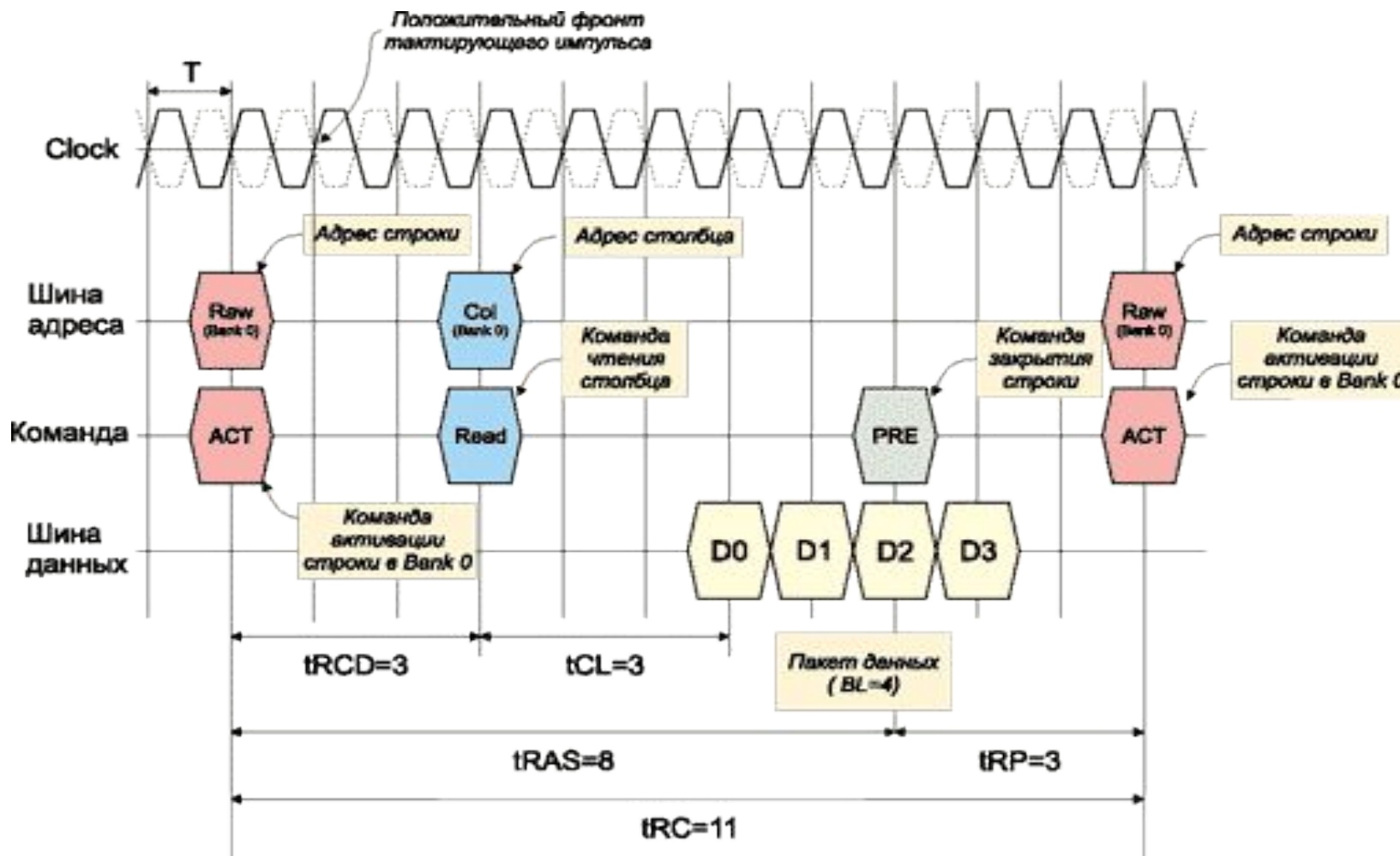
Под таймингами памяти понимают задержки, измеряемые в количествах тактов синхроимпульса, между последовательностью команд или, что равносильно, между изменениями управляющих сигналов **CS#**, **RAS#**, **CAS#** и **WE#**. Различают несколько типов таймингов памяти.

В совокупности **сигналы CS#, RAS#, CAS# и WE#** позволяют сформировать все команды, необходимые для работы с памятью, то есть команды активации строки и чипа памяти (**ACTIVE**), команду чтения (**READ**), команду записи (**WRITE**) и команду деактивации (закрытия) строки (**PRECHARGE**).

Различают несколько типов таймингов памяти.

Тайминги памяти

Определение таймингов памяти на примере чтения в случае одного логического банка



Тайминги памяти

1. RAS# to CAS# Delay (t_{RCD})

Учитывая, что импульс RAS# эквивалентен выполнению команды активации строки (ACTIVE), а импульс CAS# — команде READ, под задержкой **RAS-to-CAS Delay** можно понимать время между командами ACTIVE и READ.

2. CAS# Latency (t_{CL})

От команды чтения (записи) данных и до выдачи первого элемента данных на шину (записи данных в ячейку памяти) проходит промежуток времени, который называется CAS Latency.

3. Active to Precharge Delay (t_{RAS})

Это минимальный промежуток времени, который должен пройти с момента подачи команды активации строки (RAS#) до команды PRECHARGE. То есть фактически это время, в течение которого строка остается активированной.

Тайминги памяти

4. RAS# Precharge (tRP)

Завершение цикла обращения к банку памяти осуществляется подачей команды PRECHARGE, приводящей к закрытию строки памяти. От команды PRECHARGE и до поступления новой команды активации уже другой или той же самой строки памяти (в том же логическом банке) должен пройти промежуток времени (tRP), называемый RAS# Precharge (RAS# PRE Time) (см. рис. 5). Фактически RAS Precharge — это промежуток времени, необходимый для регенерации содержимого строки памяти после ее чтения.

5. Auto Refresh Cycle Time (tRC)

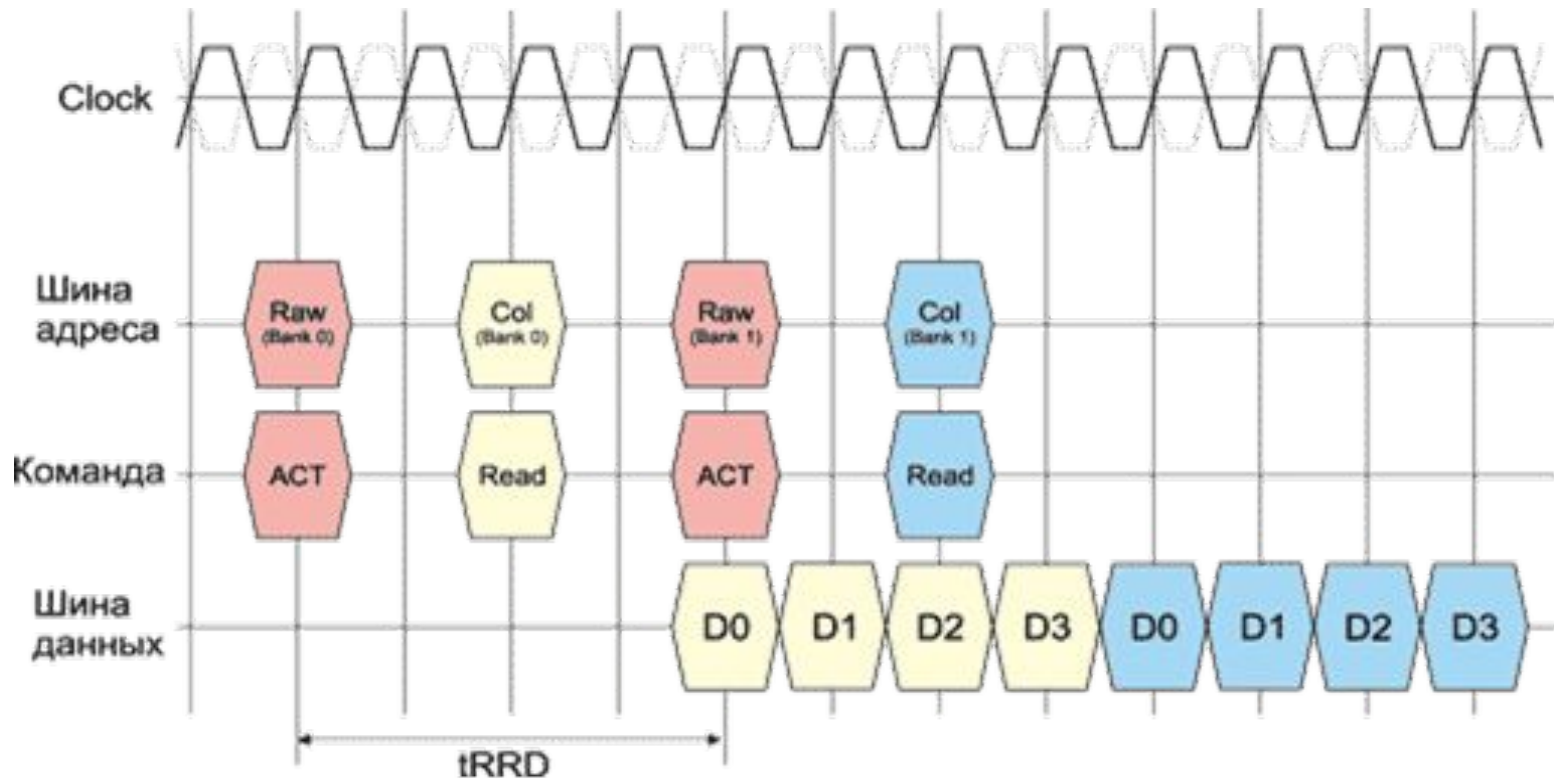
Минимальный промежуток времени между активацией двух различных строк одного и того же банка называется Auto Refresh Cycle Time (tRC).

Всегда $tRC = tRAS + tRP$.

Тайминги памяти

6. RAS# to RAS# Delay (t_{RRD})

Это минимальный промежуток времени между командами активации строк (RAS#) в разных логических банках памяти.

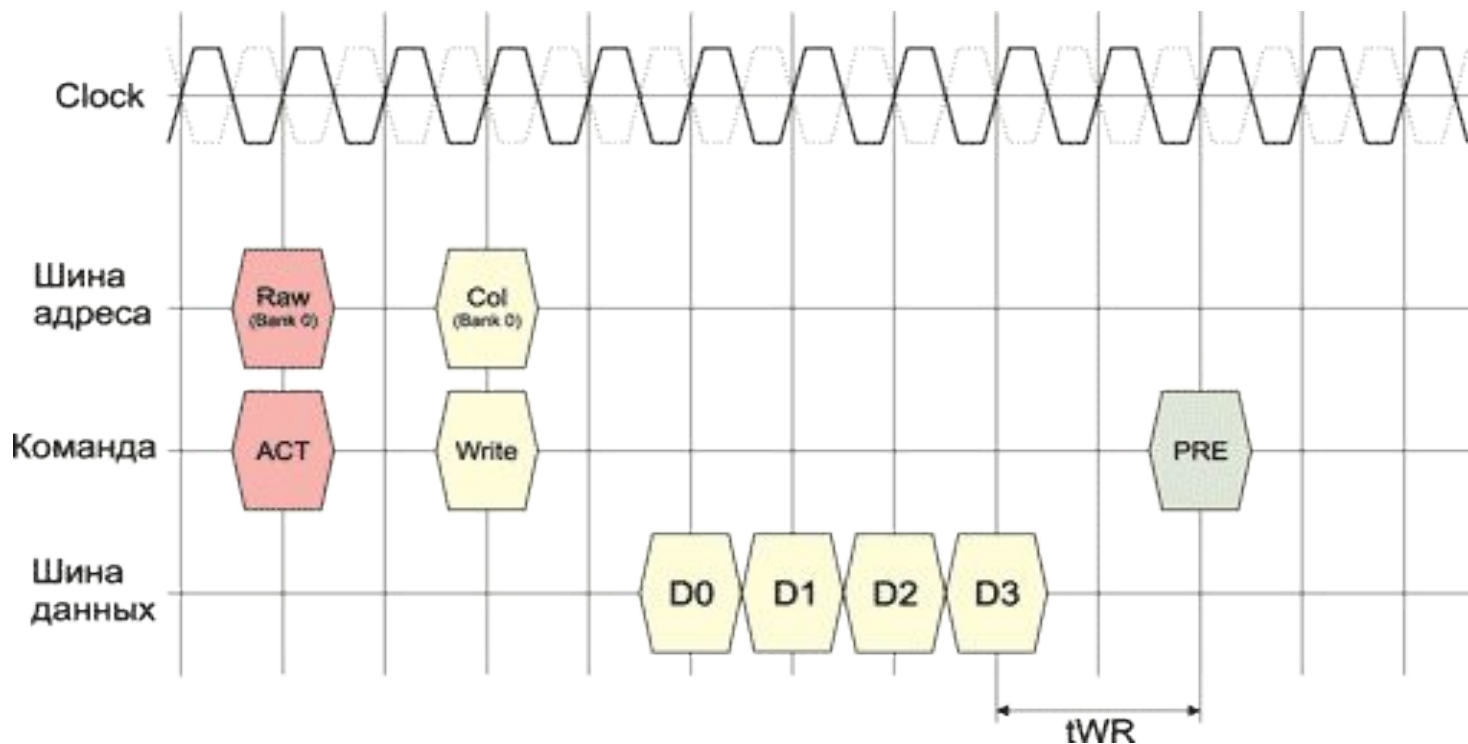


Определение таймингов памяти на примере чтения в случае двух логических банков

Тайминги памяти

7. Write recovery time (t_{WR})

Это минимальный промежуток времени между приемом последней порции данных, подлежащих записи, и готовностью строки памяти к ее закрытию с помощью команды PRECHARGE.



Определение таймингов памяти на примере записи данных

Тайминги памяти

8. Write to Read Delay (tWTR)

Определяет минимальный промежуток времени между приемом последней порции данных, подлежащих записи, и командой чтения.

9. Read to Precharge Time (tRTP)

Это минимальный промежуток времени между подачей команды на чтение до команды Precharge.

10. Command Rate

Еще один тип задержки — это скорость выполнения команд (Command Rate), представляющая собой задержку в тактах системной шины между командой CS# выбора чипа и командой активации строки.

Тайминги памяти

Запись таймингов памяти

Наиболее значимыми по их влиянию на производительность являются тайминги t_{CL} , t_{RCD} , t_{RP} и t_{RAS} , иногда называемые основными. Основные тайминги памяти принято записывать в виде последовательности

t_{CL} - t_{RCD} - t_{RP} - t_{RAS}

К примеру, на модуле памяти указывается 7-7-7-20 — это означает, что для данного модуля CAS# Latency (t_{CL}) составляет 7 тактов, RAS# to CAS# Delay (t_{RCD}) — 7 тактов, RAS# Precharge (t_{RP}) — 7 тактов и ACTIVE-to-precharge delay (t_{RAS}) — 20 тактов.

Для каждого типа памяти значения различных задержек не могут быть произвольными и выбираются из допустимых значений. Кроме того, между разными таймингами должны соблюдаться вполне определенные соотношения.

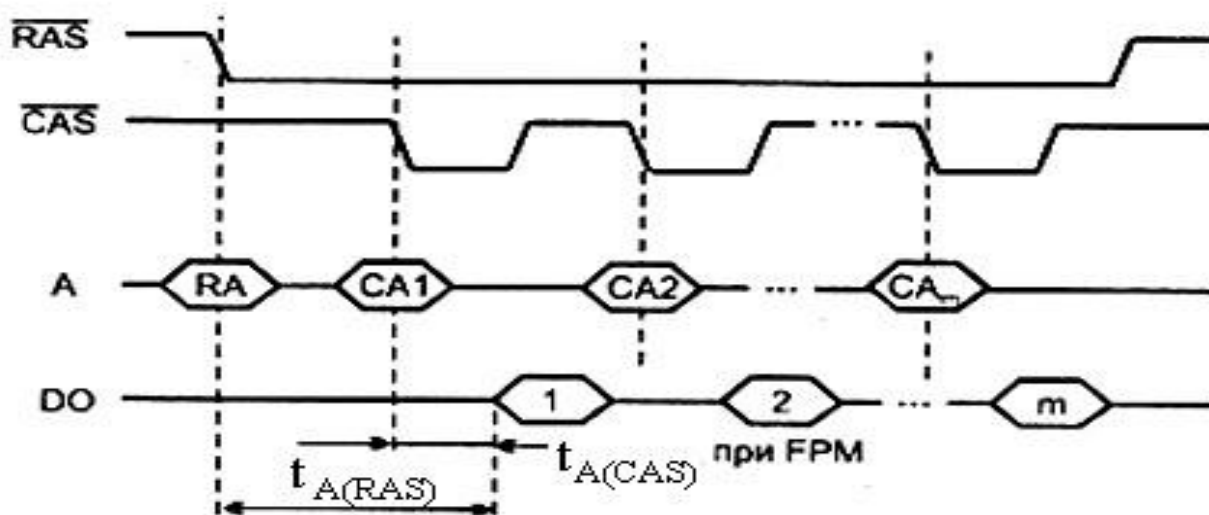
Например, должно выполняться соотношение

$$t_{RAS} > t_{RCD} + t_{CL}.$$

Асинхронные DRAM повышенного быстродействия

FPM DRAM

FPM DRAM (Fast Page Mode DRAM) – быстрая страничная память. Основное ее отличие от памяти DRAM заключалось в поддержке сохраненных адресов. То есть, если новое считываемое слово находилось в той же строке, что и предыдущее, то обращение к матрице памяти не требовалось, а выборка данных осуществлялась из «Буфера данных» по номерам столбцов. Это позволяло в случае чтения из памяти массивов данных значительно сократить время чтения.



Асинхронные DRAM повышенного быстродействия

EDO-DRAM

EDO-DRAM (Extended Data Out DRAM) – динамическая память с усовершенствованным выходом. Адрес следующего считываемого слова передавался до завершения считывания линии данных памяти, то есть до того, как считанные данные из памяти были переданы процессору. Это стало возможным, благодаря вводу, так называемых, регистров-защелок, которые сохраняли последнее считанное слово даже после того, как начиналось чтение или запись следующего слова.

BEDO-DRAM

BEDO-DRAM (Burst EDO-DRAM) - с пакетным расширенным доступом. В структуре BEDO-DRAM содержится дополнительно счетчик адресов столбцов, При обращении к группе слов (пакету) адрес столбца формируется обычным способом только в начале пакетного цикла. Для последующих передач адреса образуются быстро с помощью инкрементирования счетчика.

Асинхронные DRAM повышенного быстродействия М-DRAM

В структурах М-DRAM (Multibank DRAM, многобанковые ОЗУ) память делится на части (банки). Обращение к банкам поочередное, чем исключается ожидание перезаряда шин. Пока считываются данные из одного банка, другие имеют "передышку" на подготовку, после которой появляется возможность обращения к ним без дополнительного ожидания. При нарушении очередности и повторном обращении к тому же банку выполняется полный цикл обращения к памяти.

Чем больше банков, тем меньше будет повторных последовательных обращений в один и тот же банк.

Так как процессор чаще всего считывает данные по последовательным адресам, то эффект ускорения работы ЗУ достигается уже при делении памяти всего на два блока, а именно на один с нечетными адресами, другой — с четными.

Банки ЗУ типа М-DRAM могут строиться на обычных DRAM без каких-либо схемных изменений.