

1. Определение регистра			
2. Применение регистров	2	5	11
3. Основные характеристики регистров	<b>1 вариант</b>		
4. Функции установки регистров	1	4	10
5. Функции регистров, связанные с хранением	3	6	13
6. Функции регистров, связанные с умножением и делением	<b>2 вариант</b>		
7. Функции регистров, связанные с логикой	2	5	11
8. Регистры с последовательным приемом и выдачей информации	<b>3 вариант</b>		
9. Регистры сдвига	3	6	13
0. Регистры с параллельным приемом и последовательной выдачей информации	<b>4 вариант</b>		
1. Регистры с параллельным приемом и параллельной выдачей информации	9	7	14
2. Регистры хранения	<b>5 вариант</b>		
3. Регистры с последовательным приемом и параллельной выдачей информации	12	8	15
4. Универсальный регистр			
5. Кольцевые счетчики			

# Сумматоры

**определения, классификация,  
уравнения, структуры и  
применение**

# Сумматор

- Основной узел АЛУ вычислительной машины для поразрядного суммирования двоичных чисел
- Последовательное соединение одноразрядных двоичных сумматоров, каждый из которых осуществляет сложение в одном разряде

# В зависимости от системы счисления

- двоичные;
- двоично-десятичные (в общем случае двоично-кодированные);
- десятичные;
- прочие (например, амплитудные).

# **По количеству одновременно обрабатываемых разрядов складываемых чисел**

одноразрядные,  
многоразрядные

# **По числу входов и выходов одноразрядных двоичных сумматоров**

четвертьсумматоры

полусумматоры

полные одноразрядные двоичные  
сумматоры

**По способу организации  
межразрядных переносов  
параллельные сумматоры  
делят на сумматоры:**

- с последовательным переносом;
- с параллельным переносом;
- с групповой структурой;
- со специальной организацией цепей переноса.

# По способу представления и обработки складываемых чисел многоразрядные сумматоры подразделяются на

- последовательные, в которых обработка чисел ведётся поочерёдно, разряд за разрядом на одном и том же оборудовании;
- параллельные, в которых слагаемые складываются одновременно по всем разрядам, и для каждого разряда имеется своё оборудование.



# По способу выполнения операции сложения и возможности сохранения результата сложения

комбинационный, выполняющий микрооперацию " $S = A$  плюс  $B$ ", в котором результат выдаётся по мере его образования (это комбинационная схема в общепринятом смысле слова);

сумматор с сохранением результата " $S = A$  плюс  $B$ ";

накапливающий, выполняющий микрооперацию " $S = S$  плюс  $B$ ".

# Важнейшими параметрами сумматоров являются

- разрядность;
- статические параметры:  $U_{вх}$ ,  $U_{вых}$ ,  $I_{вх}$  и так далее, то есть обычные параметры интегральных схем;
- динамические параметры – характеризуются задержками распространения сигнала

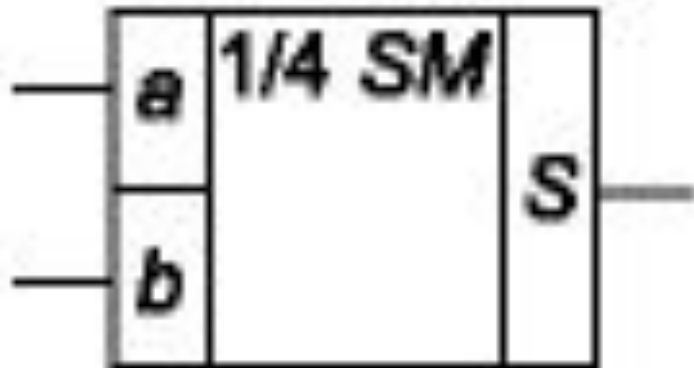
# Четверть сумматор

- характеризующиеся наличием двух входов (для двух слагаемых), на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
- (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”),
- имеет в два раза меньше выходов и в два раза меньше строк в таблице истинности по сравнению с полным двоичным одноразрядным сумматором
- работу его отражает таблица истинности.

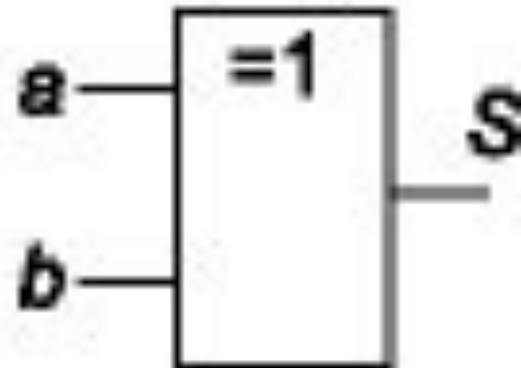
a	b	S
0	0	0
0	1	1
1	0	1
1	1	0

$$S = \bar{a}b + a\bar{b} = a \oplus b$$

**a)**



**b)**



- Реализуем четвертьсумматор в базисах И-НЕ, ИЛИ-НЕ и с использованием только одного инвертора, для чего преобразуем уравнение

$$S = \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} =$$

$$= a(\bar{a} + \bar{b}) + b(\bar{a} + \bar{b}) = a\bar{a}\bar{b} + b\bar{a}\bar{b} = \overline{\overline{a\bar{a}\bar{b}}} \cdot \overline{\overline{b\bar{a}\bar{b}}}$$

$$S = \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} =$$

$$= \overline{\overline{\bar{a}(a+b)}} + \overline{\overline{\bar{b}(a+b)}} = \overline{a+a+b} + \overline{b+a+b}$$

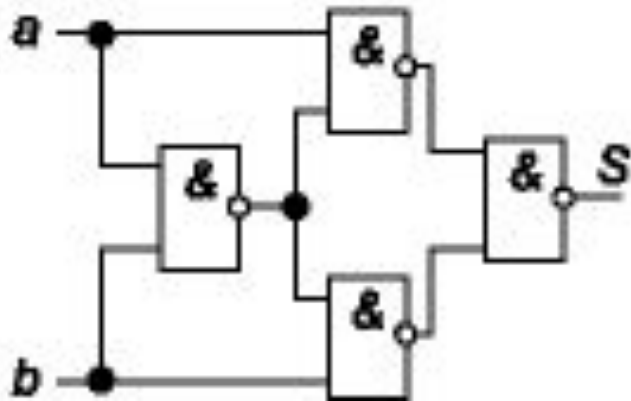
$$S = \bar{a}b + a\bar{b} = \bar{a}a + \bar{a}b + \bar{b}b + a\bar{b} =$$

$$= \bar{a}(a+b) + \bar{b}(a+b) = (a+b)(\bar{a} + \bar{b}) = (a+b)\bar{a}\bar{b}$$

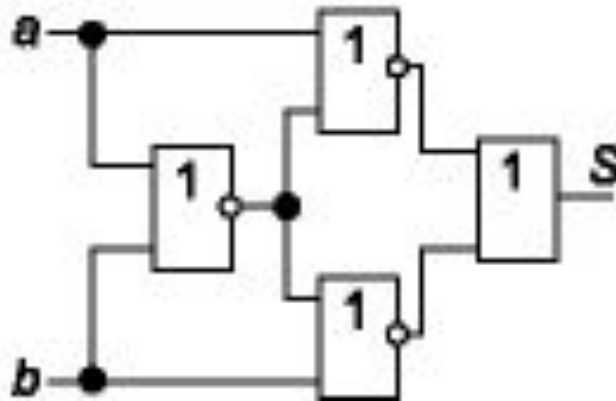
# СХЕМЫ

# Схемы, полученные по уравнениям

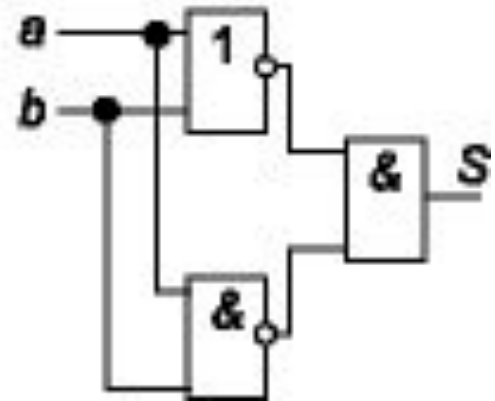
а)

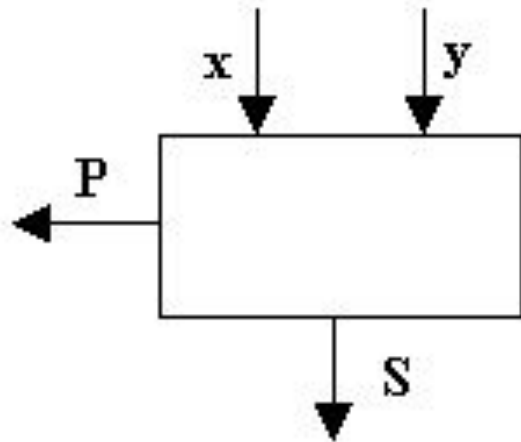


б)



в)





# Полусумматор

- характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух слагаемых, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд);
- Обозначением полусумматора служат буквы HS (half sum — полусумма).
- Работу его отражает таблица истинности, а



<b>a</b>	<b>b</b>	<b>P</b>	<b>S</b>
<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>
<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>
<b>1</b>	<b>0</b>	<b>0</b>	<b>1</b>
<b>1</b>	<b>1</b>	<b>1</b>	<b>0</b>

$$S = \bar{a}b + a\bar{b} = a \oplus b \quad \left. \vphantom{S} \right\}$$

$$P = ab$$

$$S = \overline{(ab)}(ab)$$

# СХЕМЫ

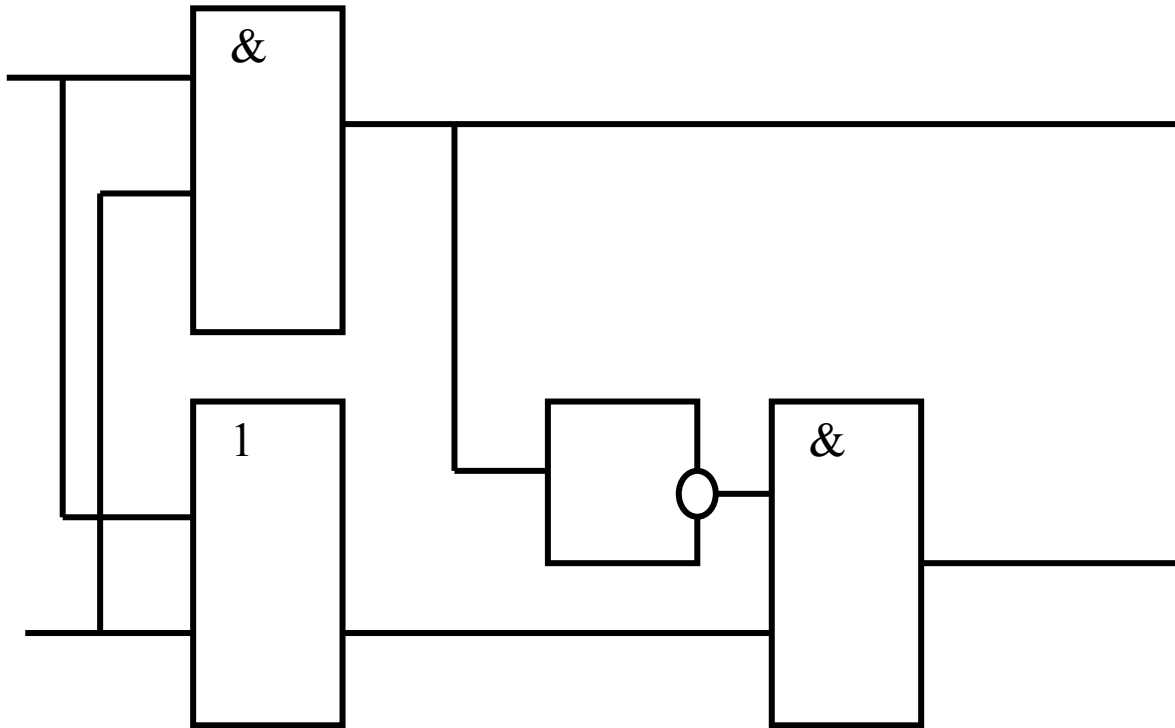
&

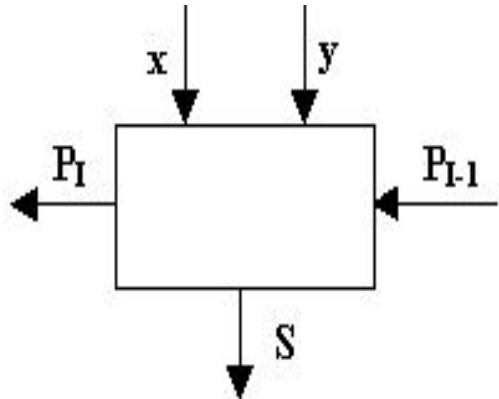
**a**

**s**

**b**

**p**

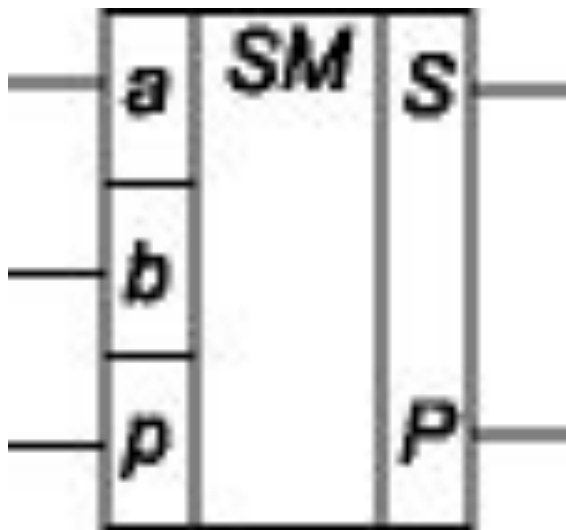




# Полный одноразрядный двоичный сумматор

- характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд). имеет три входа:
- Обозначением полного двоичного сумматора служат буквы SM.
- Работу его отражает таблица истинности

№ наб.	a	b	p	P	S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1



- Уравнения, описывающие работу полного двоичного сумматора, представленные в совершенной дизъюнктивной нормальной форме (СДНФ), имеют вид

$$\begin{array}{l}
 S = \bar{a}\bar{b}p + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp \\
 P = \bar{a}bp + a\bar{b}p + ab\bar{p} + abp
 \end{array}
 \left. \vphantom{\begin{array}{l} S \\ P \end{array}} \right\}$$

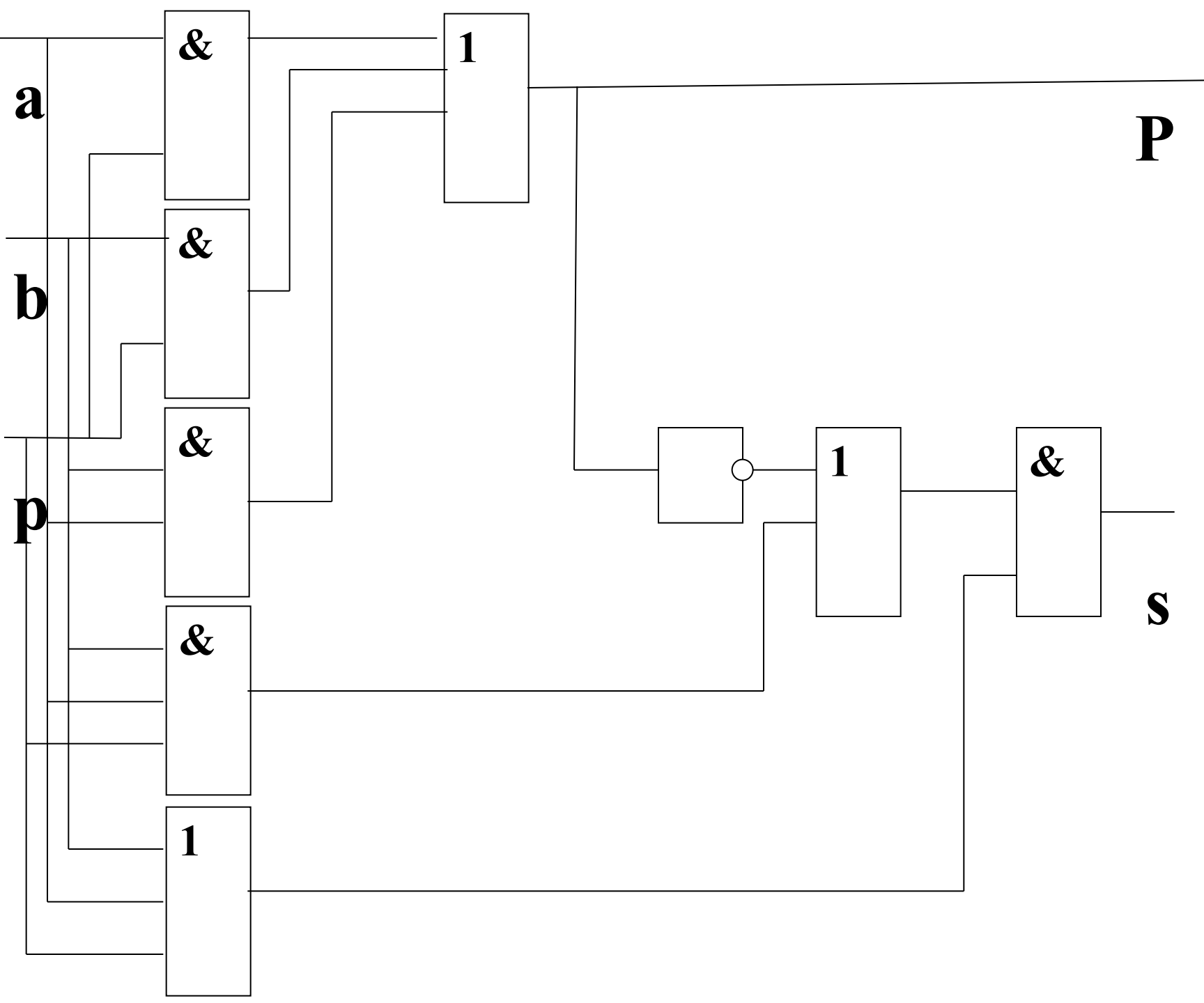
Уравнение для переноса может быть минимизировано:

$$P = ab + ap + bp.$$

После необходимых преобразования получим:

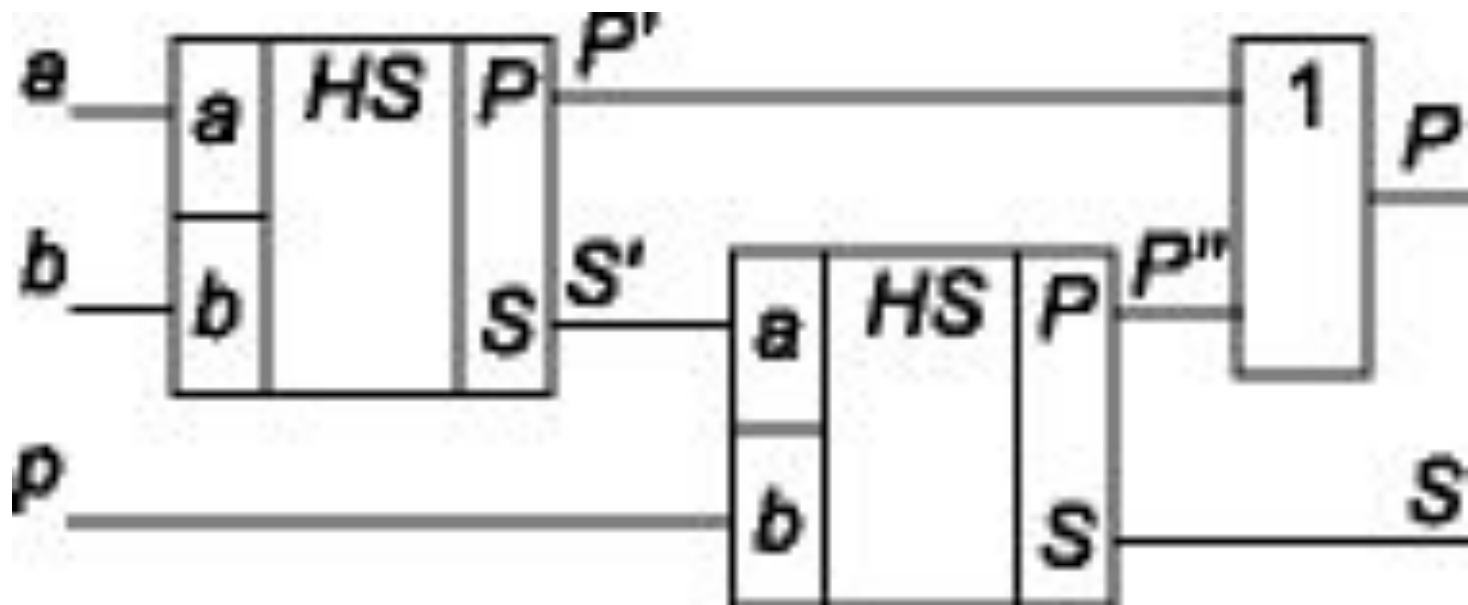
$$S = (a+b+p)(\bar{P}+abp)$$

# СХЕМЫ



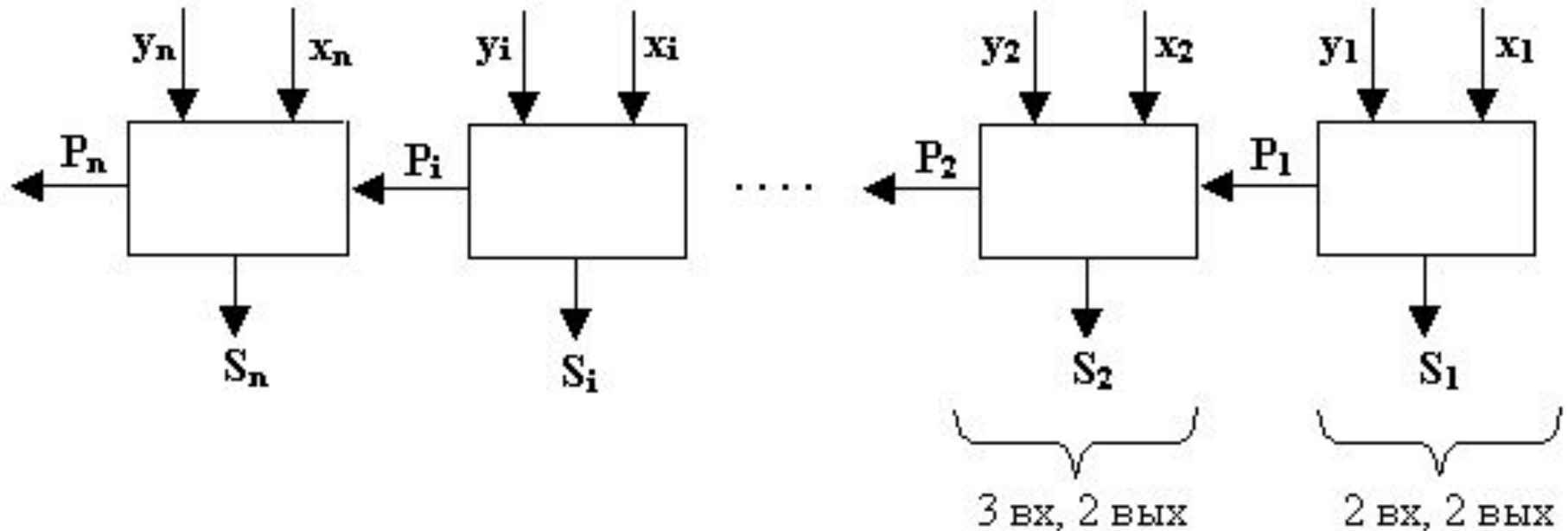


- Из выражений (8) следует, что полный двоичный сумматор может быть реализован на двух полусумматорах и одном двухвходовом элементе ИЛИ



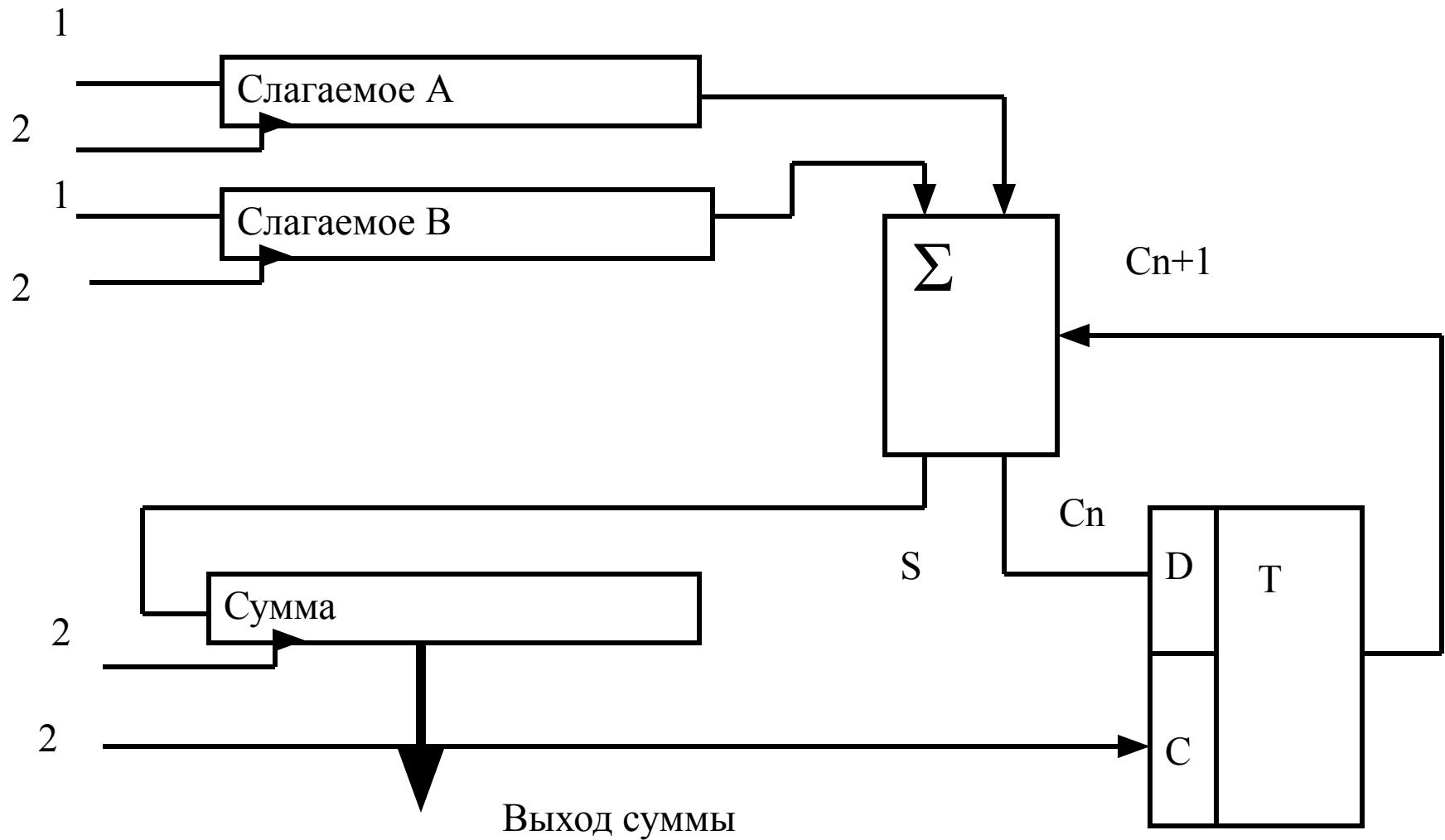
# Параллельный сумматор

- Поразрядно (параллельно) суммируются разряды двоичного числа



Можно сделать любой длины, однако суммирование будет закончено тогда, когда истечет время распространения сигналов переноса через всю цепь. (пульсирующий перенос)

# Последовательный сумматор



- Классификация сумматоров по количеству одновременно обрабатываемых разрядов складываемых чисел
- Классификация сумматоров по числу входов и выходов одноразрядных двоичных сумматоров
- Классификация сумматоров по количеству одновременно обрабатываемых разрядов складываемых чисел
- Классификация сумматоров по способу организации межразрядных переносов параллельных сумматоров
- Классификация сумматоров по способу представления и обработки складываемых чисел многоразрядных сумматоров
- Классификация сумматоров по способу выполнения операции сложения и возможности сохранения результата сложения
- параметры сумматоров - перечислить
- Четверть сумматор таблица истинности, обозначение, логическое выражение
- Базис И-НЕ, ИЛИ-НЕ, выражения и схемы
- Полусумматор таблица истинности, обозначение, логическое выражение
- Полный одноразрядный двоичный сумматор таблица истинности, обозначение, логическое выражение
- Базис И, ИЛИ схемы
- Параллельный сумматор обозначение, пояснения
- Последовательный сумматор обозначение, пояснение