

II. Средства проектирования цифровых устройств с использованием программируемых логических интегральных схем

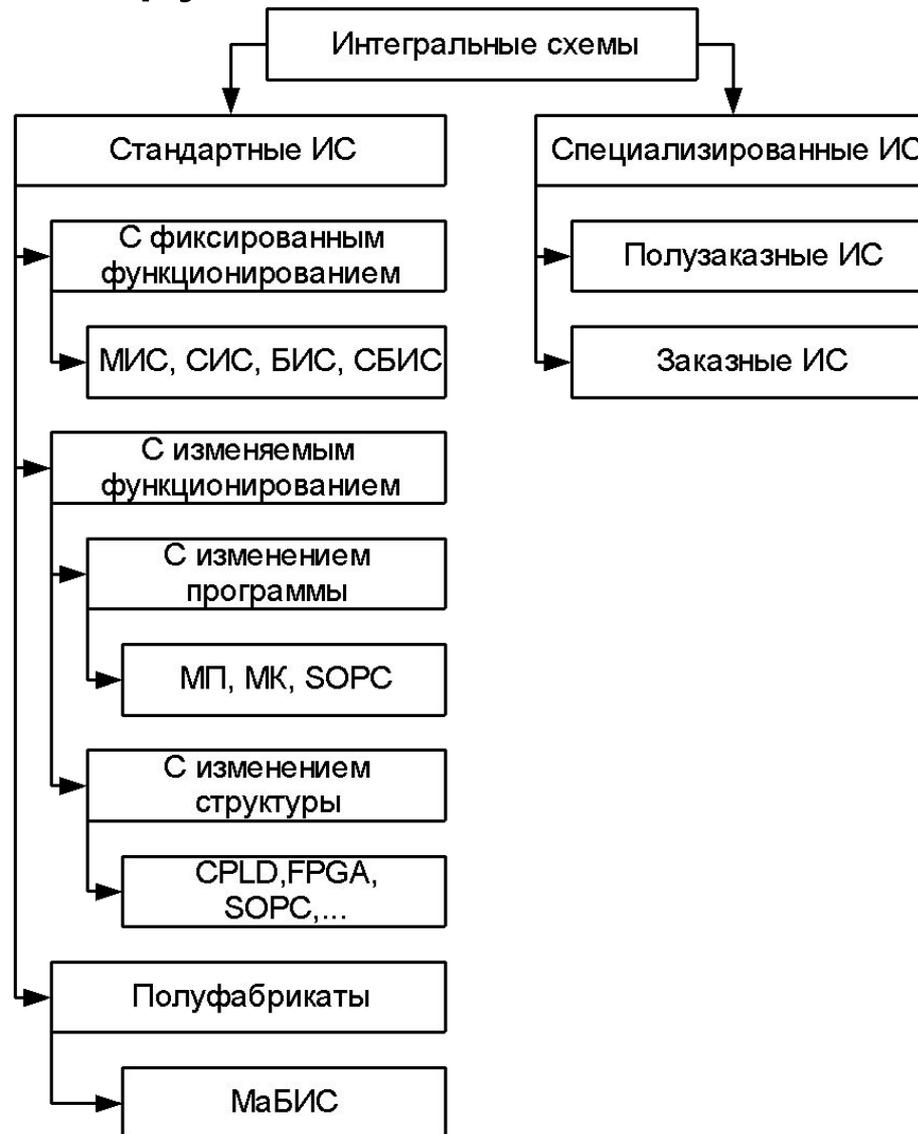
- Архитектура интегральных схем с программируемой структурой (ПЛИС).
- Основы языка VHDL и Verilog.
- Процесс проектирования цифровых устройств с использованием ПЛИС.

V.I Архитектура интегральных схем с программируемой структурой (ПЛИС)

Список дополнительной литературы:

- Грушвицкий Р. И., Мурсаев А. Х., Угрюмов Е. П. Проектирование систем на микросхемах с программируемой структурой, БХВ-Петербург, 2006, 708 с.
- Сергиенко А. М. VHDL для проектирования вычислительных устройств – К ЧП «Корнейчук», ООО «ТИД «ДС», 2003 – 208 с.
- Зотов В. Ю. Проектирование цифровых устройств на основе ПЛИС фирмы Xilinx в САПР WebPACK ISE. – М.: Горячая линия - Телеком, 2003. – 624 с.
- IEEE VHDL-93 Standard 2000 Revision
- Xilinx ISE Help
- Spartan-3 FPGA Family: Complete Data Sheet. Xilinx Inc.
- XC9500 CPLD Family: Complete Data Sheet. Xilinx Inc.

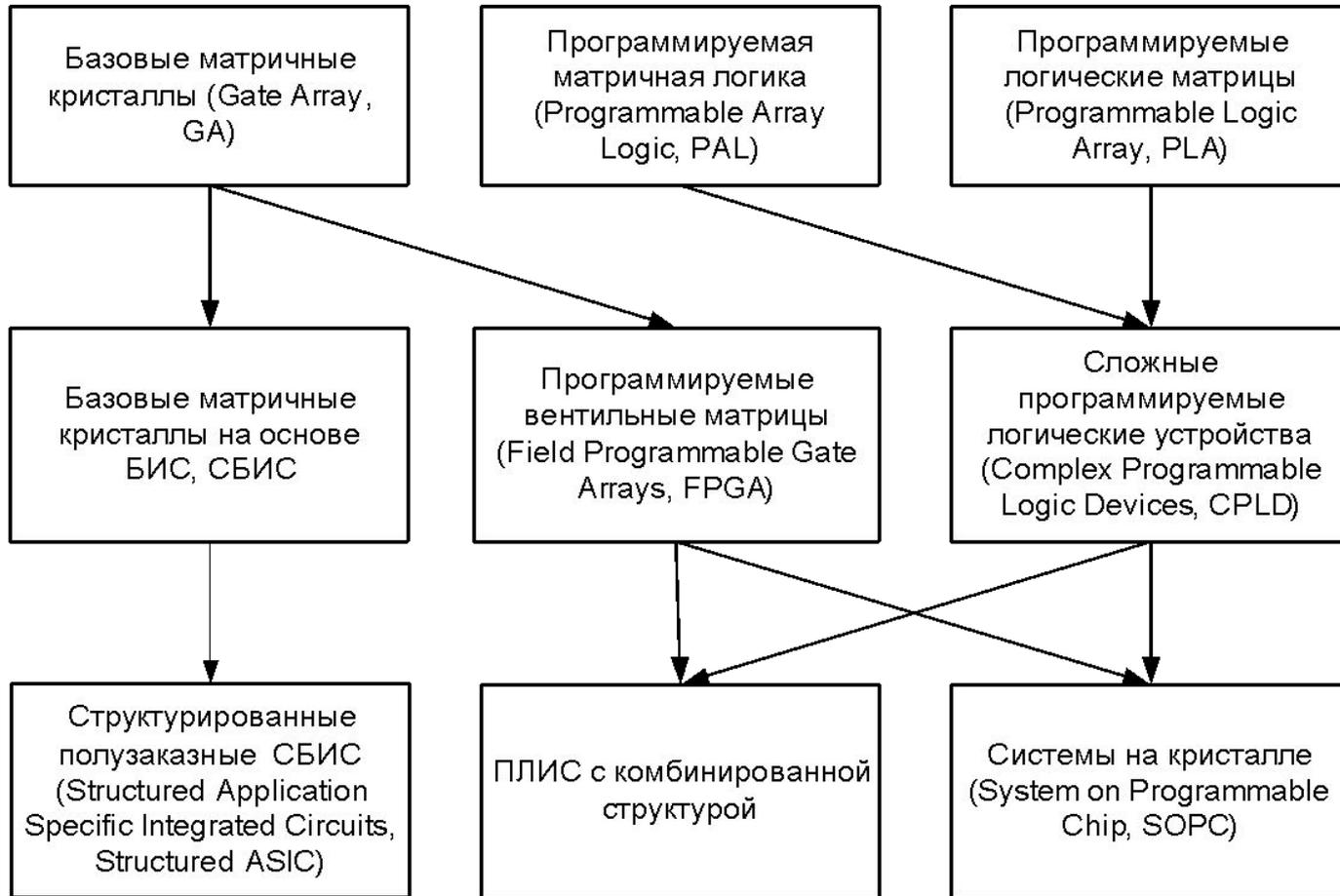
Классификация ИС по способу обеспечения функциональности



Эволюция ПЛИС

Полузаказные
интегральные схемы

Программируемые пользователем
интегральные схемы



Преимуществами современных ПЛИС являются:

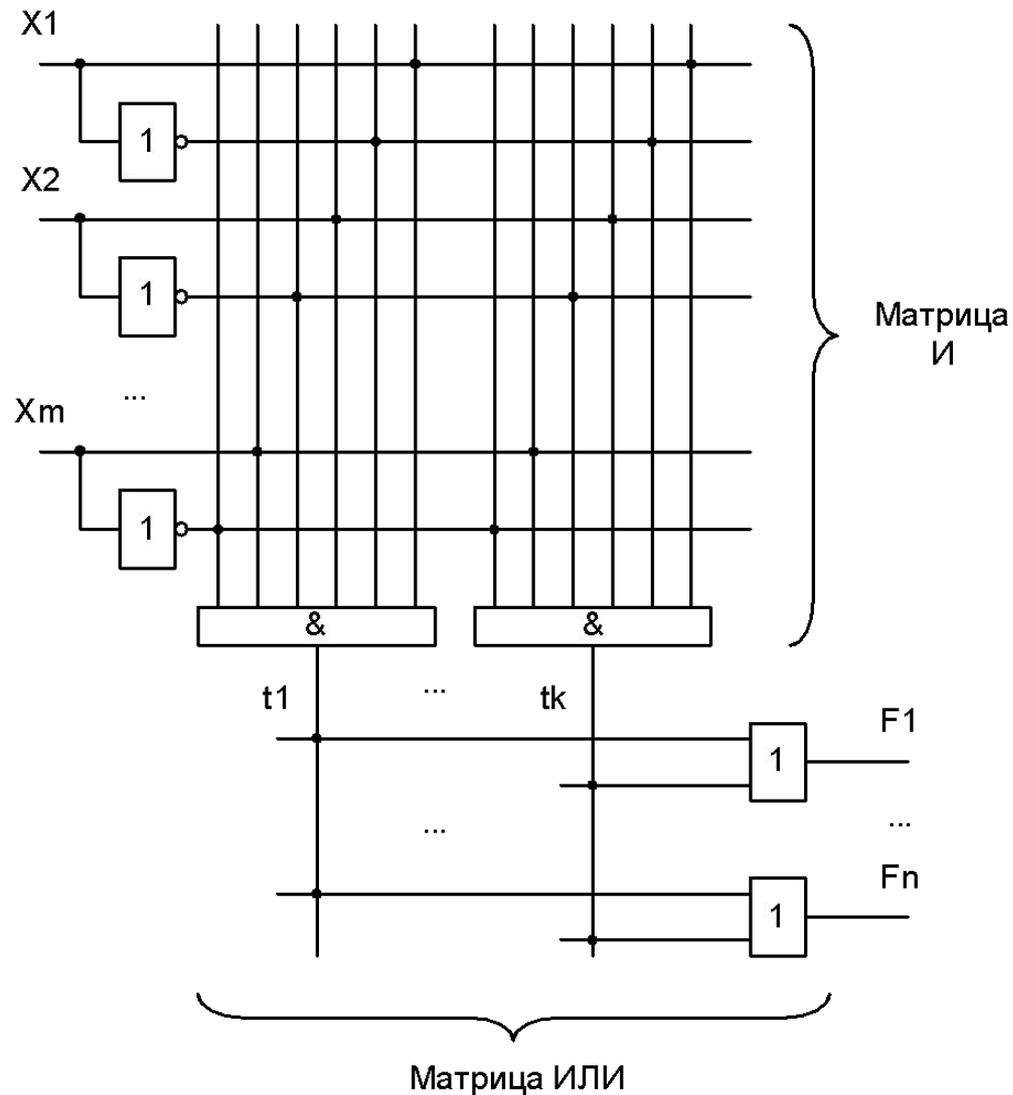
- Простота и малое время проектирования.
- Низкая стоимость разработки
- Сокращение используемого пространства печатных плат.
- Более низкая стоимость в сравнении с использованием отдельных интегральных схем средней степени интеграции
- Более продолжительное обращение продукта на рынке за счет возможности перепрограммирования.
- Возможность создание динамически реконфигурируемых устройств.

К недостаткам можно отнести более низкую скорость работы ПЛИС в сравнении с ASIC, а также нерентабельность использования в крупносерийном производстве.

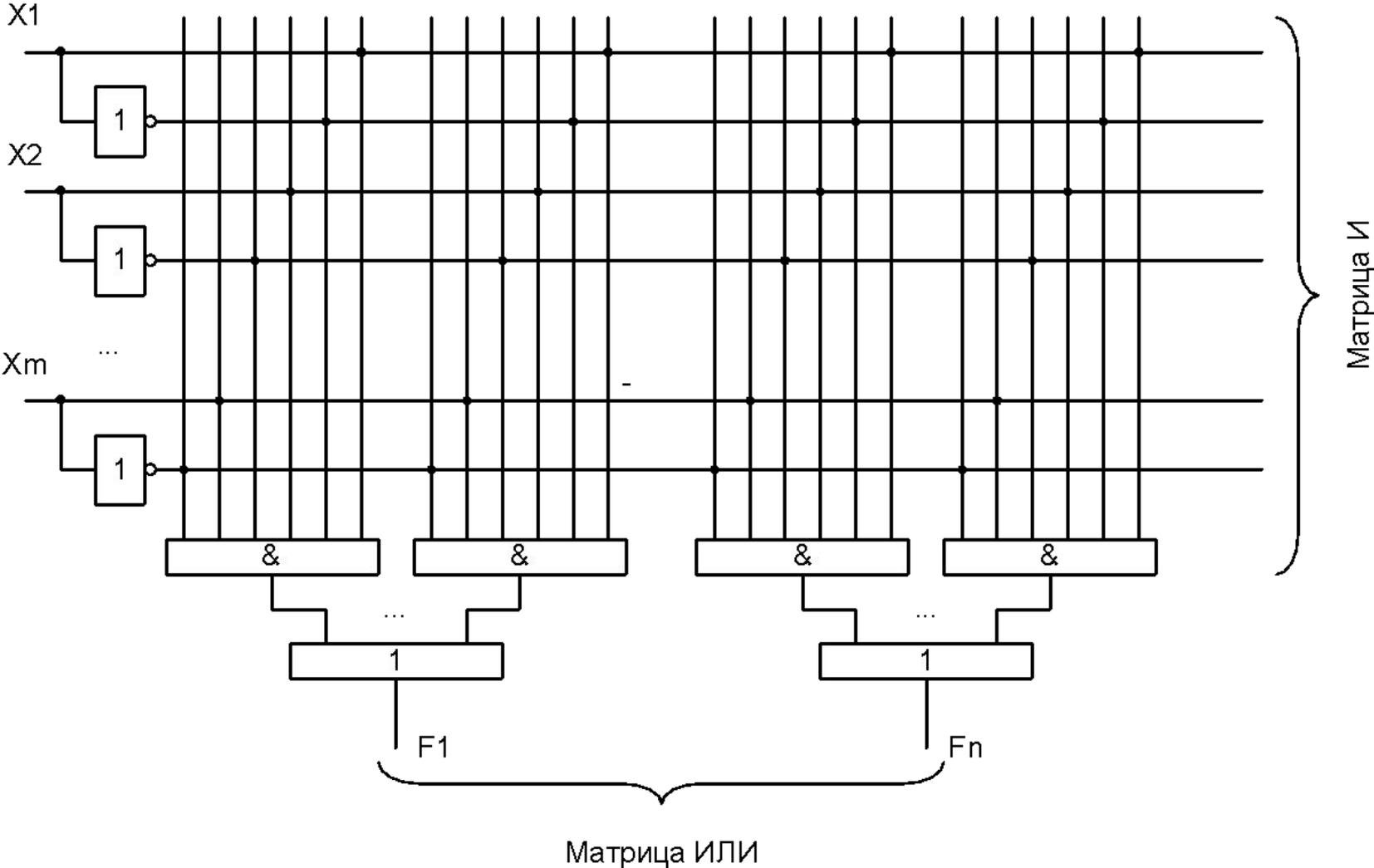
Сравнение проектов на ASIC, FPGA, PSoC

Показатель	ASIC	FPGA	PSoC
Быстродействие	очень высокое	высокое	высокое
Плотность упаковки элементов	очень высокая	средняя	очень высокая
Стоимость при единичном производстве	очень высокая	средняя	средняя
Стоимость при серийном производстве	низкая	высокая	низкая
Невозвратимые затраты	высокие	нет	нет
Время разработки	большое	малое	малое
Энергопотребление	низкое	высокое	низкое
Сложность разработки	высокая	средняя	средняя
Время отладки	очень большое	малое	малое
Сложность тестирования	высокая	низкая	низкая
Время производства	большое	среднее	среднее
Время выхода на рынок	большое	среднее	среднее
Возможности модернизации	«жесткая» архитектура	в нерабочем режиме	в рабочем режиме
Риск изготовителя	очень высокий	низкий	низкий
Степень автоматизации процесса проектирования	средняя	высокая	высокая
Минимальный объем заказов	высокий	нет	нет

Программируемые логические матрицы



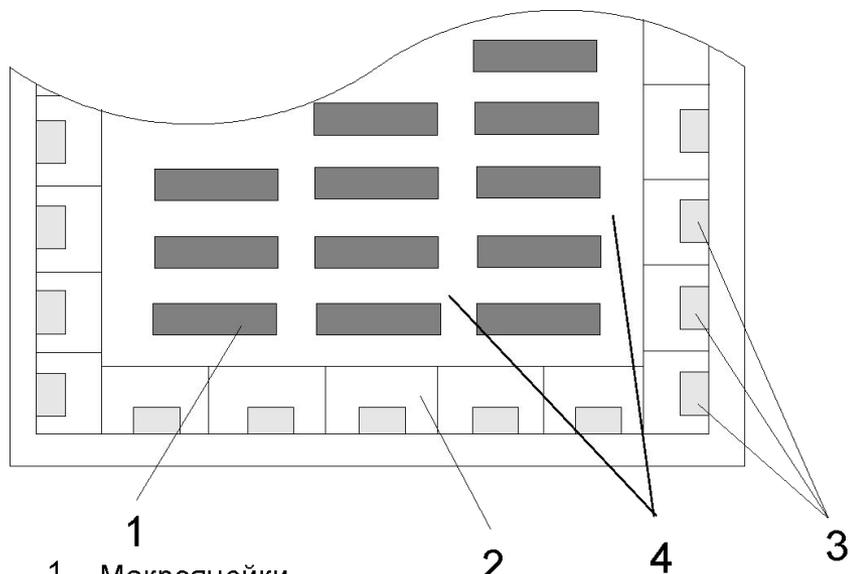
Программируемая матричная логика



Расширение функциональных возможностей ПЛМ и ПМЛ возможно с использованием:

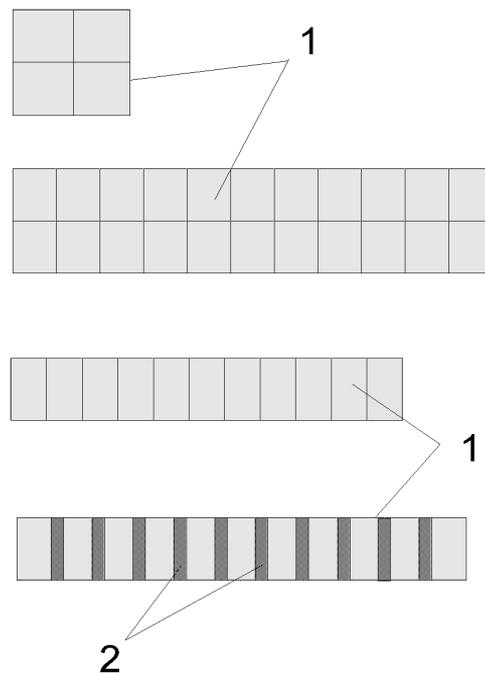
- введения обратных и межэлементных связей, что позволяет наращивать количество термов функций;
- введения элементов памяти, что позволяет проектировать на ПМЛ и ПЛМ синхронные цифровые автоматы;
- программирования выходных буферов для выдачи выходных сигналов в прямом или инверсном виде;
- использования мультиплексоров для выбора альтернативных путей прохождения сигналов;
- репрограммируемых точек связи и памяти конфигурации, позволяющим перепрограммировать функциональность и связность частей ПЛМ и ПМЛ.

Структура базовых матричных кристаллов



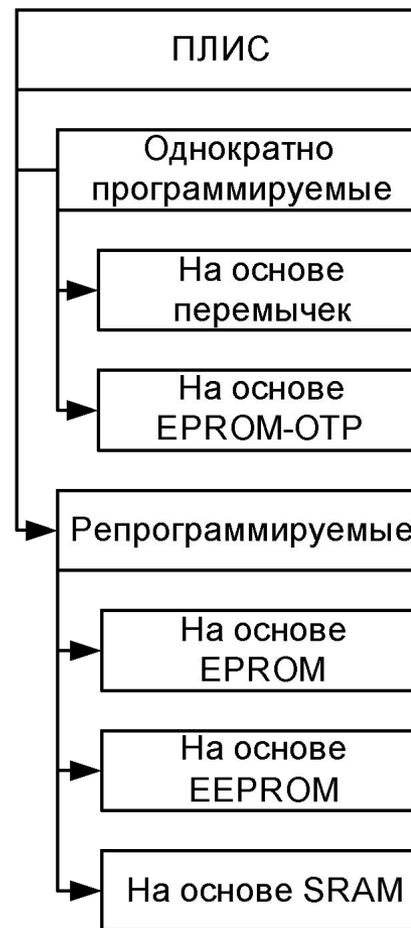
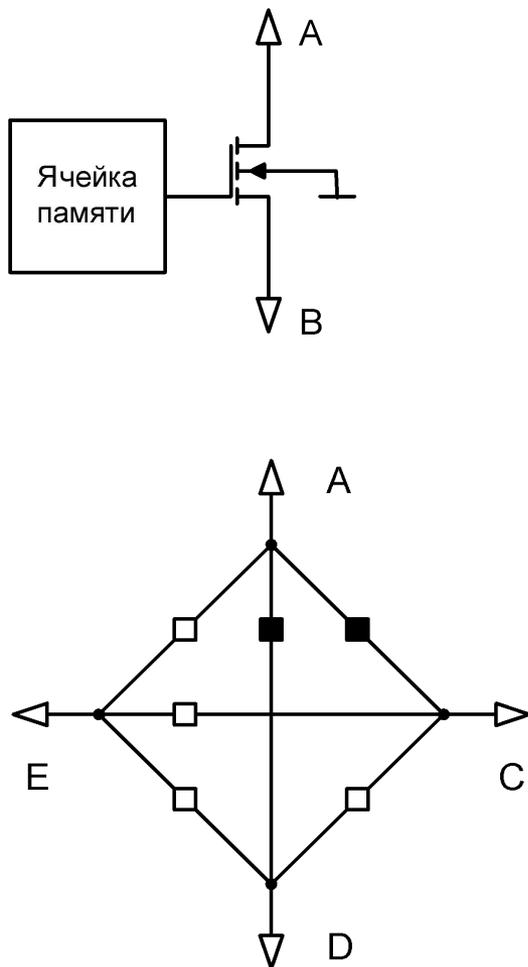
- 1 - Макроячейки
- 2 - Буферные ячейки
- 3 - Внешние контактные площадки
- 4 - Участки для прокладки трасс соединений

Типовые структуры макроячеек

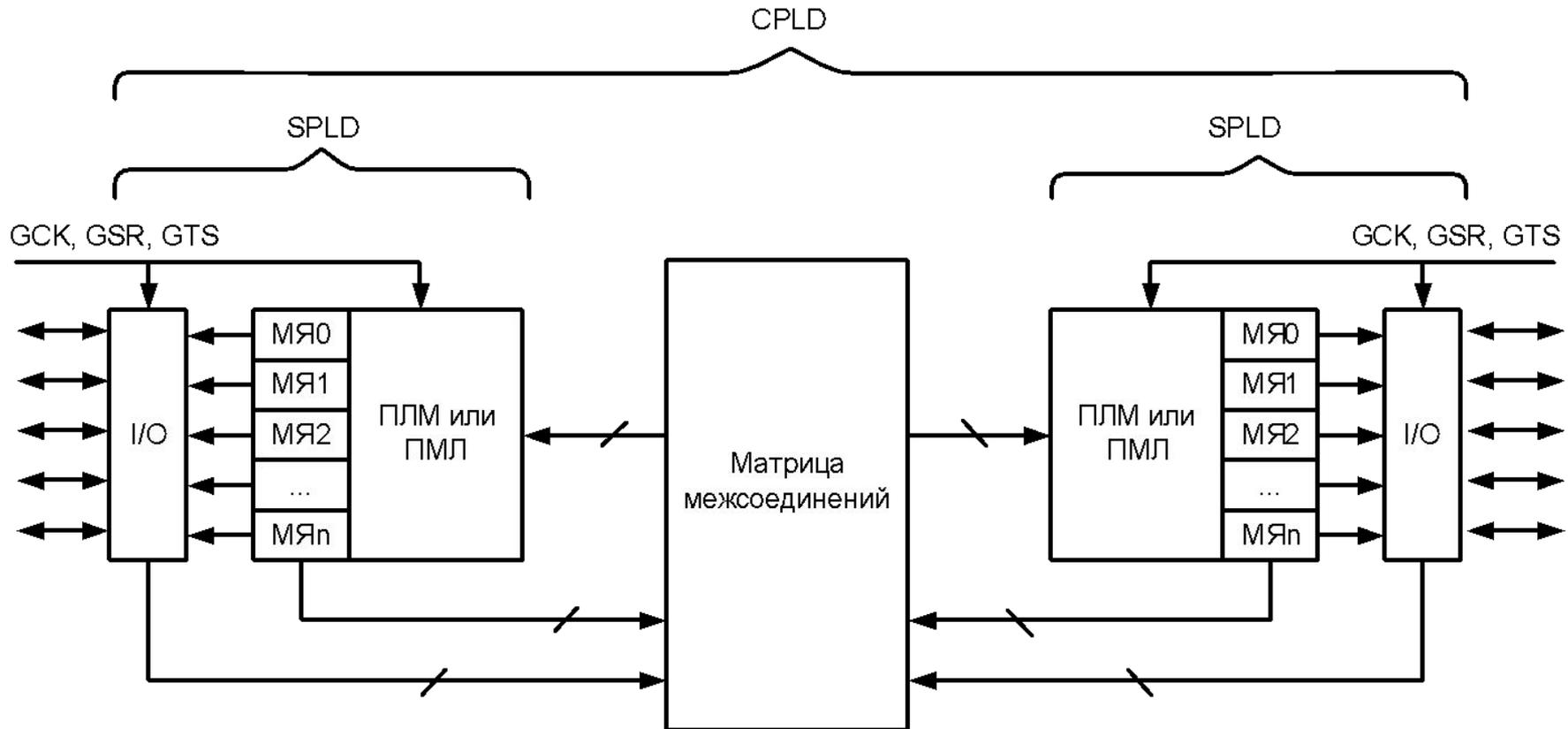


- 1 - Базовые ячейки (БЯ);
 - 2 - Промежутки между БЯ для прокладки трасс (транзитные соединения).
- 10

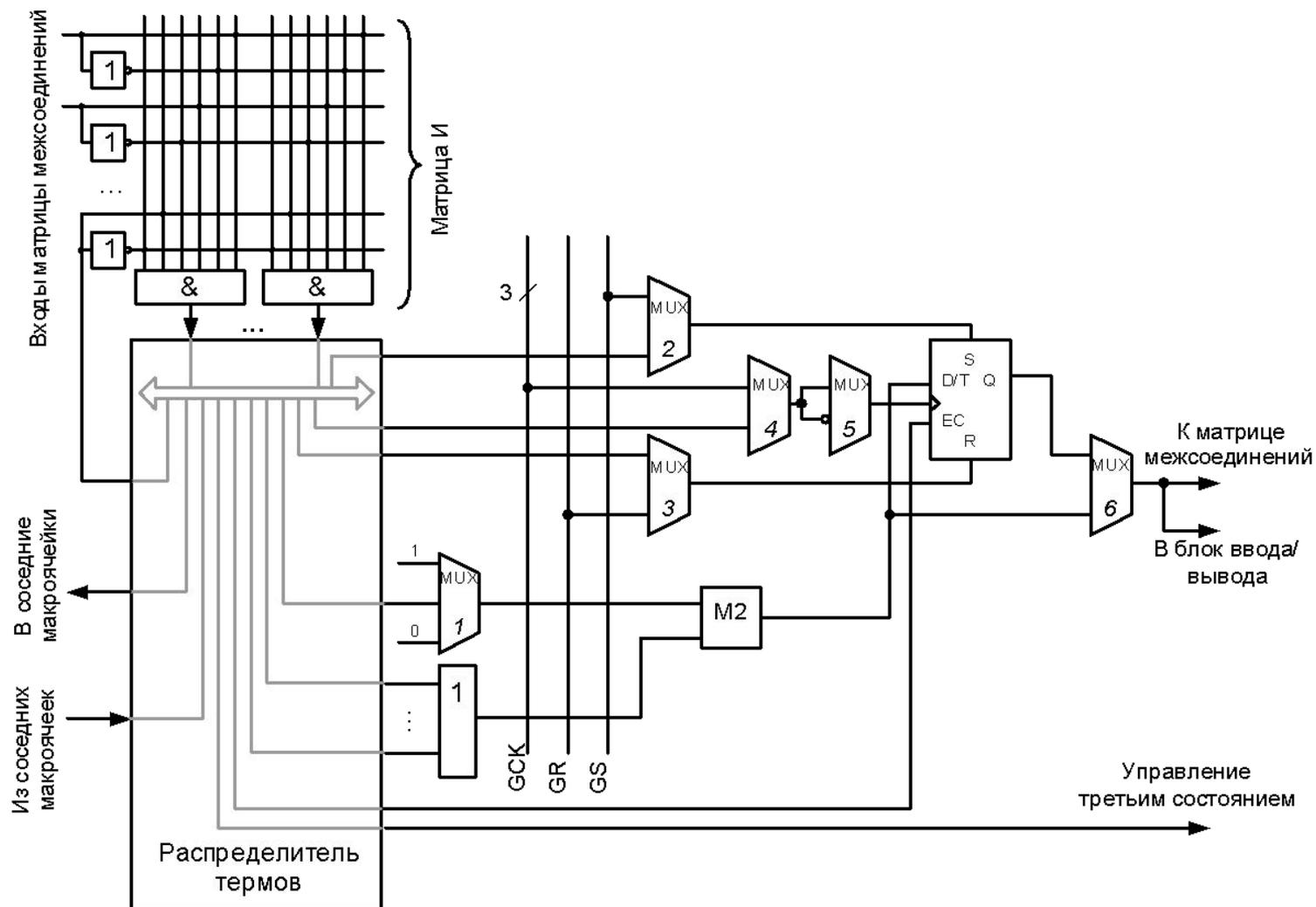
Классификация ПЛИС по типу программируемых связей



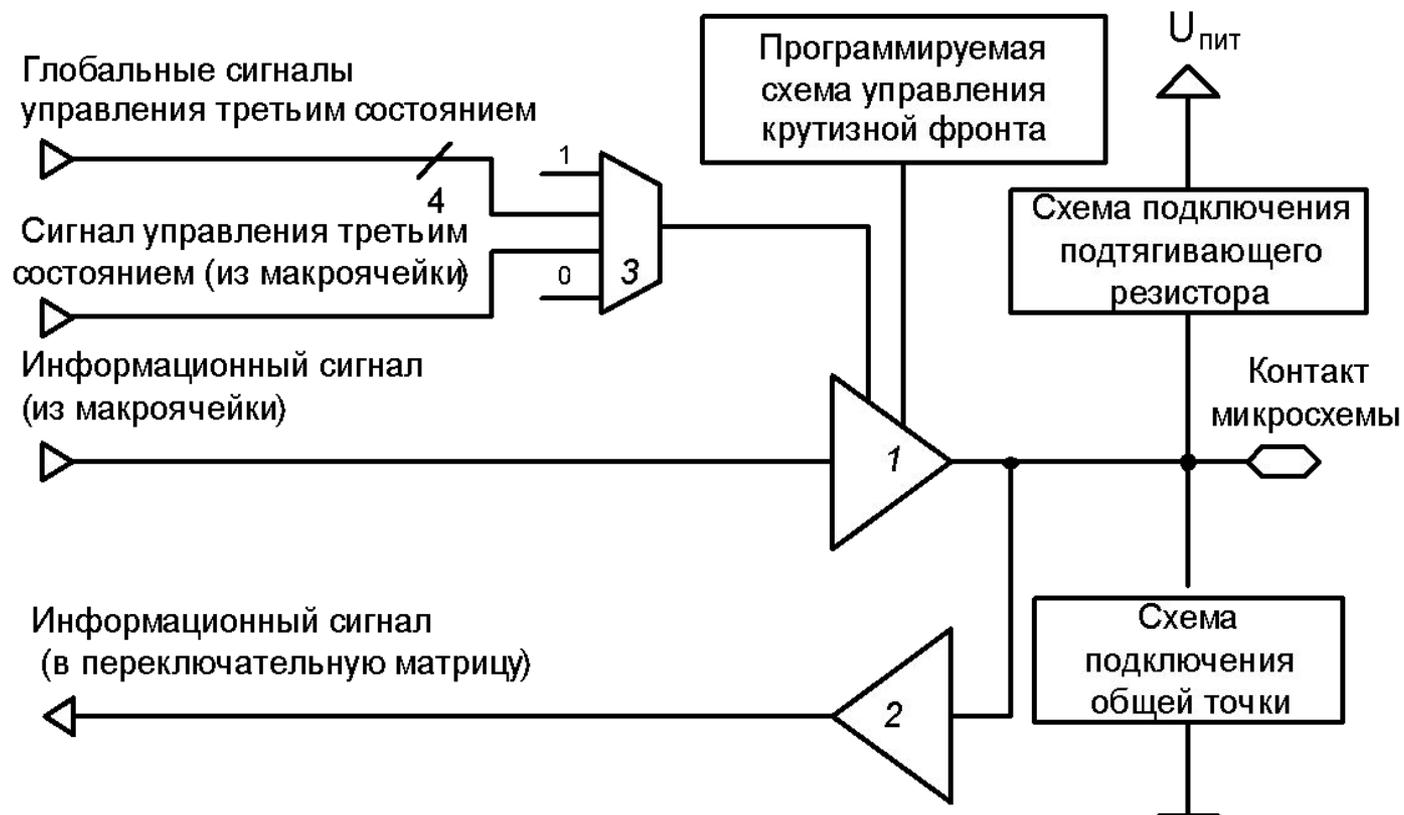
Архитектура сложных программируемых логических устройств (CPLD)



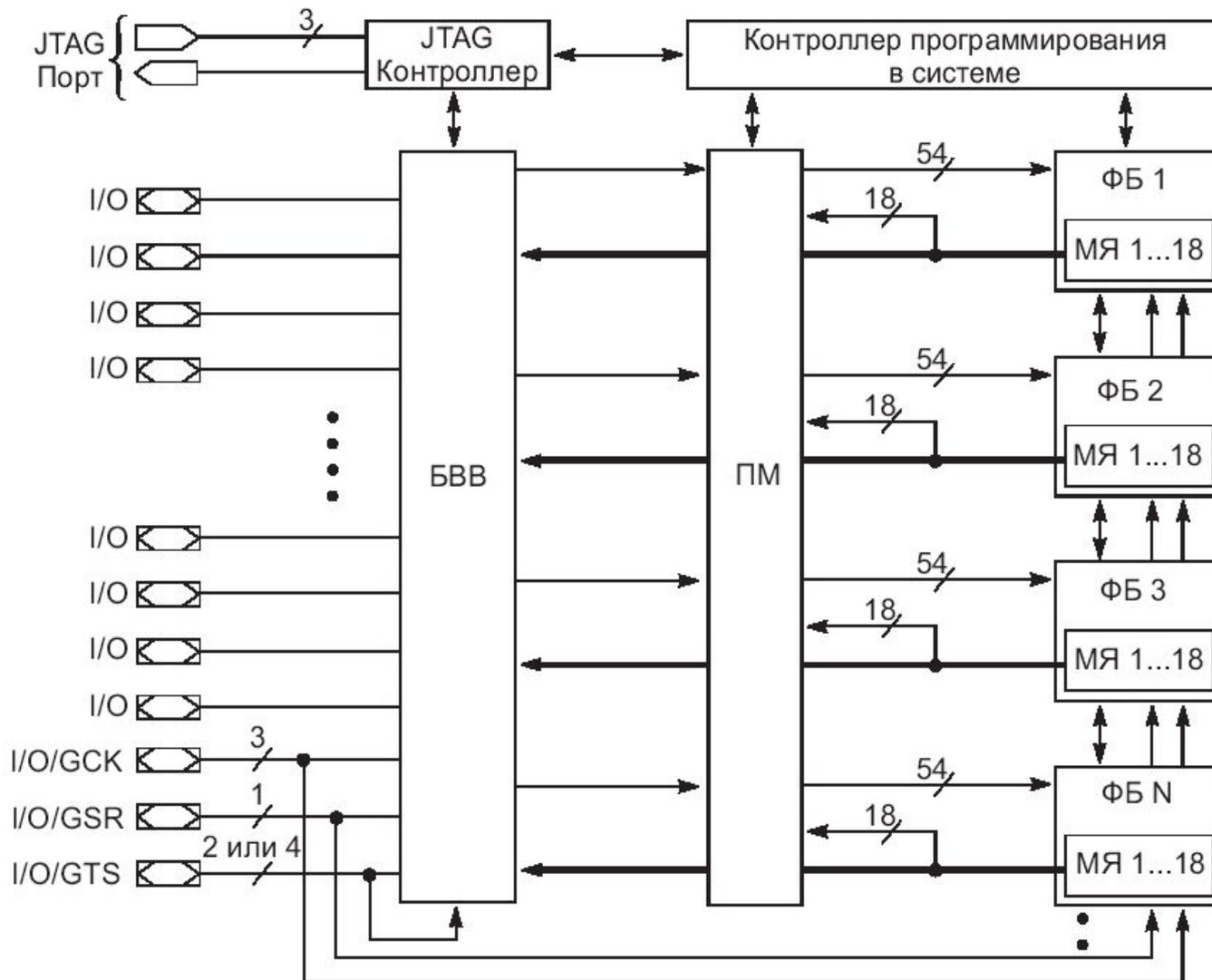
Структура макроячейки (на примере XC9500)



Структура ячейки ввода/вывода



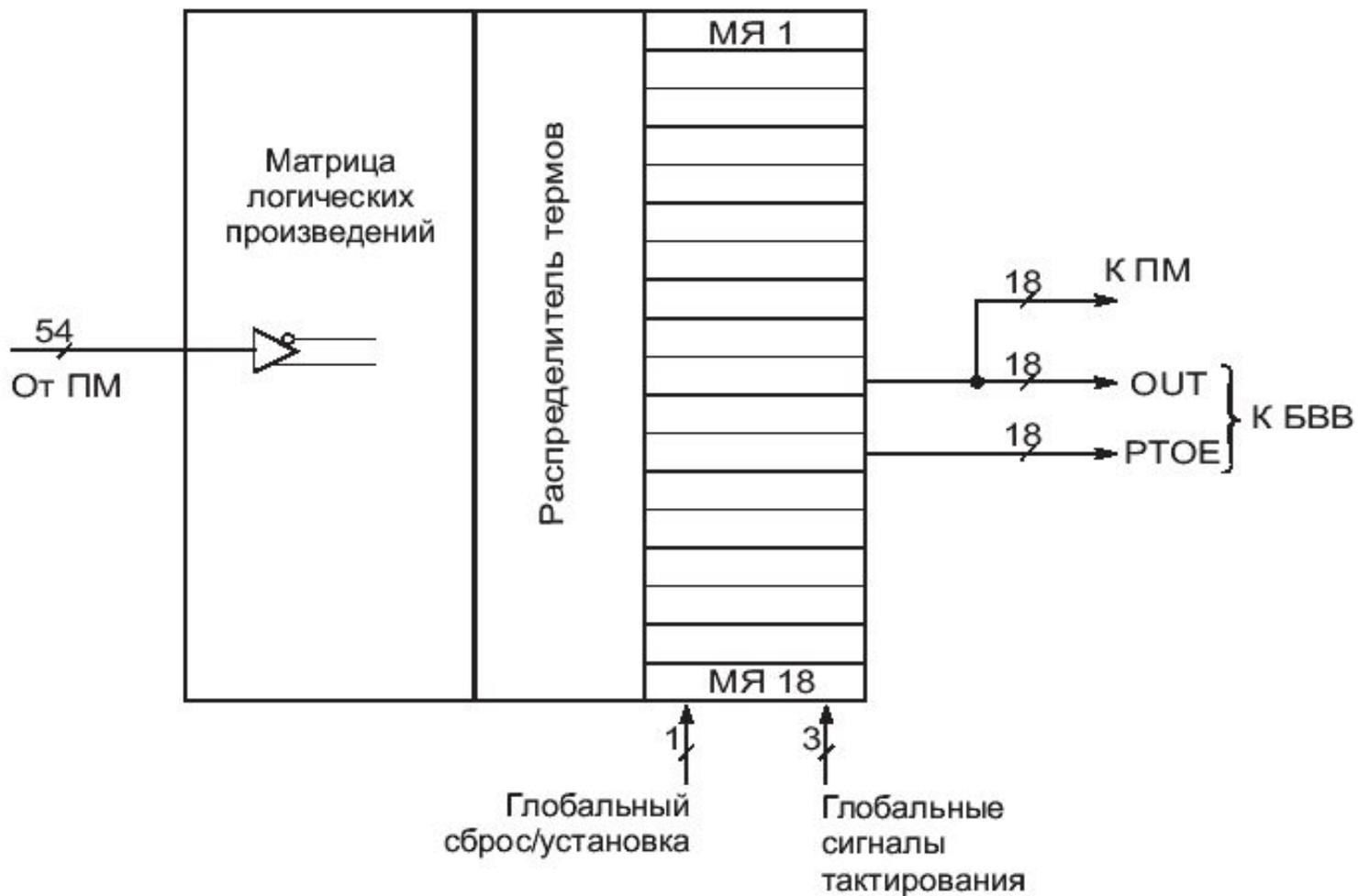
Архитектура ПЛИС семейства кристаллов XC9500



ПРИМЕР

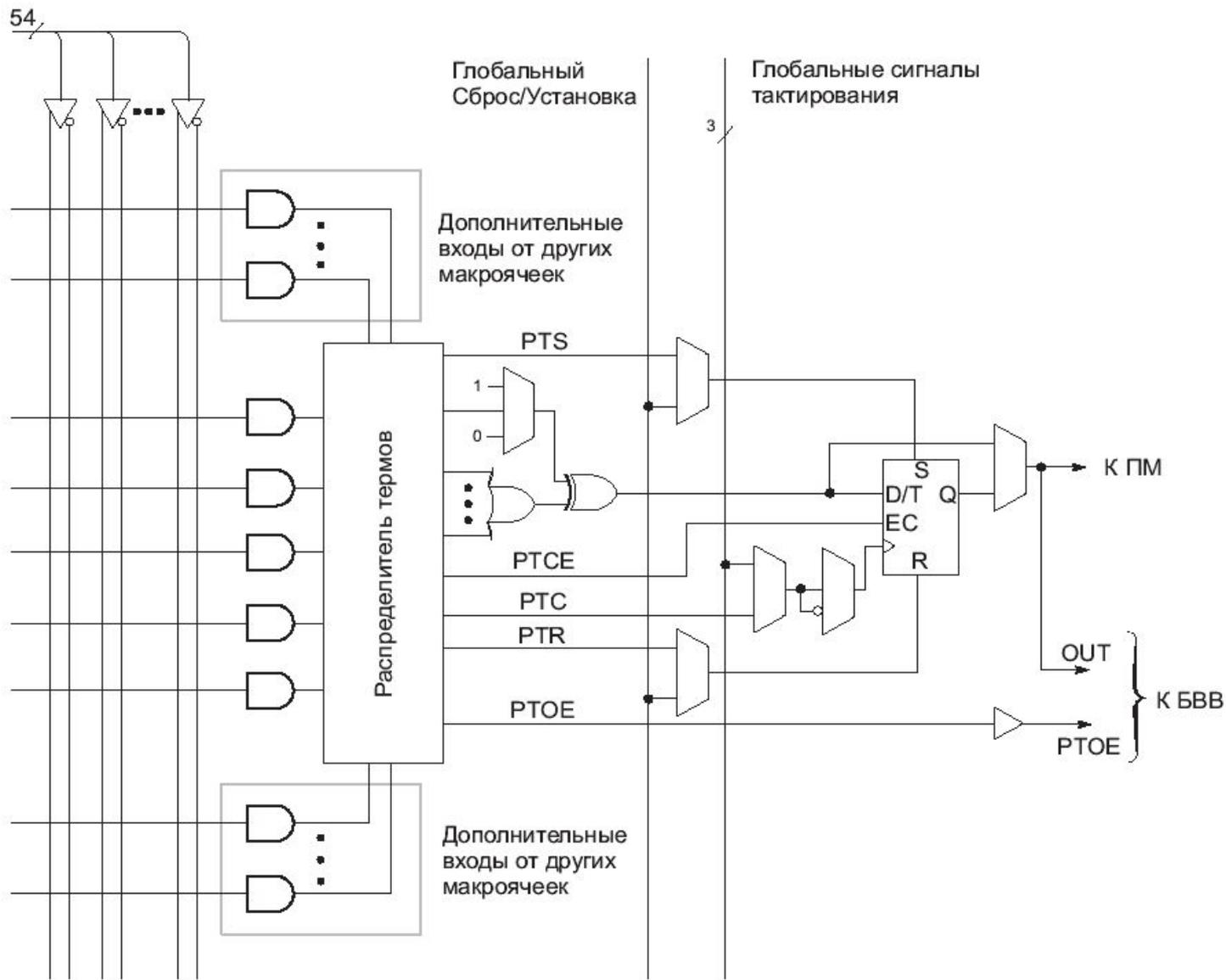
Функциональный блок CPLD (на примере XC9500)

ПРИМЕР



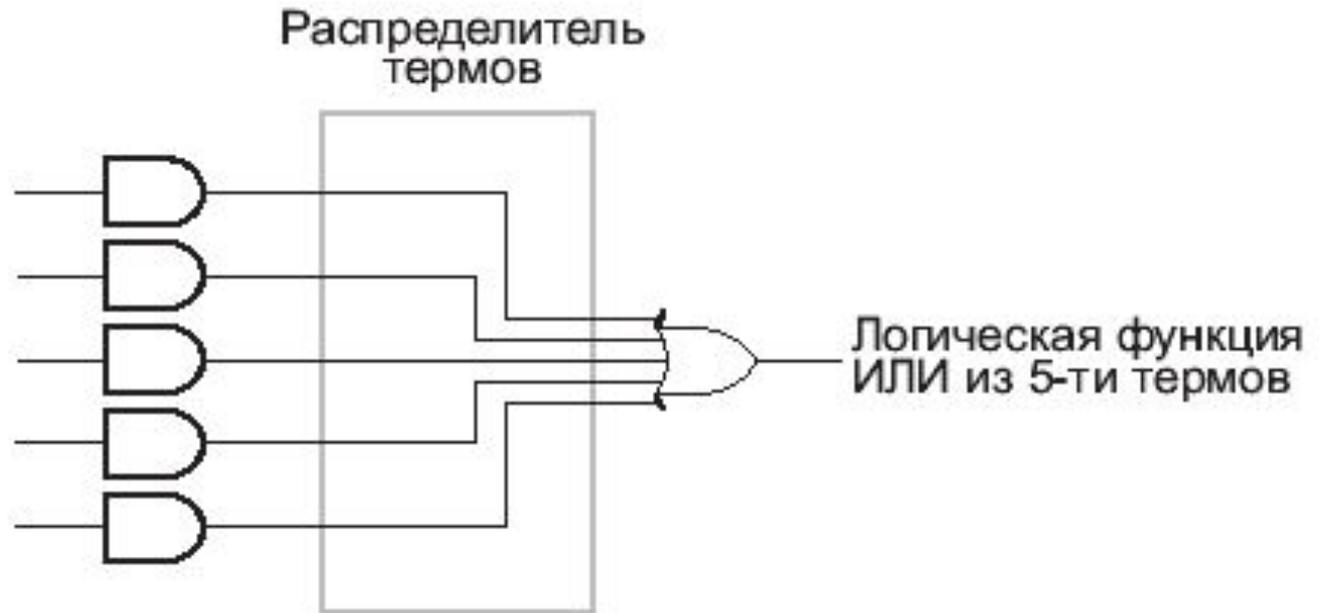
Макроячейка (на примере XC9500)

ПРИМЕР



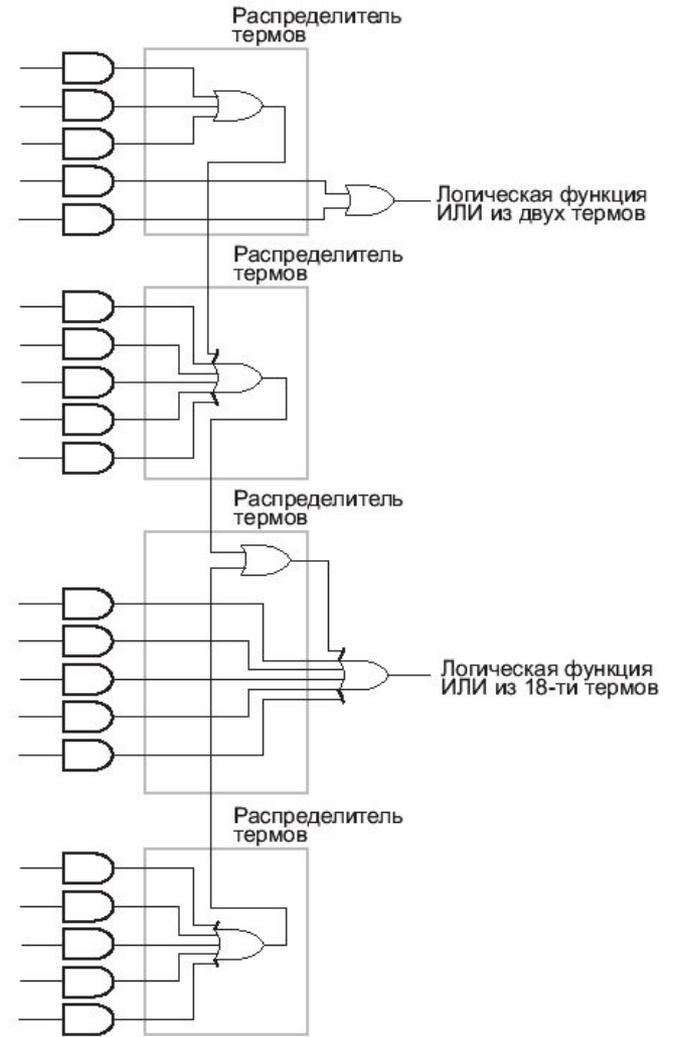
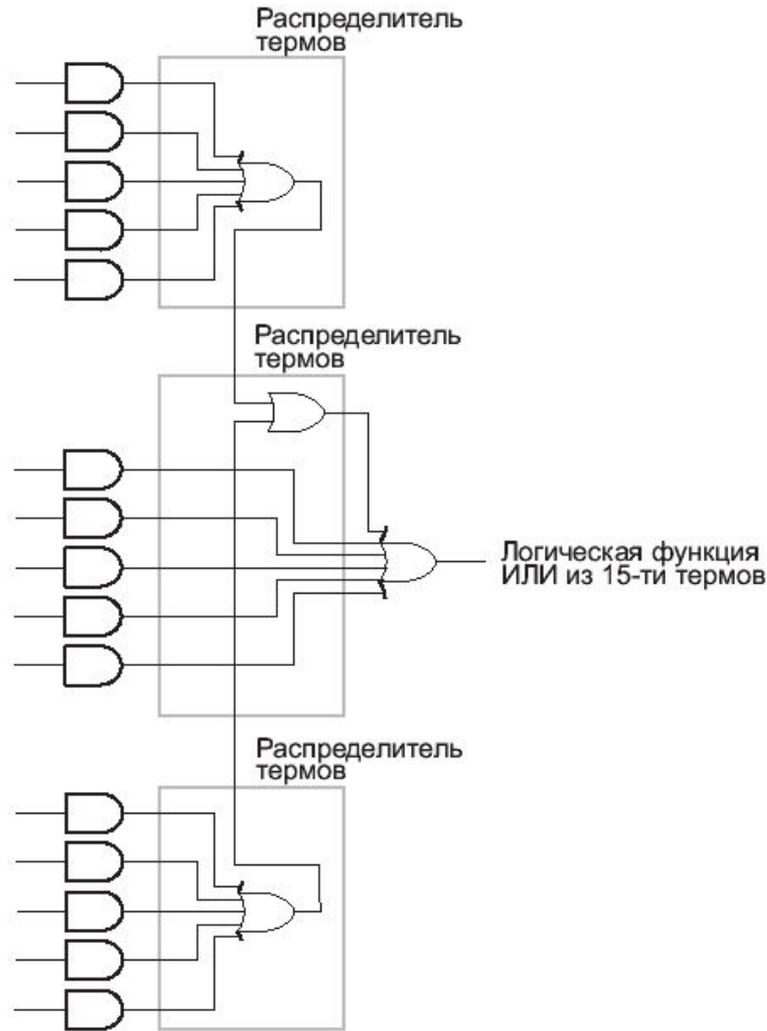
Распределитель термов

ПРИМЕР



увеличение функциональности распределитель термов CPLD

ПРИМЕР



Программирование распределителя термов CPLD

ПРИМЕР

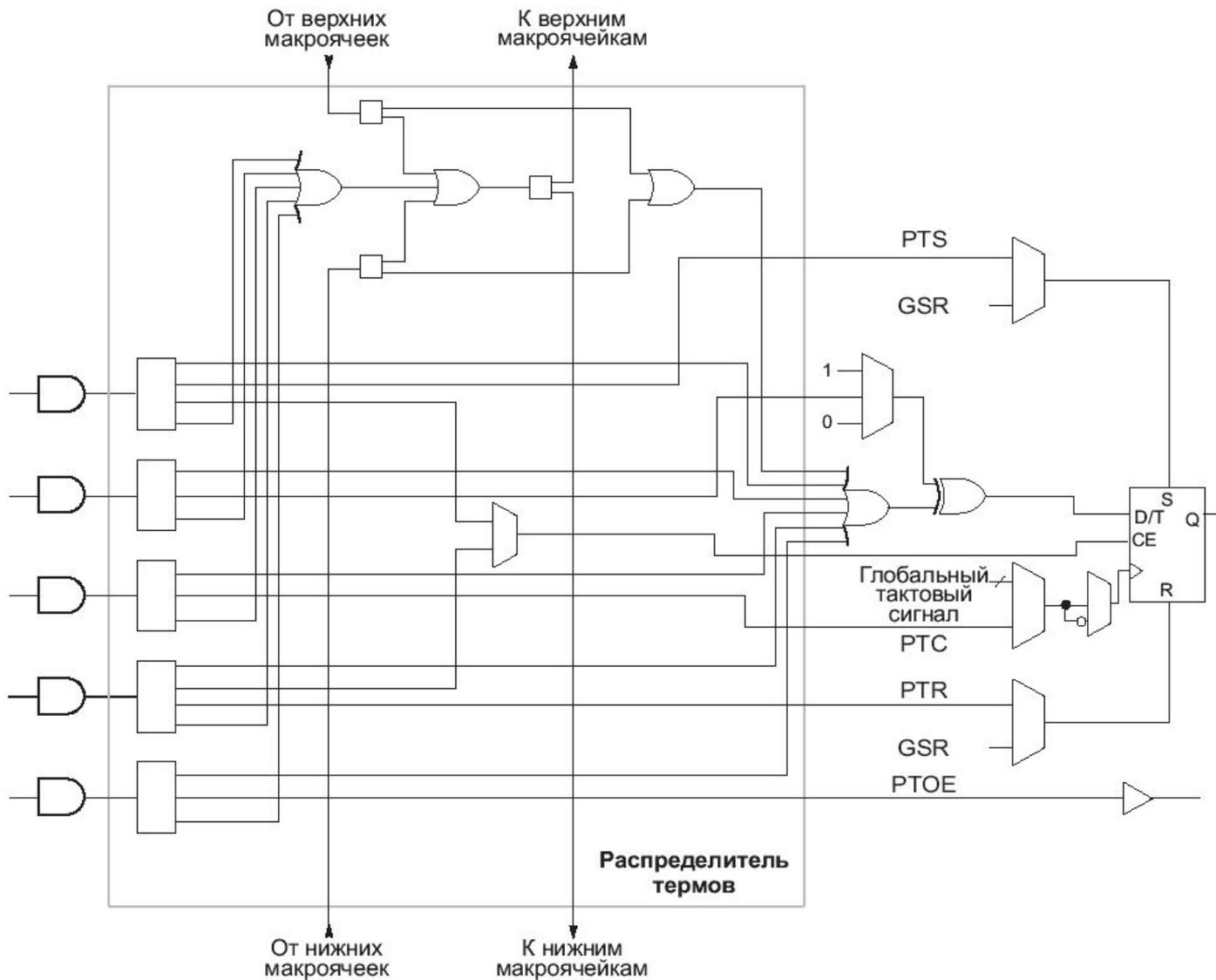
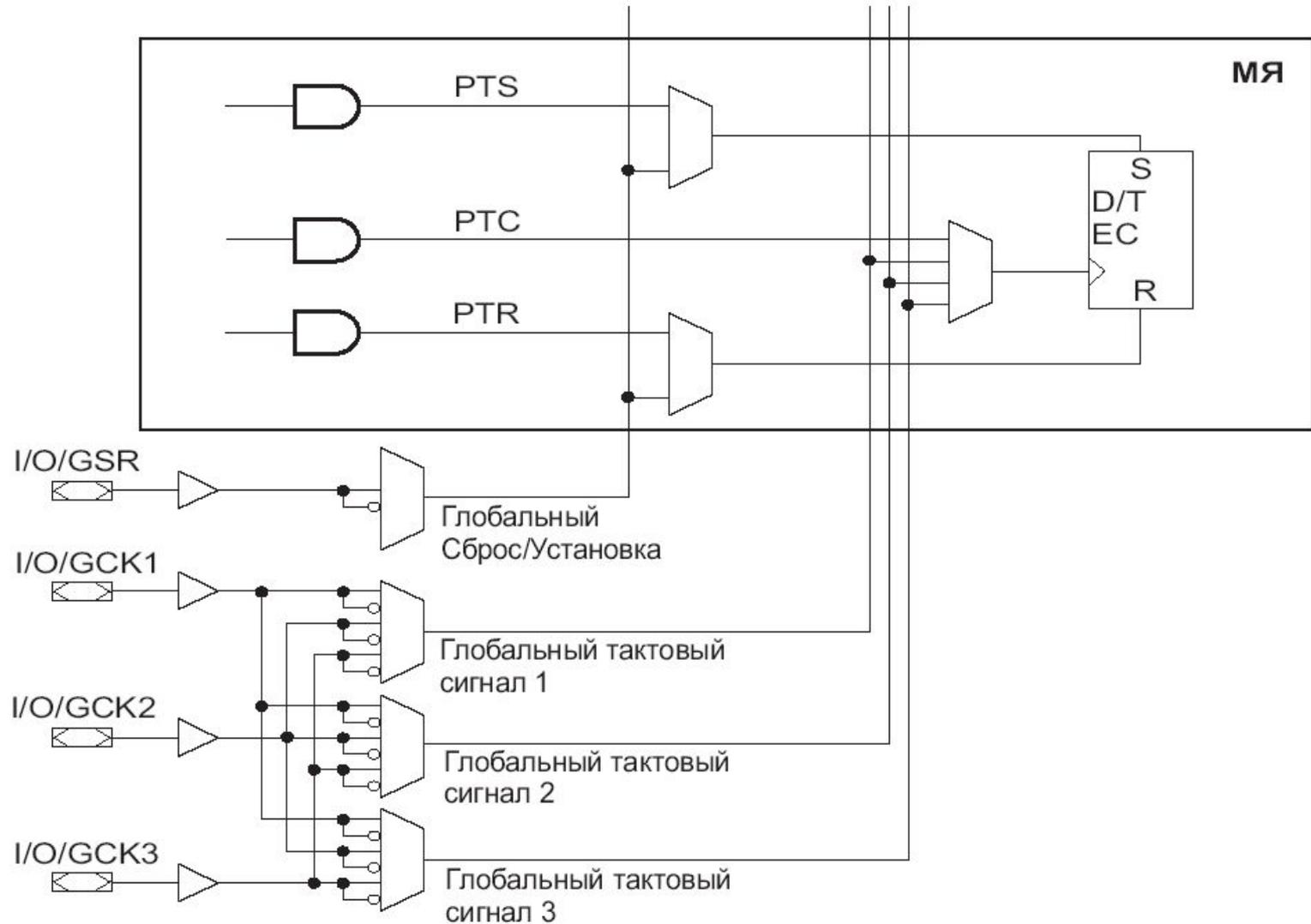
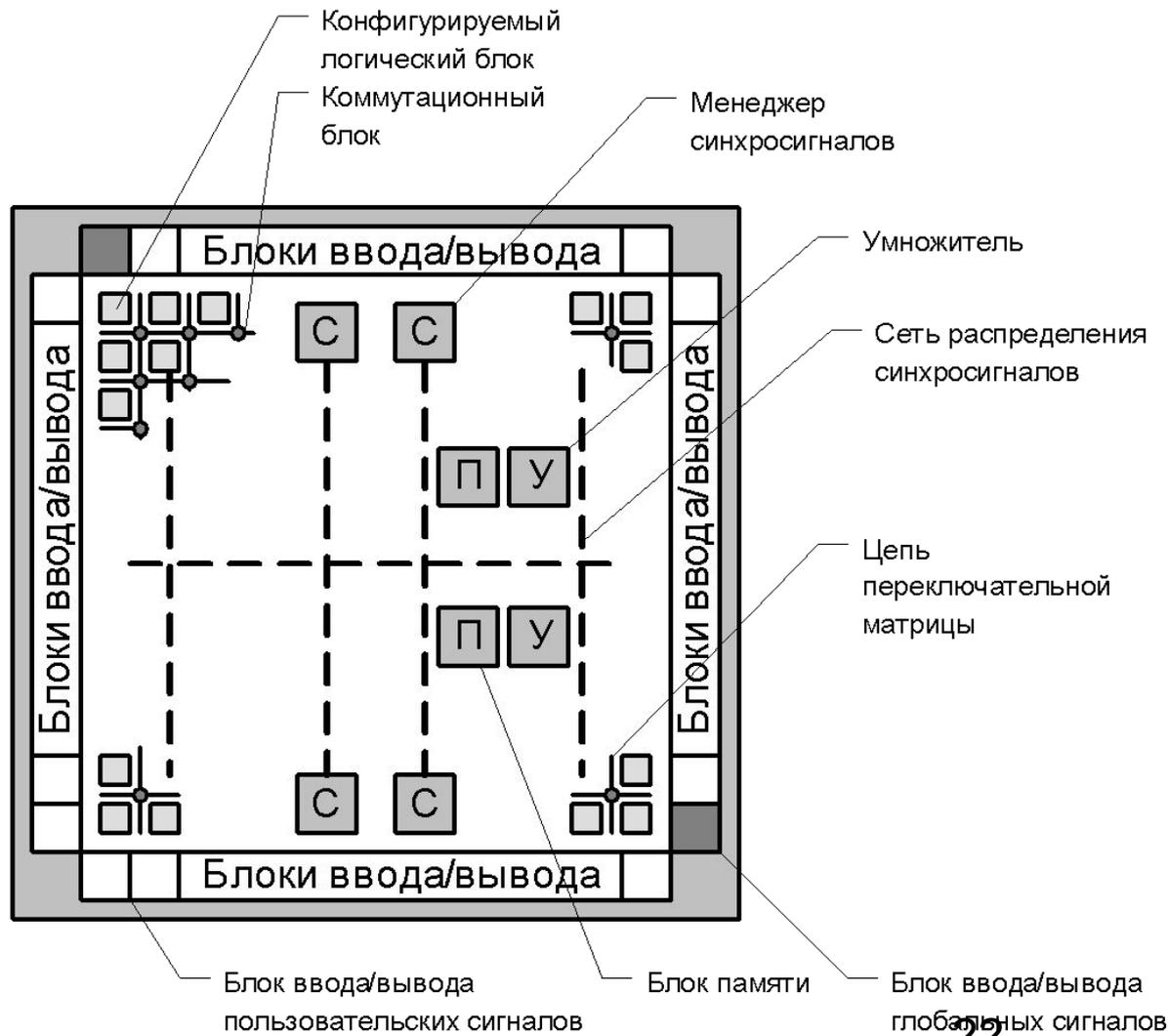


Схема распределения тактовых сигналов (на примере XC9500)

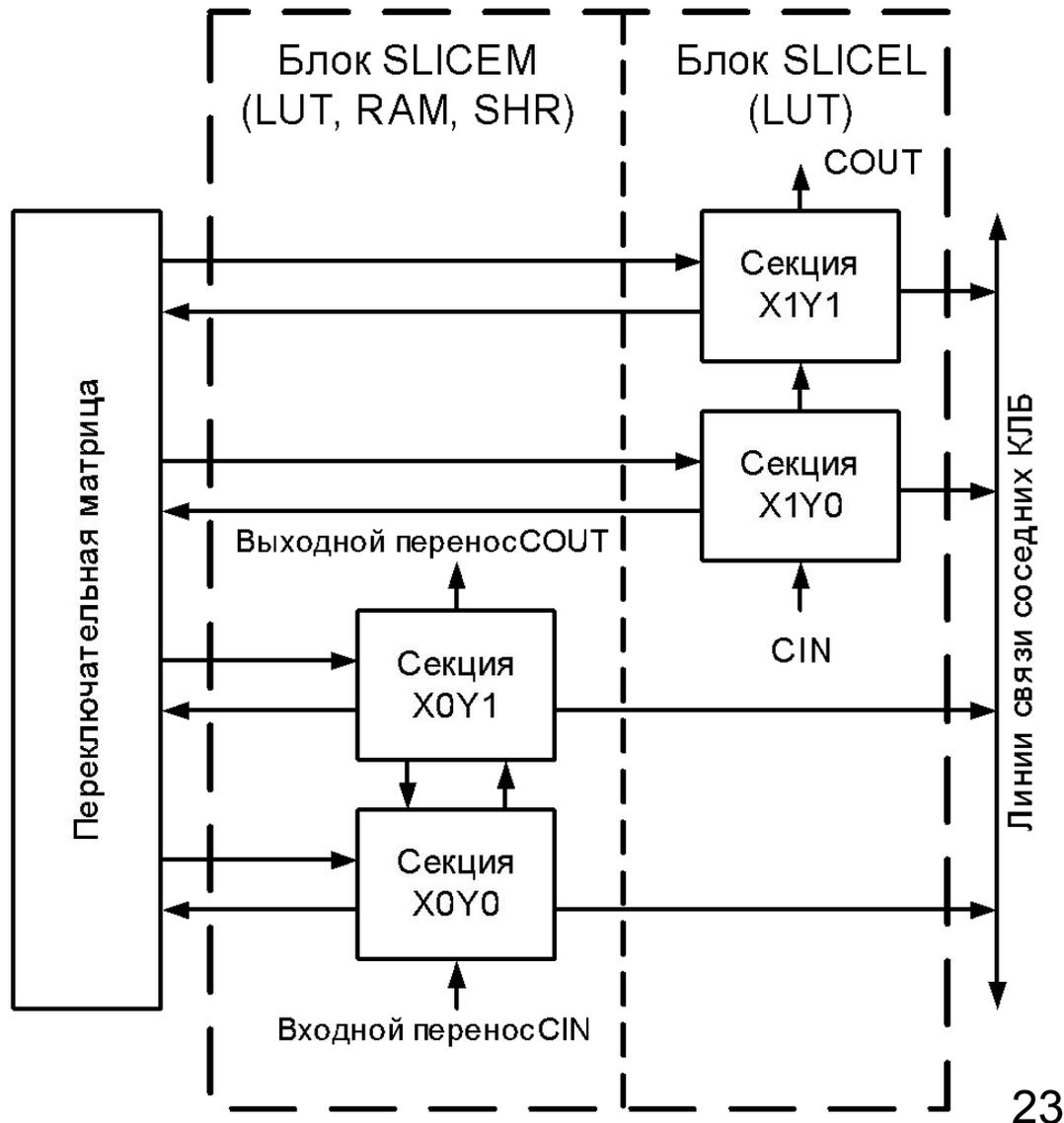
ПРИМЕР



Программируемые вентильные матрицы (FPGA)



Структура КЛБ (на примере Spartan 3)



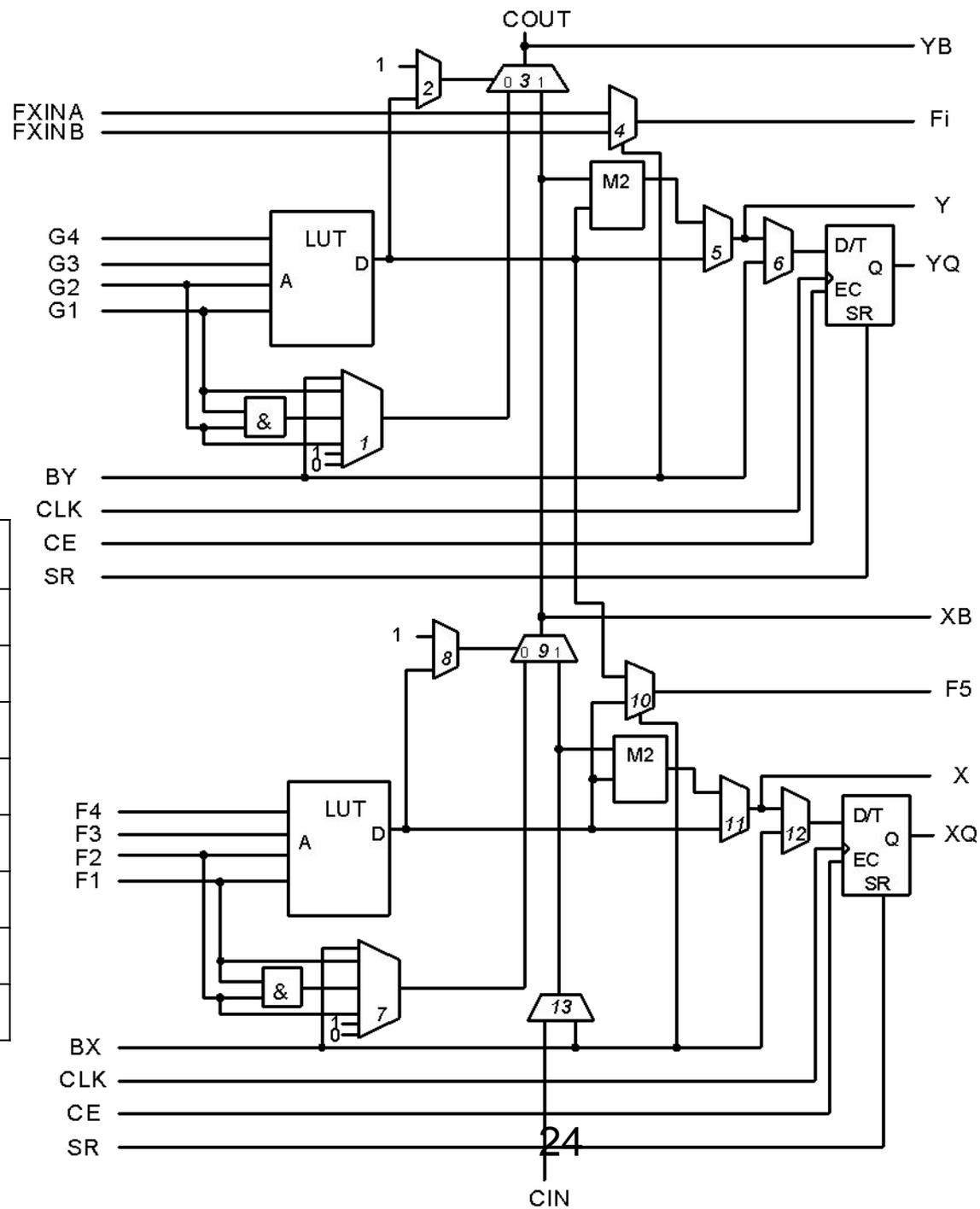
Структура блока типа SLICEL

$$D = A_i \text{ xor } B_i,$$

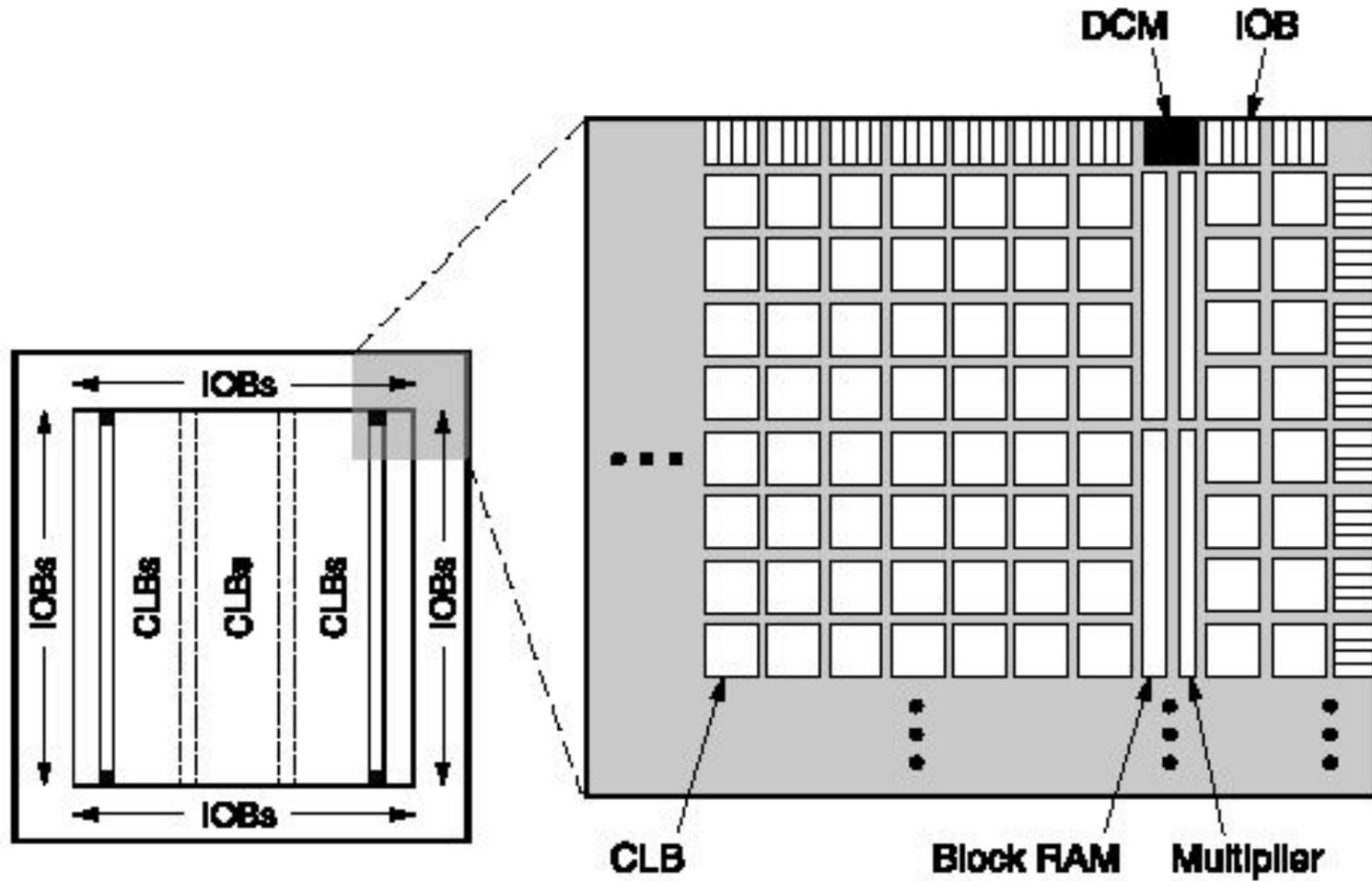
$$M7 = A_i \text{ and } B_i$$

$$S = D \text{ xor } CIN$$

F1	F2	D	M7	CIN	S	COUT
0	0	0	0	0	0	0
0	1	1	0	0	1	0(CIN)
1	0	1	0	0	1	0(CIN)
1	1	0	1	0	0	1
0	0	0	0	1	1	0
0	1	1	0	1	0	1(CIN)
1	0	1	0	1	0	1(CIN)
1	1	0	1	1	1	1



Пример архитектуры FPGA (Spartan 3)

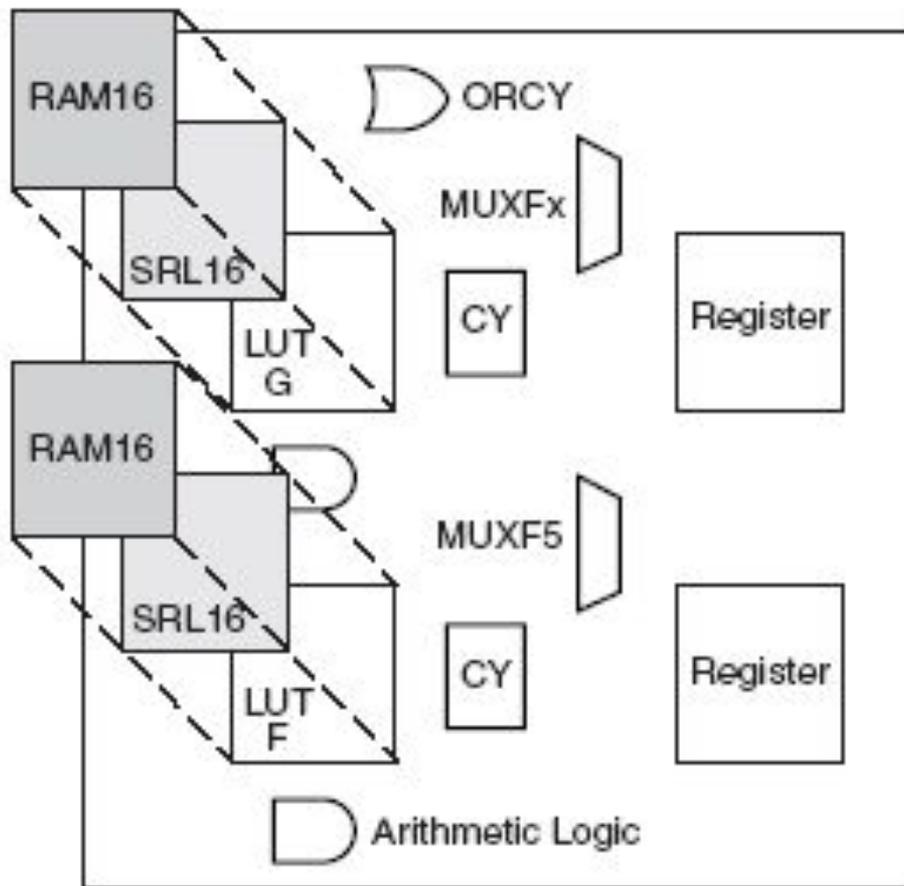


DS099-1_01_032703

ПРИМЕР

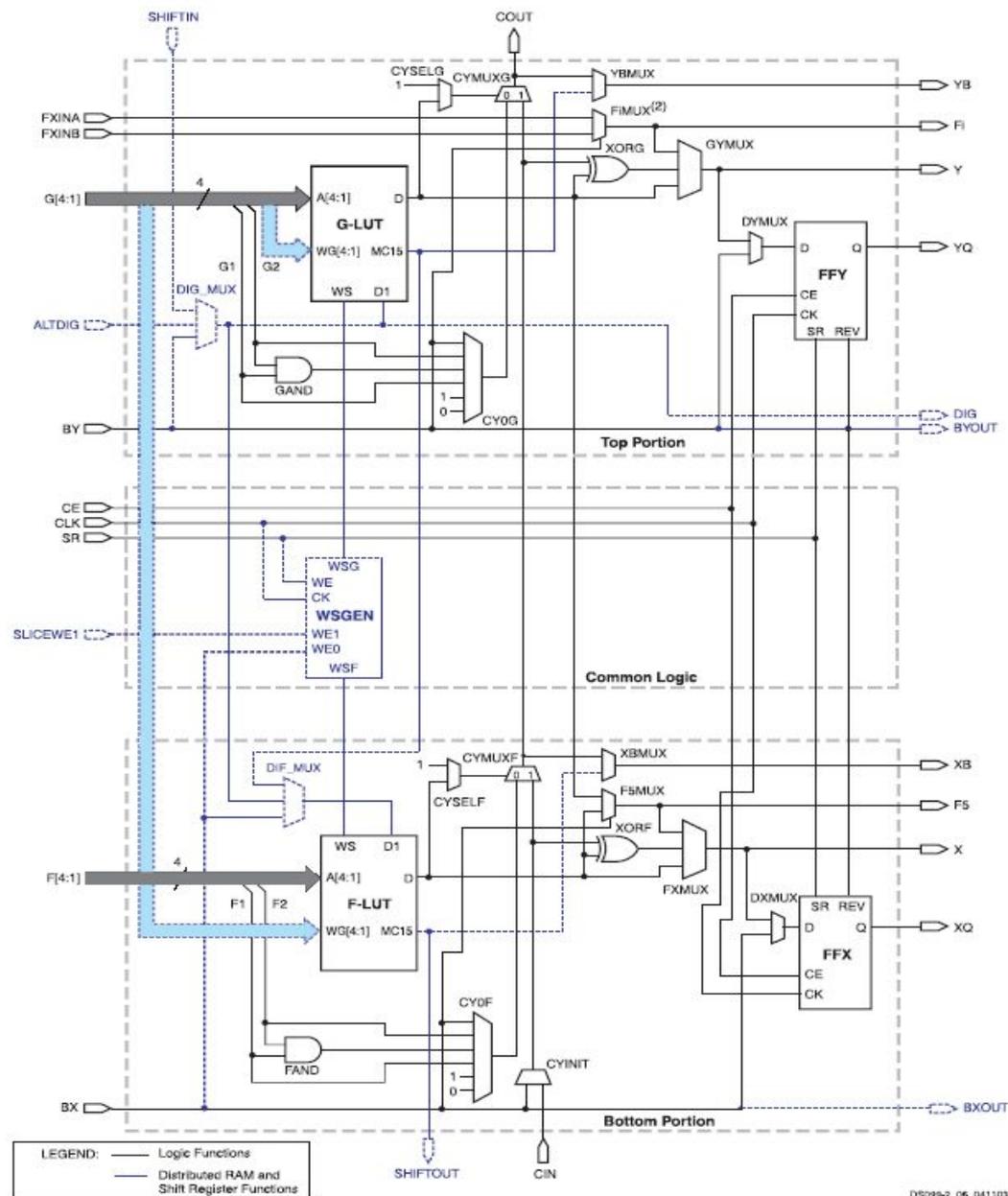
Конфигурируемые логические блоки с памятью (Spartan 3)

ПРИМЕР



Организация логического блока с памятью в Spartan 3

ПРИМЕР

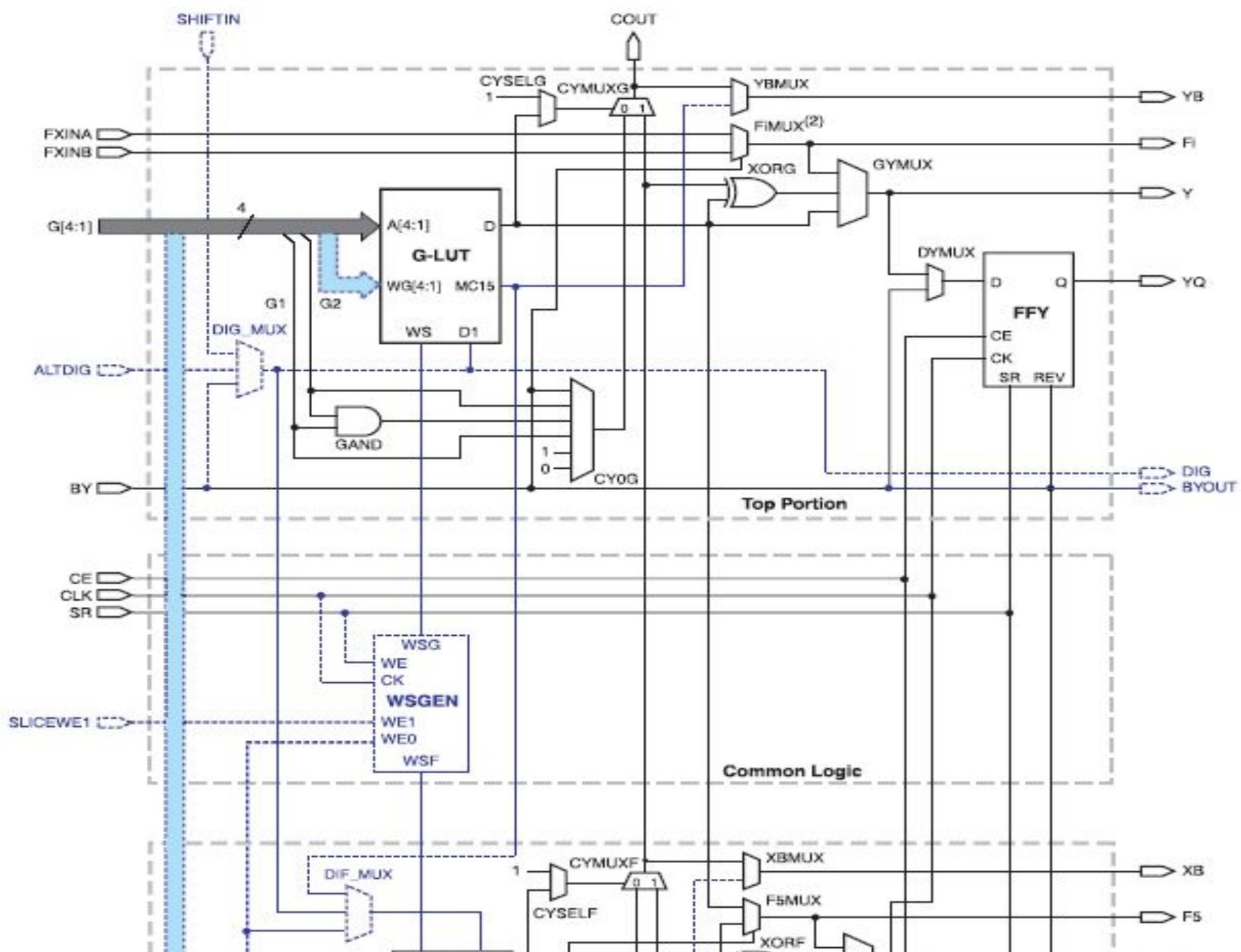


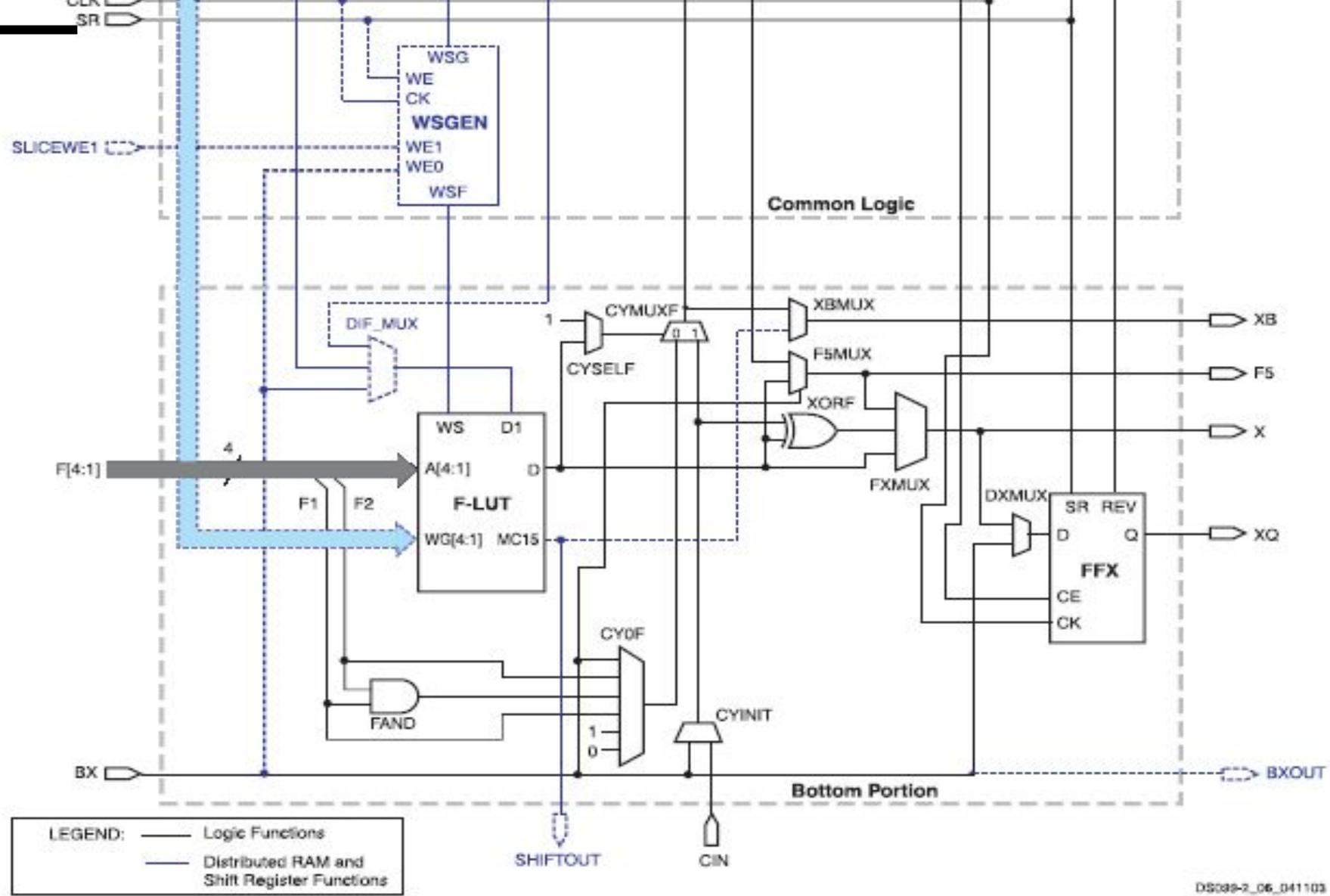
Notes:

- Options to invert signal polarity as well as other options that enable lines for various functions are not shown.
- The index i can be 6, 7, or 8, depending on the slice. In this position, the upper right-hand slice has an F8MUX, and the upper left-hand slice has an F7MUX. The lower right-hand and left-hand slices both have an F6MUX.

Figure 6: Simplified Diagram of the Left-Hand SLICEM

ПРИМЕР



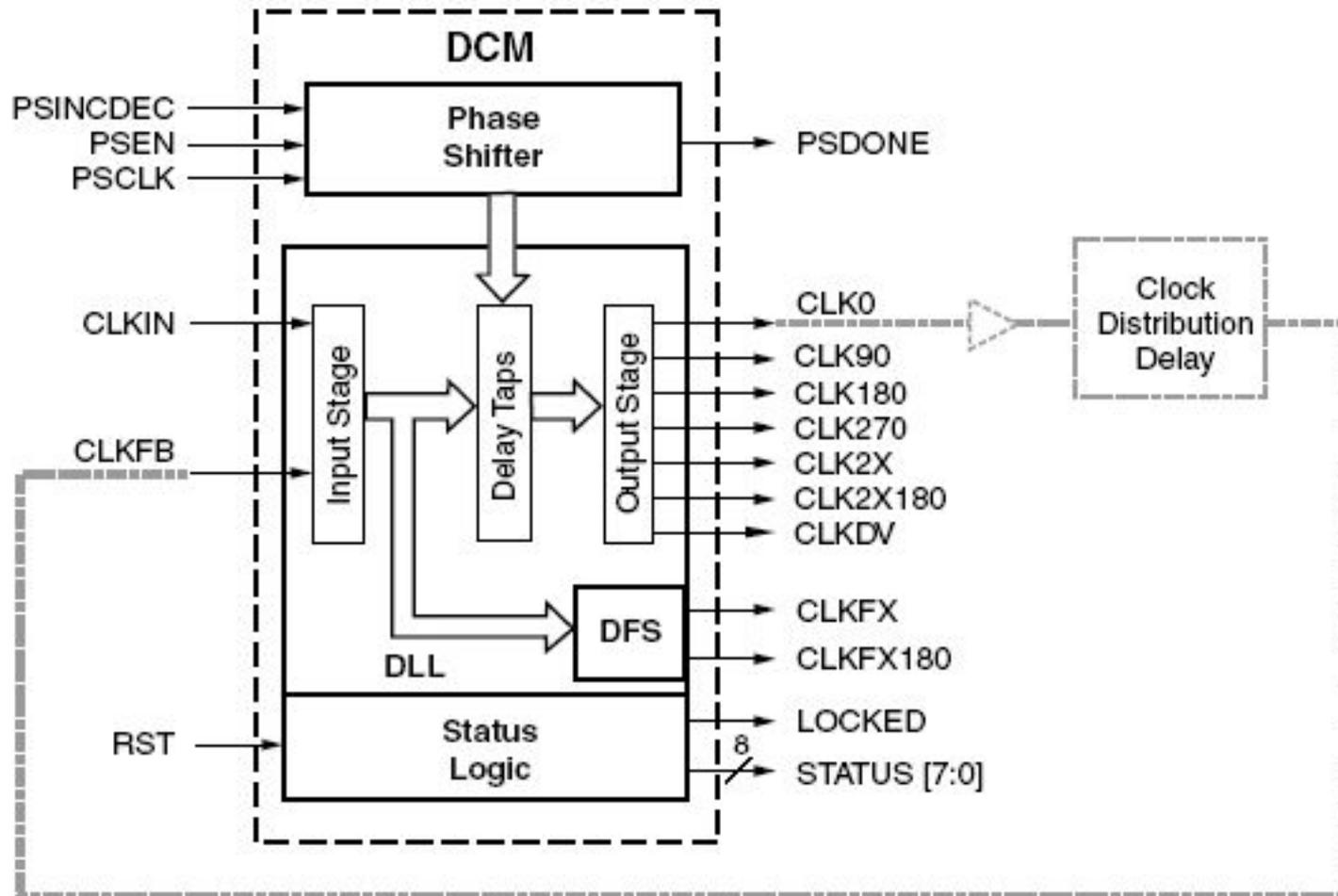


- Notes:**
- Options to invert signal polarity as well as other options that enable lines for various functions are not shown.
 - The index i can be 6, 7, or 8, depending on the slice. In this position, the upper right-hand slice has an F8MUX, and the upper left-hand slice has an F7MUX. The lower right-hand and left-hand slices both have an F6MUX.

Figure 6: Simplified Diagram of the Left-Hand SLICEM

Блок управления синхронизацией (Spartan 3)

ПРИМЕР



DS099-2_07_040103

Figure 13: DCM Functional Blocks and Associated Signals

Устройство коррекции расфазирования синхросигналов (Delay Locked Loops)

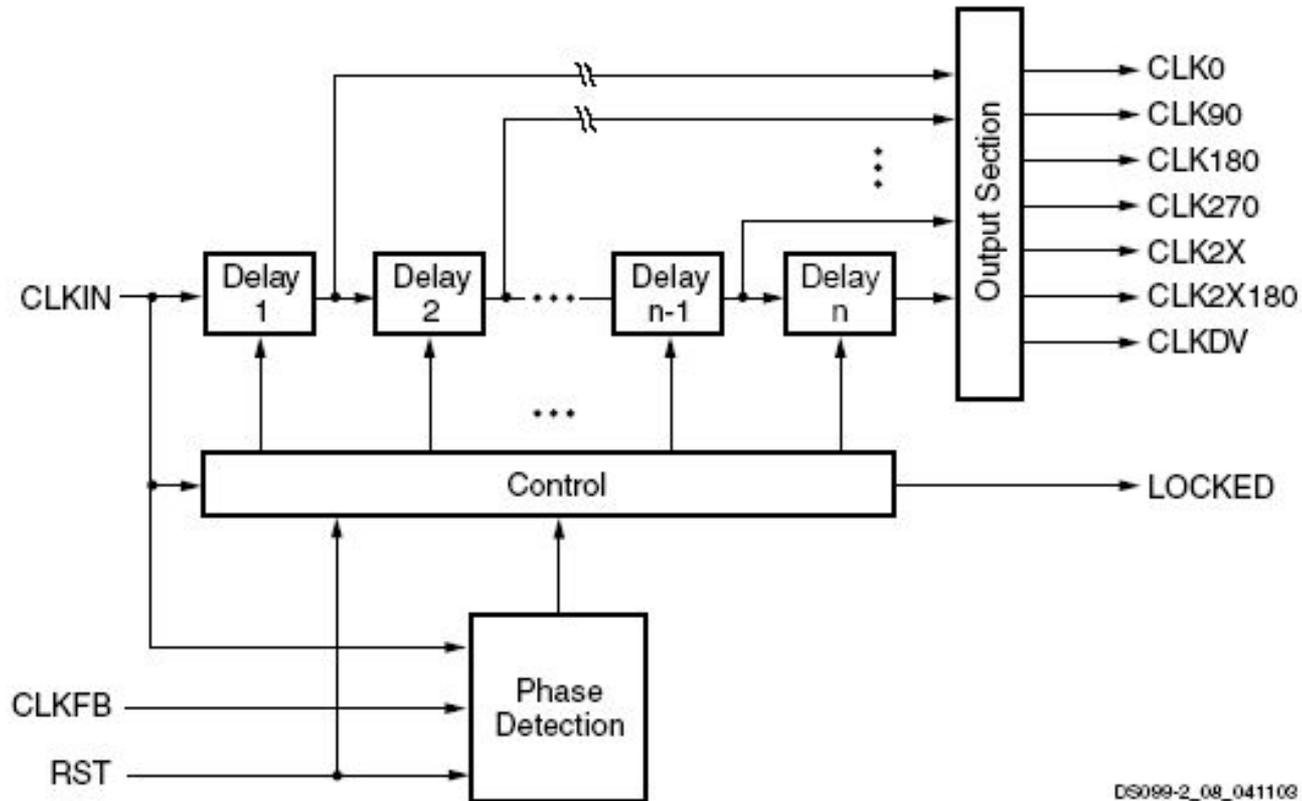
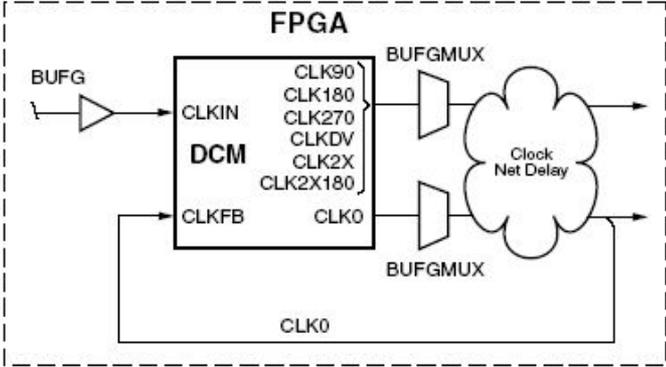


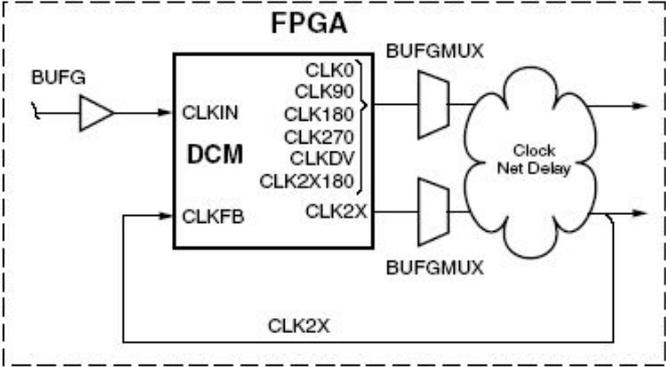
Figure 14: Simplified Functional Diagram of DLL

Способы подключения устройств к DLL

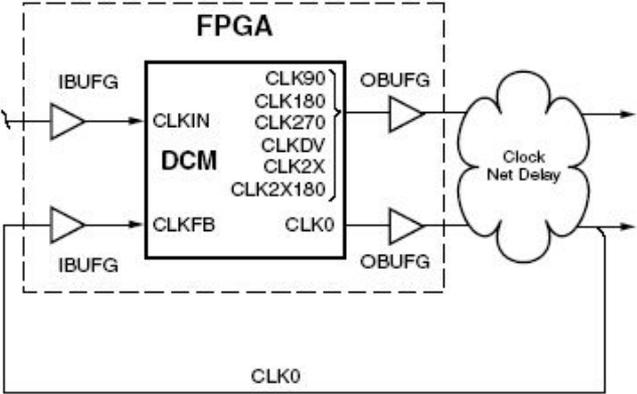
ПРИМЕР



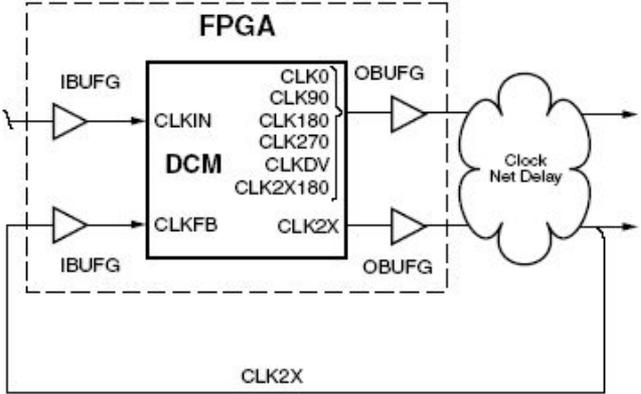
(a) On-Chip with CLK0 Feedback



(b) On-Chip with CLK2X Feedback



(c) Off-Chip with CLK0 Feedback



(d) Off-Chip with CLK2X Feedback

Сеть распределения синхросигналов (Spartan 3)

ПРИМЕР

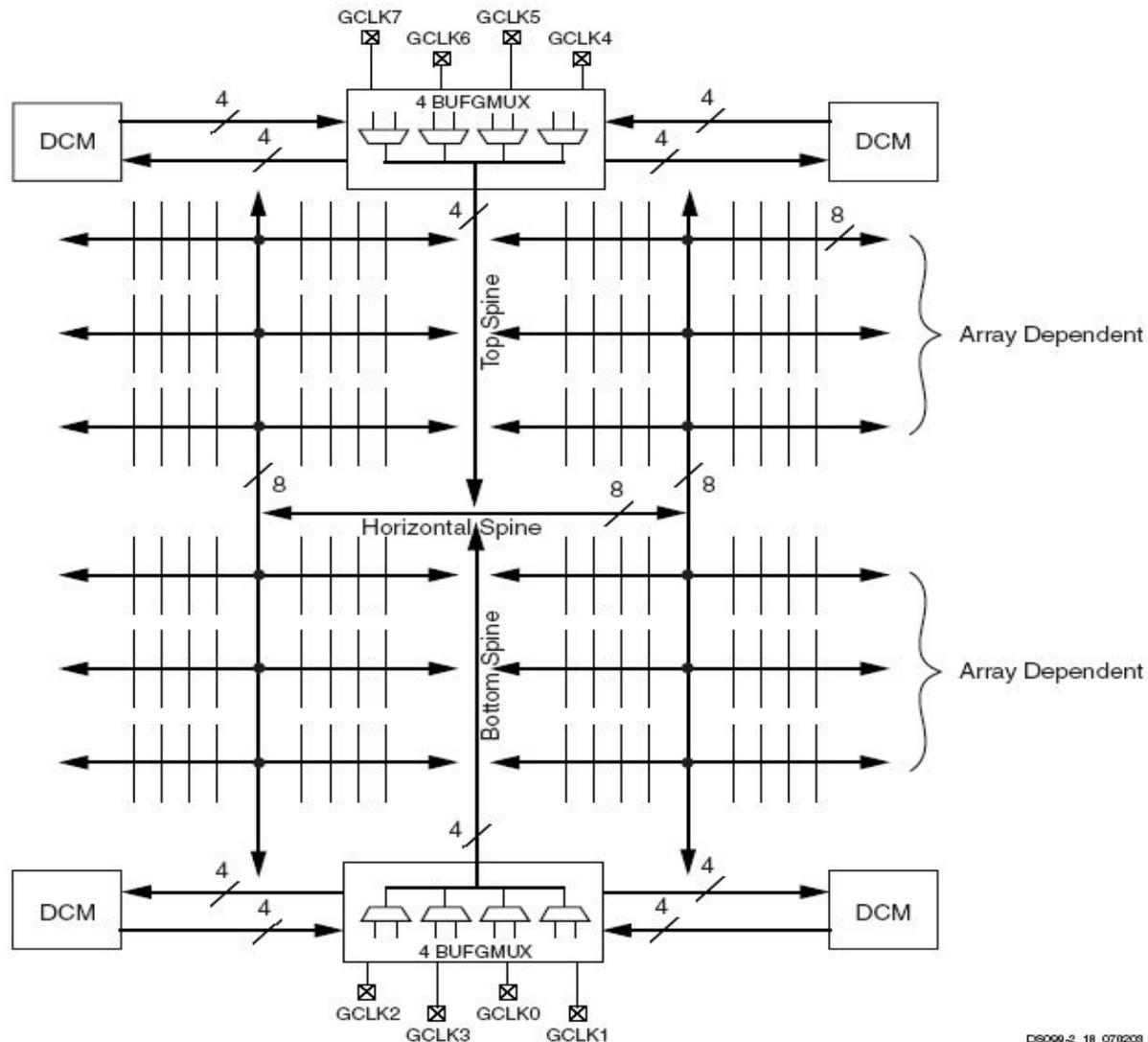
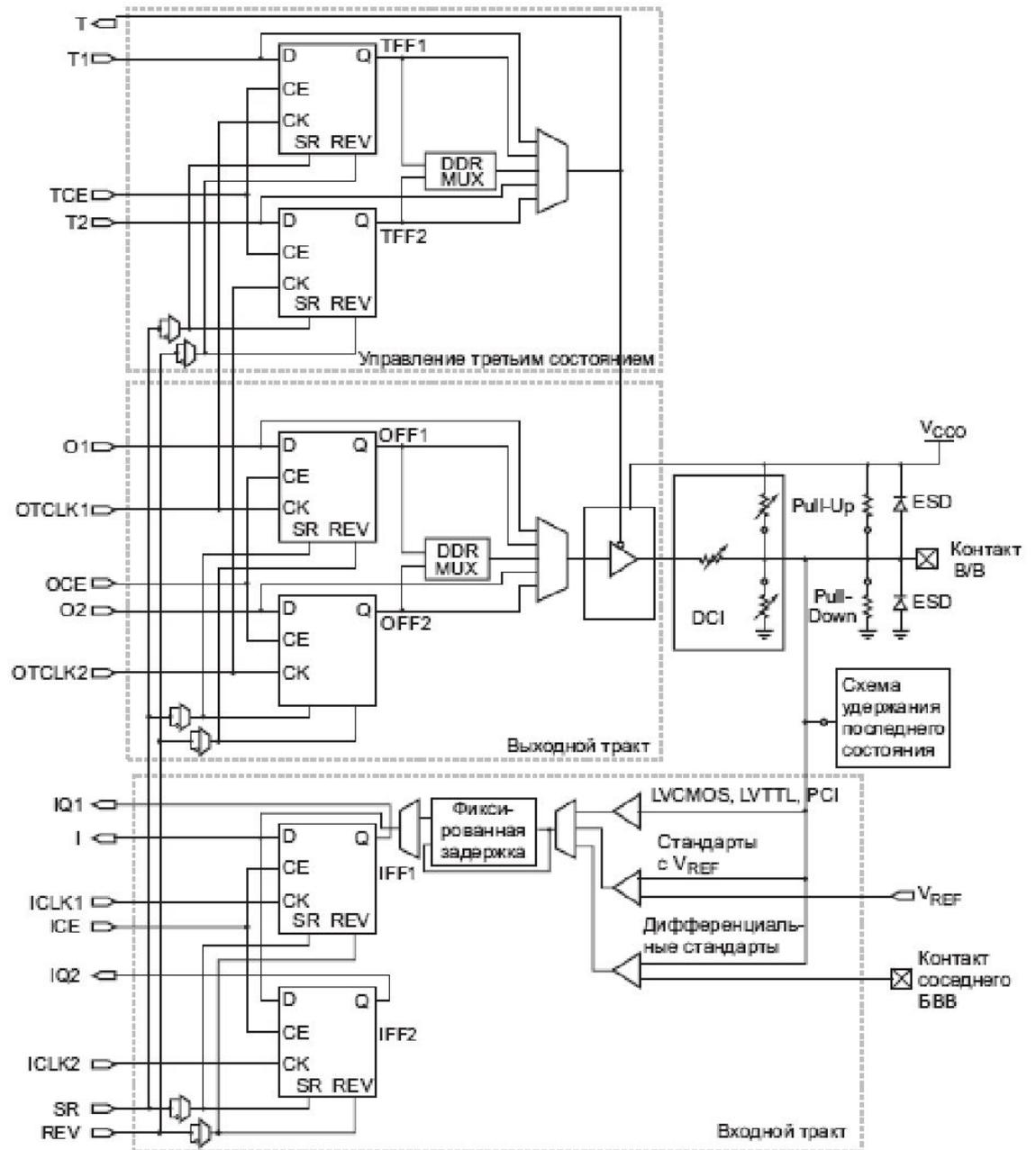
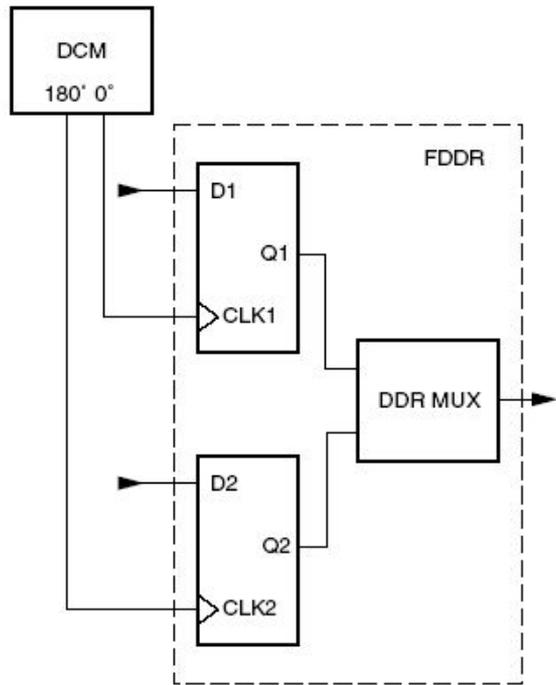


Figure 18: Spartan-3 Clock Network (Top View)

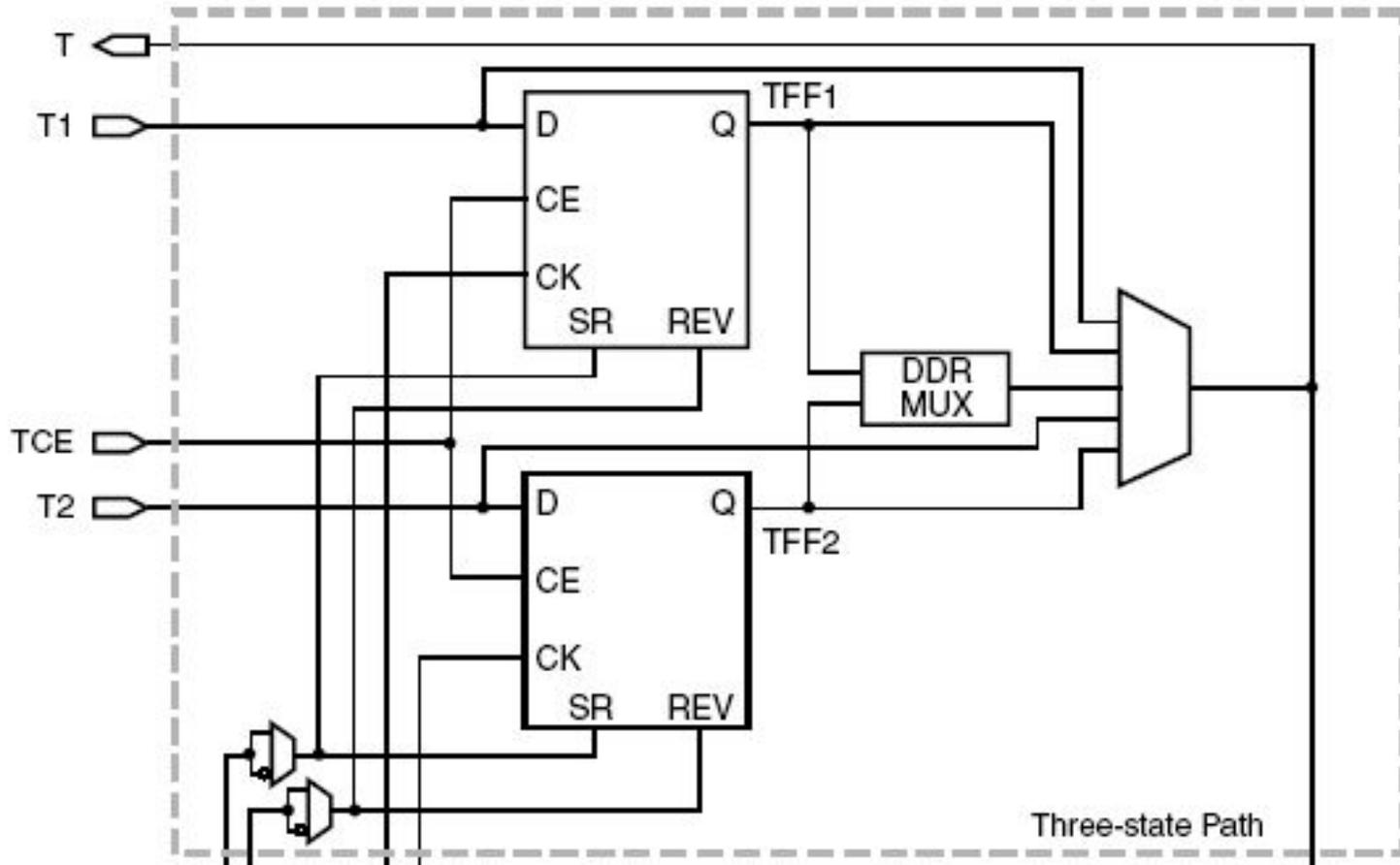
Блок ввода/вывода FPGA

Регистр DDR



ПРИМЕР

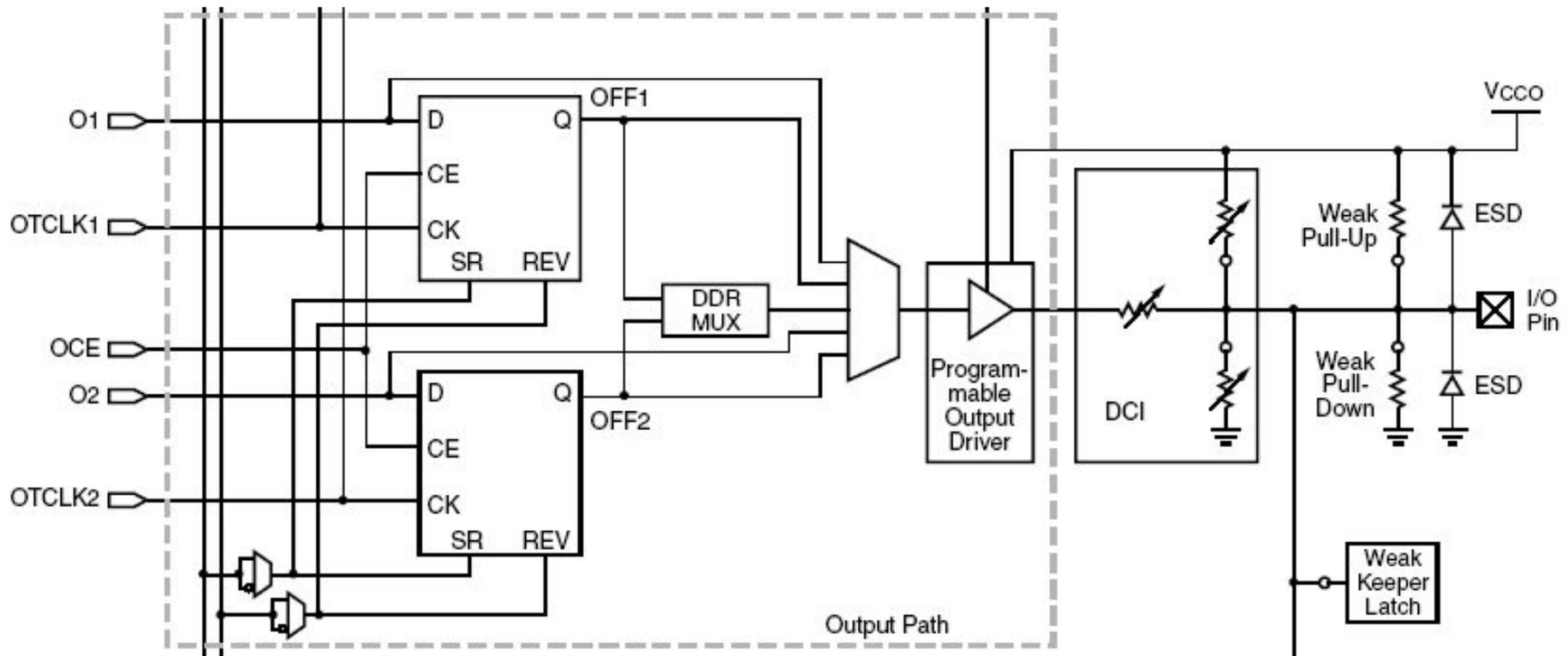
Схема управления выходом с третьим состоянием



ПРИМЕР

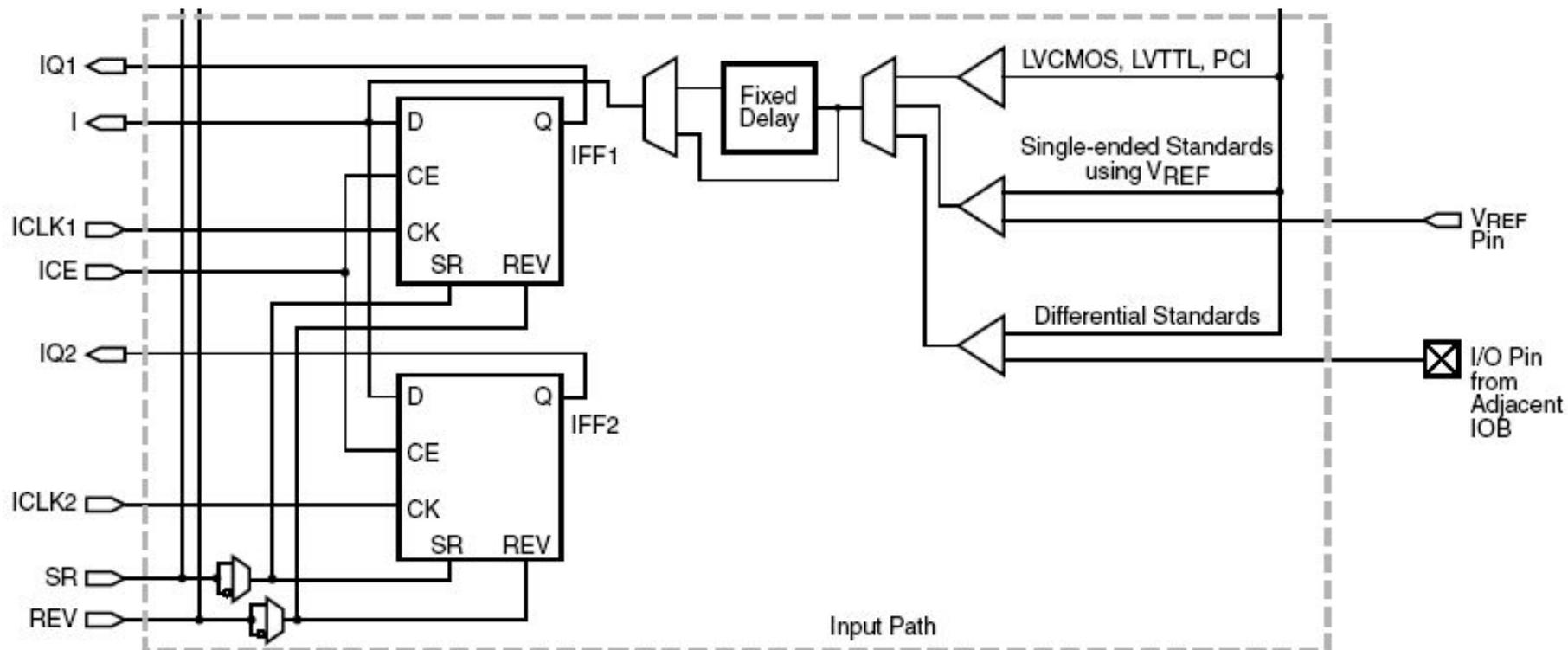
Устройство управления выходом

ПРИМЕР

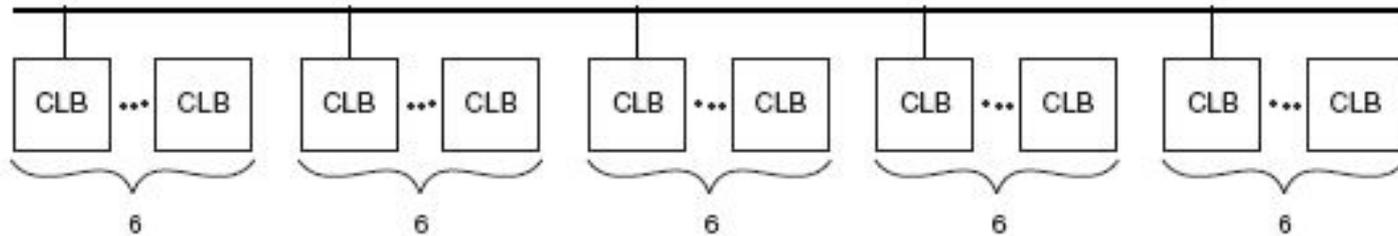


Устройство управления входом (Spartan 3)

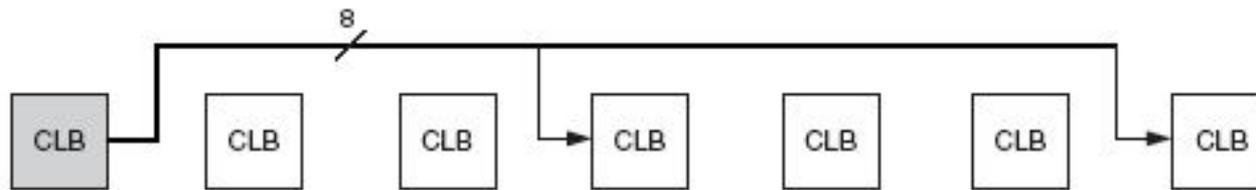
ПРИМЕР



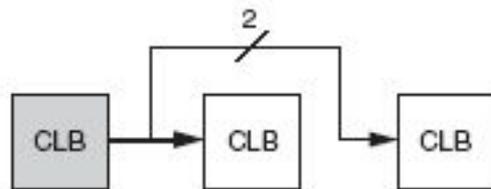
Матрица коммутации КЛБ (Spartan 3)



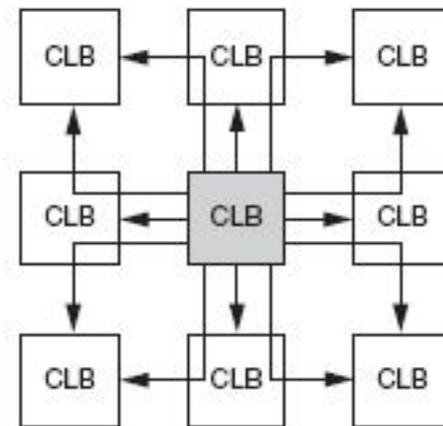
(a) Long Line



(b) Hex Line



(c) Double Line



(d) Direct Lines

Figure 19: Types of Interconnect

ПРИМЕР

Конфигурация ПЛИС (на примере Spartan 3)

- Конфигурация в режиме ведущего (Master)
 - Последовательная конфигурация (Master Serial)
 - SPI конфигурация с внешней Flash (Master SPI Flash)
 - SPI конфигурация с внутренней Flash (Master SPI Flash)
 - BPI конфигурация (Master BPI)
 - Параллельная конфигурация (Master Parallel)
- Конфигурация в режиме ведомого (Slave)
 - Последовательная конфигурация (Slave Serial)
 - JTAG конфигурация (JTAG)
 - Параллельная конфигурация (SelectMap)

Последовательная конфигурация (Master Serial)

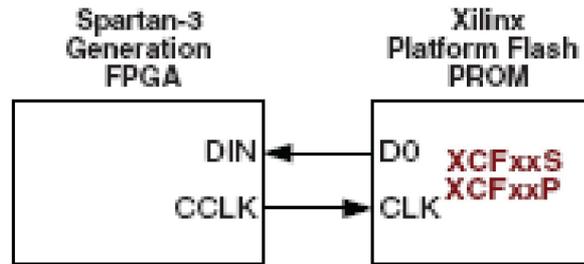
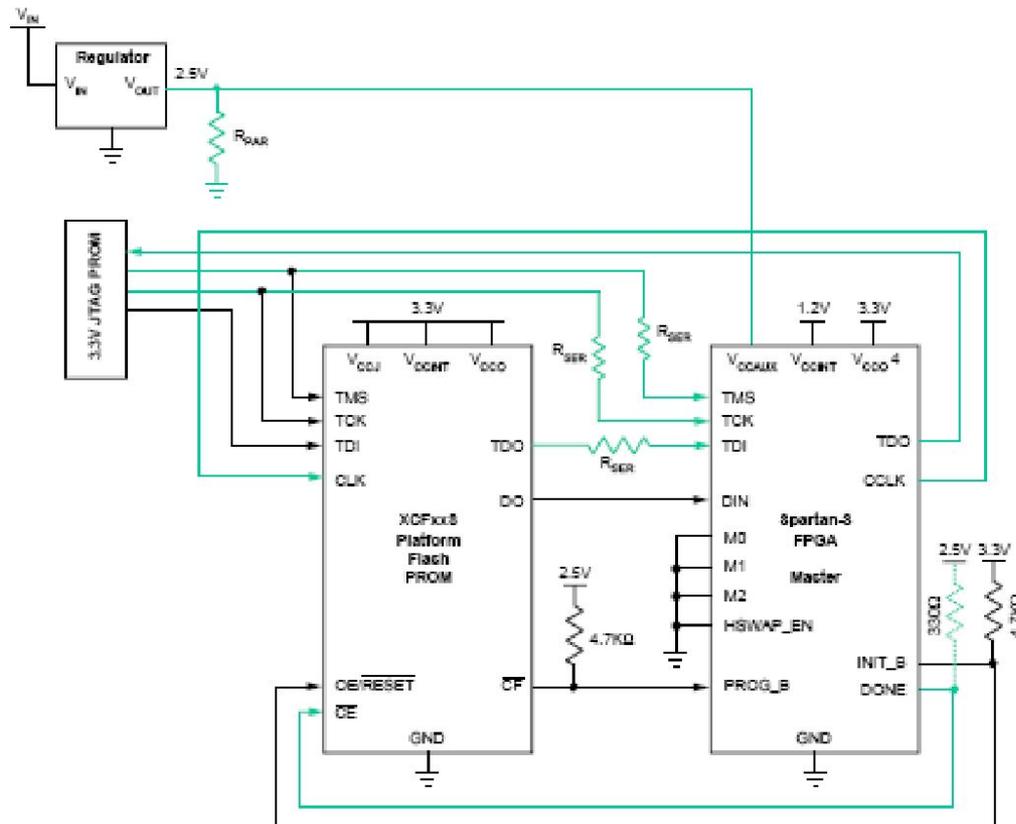
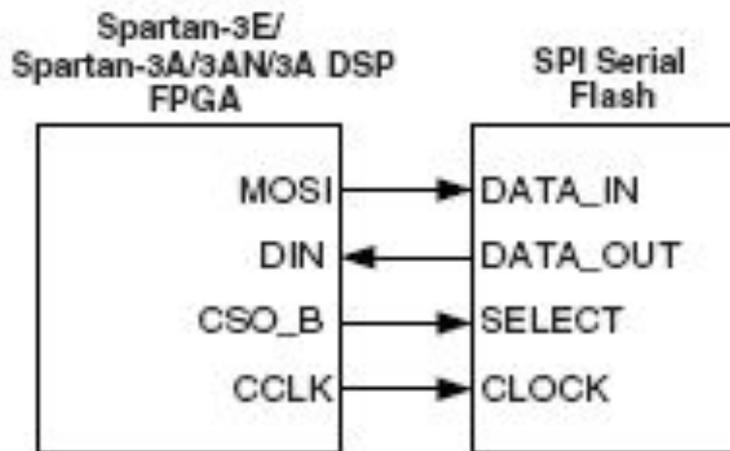


Схема конфигурирования по JTAG интерфейсу (3.3 V)

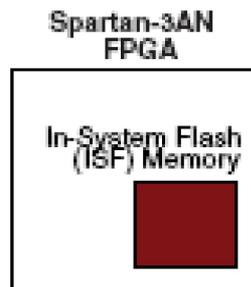


SPI конфигурация с внешней Flash (Master SPI Flash)

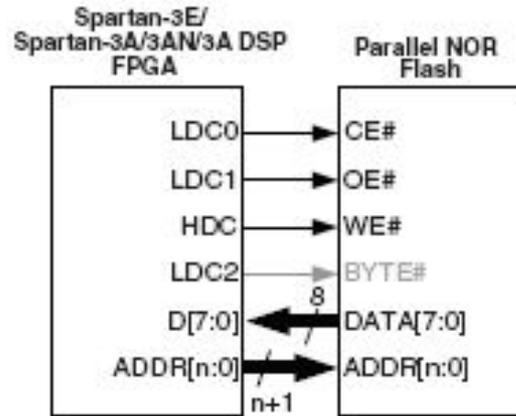


ПРИМЕР

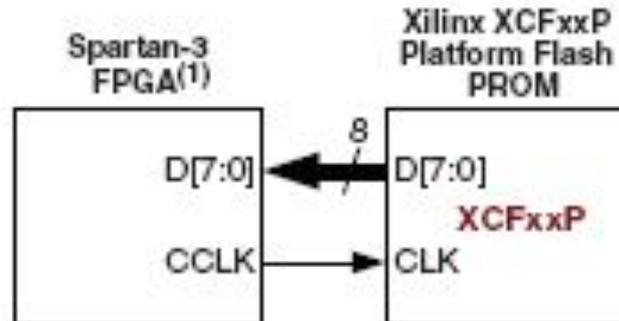
SPI конфигурация с внутренней Flash (Master SPI Flash)



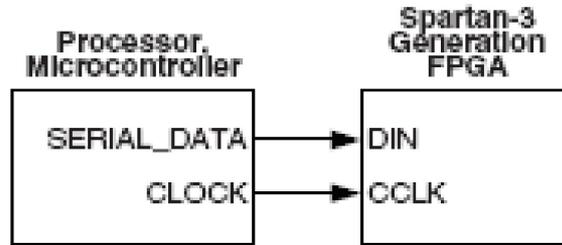
ВРІ конфигурація (Master ВРІ)



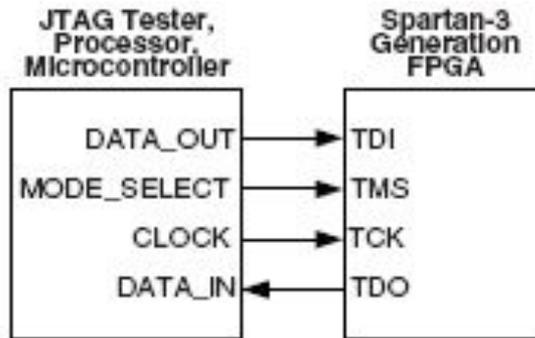
Параллельная конфигурация (Master Parallel)



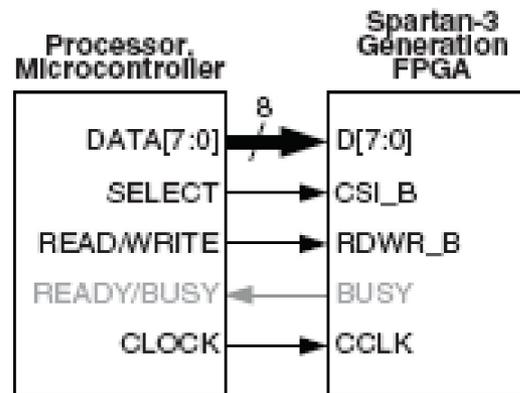
Последовательная конфигурация (Slave Serial)



JTAG конфигурация (JTAG)



Параллельная конфигурация (SelectMap)



Архитектура ПЛИС типа SOPC

Варианты реализации библиотечных блоков:

Soft - ядра.

Firm - ядра.

Hard – ядра.

Назначение ядер:

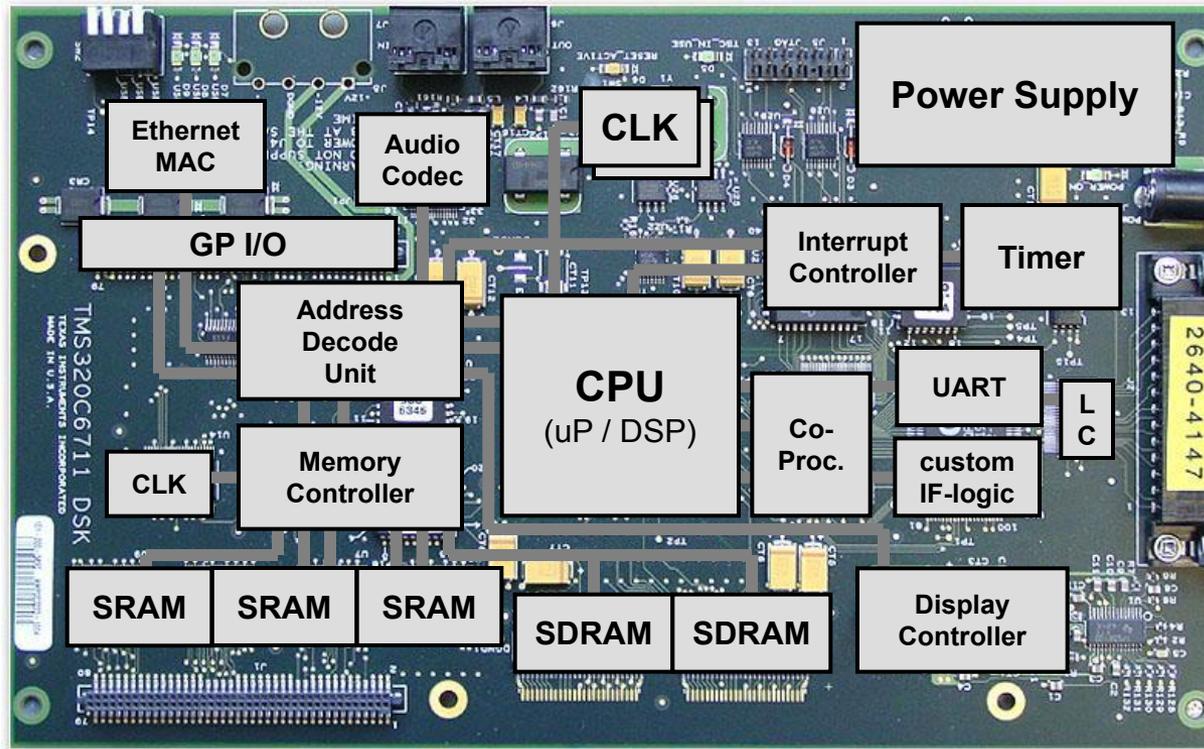
Память (ОЗУ, FIFO, кэш- память, ...).

АЛУ (умножители, ...).

Интерфейсная логика (JTAG, PCI, SPI, UART, ...).

МП и МК.

Системы на плате

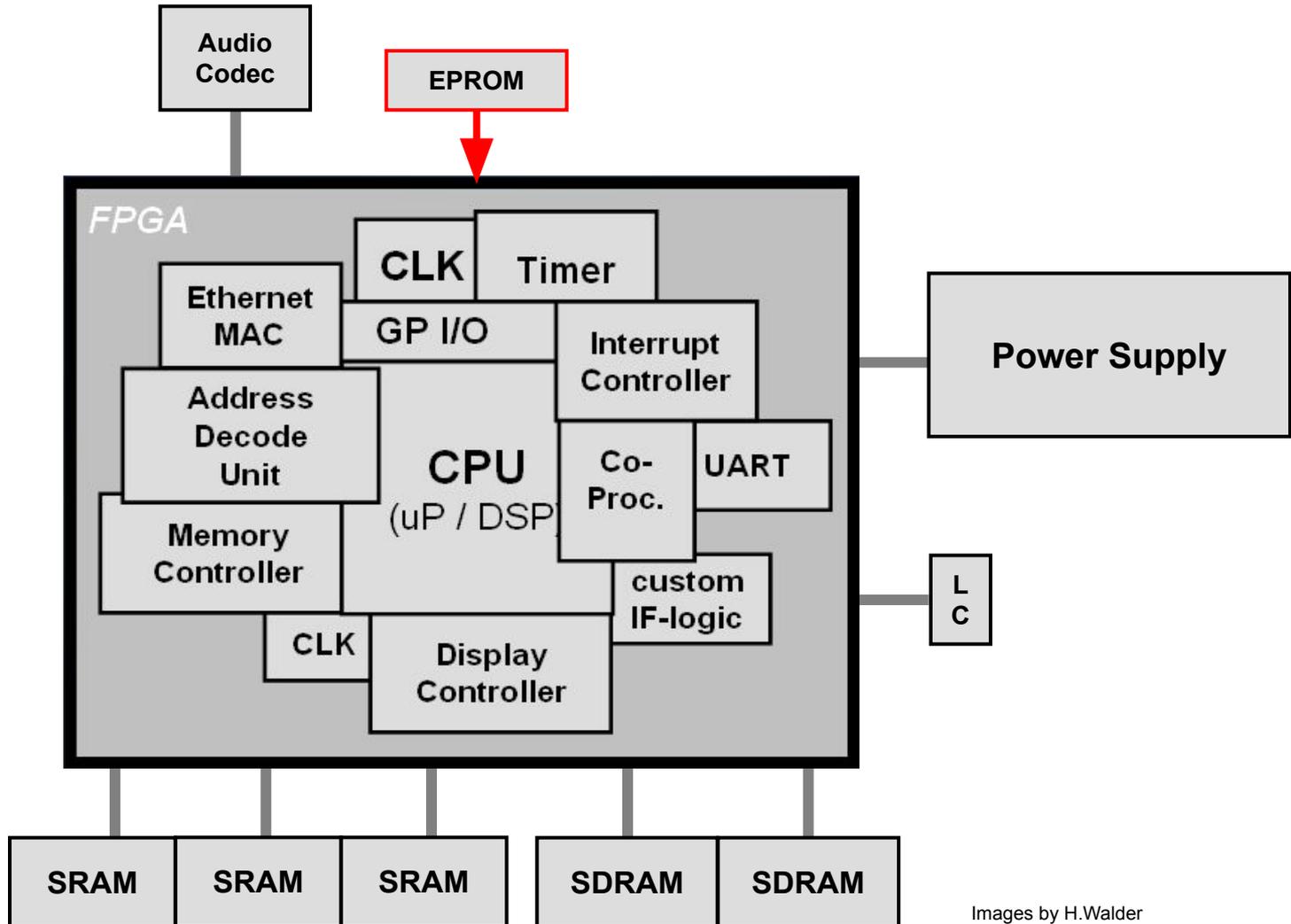


Images by H.Walder

Преимущества систем на плате:

- использование хорошо проверенных серийных компонентов;
- более простой процесс тестирования и отладки;
- возможность замены неисправных компонентов;
- низкая стоимость создания опытных образцов и малых серий.

Системы на кристалле



Images by H.Walder

Преимущества систем на кристалле:

- возможность получения более высоких технических показателей (производительность, энергопотребление, массогабаритные характеристики);
- более низкая стоимость при крупносерийном выпуске.
- малые затраты на разработку и создание опытных образцов;
- возможность многократной коррекции проекта, меньше вероятность переделки платы;
- использование хорошо проверенных серийных изделий;
- более простой процесс тестирования и отладки (возможность реализации и отладки «по частям»).

Пример СНК на основе MicroBlaze

