

Тема лекции: Интерфейсы ЭВМ

Программные вопросы лекции

1. Структура взаимосвязей устройств ЭВМ
2. Типы шин
3. Распределение линий шины

Литература

1. Цилькер Б.Я., Орлов С.А. Организация ЭВМ и систем. Учебник для вузов. – СПб.:Питер, 2004.- стр. стр.153-171.
2. К.Хамахер, З.Вранешич, С.Заке Организация ЭВМ. - СПб.:Питер, 2003.- 848 с.
3. Э.Таненбаум Архитектура компьютера.- СПб.:Питер, 2004.-697 с.

1. Структура взаимосвязей устройств ЭВМ

Совокупность средств сопряжения и связи, обеспечивающая эффективное взаимодействие устройств ЭВМ между собой (центральный процессор, оперативная память, модули ввода/вывода), образует структуру взаимосвязей ВМ - *интерфейс*.

В интерфейсе обычно предусмотрены вопросы сопряжения на **механическом** (число проводов, элементы связи, типы соединений, разъемы, номера контактов и т. п.) и **логическом** (сигналы, их длительность, полярность, частоты и амплитуда, протоколы взаимодействия) уровнях.

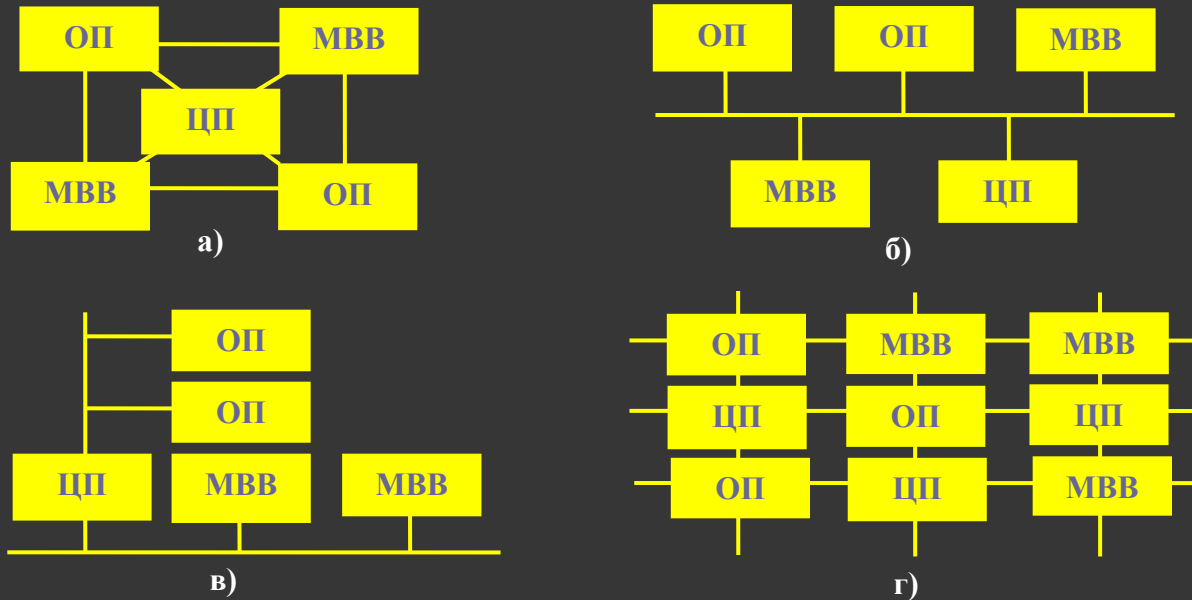


Рис. 1. Эволюция структур взаимосвязей: непосредственная (а); с общей шиной (б); со многими шинами (в); с многопроцессорными многими шинами (г)

Операции на шине называют транзакциями и различают - транзакции чтения и транзакции записи.

Шинная транзакция включает в себя две части: посылку адреса и прием (или посылку) данных.

Если два устройства обмениваются информацией по шине, одно из них должно инициировать обмен и управлять им, т.е. быть ведущим (bus master). Устройства, не обладающие возможностями инициирования транзакции, носят название ведомых (bus slave).

Для предотвращения одновременной активности нескольких ведущих в любой шине предусматривается процедура допуска к управлению шиной только одного из претендентов (арбитраж).

2. Типы шин

Классификация шин. Важнейшими функциональными характеристиками системной шины являются количество обслуживаемых ею устройств и ее пропускная способность, то есть максимально возможная скорость передачи информации. **Пропускная способность** шины зависит от ее разрядности (8-, 16-, 32- и 64-разрядные) и тактовой частоты, на которой шина работает.

Разрядность или ширина шины - количество линий связи в шине, то есть количество битов, которое может быть передано по шине одновременно.

Тактовая частота шины - частота, с которой передаются последовательные биты информации по линиям связи.

По целевому назначению можно выделить:

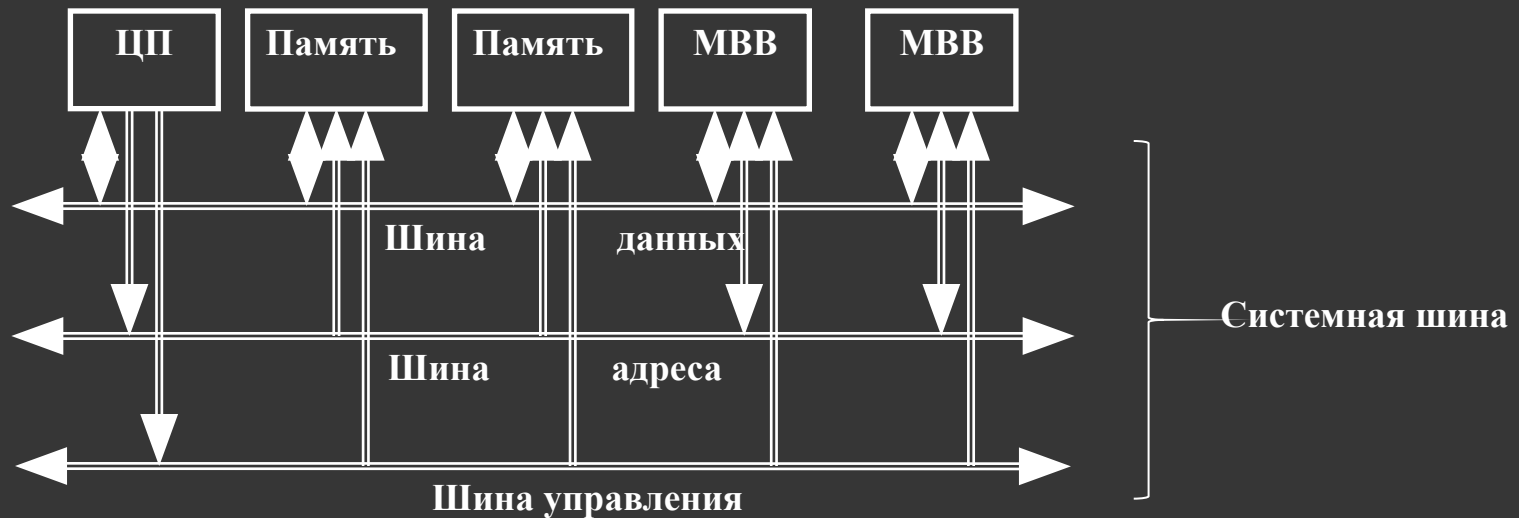
- шины «процессор-память»;
- шины ввода/вывода;
- системные шины.

Шина «процессор-память» обеспечивает непосредственную связь между центральным процессором и основной памятью. В современных микропроцессорах такую шину часто называют шиной переднего плана и обозначают аббревиатурой FSB (Front-Side Bus); ее роль иногда выполняет системная шина. К рассматриваемому виду можно отнести также шину, связывающую процессор с кэш-памятью второго уровня, известную как шина заднего плана - BSB (Back-Side Bus).

Шина ввода/вывода служит для соединения процессора (памяти) с устройствами ввода/вывода, она унифицируется и стандартизируется. Такие шины содержат меньше линий по сравнению с шиной «процессор-память», но длина линий может быть весьма большой. Типичными примерами подобных шин могут служить шины PCI и SCSI.

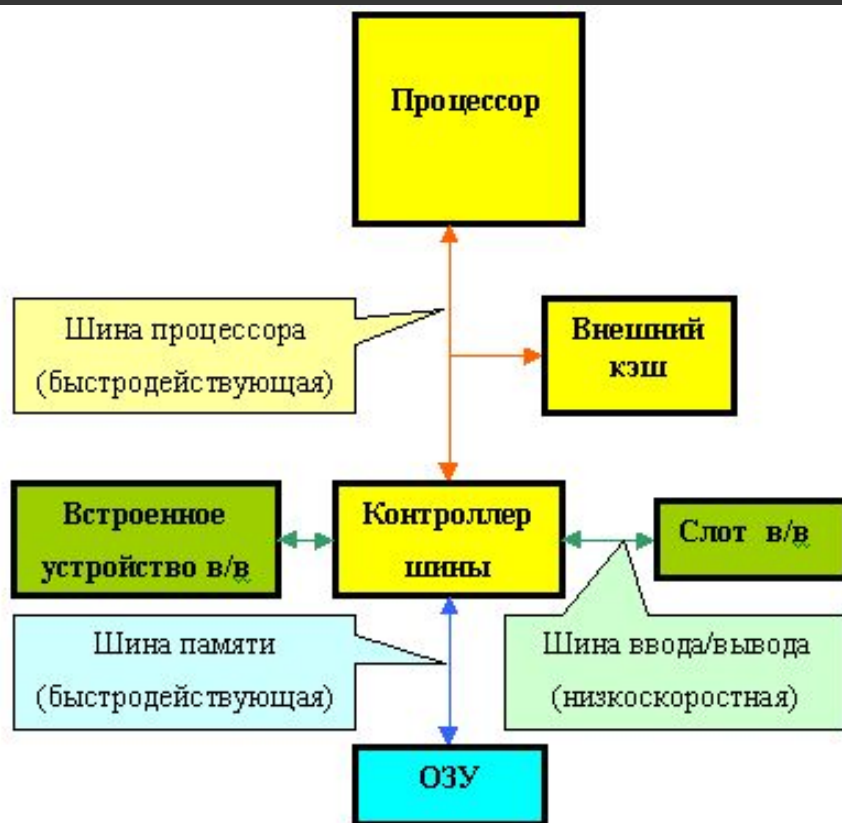
Системная шина служит для физического и логического объединения всех устройств ЭВМ. Системная шина в состоянии содержать несколько сотен линий. Совокупность линий шины можно подразделить на три функциональные группы: **шину данных, шину адреса и шину управления**.

Функционирование системной шины можно описать следующим образом. Если один из модулей хочет передать данные в другой, он должен выполнить два действия: получить в свое распоряжение шину и передать по ней данные. Если какой то модуль хочет получить данные от другого модуля, он должен получить доступ к шине и с помощью соответствующих линий управления и адреса передать в другой модуль запрос. Далее он должен ожидать, пока модуль, получивший запрос, передаст данные.



Структура системной шины

Шины ISA и EISA



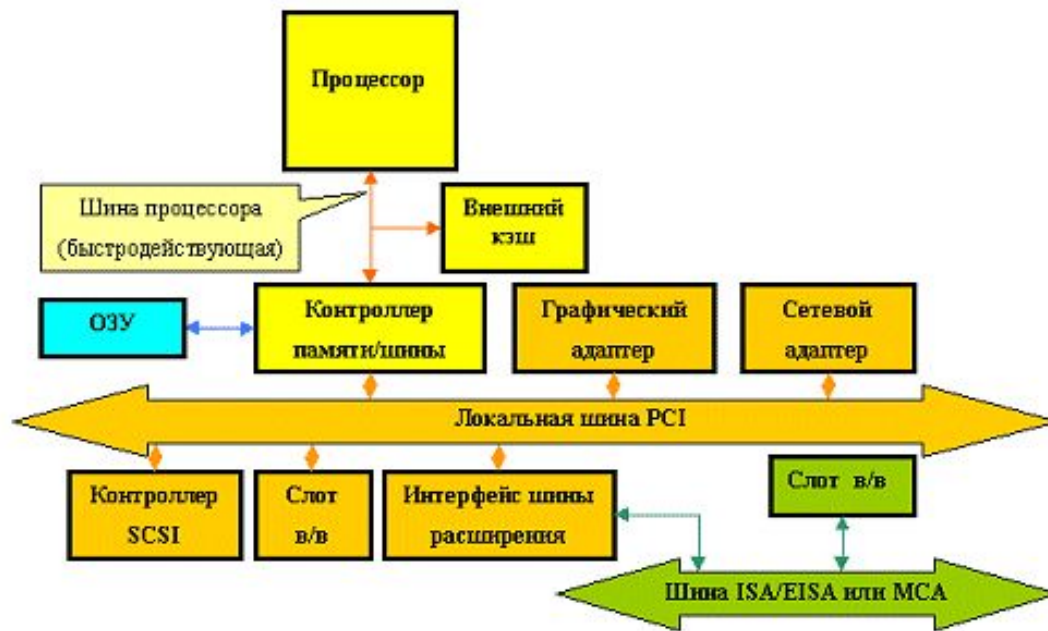
«Обычная» архитектура шин

Шина VLB



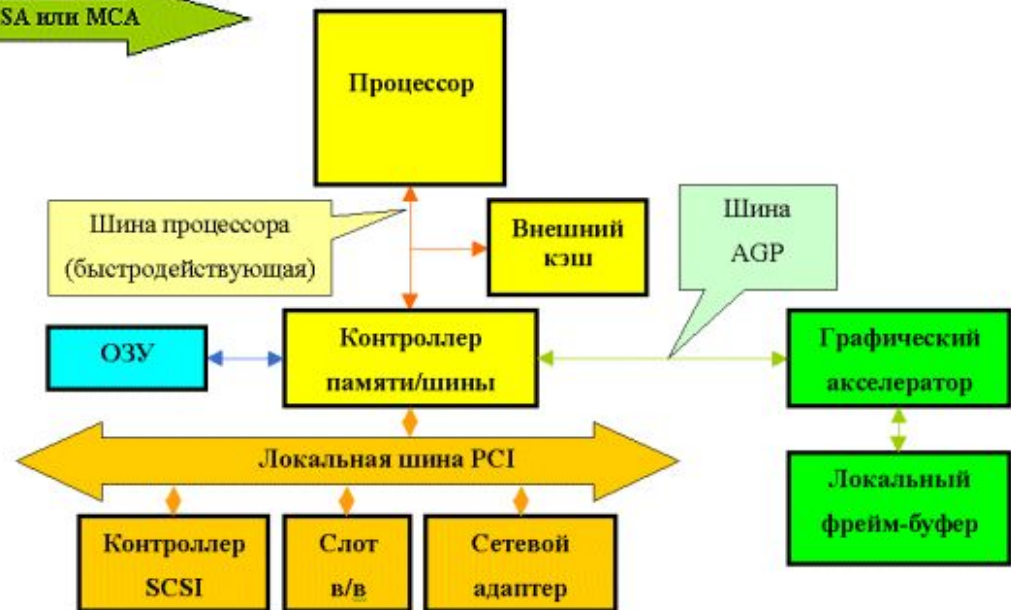
Архитектура с локальной шиной

Шина PCI



Архитектура компьютера с шиной PCI

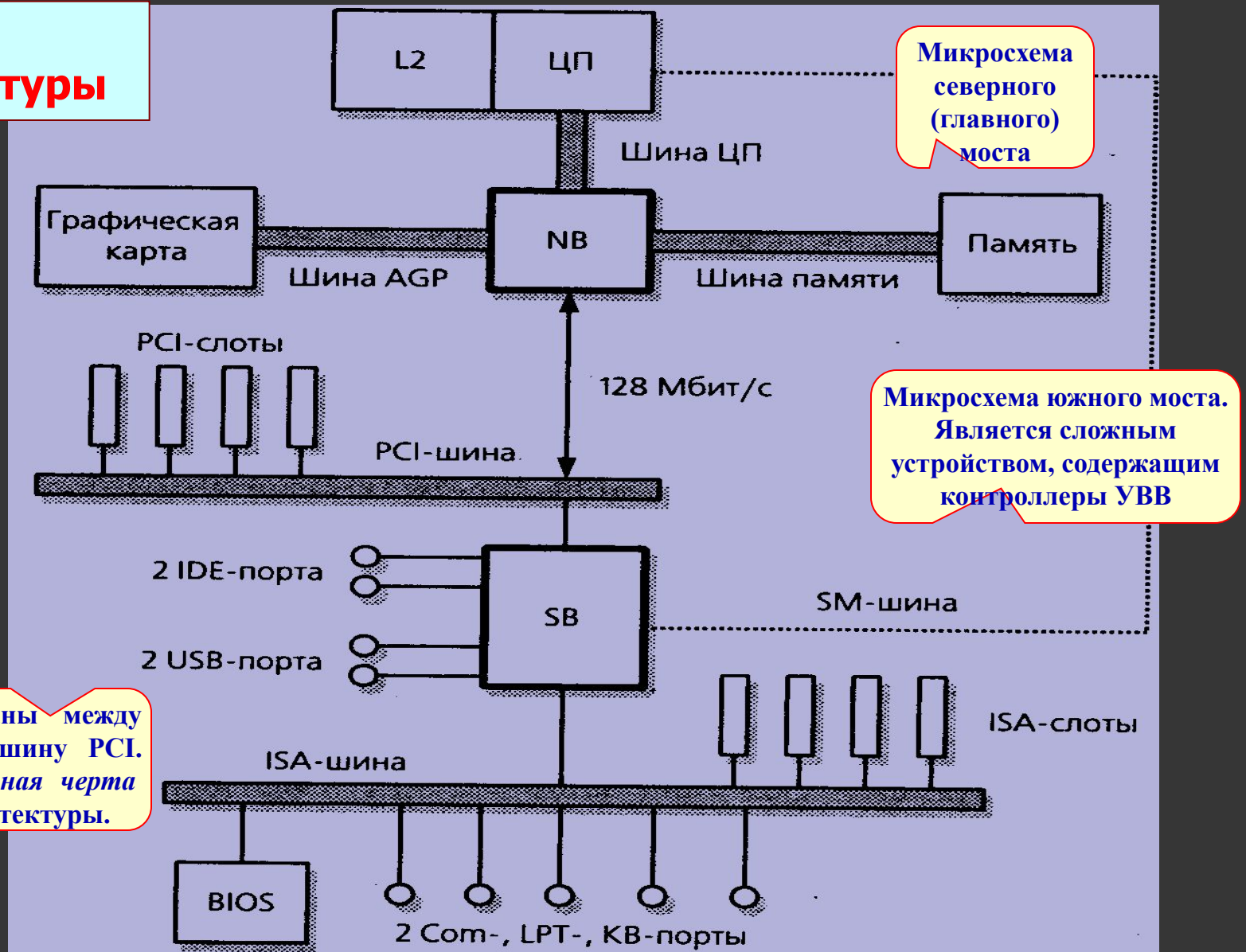
Шина AGP



Архитектура компьютера с шиной AGP

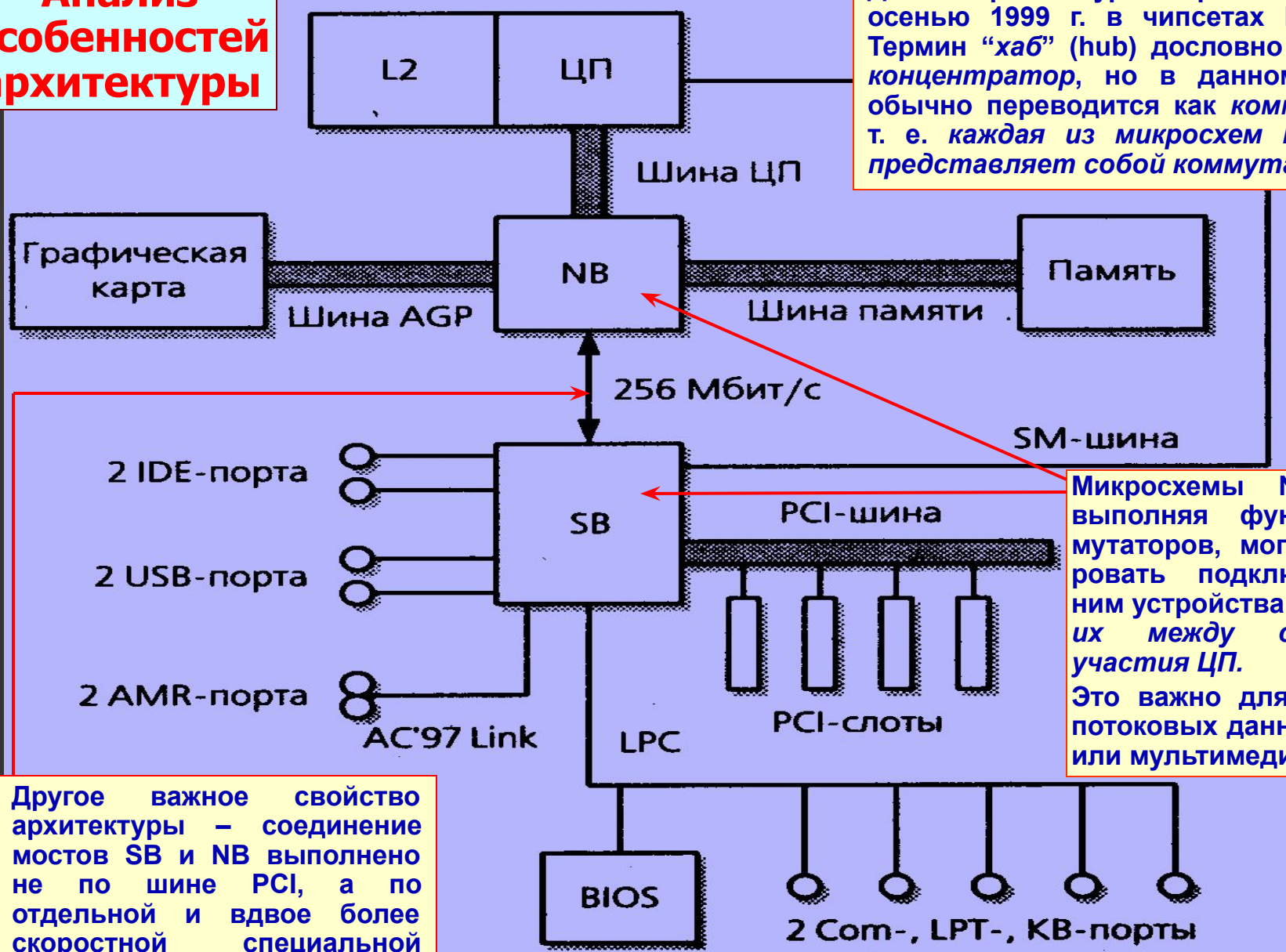
Построение микроЭВМ на чипсете обычной архитектуры

Анализ архитектуры



Построение микроЭВМ на чипсете с хаб-архитектурой

Анализ особенностей архитектуры



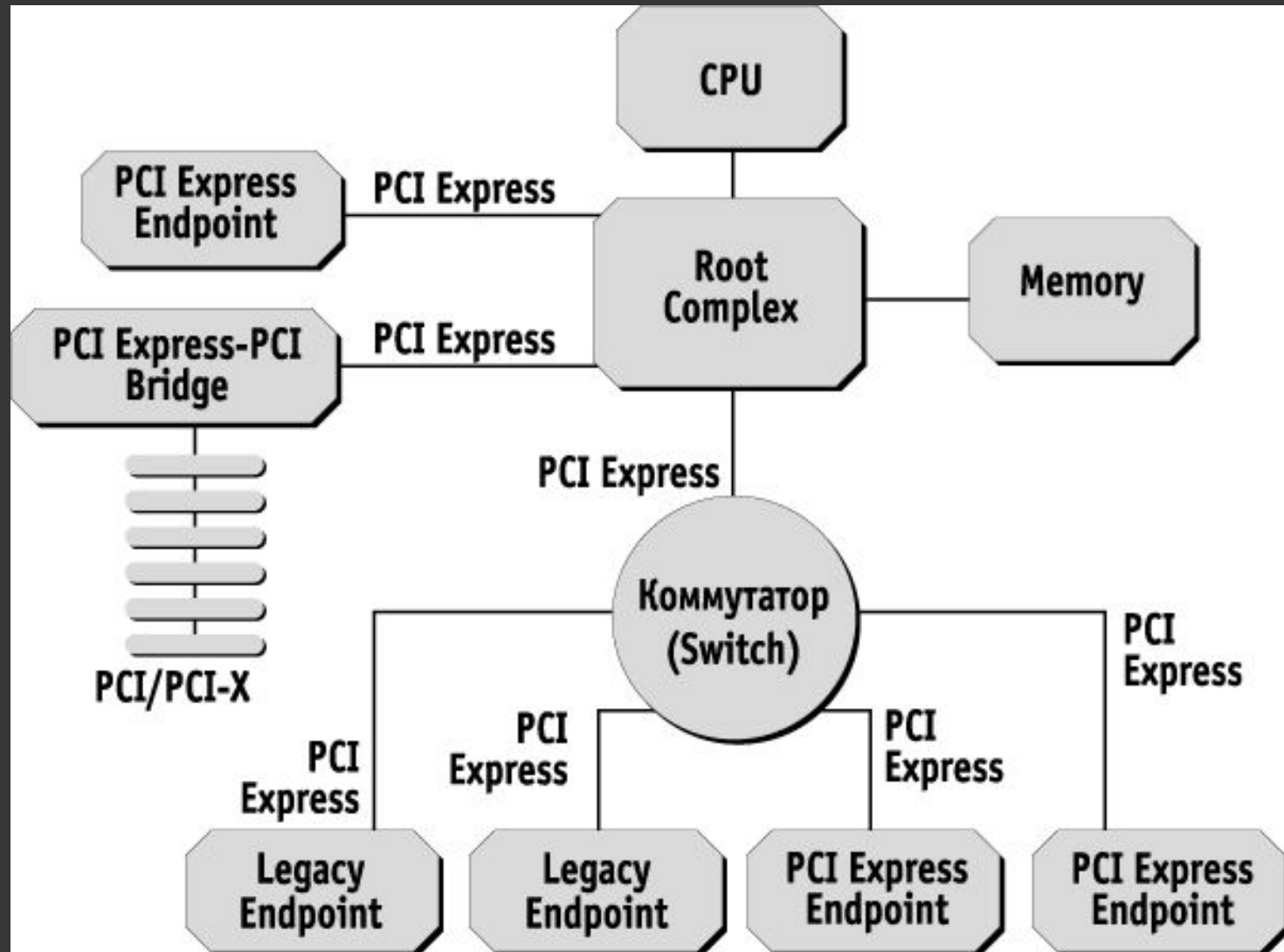
Данная архитектура впервые появилась осенью 1999 г. в чипсетах Intel i8x0. Термин “хаб” (hub) дословно означает *концентратор*, но в данном случае обычно переводится как *коммутатор*, т. е. каждая из микросхем NB и SB представляет собой коммутатор.

Микросхемы NB и SB, выполняя функции коммутаторов, могут коммутировать подключенные к ним устройства для обмена их между собой без участия ЦП.

Это важно для обработки потоковых данных (из сети или мультимедийных).

Другое важное свойство архитектуры – соединение мостов SB и NB выполнено не по шине PCI, а по отдельной и вдвое более скоростной специальной шине.

Построение микроЭВМ с PCI Express



Основные характеристики шин

Характеристика	Шина					
	ISA	EISA	MCA	VLB	PCI	AGP
Разрядность шины для данных и адреса (бит)	16/24	32/32	32/32	32/32,64/64	32/32, 64/64	32/32, 64/64
Рабочая частота (МГц)	8	8-33	10-20	До 33	До 66	66/133
Пропускная способность (Мбайт/с)	16	33	76	132	132/264 /528	528/1056 /2112
Число подключаемых устройств (шт.)	6	15	15	4	10	1

3. Распределение линий шин

Для передачи адреса используется часть сигнальных линий шины, совокупность которых часто называют **шиной адреса (ША)**. Число сигнальных линий, выделенных для передачи адреса (ширина ША), определяет максимально возможный размер адресного пространства.

Совокупность линий, служащих для пересылки данных между модулями системы, называют **шиной данных (ШД)**. Важнейшие характеристики ШД – ширина и пропускная способность.

Ширина шины данных определяется количеством битов информации, которое может быть передано по шине за одну транзакцию (цикл шины). Типовая ширина шины данных составляла 8 бит. В настоящее время это обычно 32, 64 или 128 бит. В любом случае ширину ШД выбирают кратной целому числу битов, причем это число, как правило, представляет собой целую степень числа 2.

Если адрес и данные в шине передаются по независимым (выделенным) сигнальным линиям, то ширина ША и ШД обычно выбирается независимо. Наиболее частые комбинации: **16/8, 16/16, 20/8, 20/16, 24/32 и 32/32, 36/64, 36/128**. Во многих шинах адрес и данные пересылаются по одним и тем же линиям, но в разных тактах цикла шины. В этом случае ширина ША и ширина ШД должны быть взаимосвязаны.

Совокупность линий, по которым передается управляющая информация и информация о состоянии участвующих в транзакции устройств принято называть **шиной управления (ШУ)**. Сигнальные линии, входящие в ШУ, можно условно разделить на несколько групп.

Первую группу образуют линии (от двух до восьми сигнальных линий), по которым пересылаются сигналы управления транзакциями, т.е. сигналы, определяющие: тип выполняемой транзакции (чтение или запись); количество байтов, передаваемых по шине данных, и, если пересылается часть слова, то какие байты; какой тип адреса выдан на шину адреса; какой протокол передачи должен быть применен.

Ко **второй группе** относят линии передачи информации состояния (статуса) (от одной до четырех линий), по которым ведомое устройство может информировать ведущего о своем состоянии или передать код возникшей ошибки.

Третья группа - линии арбитража, необходимы для выбора одного из нескольких ведущих, одновременно претендующих на доступ к шине (варьируется от 3 до 11).

Четвертую группу образуют линии прерывания. По этим линиям передаются запросы на обслуживание, посылаемые от ведомых устройств к ведущему.

Пятая группа - линии для организации последовательных локальных сетей. Наличие от 1 до 4 таких линий стало общепринятой практикой в современных шинах.

В некоторых ШУ имеется **шестая группа** сигнальных линий — от 4 до 5 линий позиционного кода, подсоединяемых к специальным выводам разъема.

Седьмую группу образуют линии тактирования и синхронизации (в зависимости от протокола шины (синхронный или асинхронный), входят от двух до шести линий).

Pentium (Celeron) III, IV

Разновидности	Имя ядра	Кэш L2 (Кбайт)	FSB (МГц)	F (ГГц)	Разъем
Pentium III	Tualatin (0,13)	512	133	1,13...1,4	Socket 370
Celeron III	Coppermine(,18)	128	100	1,0...1,4	Socket 370
	Willamite (0,18)	128	100		
	Tualatin (0,13)	256	100		
Pentium 4	Willamite (0,18)	256	400(100×4)	1,3...2,0	Socket 423
	Willamite (0,18)	512	400(100×4)	1,4...2,0	Socket 478
	Nortwood (0,13)	512	400(100×4)	1,6...2,5	Socket 478
	Nortwood (0,13)	512	533(133×4)	2,26...3,0 6	Socket 478
	Nortwood (0,13)	512	800 (200×4)	3,4	Socket 478
Celeron 4	Willamite (0,18)	128	400(100×4)	1,6...1,8	Socket 478
	Nortwood (0,13)	256		1,8...2,8	
Pentium 4 XE (Extreme Edition)	Gallatin (0,13)	512 (L2), 2Мбайт (L3)	800(200×4)	3,2; 3,4	Socket 478
Pentium 4 XE	Gallatin (0,13)	2Мбайт	1066(266×4)	3,46 3,73	Socket 775
Pentium 4	Prescott (0,09)	1 Мбайт	533(133×4)	2,8	Socket 478
Pentium 4	Prescott (0,09)	1 Мбайт	800 (200×4)	2,8...3,4	Socket 478

Модификации Pentium 4 (ядро Prescott (0,09))

Серия	Кэш L2 (Мбайт)	FSB (МГц)	F (ГГц)	Socket	Особенности
Pentium 4 530	1,0	800	3,0	LGA 775	Поддержка технологий: Hyper-Threading; XD (только мод. J)
Pentium 4 540	1,0	- «-»-	3,2	- «-»-	
Pentium 4 550	1,0	- «-»-	3,4	- «-»-	
Pentium 4 560	1,0	- «-»-	3,6	- «-»-	
Pentium 4 570	1,0	- «-»-	3,8	- «-»-	
Pentium 4 521	1,0	800	2,8	LGA 775	Поддержка технологий: EM64T; Hyper-Threading
Pentium 4 531	1,0	- «-»-	3,0	- «-»-	
Pentium 4 541	1,0	- «-»-	3,2	- «-»-	
Pentium 4 551	1,0	- «-»-	3,4	- «-»-	
Pentium 4 561	1,0	- «-»-	3,6	- «-»-	
Pentium 4 571	1,0	- «-»-	3,8	- «-»-	
Pentium 4 630	2,0	800	3,0	LGA 775	Поддержка технологий: EM64T; Hyper-Threading; SpeedStep; XD
Pentium 4 640	2,0	- «-»-	3,2	- «-»-	
Pentium 4 650	2,0	- «-»-	3,4	- «-»-	
Pentium 4 660	2,0	- «-»-	3,6	- «-»-	
Pentium 4 670	2,0	- «-»-	3,8	- «-»-	

Модификации Celeron D (ядро Prescott (0,09))

Серия	Кэш L2 (Кбайт)	FSB (МГц)	F (ГГц)	Socket	Особенности
Celeron D	256	553 (133×4)	2,4... 2,8	Socket 478	Поддержка технологий: ? (Hyper-Threading отключен)
Celeron D 236	256	553	?	LGA 775	
					Поддержка технологий: ЕМ64Т; (Hyper-Threading отключен)
Celeron D 331	256	553	?	LGA 775	
Celeron D 336	256	- «-»-	?	- «-»-	
Celeron D 341	256	- «-»-	?	- «-»-	
Celeron D 346	256	- «-»-	?	- «-»-	
Celeron D 350	256	- «-»-	3,2	- «-»-	
Celeron D 351	256	- «-»-	3,2	- «-»-	

Двухядерные Pentium D и Pentium XE

Серия	Кэш L2 (Мбайт)	FSB (МГц)	F (ГГц)	Socket	Особенности
Pentium D 820	1,0 + 1,0	800	2,8	LGA 775	2 ядра Prescott (архитектура NetBurst) <u>Поддержка:</u> EM64T; SpeedStep; XD (Hyper-Threading отключен)
Pentium D 830	1,0 + 1,0	- «-»-	3,0	- «-»-	
Pentium D 840	1,0 + 1,0	- «-»-	3,2	- «-»-	
Pentium XE 840	2,0	800	3,2	LGA 775	Ядро Smithfield (2 ядра Prescott) <u>Поддержка:</u> Hyper-Threading; XD EM64T; SpeedStep;
<u>МП Intel (техпроцесс 0,065)</u>					
Core Solo Core Duo Yonah (mobile)	2,0	533-667	2,33 - 2,50	Socket M	1-2 ядра
Core 2 Duo Core 2 Extreme Core 2 Quad					
<u>МП Intel (техпроцесс 0,045-0,022)</u>					
				Socket H (LGA 1156)	2 или 4 Lynnfield