

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

**Элементы** — для обработки единичных электрических сигналов, соответствующих битам информации

**Узлы** — для обработки группы сигналов — информационных слов

**Блоки** реализуют некоторую последовательность в обработке информационных слов — функционально обособленную часть машинных операций (блок выборки команд, блок записи-чтения и др.)

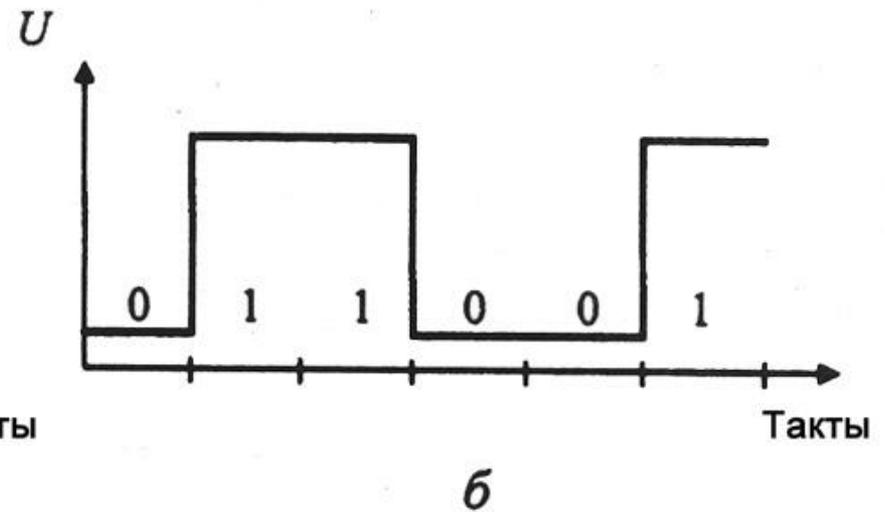
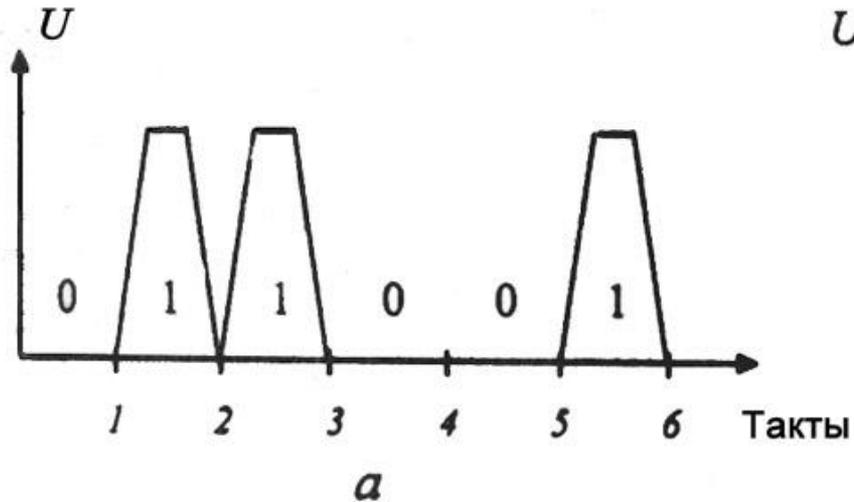
**Устройства** — для выполнения отдельных машинных операций и их последовательностей

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Два способа физического представления сигналов:

### ИМПУЛЬСНЫЙ И ПОТЕНЦИАЛЬНЫЙ

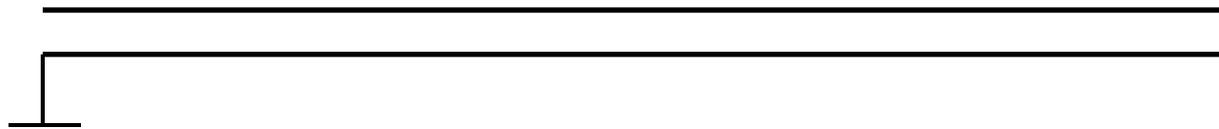


Представление информации в ЭВМ: *a* – импульсные сигналы, *b* – потенциальные сигналы

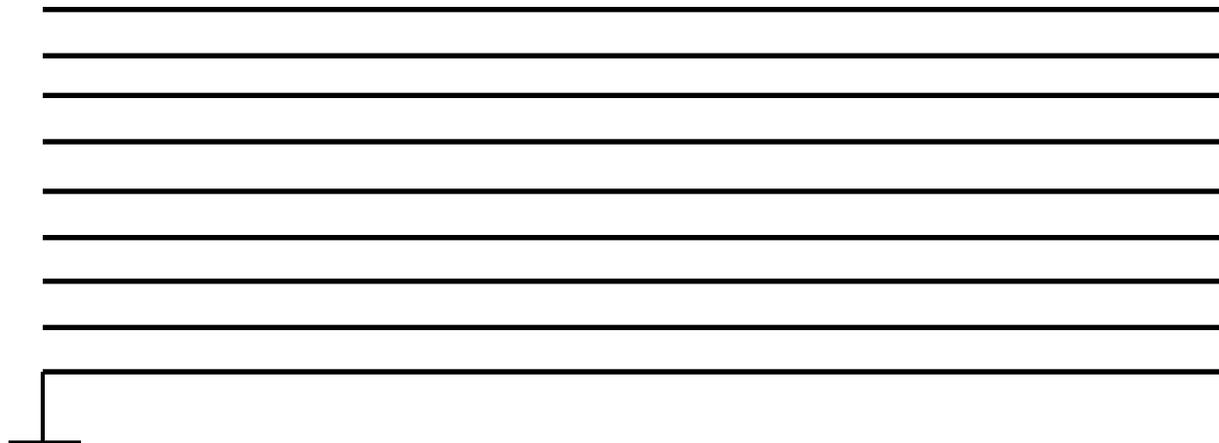
## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Последовательный (а) и параллельный (б)

коды передачи и представления информации в ЭВМ



**а**



**б**

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

По своему назначению элементы делятся на

- формирующие
- логические
- запоминающие

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

**К формирующим элементам** относятся различные формирователи, усилители, усилители-формирователи и т.п.

**Логические элементы** преобразуют входные сигналы в соответствии с логическими функциями

**Запоминающим элементом** называется элемент, который способен принимать и хранить код двоичной цифры (единицы или нуля).

ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логические элементы

**Инвертор (схема «НЕ»)**

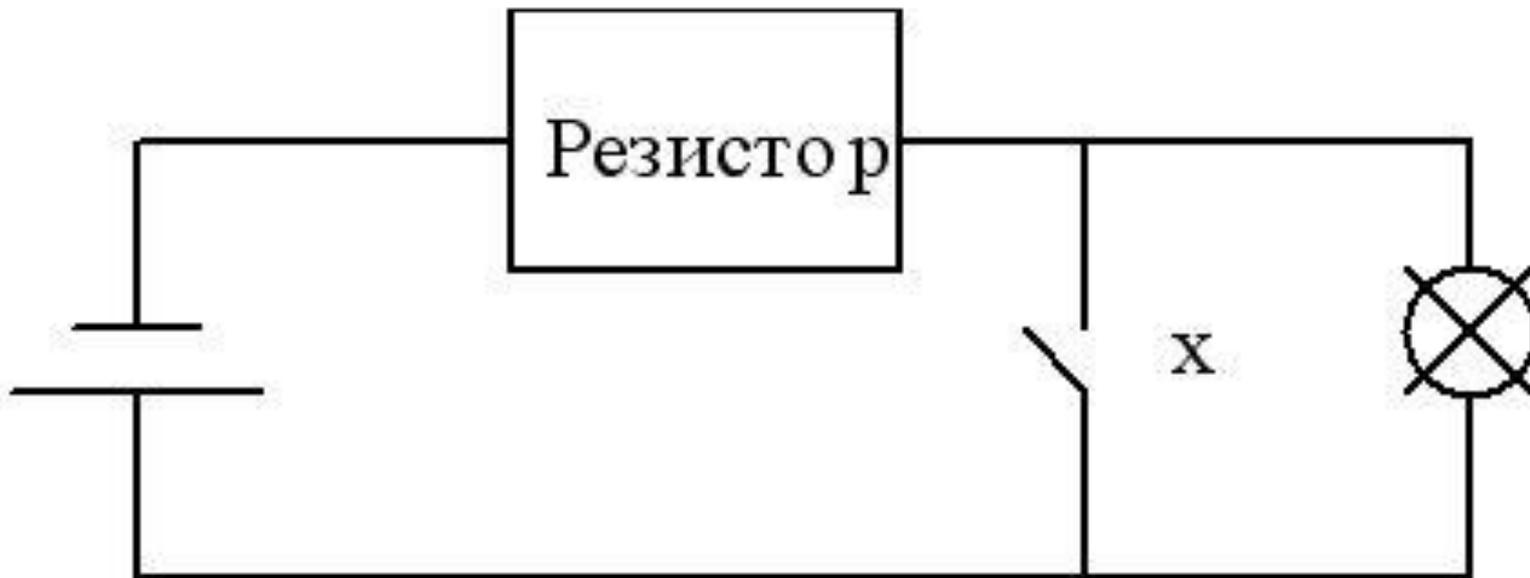
**Дизъюнктор (схема «ИЛИ»)**

**Конъюнктор (схема «И»)**

ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логические элементы

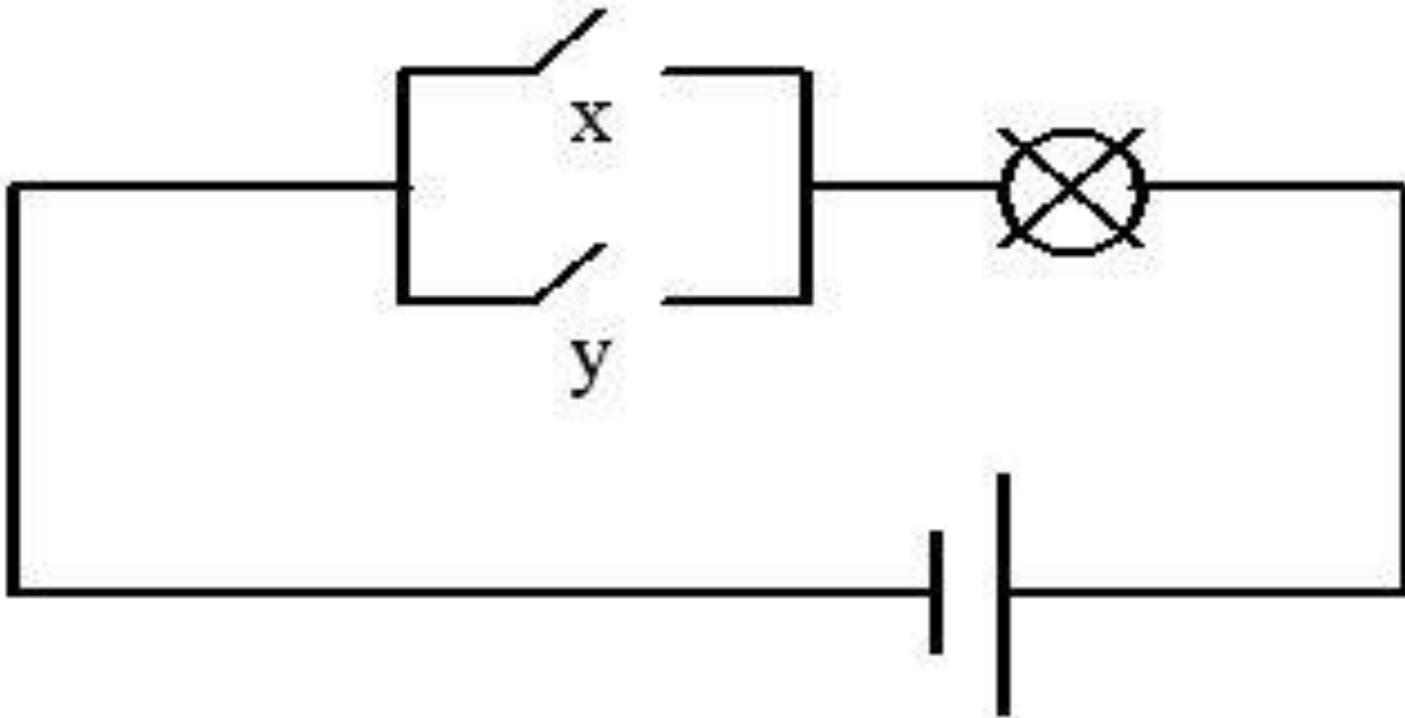
Инвертор (схема «НЕ»)



ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логические элементы

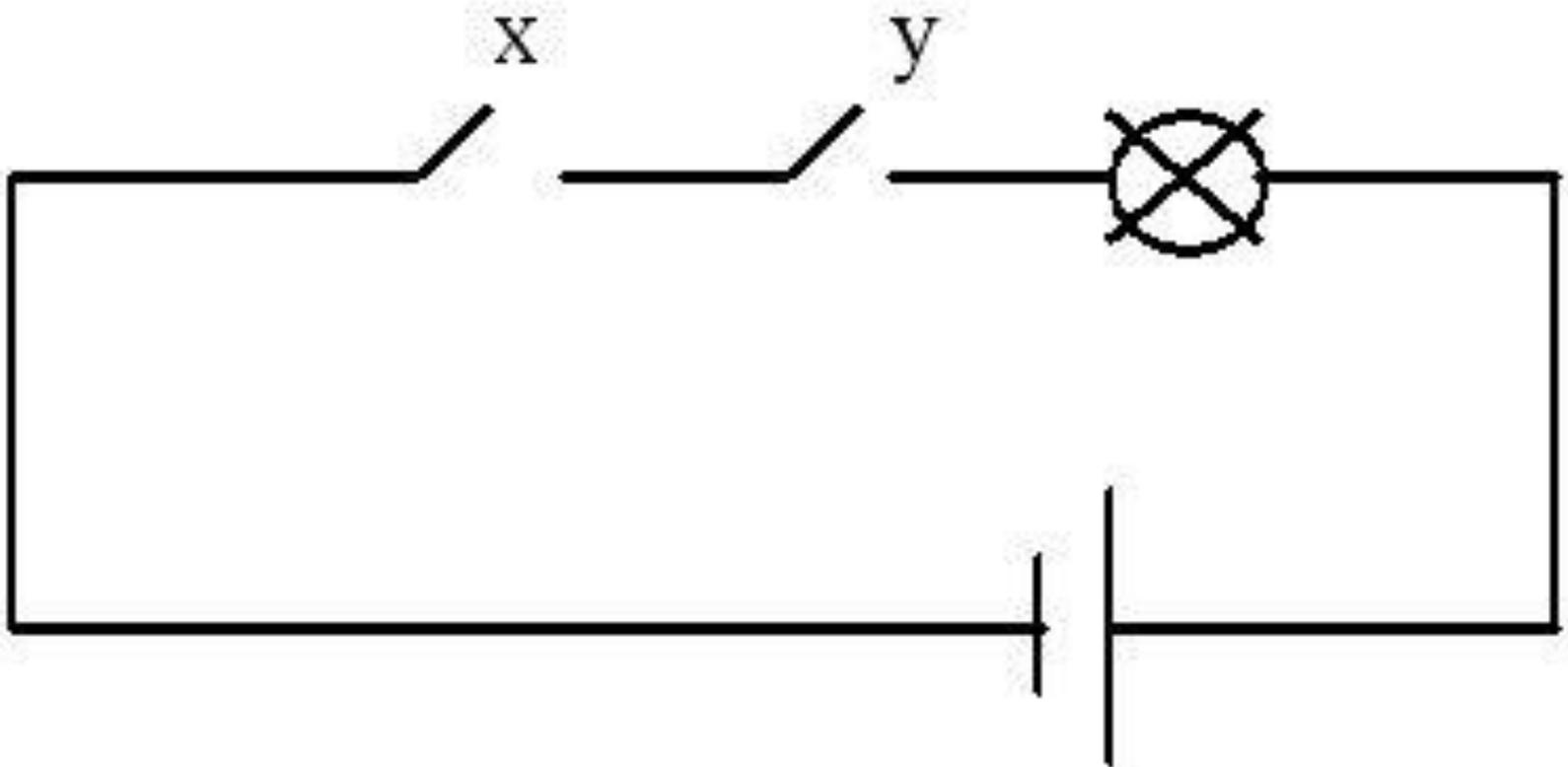
Дизъюнктор (схема «ИЛИ»)



ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логические элементы

Конъюнктор (схема «И»)

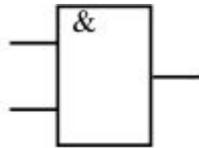
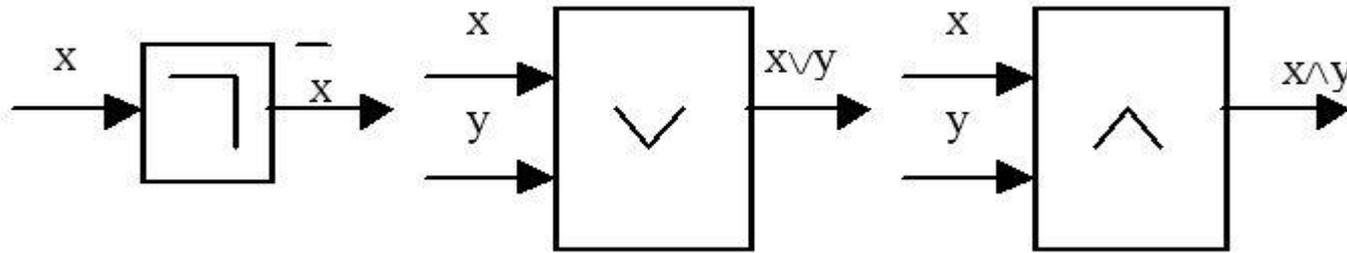


## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

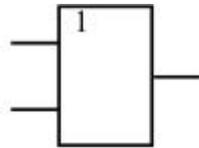
### Логические элементы

Условные обозначения вентиляей:

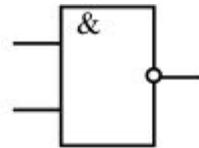
**Инвертор, Дизъюнктор, Конъюнктор**



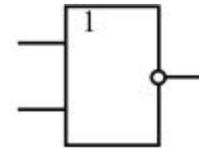
а) конъюнктор  
(элемент "И")



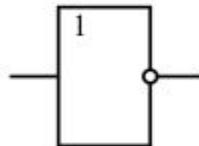
б) дизъюнктор  
(элемент "ИЛИ")



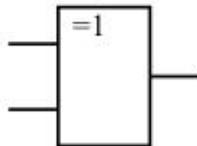
в) элемент  
"И-НЕ"



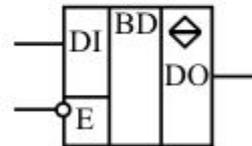
г) элемент  
"ИЛИ-НЕ"



д) инвертор  
(элемент "НЕ")



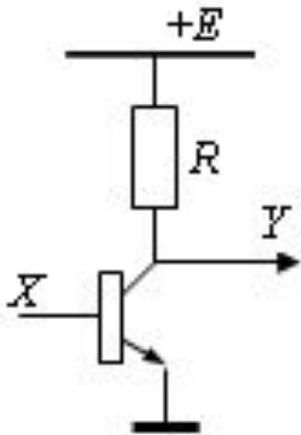
е) элемент  
"НЕРАВНОЗНАЧНОСТЬ"



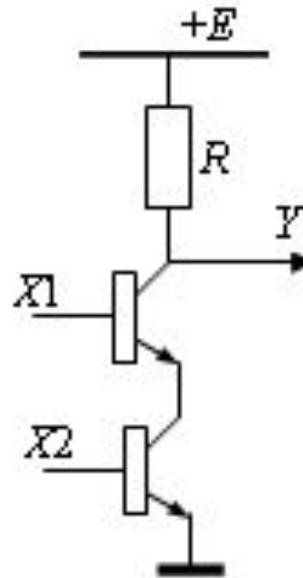
ж) элемент с тремя  
выходными состояниями

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

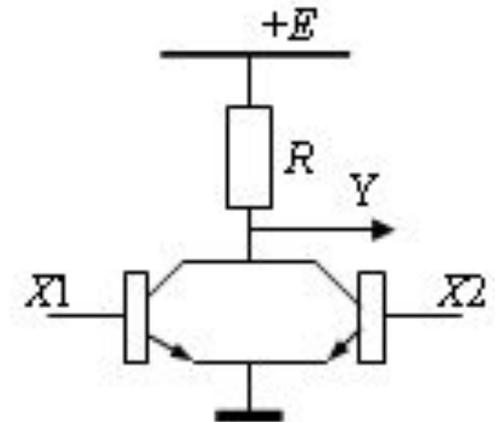
### Логические элементы



а) инвертор



б) элемент "И-НЕ"

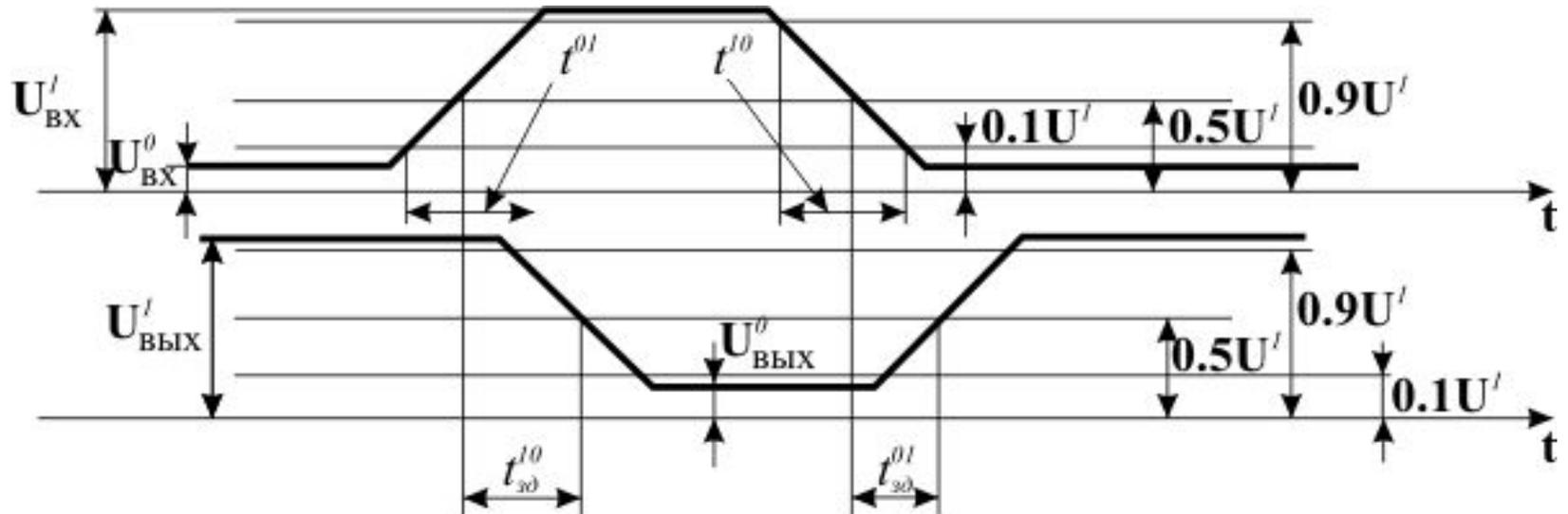


в) элемент "ИЛИ-НЕ"

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Логические элементы

Статические и динамические параметры схемы «НЕ»



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

**Комбинационные схемы (КС)** — это схемы, у которых выходные сигналы  $Y = (y_1, y_2, \dots, y_m)$  в любой момент дискретного времени однозначно определяются совокупностью входных сигналов  $X = (x_1, x_2, \dots, x_n)$ , поступающих в тот же момент времени  $t$ .

Комбинационные схемы подразделяют на **регулярные и нерегулярные** структуры

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

**Дешифраторы (ДШ)** — это

комбинационные схемы с  $n$  входами и  $m = 2^n$  выходами.

Единичный сигнал, формирующийся на одном из  $m$  выходов, однозначно соответствует комбинации входных сигналов

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Таблица истинности дешифратора

Входы			Выходы					
$x_1$	$x_2$	$x_3$	$y_0$	$y_1$	...	$y_5$	...	$y_7$
0	0	0	1	0		0		0
0	0	1	0	1		0		0
0	1	0	0	0		0		0
0	1	1	0	0		0		0
1	0	0	0	0	...	0	...	0
1	0	1	0	0		1		0
1	1	0	0	0		0		0
1	1	1	0	0		0		1

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логические зависимости дешифратора

$$y_0 = \overline{\overline{x_1} \overline{x_2} \overline{x_3}}$$

$$y_1 = \overline{x_1} \overline{x_2} x_3$$

$$y_2 = \overline{x_1} x_2 \overline{x_3}$$

$$y_3 = \overline{x_1} x_2 x_3$$

$$y_4 = x_1 \overline{x_2} \overline{x_3}$$

$$y_5 = x_1 \overline{x_2} x_3$$

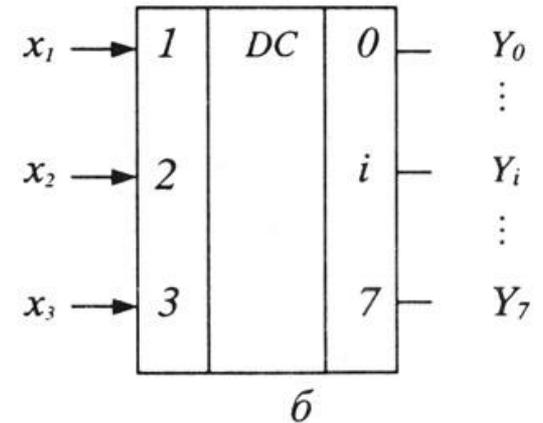
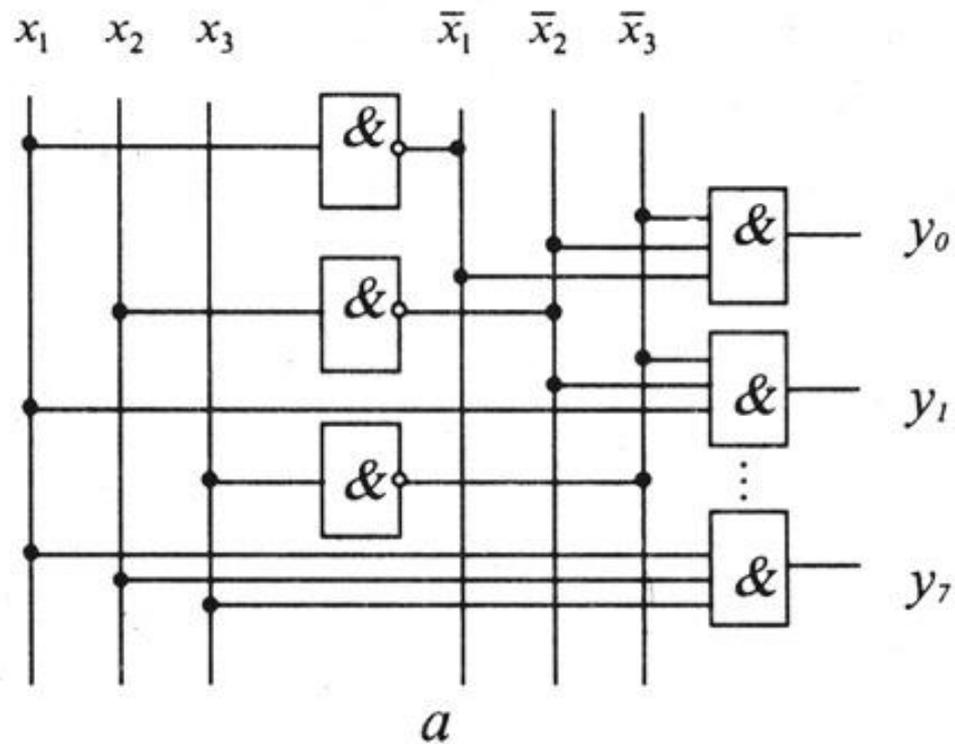
$$y_6 = x_1 x_2 \overline{x_3}$$

$$y_7 = x_1 x_2 x_3$$

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Структурная схема дешифратора (а) и обозначение дешифратора на принципиальных электрических схемах (б)



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

**Шифратор (ШР)** решает задачу, обратную схемам ДШ, т. е. по номеру входного сигнала формирует однозначную комбинацию выходных сигналов

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Таблица истинности шифратора

Входы							Выходы		
$x_1$	$x_2$	$x_3$	$x_4$	$x_5$	$x_6$	$x_7$	$y_0$	$y_1$	$y_2$
1	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	1	1	1	1

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Логические зависимости шифратора

$$y_2 = x_1 \vee x_3 \vee x_5 \vee x_7$$

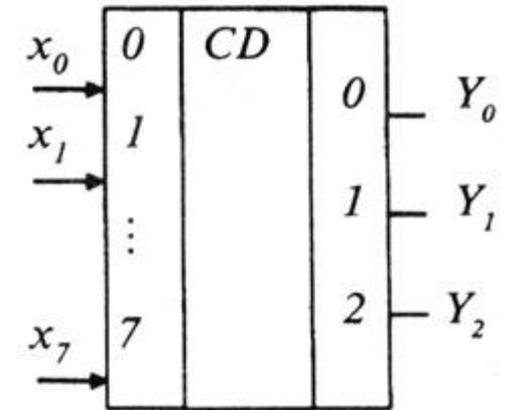
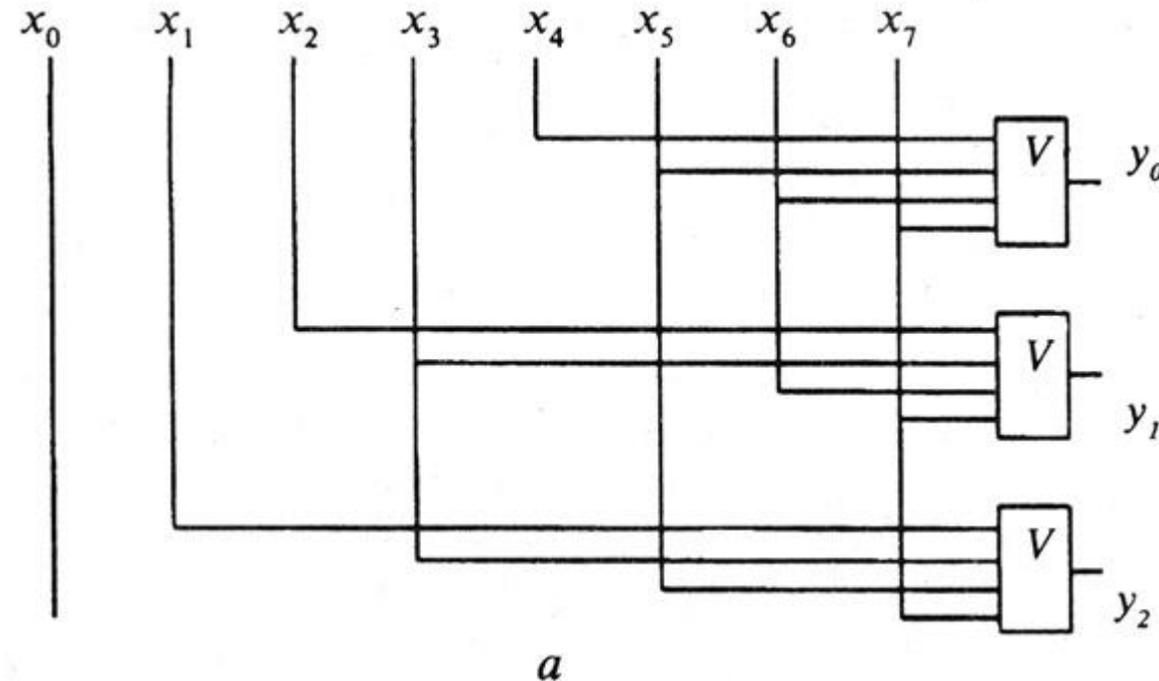
$$y_1 = x_2 \vee x_3 \vee x_6 \vee x_7$$

$$y_0 = x_4 \vee x_5 \vee x_6 \vee x_7$$

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Структурная схема шифратора (а) и обозначение шифратора на принципиальных электрических схемах (б)



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы сравнения или компаратор

#### Таблица истинности компаратора

Входы		Выходы
$a_i$	$b_i$	$Y_i$
0	0	1
0	1	0
1	0	0
1	1	1

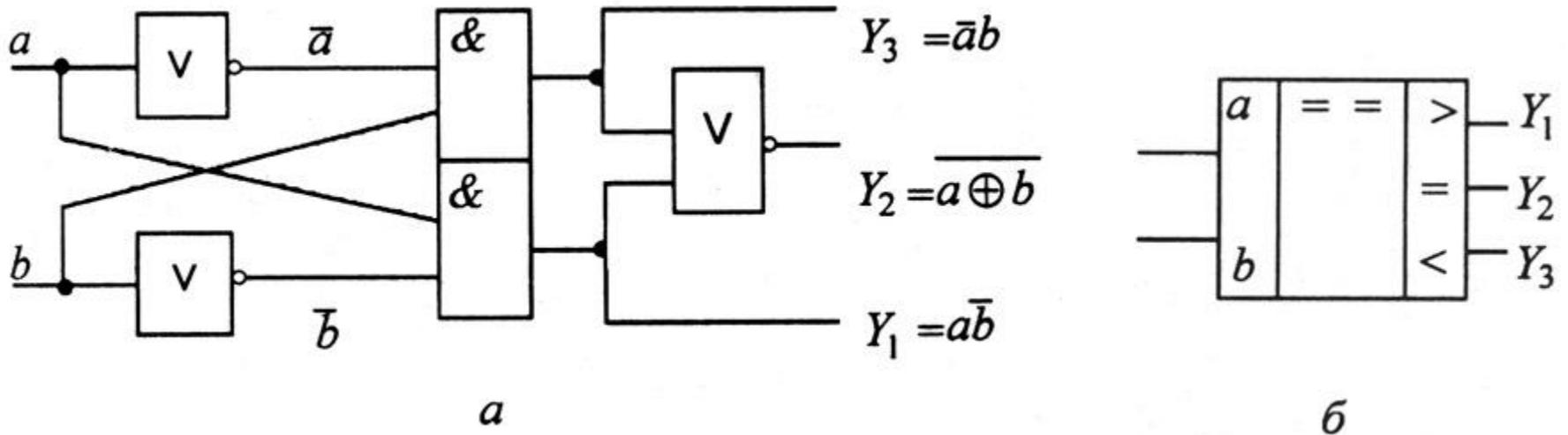
## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Логическая зависимость компаратора

$$Y_i = \overline{a_i b_i} \vee a_i b_i = \overline{\overline{a_i b_i}} = \overline{a_i \oplus b_i}$$

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Структурная схема компаратора (а) и обозначение компаратора на принципиальных электрических схемах (б)



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Комбинационный сумматор

#### Комбинационный полусумматор

обеспечивает сложение двух двоичных цифр  $a_1$  и  $b_1$ , считая, что переносы из предыдущего разряда не поступают.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Таблица истинности комбинационного полусумматора

Входы		Выходы	
$a_i$	$b_i$	$S_i$	$P_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

где  $S_i$  — функция одноразрядной суммы

$P_i$  — функция формирования переноса.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

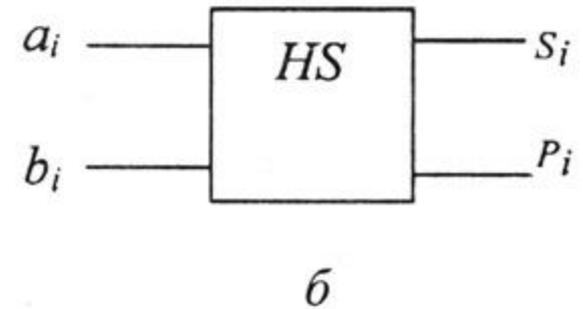
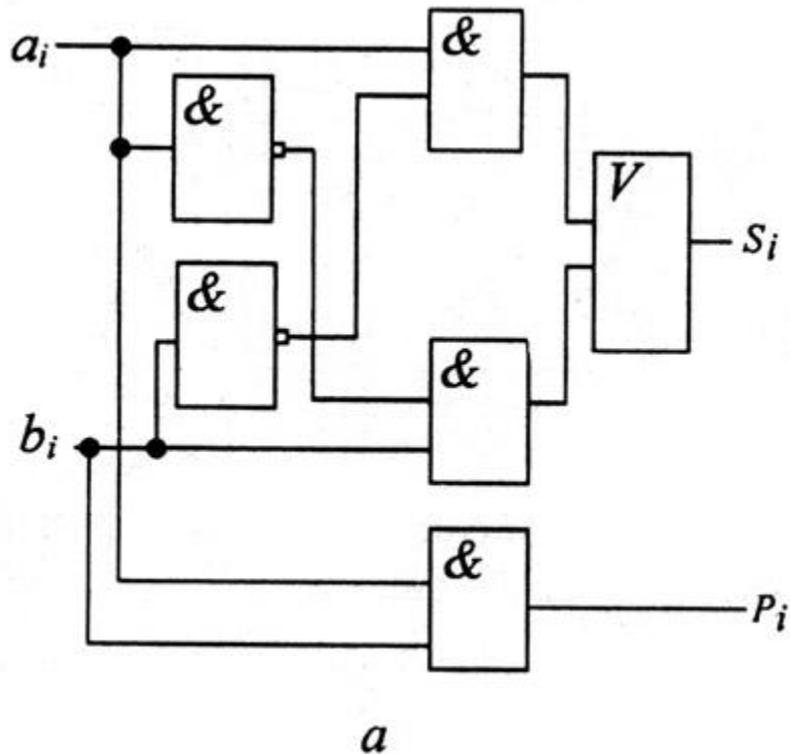
Логические зависимости комбинационного полусумматора

$$S_i = a_i \cdot b_i \vee a_i \cdot \overline{b_i} = a_i \oplus b_i$$

$$P_i = a_i \cdot b_i$$

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Структурная схема полусумматора (а) и обозначение полусумматора (б)



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Таблица истинности сумматора

Входы			Выходы	
$a_i$	$b_i$	$p_i$	$S_i$	$P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

где  $S_i$  — функция одноразрядной суммы

$P_i$  — функция формирования переноса.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Логические зависимости сумматора

$$S_i = \overline{\overline{a}}\overline{\overline{b}}p \vee \overline{\overline{a}}b\overline{\overline{p}} \vee a\overline{\overline{b}}\overline{\overline{p}} \vee abp$$

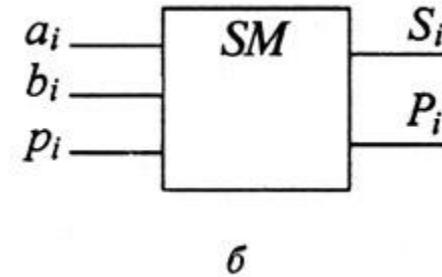
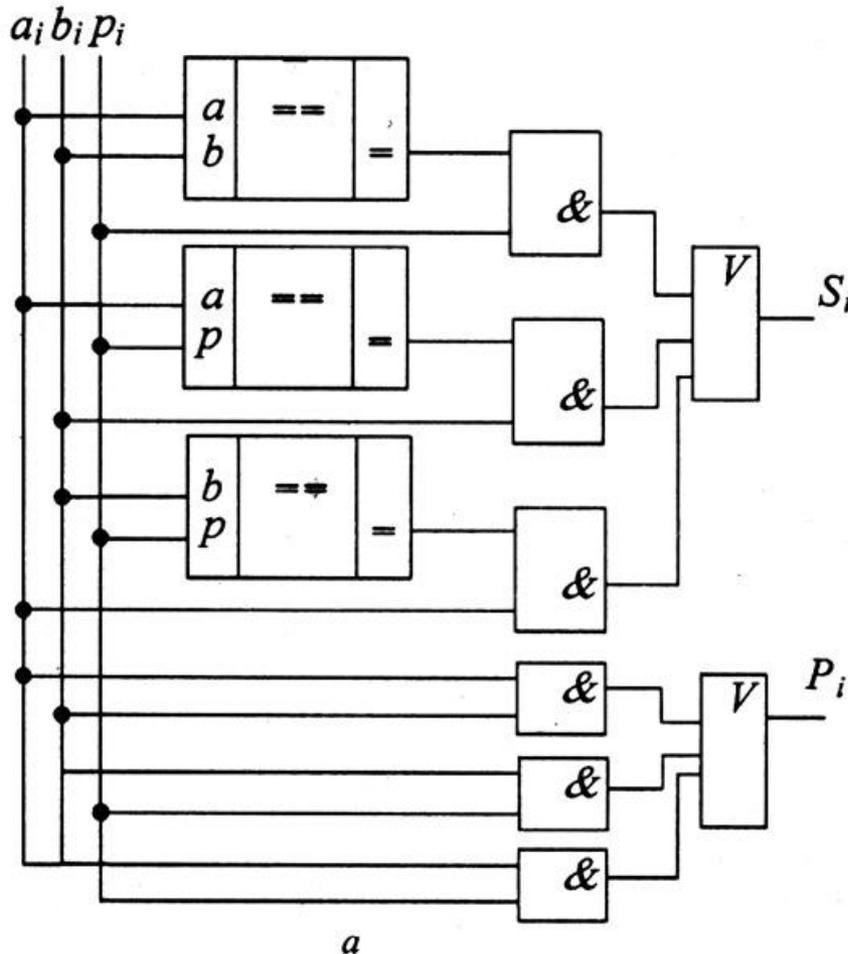
$$P_i = \overline{\overline{a}}bp \vee a\overline{\overline{b}}\overline{\overline{p}} \vee ab\overline{\overline{p}} \vee abp$$

$$\begin{aligned} S_i &= p(\overline{\overline{a}}\overline{\overline{b}} \vee ab) \vee b(\overline{\overline{a}}\overline{\overline{p}} \vee a\overline{\overline{p}}) \vee a(\overline{\overline{b}}\overline{\overline{p}} \vee bp) = \\ &= p(\overline{a \oplus b}) \vee b(\overline{a \oplus p}) \vee a(\overline{b \oplus p}) \end{aligned}$$

$$P_i = ab \vee ap \vee bp$$

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

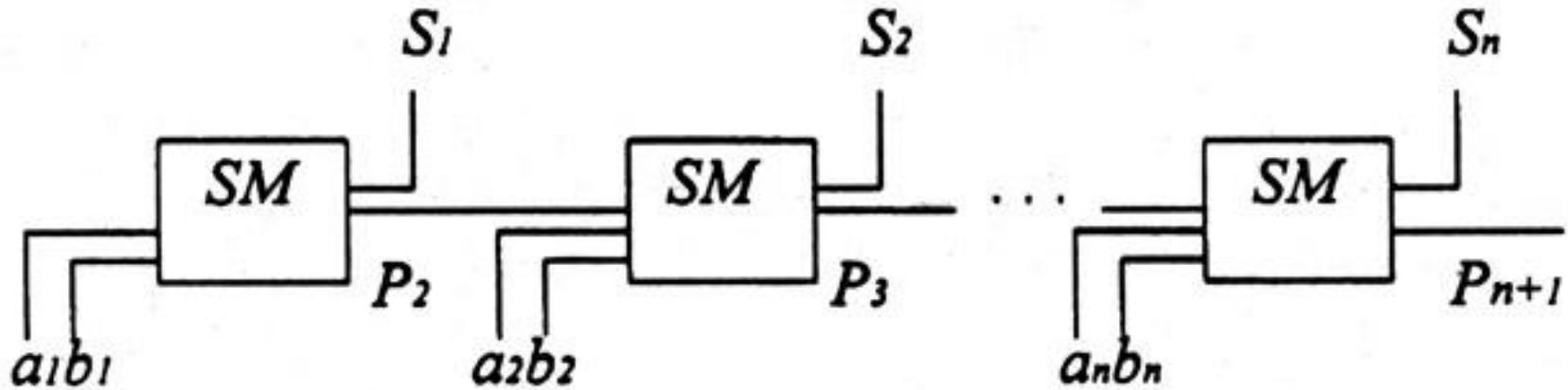
Структурная схема одного разряда комбинационного сумматора:  
*a* — структурная схема одного разряда, *b* — условное обозначение



# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

Структурная схема многоразрядного комбинационного сумматора:



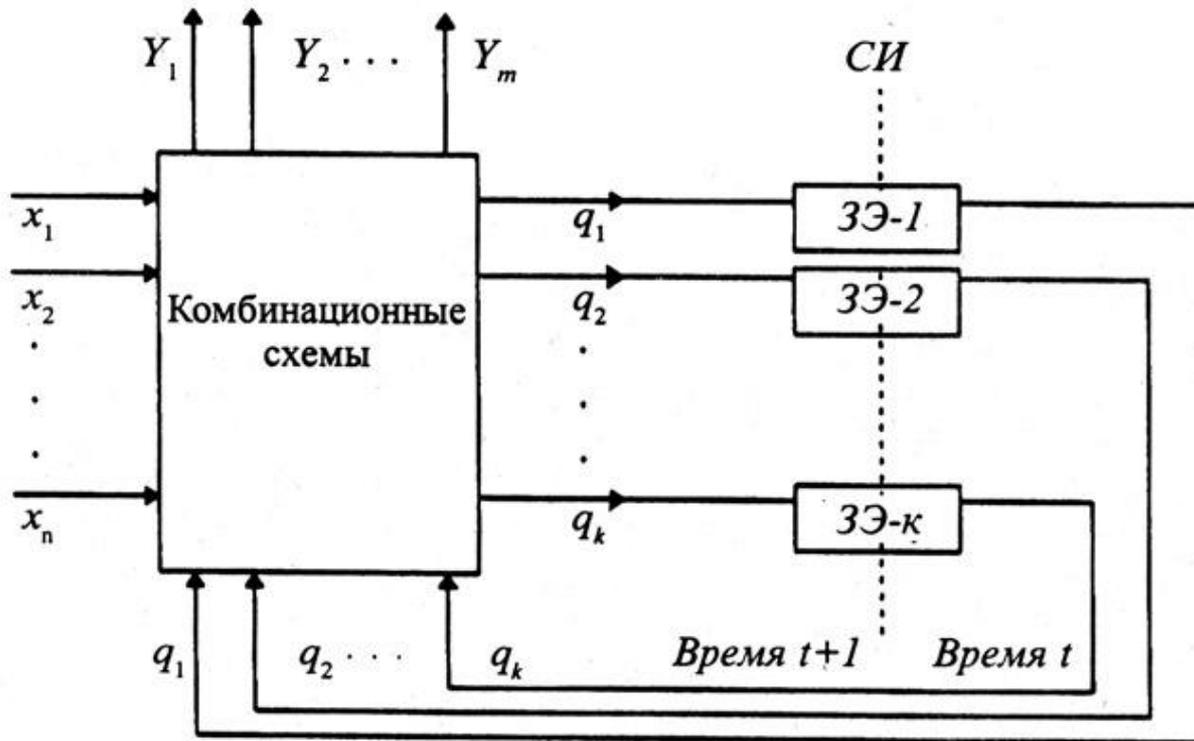
## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

Выходные сигналы  $Y=(y_1, y_2, \dots, y_m)$  формируются:

- по совокупности входных сигналов  $X=(x_1, x_2, \dots, x_n)$
- по совокупности состояний схем памяти  $Q=(q_1, q_2, \dots, q_k)$

Текущий дискретный момент времени  $t$  и последующий  $(t+1)$  момент времени



Обобщенная структура схемы с памятью

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

**Триггер** — простейший запоминающий элемент

**Триггер** — автомат памяти, имеющий входы R(Reset — сброс), для установки элемента в «нулевое состояние»

S (Set — установка) — для установки элемента в «единичное» состояние.

При отсутствии сигналов  $R=S=0$  элемент должен сохранять свое состояние до тех пор, пока не будут получены новые сигналы на входе R или S.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

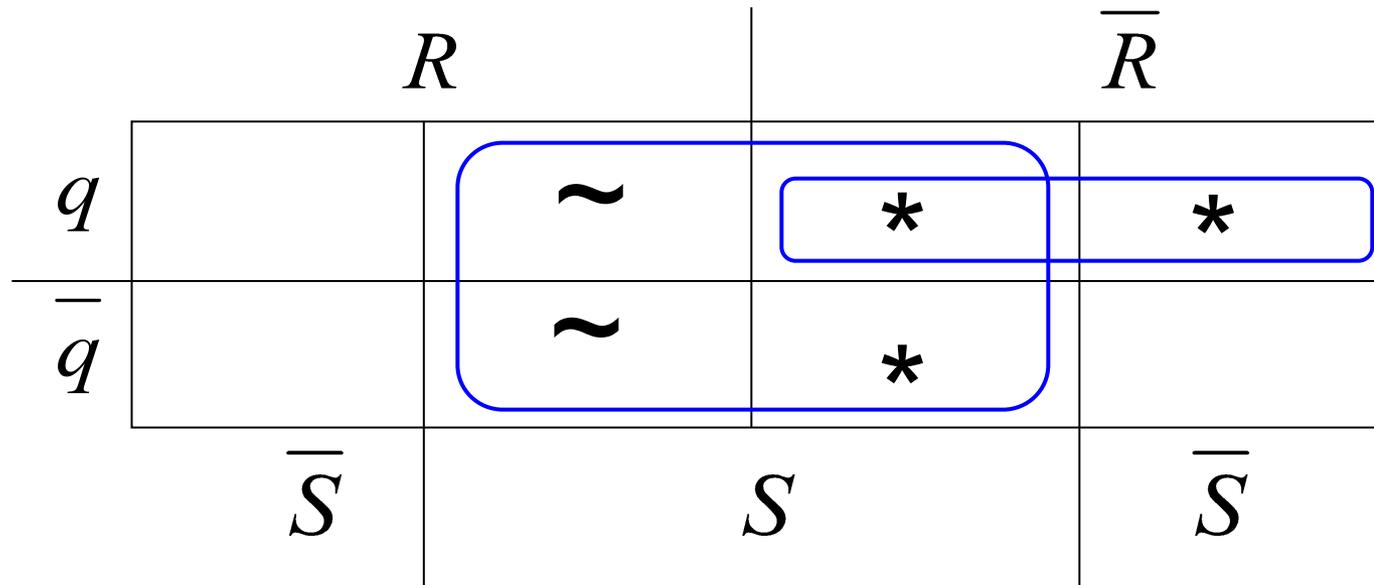
#### Таблица переходов триггера

Входы		Состояние $q_{t+1}$		
R	S	$q_t$	$q_t$	Режим
0	0	0	1	Хранение
1	0	0	0	Установка 0
0	1	1	1	Установка 1
1	1	?	?	Запрещенное состояние

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

Диаграмма Вейча для таблицы переходов триггера



$\sim$  - запрещенное состояние, \* - значение функции 1

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

$$q_{t+1} = \overline{R_t} \overline{S_t} q_t \vee \overline{R_t} S_t \overline{q_t} \vee R_t S_t q_t = \overline{R_t} S_t \vee q_t \overline{R_t}$$

С использованием запрещенных ситуаций, т.е.

$$R_t S_t q_t \vee R_t S_t \overline{q_t} = R_t S_t$$

получаем

$$q_{t+1} = \overline{R_t} S_t \vee q_t \overline{R_t} \vee R_t S_t = S_t (\overline{R_t} \vee R_t) \vee q_t \overline{R_t} =$$

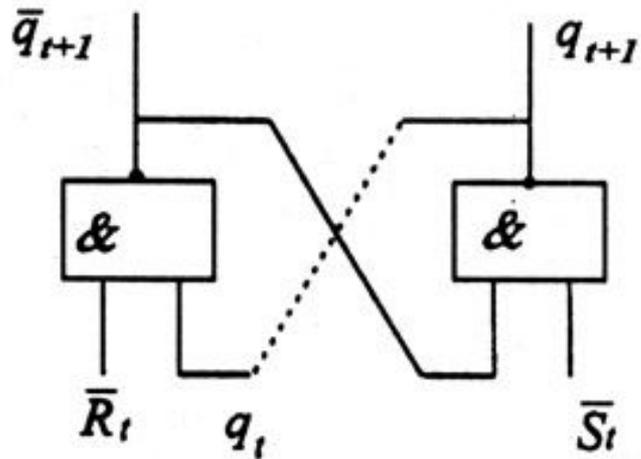
$$= S_t \vee q_t \cdot \overline{R_t}$$

В базисе И-НЕ

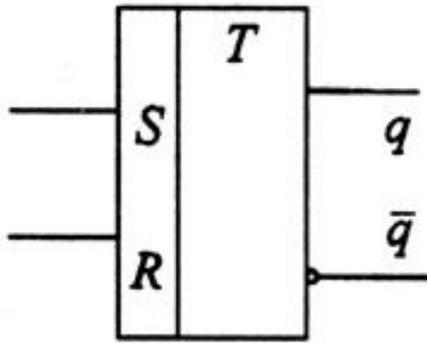
$$q_{t+1} = \overline{\overline{S_t} \vee \overline{q_t R_t}} = \overline{\overline{S_t} \cdot \overline{q_t} \cdot \overline{R_t}}$$

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

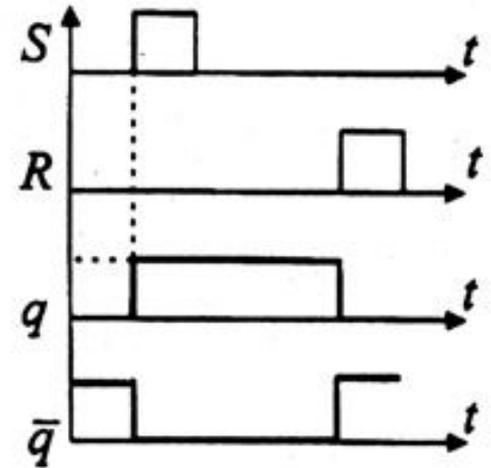
### Схемы с памятью



*a*



*б*



*в*

Схема асинхронного RS-триггера: *a* – схема; *б* – обозначение на принципиальных электрических схемах; *в* – временная диаграмма;

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Синхронные RS-триггеры

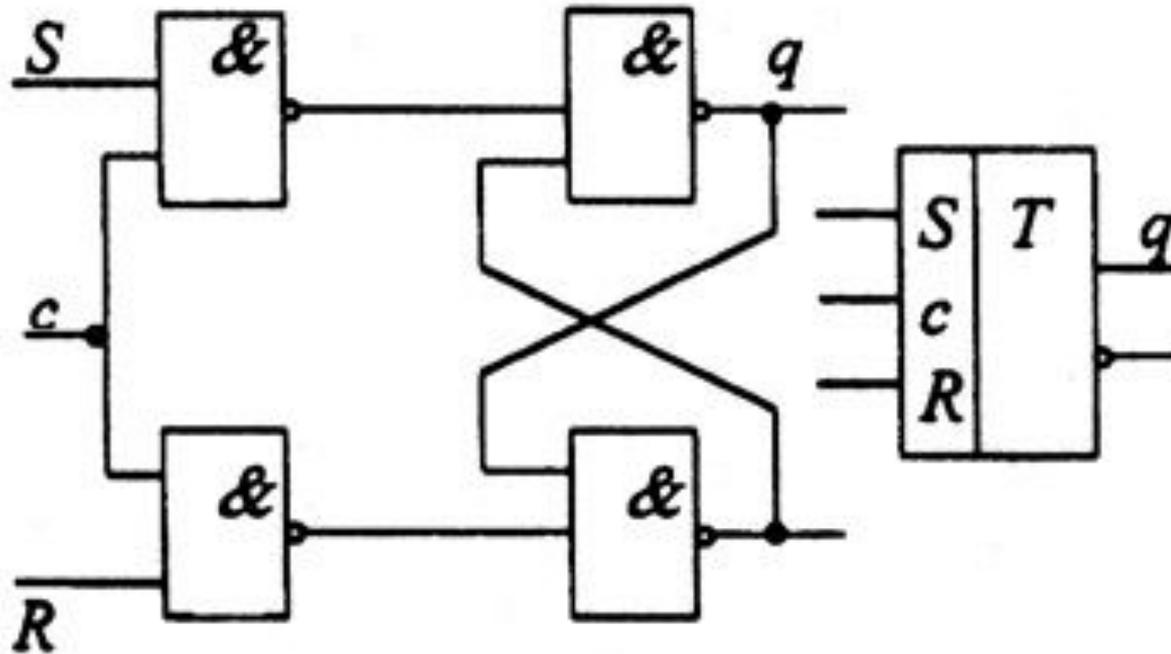


Схема синхронного одноклапного RS-триггера

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Синхронные RS-триггеры

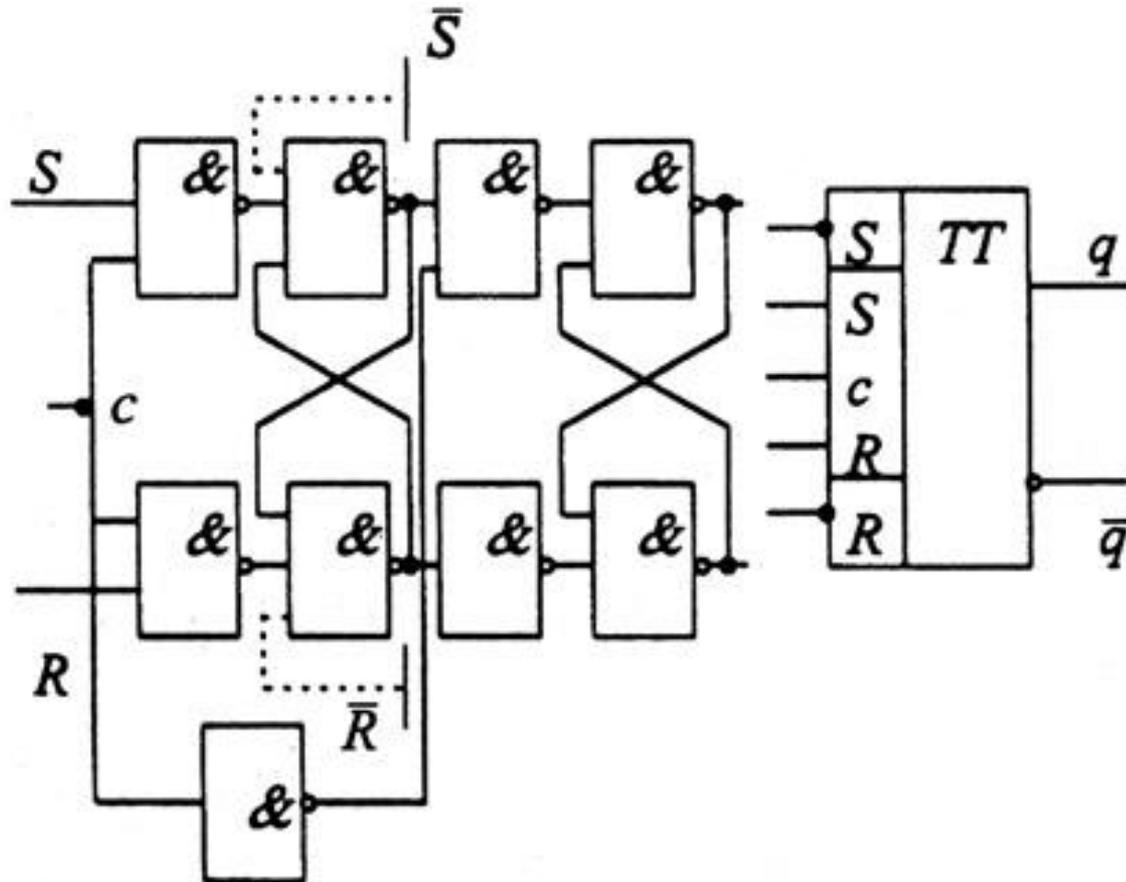


Схема синхронного двухтактного RS-триггера

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Т-триггер

Таблица переходов Т-триггера

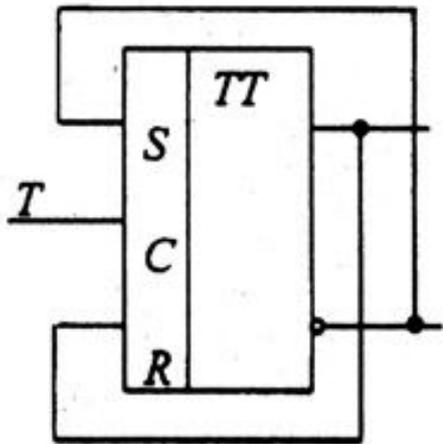
Входные сигналы	Состояние $q_t$		Режим
	0	1	
$X_t$	0	1	
0	0	1	Хранение
1	1	0	Инверсия

Логическая функция, реализуемая Т-триггером:

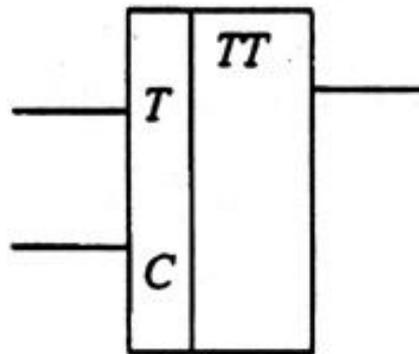
$$q_{t+1} = \overline{q_t} \cdot x_t \vee q_t \cdot \overline{x_t} = q_t \oplus x_t$$

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

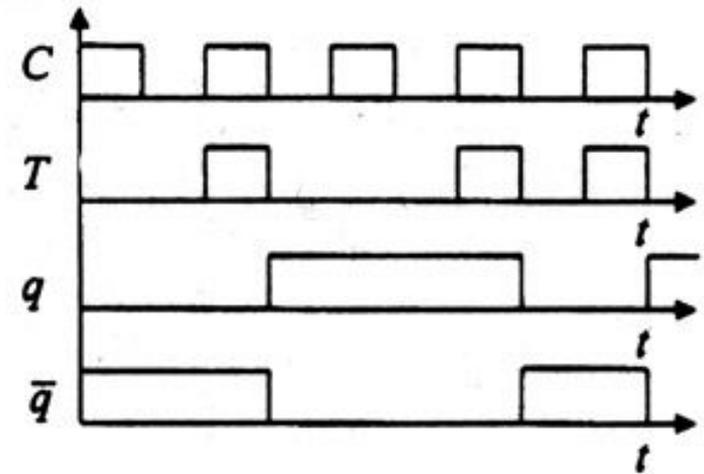
### Схемы с памятью. Т-триггер



*a*



*б*



*в*

Схема триггера со счетным входом: *a* — функциональная схема;

*б* — условное обозначение; *в* — временная диаграмма

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

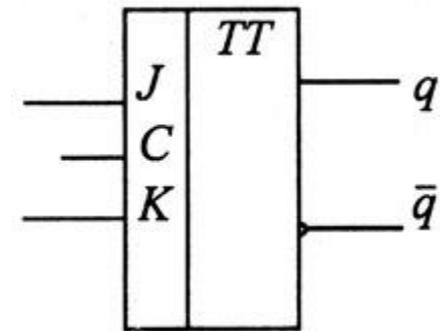
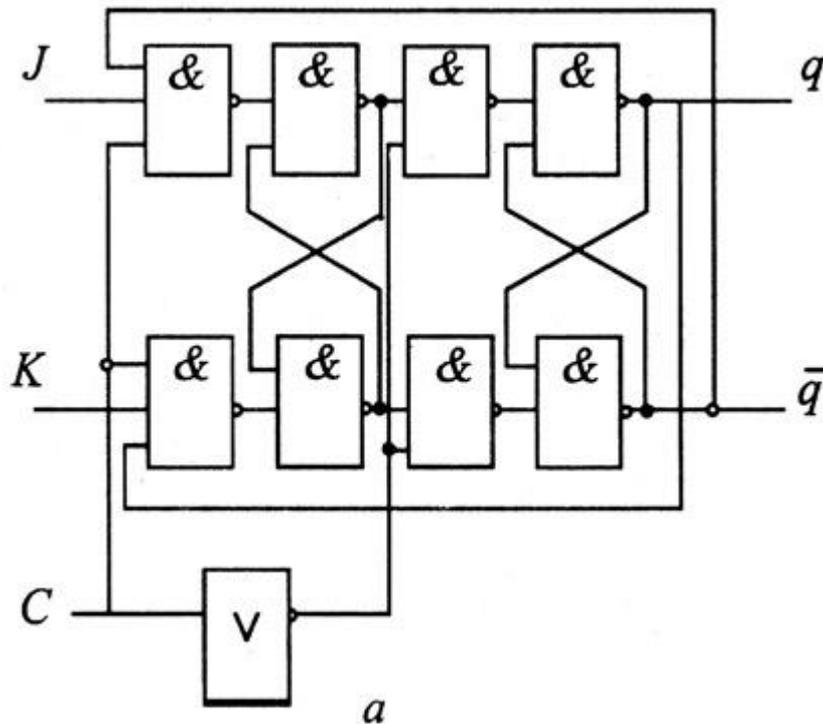
### Схемы с памятью. JK-триггер

Таблица переходов JK-триггера

Входные сигналы		Состояние $q_t$		Режим
J	K	0	1	
0	0	0	1	Хранение
0	1	0	0	Установка 0
1	0	1	1	Установка 1
1	1	1	0	Инверсия

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. JK-триггер



б

JK-триггер: а — функциональная схема; б — условное обозначение

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

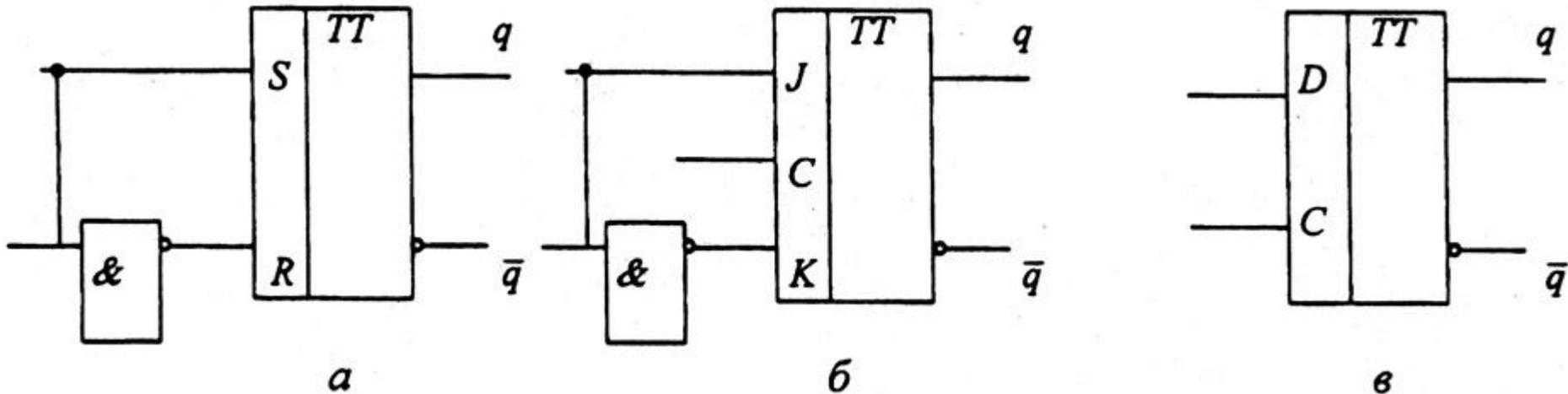
### Схемы с памятью. D-триггер

Таблица переходов D-триггера

Входные сигналы	Состояние $q_t$		Режим
D	0	1	
0	0	0	Установка 0
1	1	1	Установка 1

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. D-триггер



D-триггер: а — функциональная схема на основе RS-триггера;  
б — функциональная схема на основе JK-триггера; в — условное обозначение

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью

#### Типовые узлы ЭВМ:

- регистры,
- счетчики,
- сумматоры.

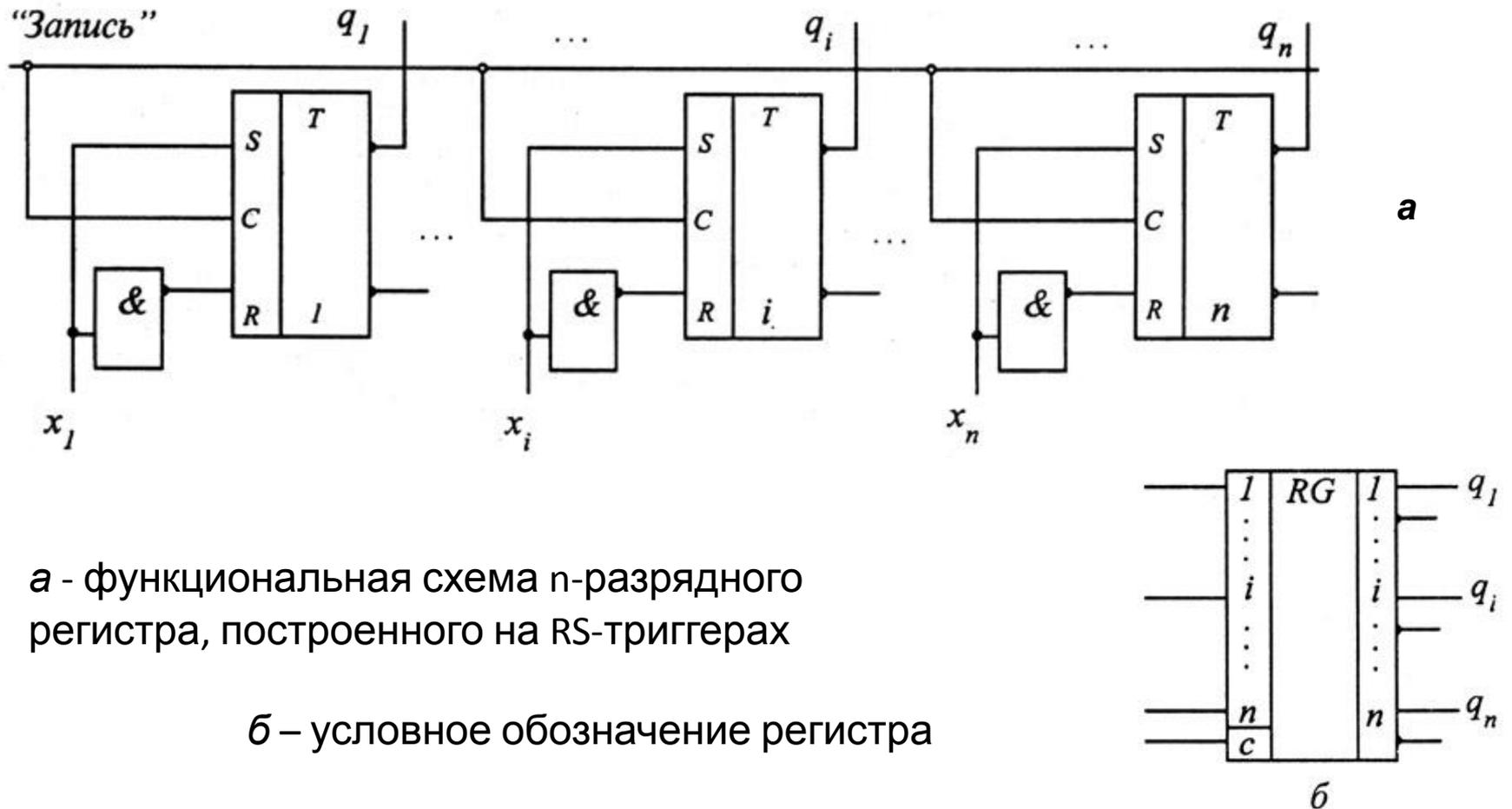
## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

- *Регистром* называется узел, предназначенный для приема, временного хранения и выдачи машинного слова.
- Регистры могут также использоваться для некоторых операций преобразования данных: для сдвига кода числа (слова) на определенное число разрядов влево или вправо, для преобразования последовательного кода числа в параллельный и наоборот и т.д.

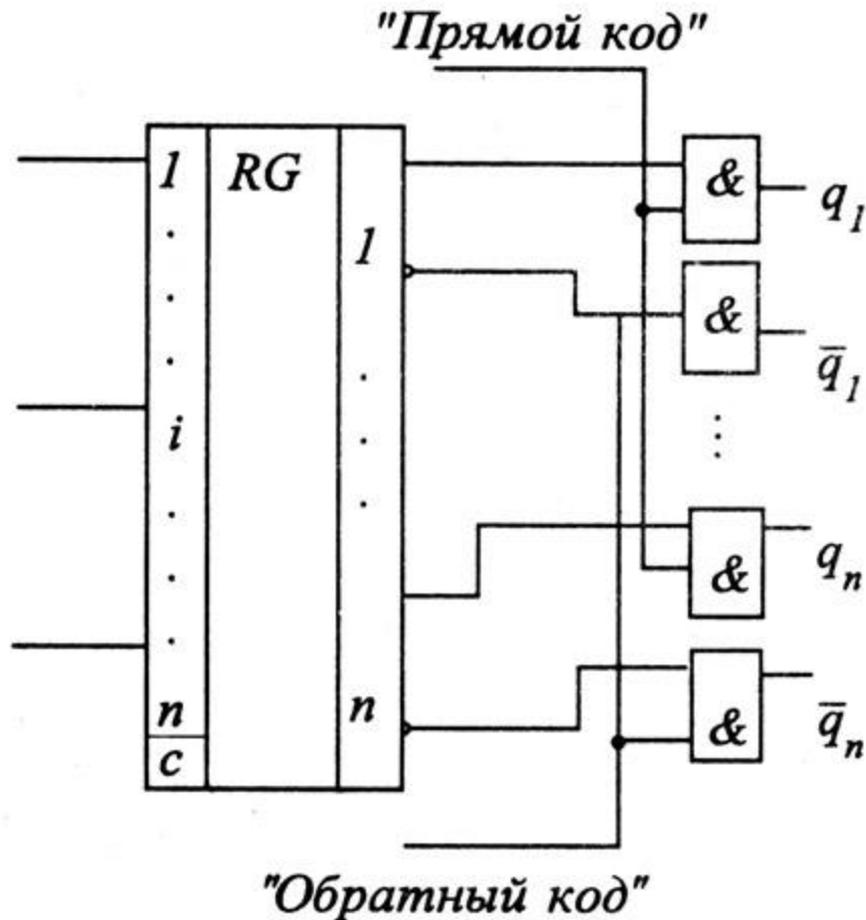
## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ



Функциональная схема регистра с выходными сигналами в «прямом» и «обратном» кодах.

Схема выдачи информации из регистра

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

- *Счетчик* — это узел ЭВМ, позволяющий осуществлять подсчет поступающих на его вход сигналов и фиксацию результата в виде многоразрядного двоичного числа.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

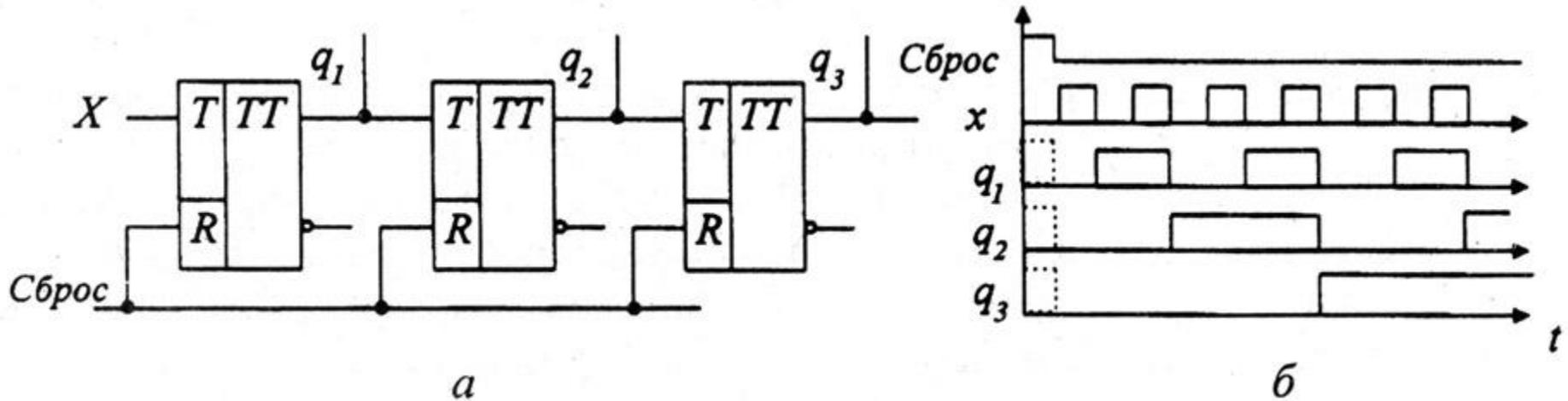
Таблица переходов трехразрядного счетчика

Вход	Состояния								Режим
	000	001	010	011	100	101	110	111	
х	000	001	010	011	100	101	110	111	
0	000	001	010	011	100	101	110	111	Хранение
1	001	010	011	100	101	110	111	000	Счет

# Элементная база вычислительных систем и сетей

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

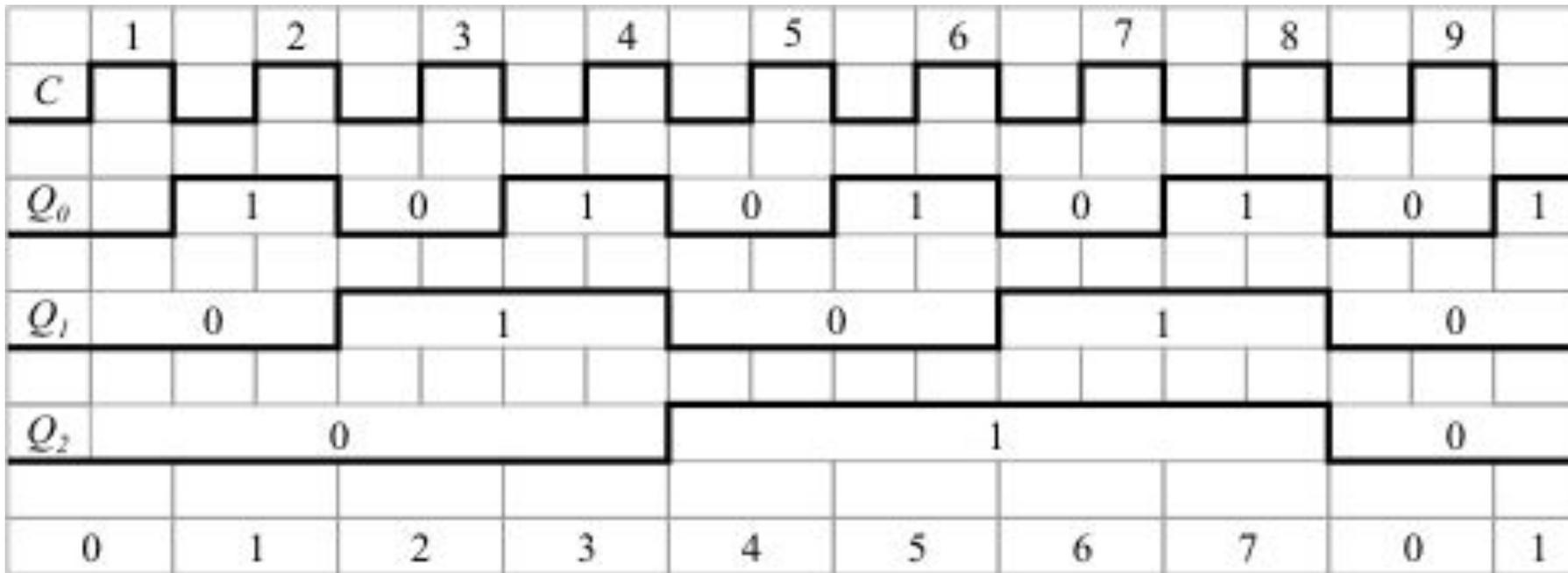


Организация счетчика на Т-триггерах:  
а — функциональная схема; б — временная диаграмма

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Типовые узлы ЭВМ. Счетчик на Т-триггерах

Временная диаграмма работы счетчика



## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

- *Сумматор* — это узел ЭВМ, в котором суммируются коды чисел.
- Сумматоры
  - накапливающего типа
  - комбинационного типа.

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ

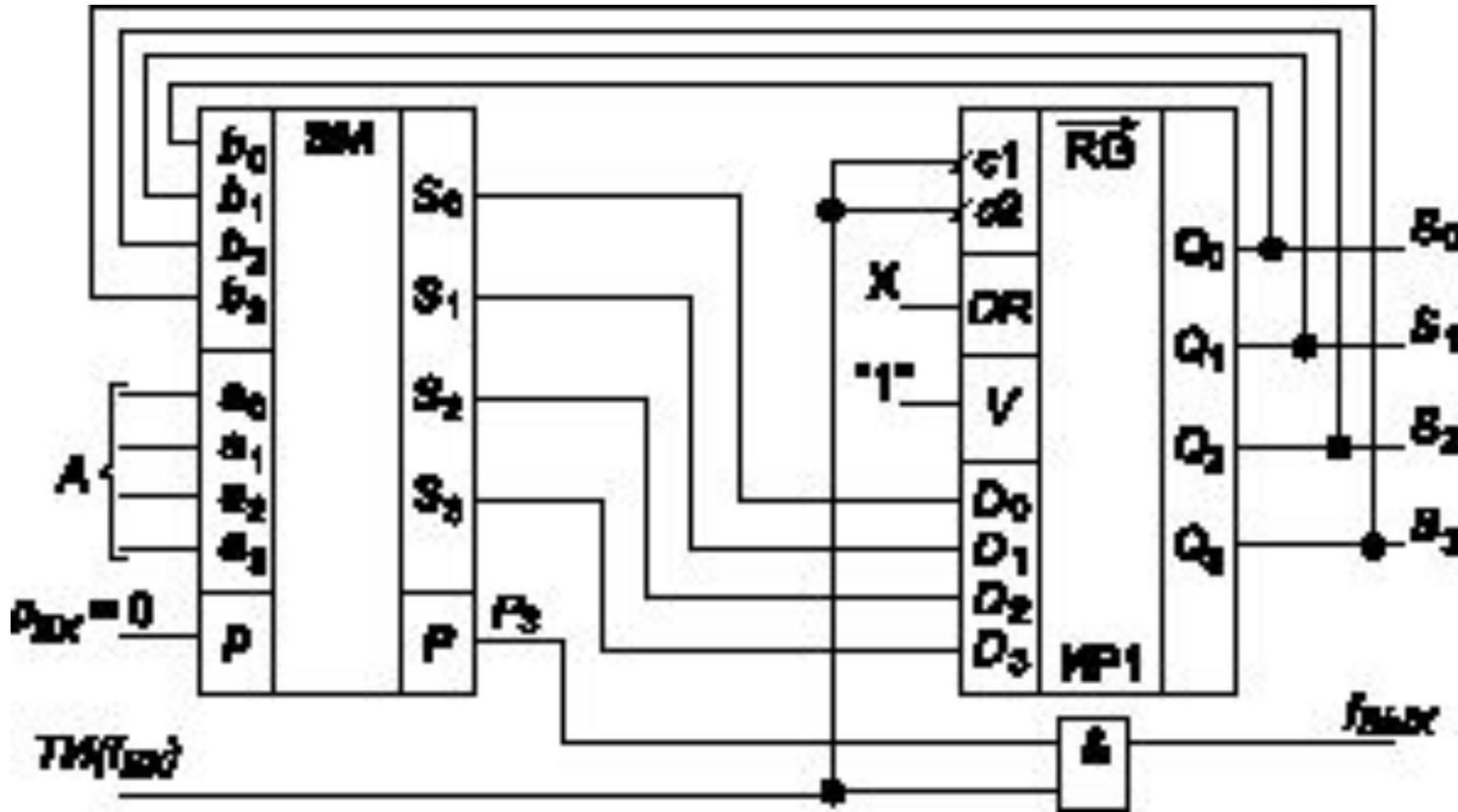
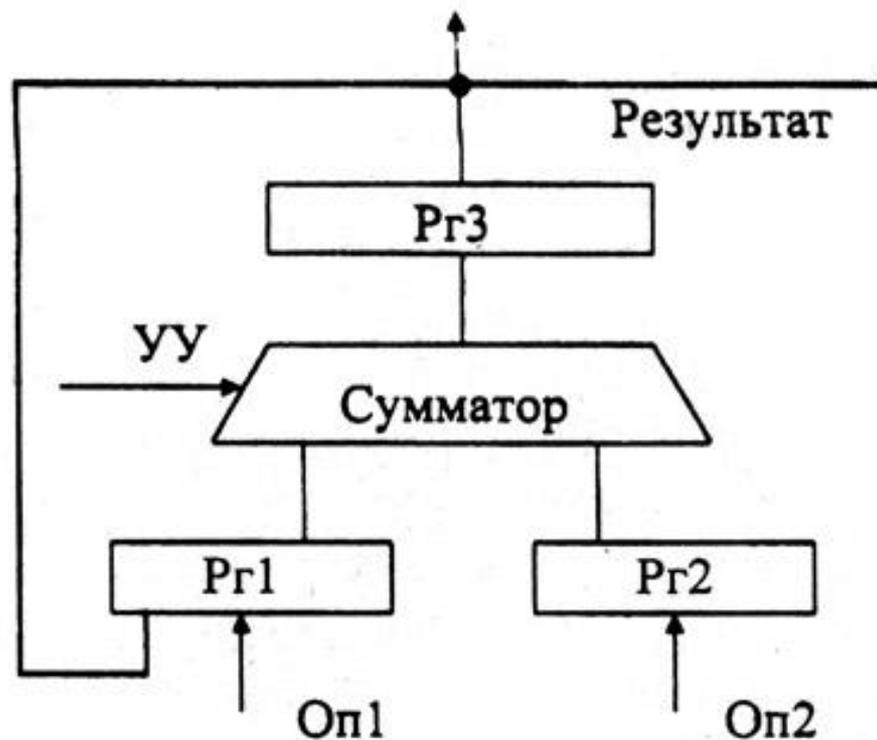


Схема 4-разрядного параллельного накапливающего сумматора

## ЭЛЕМЕНТНАЯ БАЗА ЭВМ

### Схемы с памятью. Типовые узлы ЭВМ



Упрощенная схема сумматора ЭВМ