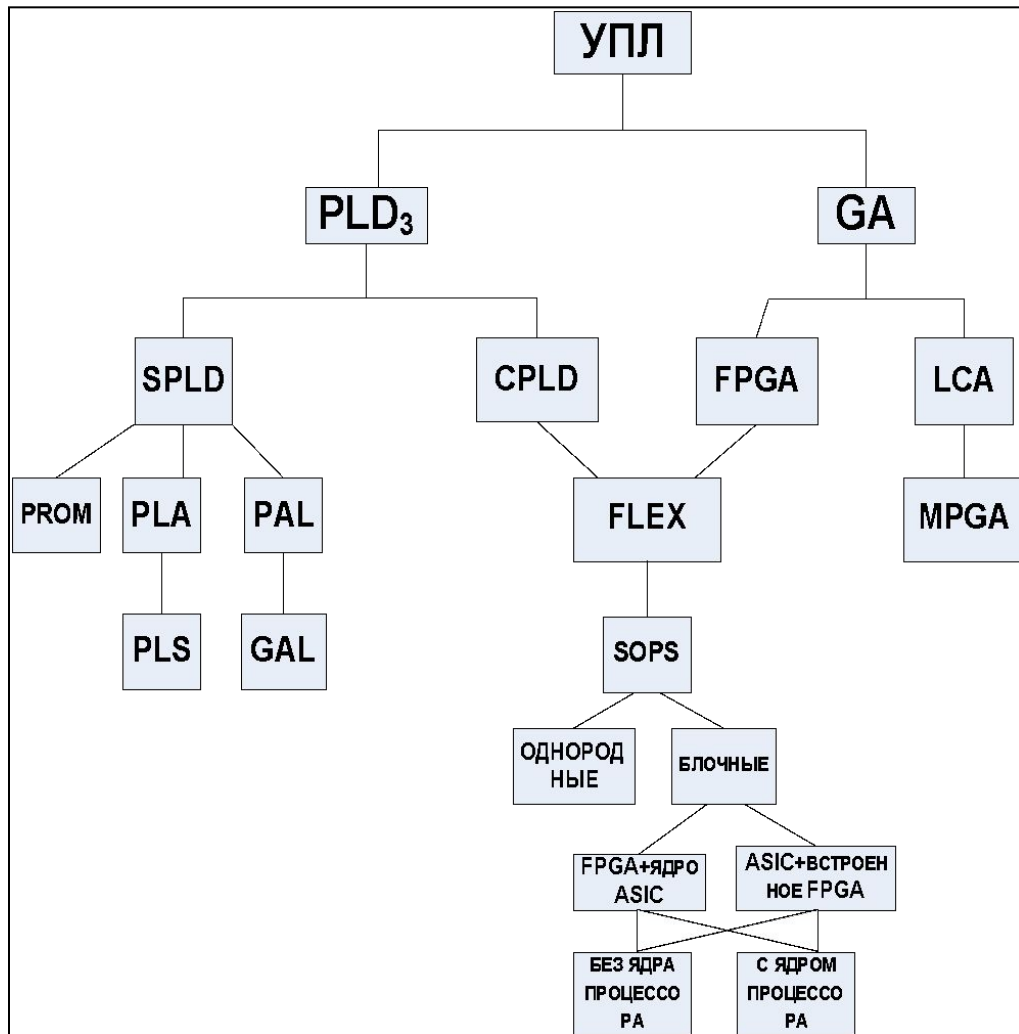


ЛЕКЦИЯ 2-10

УСТРОЙСТВА ПРОГРАММИРУЕМОЙ ЛОГИКОЙ (УПЛ)

Устройства программируемой логики (УПЛ) Общие сведения, классификация УПЛ



PLDs – программируемые логические устройства.
GA – базовые матричные кристаллы (**Gate Array**), (вентильные структуры).
Программируемые логические структуры состоят из двух матриц:

PLA - программируемая логическая матрица («и», «или»);

PAL - программируемая матрица логики («и»)

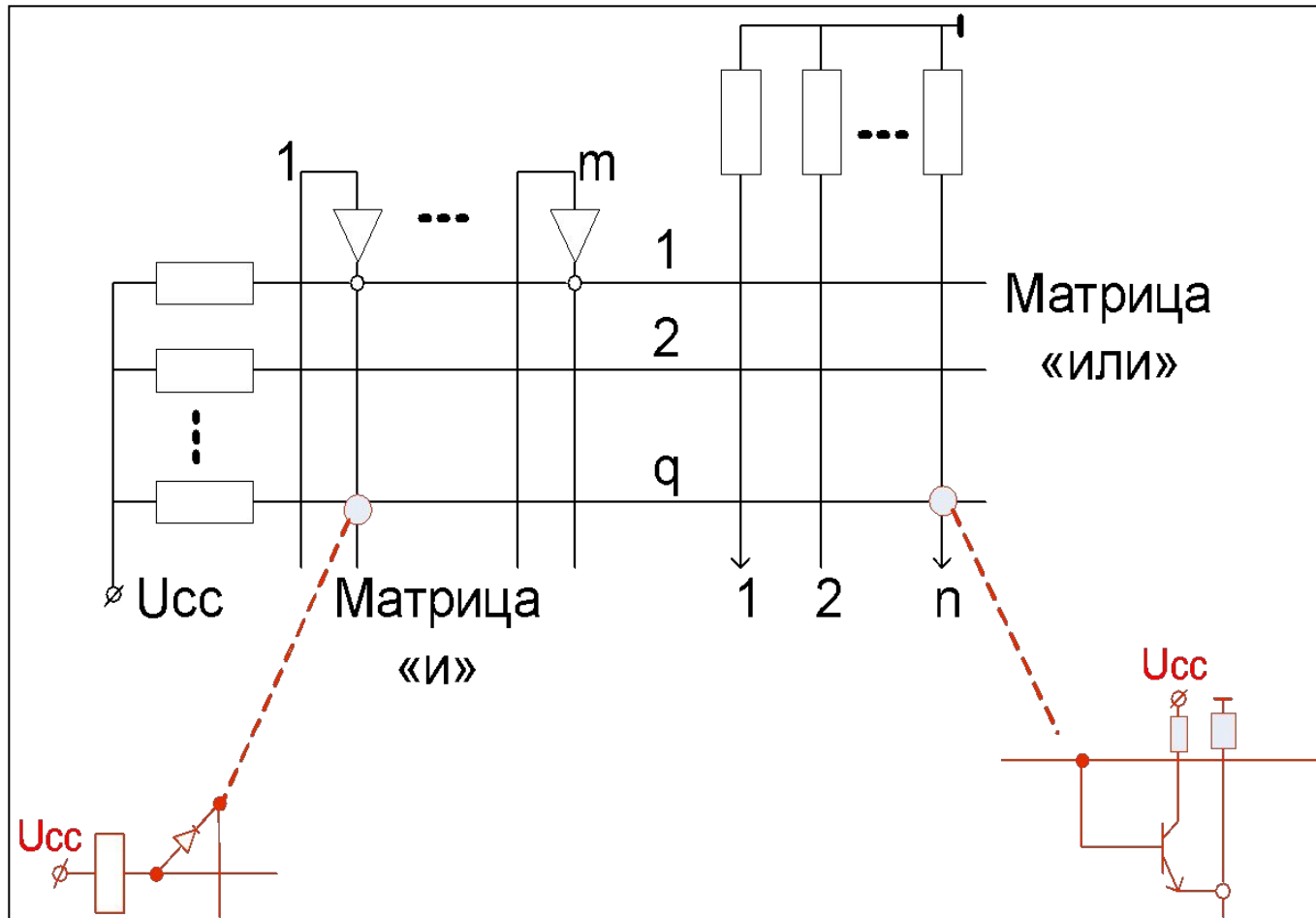
FLEX – гибкая логическая матричная структура.

SOPC – система на кристалле.

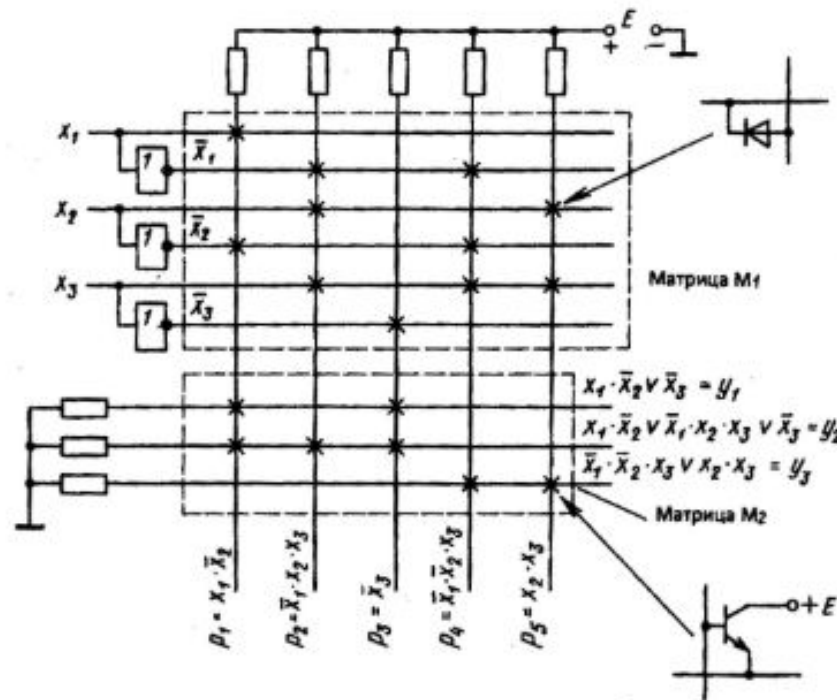
ASIC (application specific integration circuit) – интеллектуальная система;

специализированные интегральные схемы.

Простые программируемые логические устройства (SPLD).



Простые программируемые логические устройства (SPLD).



У **PROM** матрица «**И**» полная. Она не программируется, она задана. Программируется только «**или**».

PLA (m, q, n)

PLA (16, 18, 8)

Для **PAL** характерно то, что программируется только матрица «**И**», а матрица «**или**» не программируется.

Термы разбиты на группы и в соответствующих группах они объединяются элементом «**или**».

В **PAL** упрощение матрицы «**или**» позволило добавить в структуру цепи обратной связи и выходные буферы, что качественно изменяет элемент.

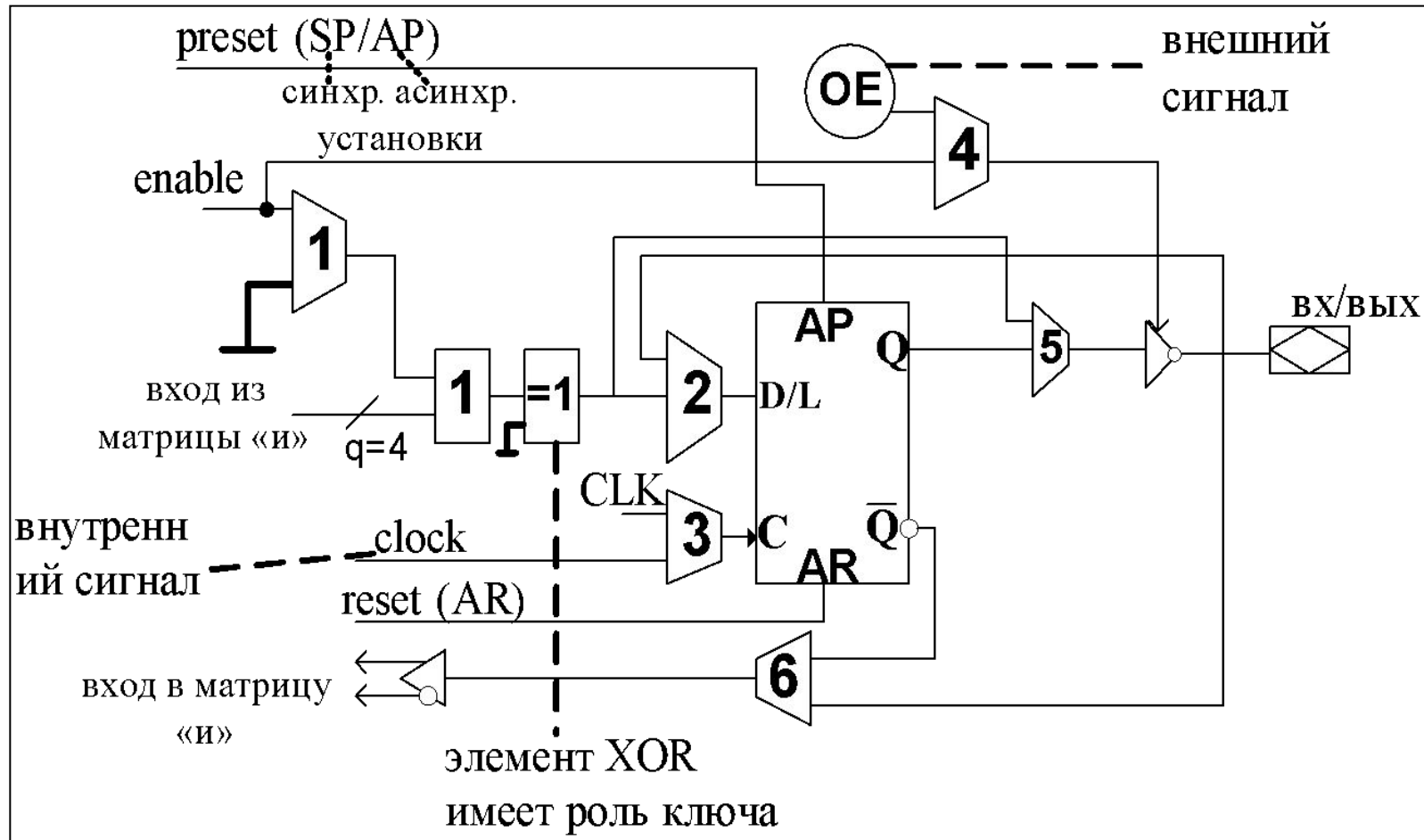
Выходные буферы представляют собой программируемые макроячейки, которые определяют **PAL**.

Макроячейки могут включать выходной инвертор с тремя состояниями, триггеры различного типа, вентили и другие элементы.

Макроячейка может быть комбинационная (без памяти) либо регистровая (с памятью), без обратной связи и с обратной.

Путём программирования управлять ячейкой можно либо внешними сигналами (CLK, Reset, OE), либо внутренними сигналами, которые формируются в матрице «**И**».

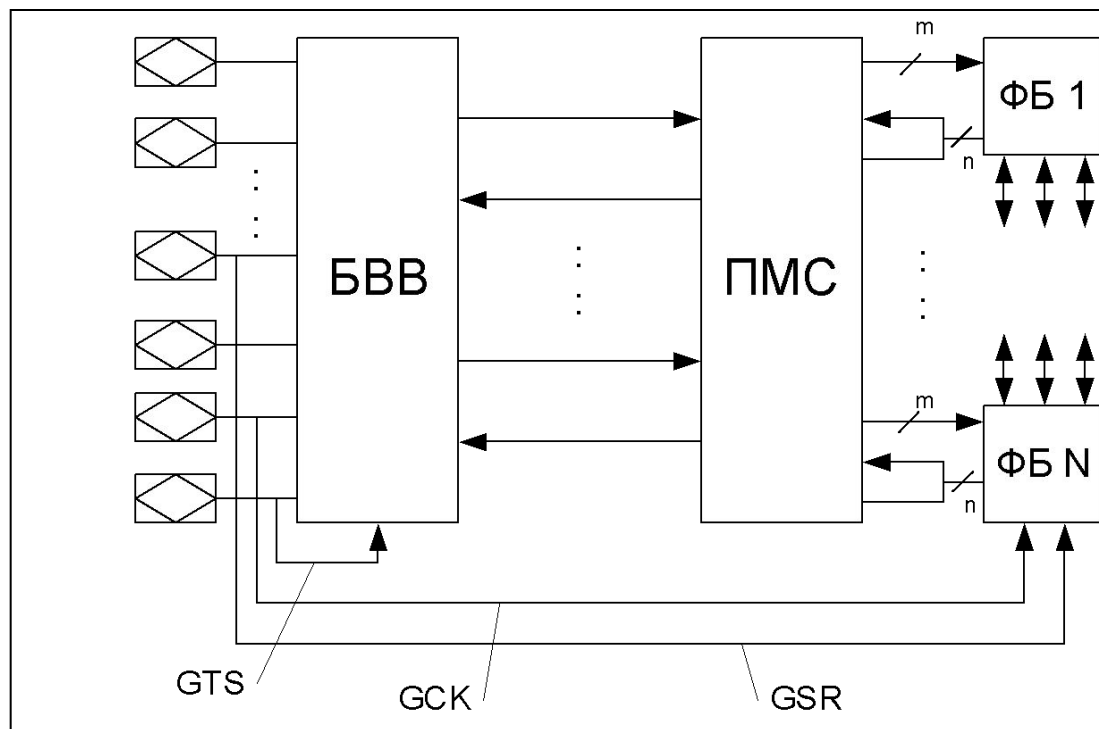
Упрощённая структура макроячейки



СТРУКТУРА CPLD

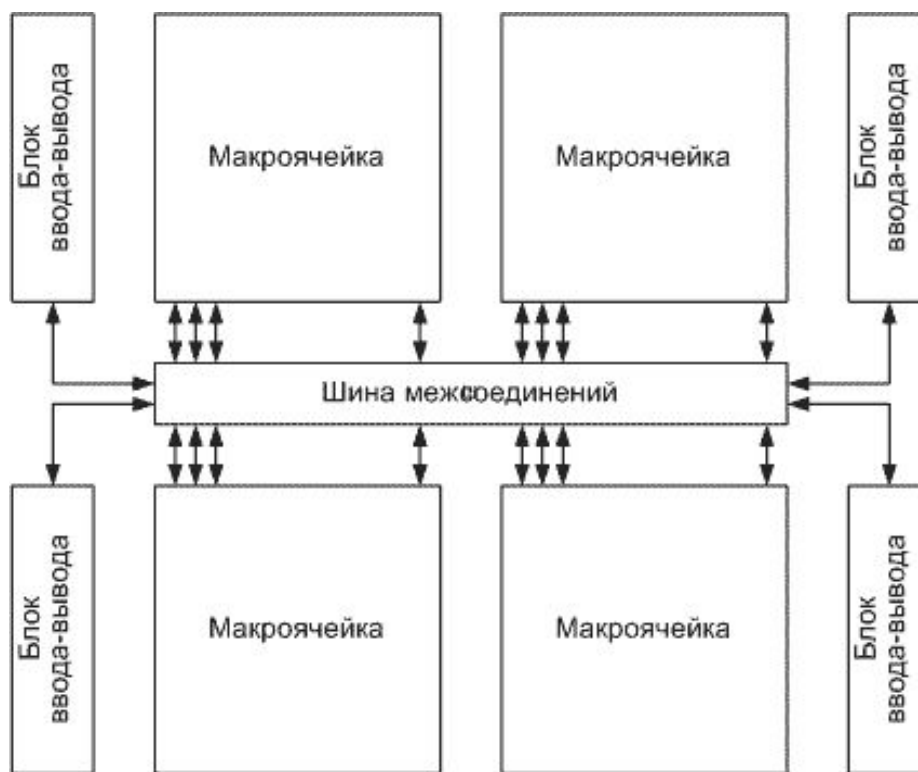
CPLD – микросхемы высокого уровня интеграции, основными частями которых являются:

1. Функциональные блоки (ФБ)
2. Система коммутации, позволяющая объединять ФБ в единое устройство, выполнена в виде программируемой матрицы соединений (ПМС)
3. Блоки ввода-вывода (БВВ)

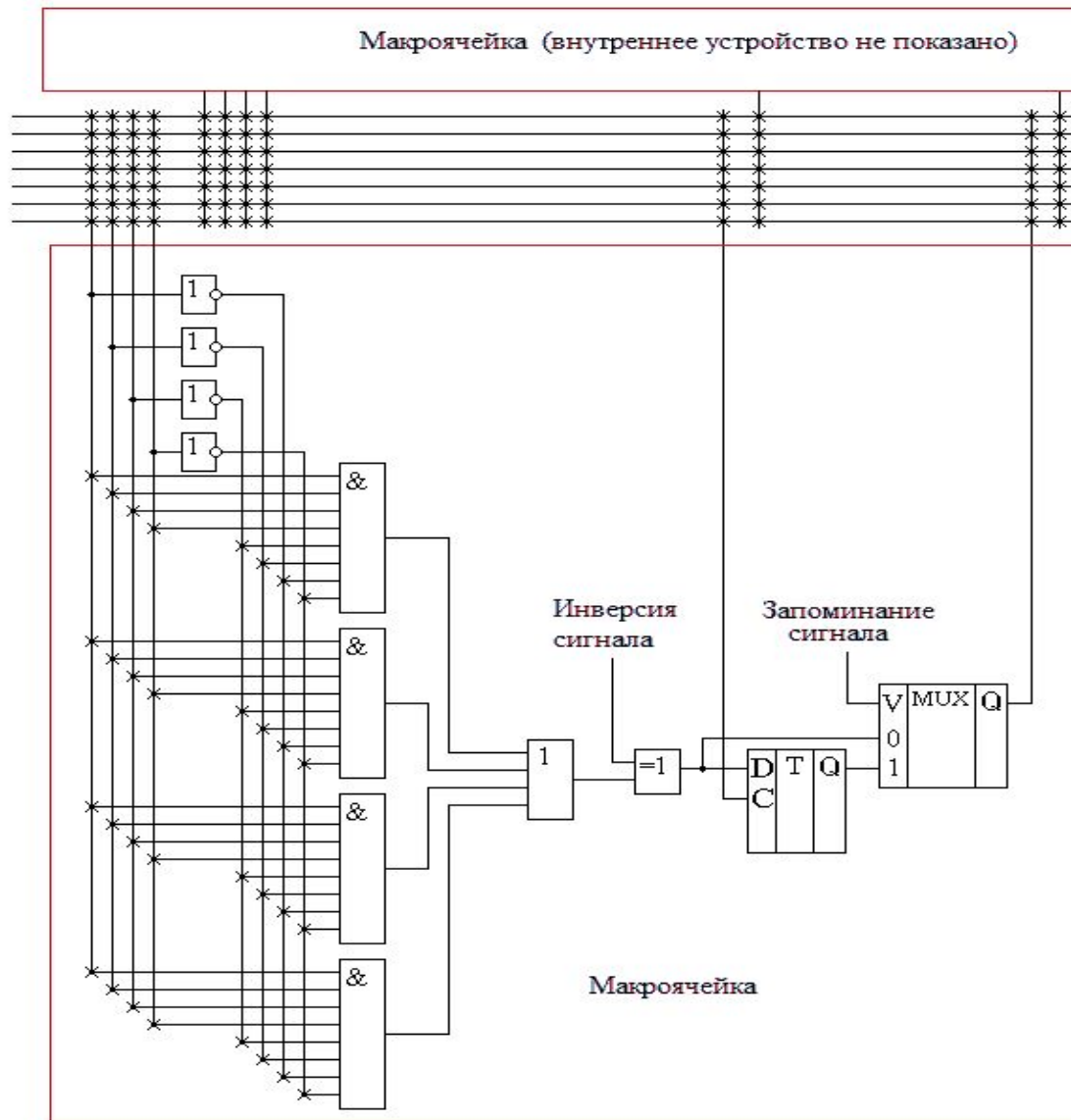


СТРУКТУРА CPLD

Программируемая логическая интегральная схема CPLD состоит из нескольких макроячеек, расположенных на одном кристалле. Каждая макроячейка соединена с блоками ввода-вывода, осуществляющими формирование необходимого вида входов или выходов для работы с внешними схемами. Кроме того, все макроячейки и блоки ввода-вывода связаны между собой внутренними параллельными шинами. Пример внутренней схемы CPLD приведен на рисунке



Внутренняя схема макроячейки микросхемы CPLD



CPLD может содержать N ФБ, каждый из которых может иметь n макроячеек.

ФБ получают информацию от ПМС (m -сигналы), каждый ФБ может формировать n выходных сигналов, которые могут подаваться в ПМС или БВВ.

ПМС обеспечивает полную коммутируемость ФБ, т.е. возможность подавать сигналы с любого выхода на любой вход.

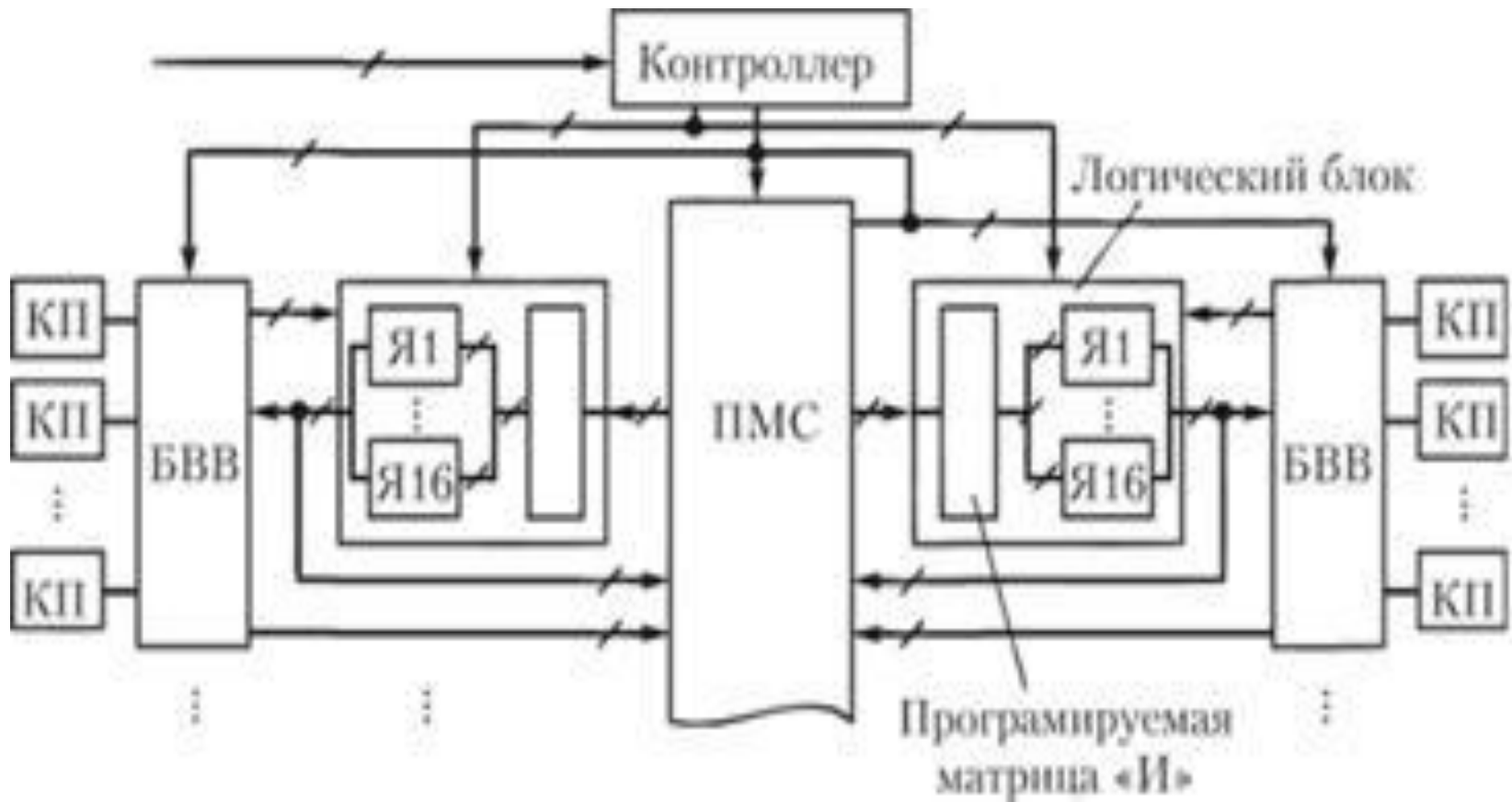
БВВ связаны внешними двунаправленными выводами и могут быть запрограммированы как на вход, так и на выход.

Нижние три вывода могут использоваться как ввод-вывод либо для подачи внешних управляющих сигналов.

Кроме указанных частей в CPLD могут входить:

- Контролирующие внешние интерфейсы jTAG (для тестирования микропрограммы)
- Контроллер для управления операциями программирования и др.

Фрагмент структуры CPLD MAX 7000

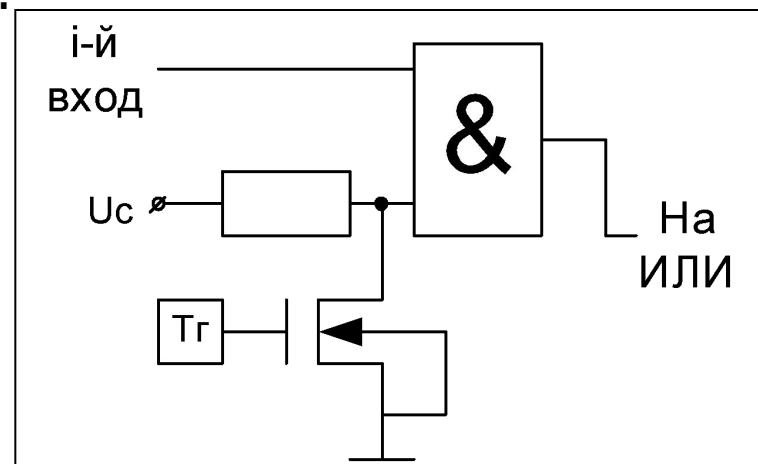
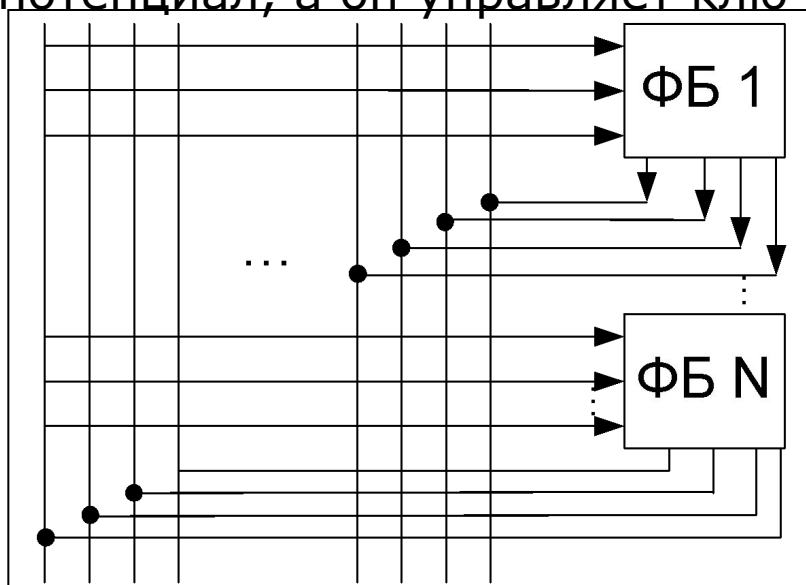


Программируемая матрица соединений

ПМС выходы ФБ подключаются к вертикальным непрерывным, несегментируемым линиям, при этом каждому выходу соответствует своя линия.

Входы ФБ связаны с горизонтальными линиями, пересекающими все вертикальные линии. На пересечении вертикальных и горизонтальных линий могут быть связующие элементы.

Для подключения необходимой линии на вход ФБ используется управление потенциалом точки, т.е. управляется потенциал, а он управляет ключом.



Достоинством ПМС являются малая и предсказуемая задержка коммутируемых сигналов, так как для каждого соединения образуется идентичный всем другим канал связи с малым числом программируемых ключей.

ПМС такого типа эффективны в схемах с относительно небольшим числом коммутируемых блоков.

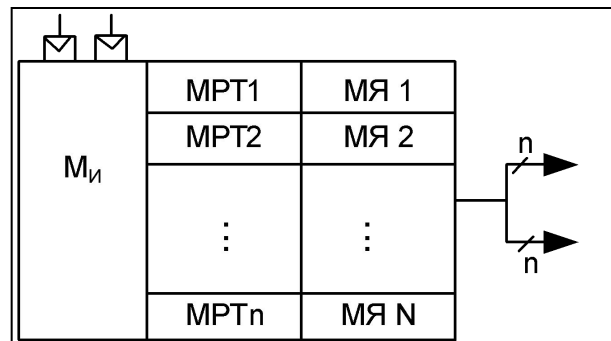
Функциональные блоки

Основными частями ФБ являются:

- Программируемая матрица элементов «И»
- Матрица распределения термов
- Группа из нескольких макроячеек

Есть m -входов и n -выходов. Основа каждого блока является PAL подобные структуры.

В CPLD матрица элементов ИЛИ не является полностью фиксированной и, благодаря введению в схему матрицы распределения термов, возможно варьирование числа термов в вырабатываемой функции.



При этом термы заимствуют у других каналов выработки функций или отдаются им.

Проще всего организовать коммутацию между соседними каналами.

Схемотехнически в операциях распределения термов по каналам ФБ задействованы как непосредственно цепи коммутации между входами и выходами матрицы распределения термов, так и логические распределители последовательного и параллельного типов.

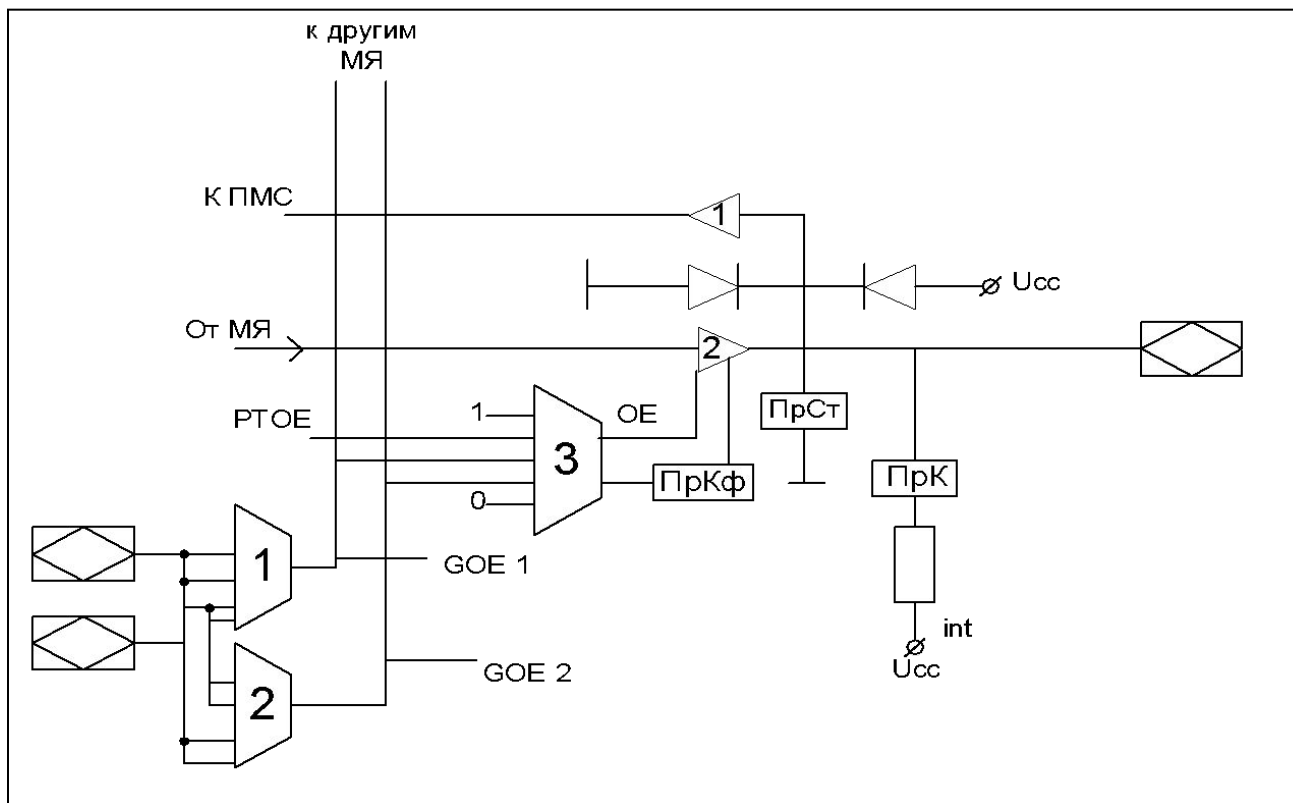
Последовательные (разделяемые общие) логические расширители создаются подачей инвертируемого значения терма из матрицы распределения термов данного канала обратно на один из входов МИ, который становится доступным другим каналам.

Параллельный расширитель позволяет передавать термы одного канала другому.

Термы от матрицы распределения термов поступают далее на часть ФБ, называемую макроячейкой, которая содержит в качестве основы программируемых мультиплексоров, триггеров, ключей и формирует группу выходных сигналов в нескольких вариантах.

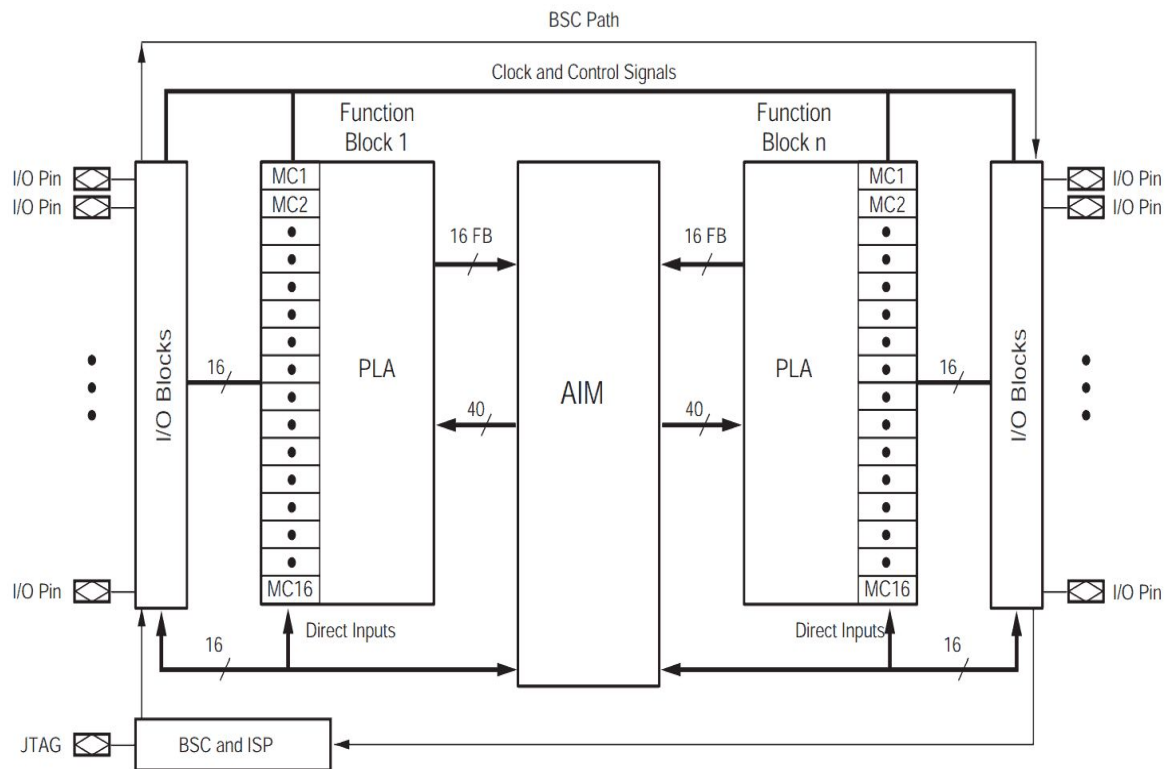
Блоки ввода-вывода

Основой служат входной и выходной буферы. Структурно можно представить следующим образом:



Согласно принятой классификации в классе CPLD попадает ПЛИС с уровнем интеграции от 600 до 20000 эквивалентных вентилей с числом макроячеек от 32 до 512, числом ФБ от 2 до 16 и временем распределения сигнала от любого входа до любого выхода от 5 до 20 ns.

Архитектура CPLD Xilinx CoolRunner-II



DS090_01_121201

Figure 1: CoolRunner-II CPLD Architecture

Архитектура CPLD Xilinx CoolRunner-II

Основные функции:

- Этот CPLD имеет несколько функциональных блоков, начиная с «Функционального блока 1» до «Функционального блока n» (это число колеблется от 2 до 32 в случае CPLD CoolRunner-II)

- 16 строк вывода из каждого функционального блока поступают в AIM (расширенную матрицу межсоединений), тогда как 40 строк сигналов вводятся в функциональные блоки из AIM.

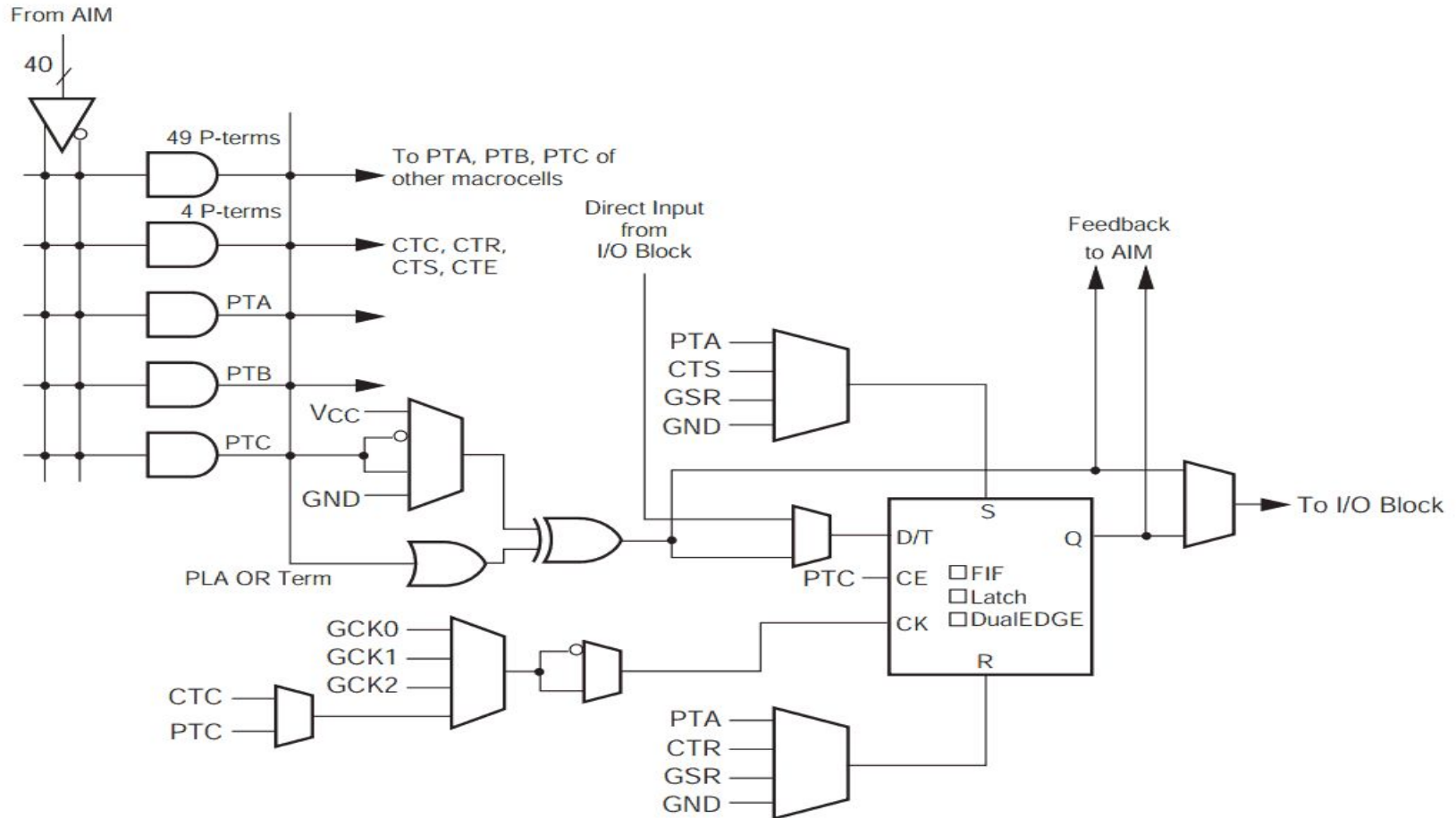
- Каждый функциональный блок имеет 16 макроэлементов (от MC1 до MC16).

Каждый MacroCell имеет доступ к 16 сигналам из блоков ввода / вывода

- Структура MacroCell показана ниже. Каждая макроячейка содержит 1 массив триггеров и PLA с суммой продуктов, которые пользователи могут использовать для создания комбинаторной или последовательной логики. Таким образом, максимальное число триггеров, доступных в CoolRunner-II CLPD (XC2C512), составляет 512! (Запомните это число, мы сравним его с количеством триггеров в FPGA)

- AIM может быть запрограммирован на соединение сигналов, как мы хотим. Но, как мы видели во втором пункте выше, количество сигналов ограничено для каждого функционального блока.

Архитектура CPLD Xilinx CoolRunner-II



DS090_03_121201

Figure 3: CoolRunner-II CPLD Macrocell