
Лекция 14

Понятие архитектуры ЭВМ.

Принципы Дж. фон Неймана

Основные архитектуры

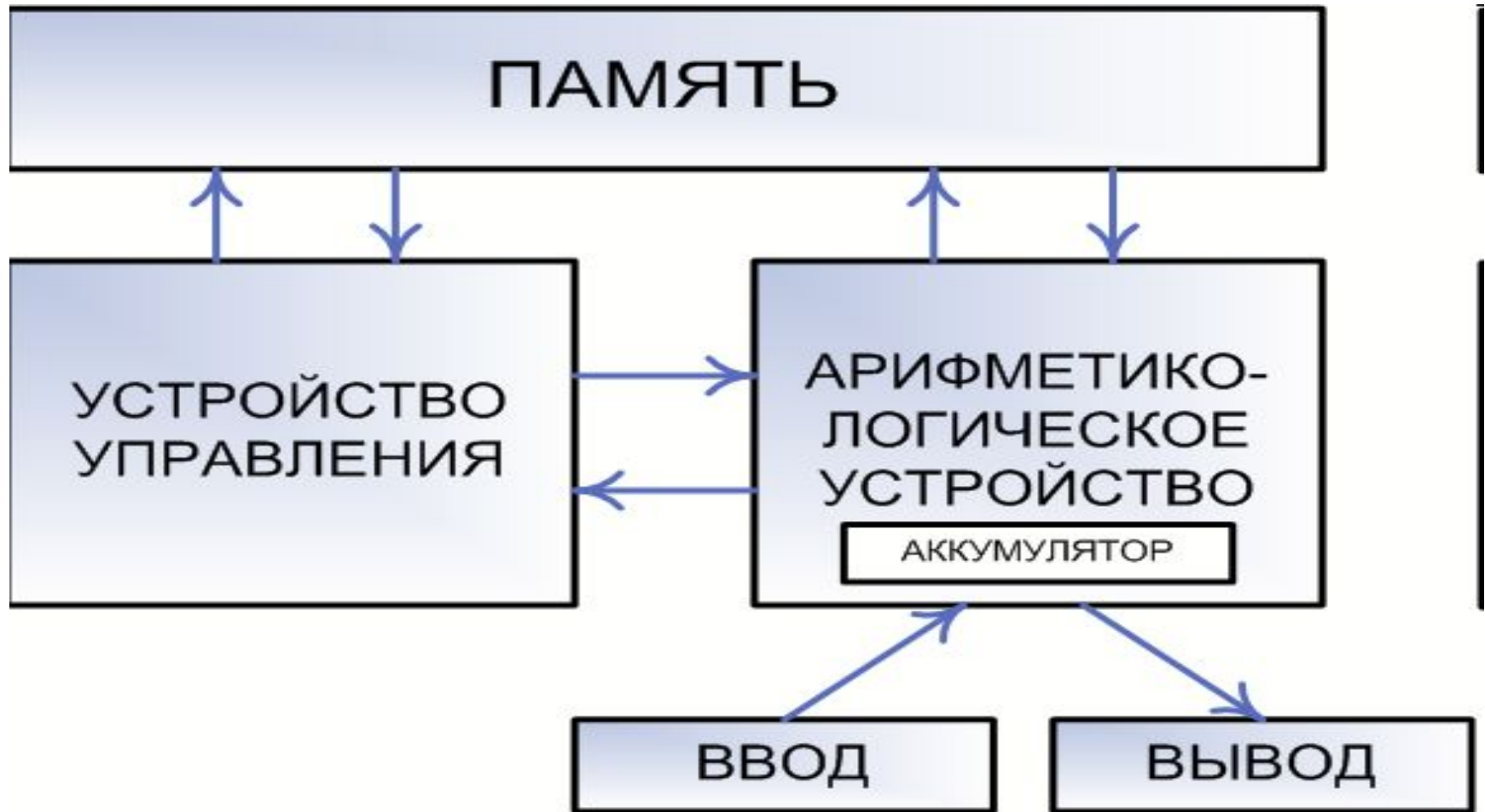
История развития архитектуры IA-32

Архитектура ЭВМ

Архитектурой компьютера называется его описание на некотором общем уровне, включающее описание пользовательских возможностей программирования, системы команд, системы адресации, организации памяти и т.д. Архитектура определяет принципы действия, информационные связи и взаимное соединение основных логических узлов компьютера: процессора, оперативного ЗУ, внешних ЗУ и периферийных устройств. Общность архитектуры разных компьютеров обеспечивает их совместимость с точки зрения пользователя.

Структура компьютера — это совокупность его функциональных элементов и связей между ними. Элементами могут быть самые различные устройства — от основных логических узлов компьютера до простейших схем. Структура компьютера графически представляется в виде структурных схем, с помощью которых можно дать описание компьютера на любом уровне детализации.

Логическая схема компьютера



Принципы Джона фон Неймана

1. **Принцип использования двоичной системы счисления для представления данных и команд.**
2. **Принцип программного управления.** Программа состоит из набора команд, которые выполняются процессором друг за другом в определенной последовательности.
3. **Принцип однородности памяти.** Как программы (команды), так и данные хранятся в одной и той же памяти (и кодируются в одной и той же системе счисления). Над командами можно выполнять такие же действия, как и над данными.
4. **Принцип адресуемости памяти.** Структурно основная память состоит из пронумерованных ячеек; процессору в произвольный момент времени доступна любая ячейка.
5. **Принцип последовательного программного управления.** Все команды располагаются в памяти и выполняются последовательно, одна после завершения другой.

Формат команды

Согласно принципам Дж. фон Неймана формат команды процессора должен удовлетворять следующей схеме:



КОП – код операции,

ОП1 – адрес первого операнда,

ОП2 – адрес второго операнда,

ОП3 – адрес результата.

Гарвардская архитектура

Гарвардская архитектура была разработана в одно время с архитектурой Дж. фон Неймана, но начала использоваться только в 70-х гг. XX века.

В этой архитектуре типичные операции требуют от любого вычислительного устройства нескольких действий: выборку двух операндов, выбор инструкции и её выполнение, а затем сохранение результата.

В данной архитектуре была впервые введена концепция разделения кода и данных, а также введено понятие КЭШ памяти.

Современные архитектуры

Все современные архитектуры компьютеров можно разделить на:

- CISC
 - RISC
 - VLIW
-

Архитектура CISC

CISC (англ. *Complex Instruction Set Computing*) — концепция проектирования процессоров, которая характеризуется следующим набором свойств:

- Нефиксированным значением длины команды.
 - Арифметические действия кодируются в одной инструкции.
 - Небольшим числом регистров, каждый из которых выполняет строго определённую функцию.
-

Архитектура RISC

RISC (англ (англ. *Reduced Instruction Set Computer*) — компьютер с сокращённым набором команд.

Особенности RISC:

- Фиксированная длина машинных инструкций (например, 32 бита) и простой формат команды.
- Специализированные команды для операций с памятью — чтения или записи. Операции вида «прочитать-изменить-записать» отсутствуют. Любые операции «изменить» выполняются только над содержимым регистров (т. н. load-and-store архитектура).
- Большое количество регистров общего назначения (32 и более).
- Отсутствие поддержки операций вида «изменить» над укороченными типами данных — байт, 16-битное слово.
- ~~Отсутствие микропрограмм внутри самого процессора.~~

Архитектура RISC

Сопутствующие архитектуры:

- Суперскалярные архитектуры (первоначально Sun SPARC, начиная с Pentium использованы в семействе x86). Распараллеливание исполнения команд между несколькими устройствами исполнения, причем решение о параллельном исполнении двух или более команд принимается аппаратурой процессора на этапе исполнения.
- Архитектуры VLIW (Very Long Instruction Word — Очень Длинное Слово Команды). Отличаются от суперскалярной архитектуры тем, что решение о распараллеливании принимается не аппаратурой на этапе исполнения, а компилятором на этапе генерации кода.

Архитектура RISC

Иные архитектурные решения, типичные для RISC:

- Спекулятивное исполнение. При встрече с командой условного перехода процессор исполняет (или по крайней мере читает в кэш инструкций) сразу обе ветви, до тех пор, пока не окончится вычисление управляющего выражения перехода. Позволяет отказаться от простоев конвейера при условных переходах.
 - Переименование регистров. Каждый регистр процессора на самом деле представляет собой несколько параллельных регистров, хранящих несколько версий значения. Используется для реализации спекулятивного исполнения.
-

Архитектура VLIW

VLIW ([англ.](#) *Very long instruction word* — «очень длинная машинная команда») — архитектура процессоров с несколькими вычислительными устройствами. Характеризуется тем, что одна инструкция процессора содержит несколько операций, которые должны выполняться параллельно.

Преимущества и недостатки:

- Подход VLIW сильно упрощает архитектуру процессора, перекладывая задачу распределения вычислительных устройств на компилятор. Поскольку отсутствуют большие и сложные узлы, сильно снижается энергопотребление.
- В то же время, код для VLIW обладает невысокой плотностью. Из-за большого количества пустых инструкций для простаивающих устройств программы для VLIW-процессоров могут быть гораздо длиннее, чем аналогичные программы для традиционных архитектур.

Структура схема компьютера

ПЗУ
(ROM)

ОЗУ
(RAM)

Процессор
(CPU)

Шина данных

Шина адреса

Шина управления

Системная
шина

Видео- и аудио-
подсистемы

Устройства ввода – вывода
и прочие периферийные устройства

Архитектура IA-32

«Основоположники» семейства – процессоры 8086 и 8088 (1978 г.)

Основные характеристики:

- 16 разрядные регистры,
 - 20 разрядный адрес (максимум 1 МБ),
 - Наличие сегментации (размер одного сегмента ограничен 64Кб).
-

Архитектура IA-32

Сегментация – разделение всей доступной памяти на отдельные блоки (сегменты), которые не могут перекрывать друг друга).

Выделяют три вида сегментов:

- сегмент кода,
- сегмент данных,
- сегмент стека.

При использовании сегментации выделяют три вида адресов:

- Логический адрес – пара сегмент : смещение
 - Линейный адрес – определяется суммой адреса начала сегмента и смещением внутри сегмента.
 - Физический адрес – номер ячейки физической памяти.
-

Архитектура IA-32

Intel® 286 Processor (1982 г.)

Основные нововведения:

- Защищенный режим работы.
- 24-разрядный адрес (максимальный объем памяти 16 Мб)

Основные механизмы защищенного режима:

- Проверка выхода за пределы сегмента.
 - Появление read-only и execute-only характеристик сегмента.
 - Четырехуровневая система привилегий.
-

Архитектура IA-32

Intel386™ Processor (1985 г.)

Основные нововведения:

- 32-х разрядные регистры общего назначения.
 - 32-х разрядная шина адреса (максимальный объем памяти до 4 Гб).
 - Сегментная и плоская модели памяти.
 - Страничная организация памяти (4Кб страница) для поддержки виртуальной памяти.
 - Поддержка параллельного выполнения.
 - Виртуальный режим работы (для совместимости с 8086).
-

Архитектура IA-32

Intel486™ Processor (1989 г.)

Основные нововведения:

- Конвейерная обработка команд (5-ти стадийный конвейер).
 - Появление КЭШ-памяти.
 - Интегрированный арифметический сопроцессор.
-

Архитектура IA-32

Intel® Pentium® Processor (1993 г.)

Основные нововведения:

- Появление второго конвейера.
 - Разделение КЭШ-памяти на КЭШ-данных и КЭШ-команд.
 - Появление поддержки двух размеров страниц: 4Кб и 4Мб.
 - Расширение внутренней шины данных до 128 и 256 бит.
 - Расширение внешней шины данных до 64 бит.
 - Появление поддержки многопроцессорных систем.
 - Появление технологии MMX (SIMD инструкции).
-

Архитектура IA-32

The P6 Family of Processors (1995 – 1999 гг)

Данное семейство представлено следующими процессорами:

- Intel Pentium Pro (три конвейера обработки команд)
 - Intel Pentium II (двухуровневая КЭШ-памяти)
 - Pentium II Xeon
 - Intel Celeron
 - Intel Pentium III (появление SSE)
 - Pentium III Xeon
-

Архитектура IA-32

Intel® Pentium® 4 Processor Family (2000 – 2006 гг)

Основные нововведения:

- Появление SSE2, а затем SSE3.
 - Появление технологии Hyper-Threading.
 - Появление архитектуры Intel 64.
-

Архитектура IA-32

Дальнейшее развитие:

- The Intel® Xeon® Processor (2001 – 2007 гг.)
- The Intel® Pentium® M Processor (2003 г. +)
- The Intel® Pentium® Processor Extreme Edition (2005 – 2007 гг.)
- The Intel® Core™ Duo and Intel® Core™ Solo Processors (2006 – 2007 гг.)
- The Intel® Xeon® Processor 5100, 5300 Series and Intel® Core™2 Processor Family (2006 г. +).
- The Intel® Xeon® Processor 5200, 5400, 7400 Series and Intel® Core™2 Processor Family (2007 г. +)
- The Intel® Atom™ Processor Family (2008 г. +)
- The Intel® Core™i7 Processor Family (2008 г. +)

Архитектура Intel 64

Основные нововведения:

- 64-х разрядные регистры общего назначения.
 - 64-х разрядный линейный адрес.
 - 40-а разрядный физический адрес.
 - 8 дополнительных регистров общего назначения.
 - 8 дополнительных регистров для SIMD инструкций.
 - плоская модель памяти.
-