

# Комп'ютерна логіка (частина 2)

Національний університет «Львівська політехніка»

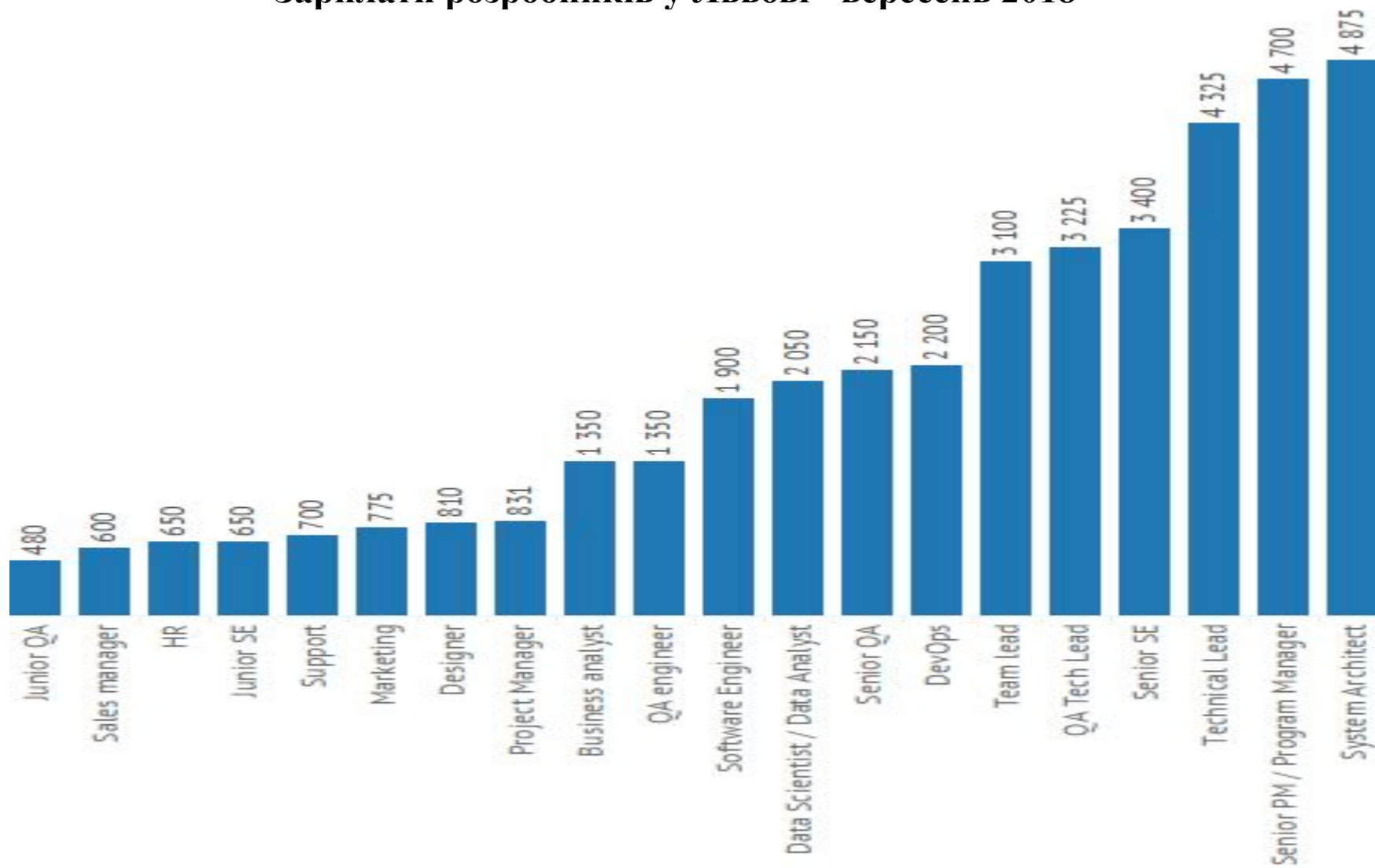
Lviv Polytechnic National University

Слайдів 172

У Львові приблизно 150 ІТ-компаній (Інформаційні Технології)  
50 найбільших ІТ-компаній України (що працюють у Львові, 2018 р.)

№	Компанія	Спеціалісти в Україні	Δ 01.01/07.31	Технічні спеціалісти	Вакансії в Україні
1	<a href="#">EPAM</a>	5500	+700	4900	128
2	<a href="#">SoftServe</a>	4863	+258	3896	200
4	<a href="#">GlobalLogic</a>	<b>3367</b>	<b>+362</b>	<b>3107</b>	<b>355</b>
5	<a href="#">Ciklum</a>	2456	-37	2124	238
6	<a href="#">Infopulse</a>	1614	+153	1301	115
8	<a href="#">DataArt</a>	1230	+84	1097	143
9	<a href="#">ELEKS</a>	1192	+37	952	54
11	<a href="#">ZONE3000</a>	1000	+100	250	49
15	<a href="#">Sigma/Software</a>	847	+67	667	104
16	<a href="#">Intellias</a>	820	+160	720	80
18	<a href="#">N-iX</a>	745	+75	670	71
19	<a href="#">Plarium</a>	723	+3	297	9
20	<a href="#">Lohika</a>	718	+48	573	31
22	<a href="#">ISD</a>	700		650	10
24	<a href="#">GeeksForLess/Inc.</a>	646	+15	593	15
29	<a href="#">Gameloft</a>	600	-50		26
32	<a href="#">Oracle</a>	505	+2	455	14
34	<a href="#">Svitla/Systems. Inc.</a>	500		400	50
39	<a href="#">TemplateMonster</a>	420	+20	210	15
46	<a href="#">CoreValue</a>	376	+20	314	19
50	<a href="#">Intetics/Inc.</a>	320	+20	263	58

## Зарплати розробників у Львові - вересень 2018



# GlobalLogic

Список вимог, на які в компанії GlobalLogic звертається особлива увага при відборі:

- Профільна технічна освіта
- Математичний склад розуму
- Англійська на рівні Pre-intermediate - Intermediate+
- Базові знання мов програмування - C та C++
- Знання алгоритмів
- Розуміння особливостей структур даних
- Навички роботи з “залізом”
- Знання теорії операційних систем - основні компоненти ОС
- Розуміння стандартної системи роботи з проектами і досвід роботи з класичним тулсетом девелопера (Git, Jira)
- Практичний досвід (лабораторні роботи, курсові, виконані практичні заняття на базі STM, власні проекти з посиланням на Git, де їх можна переглянути) буде великим плюсом
- Вміння швидко вчитись



# Графік навчального процесу на 2018 / 2019 н. р. (бакалаври, денна форма навчання)

Інститут	Спеціальність	Шифр	Індекс плану	Курс
				1
				2
				3
				4
				5
				6
				7
				8
				9
				10
				11
				12
				13
				14
				15
				16
				17
				18
				19
				20
				21
				22
				23
				24
				25
				26
				27
				28
				29
				30
				31
				32
				33
				34
				35
				36
				37
				38
				39
				40
				41
				42
				43
				44
				45
				46
				47
				48
				49
				50
				51
				52

# Виконання навчального плану

- Ліквідовано академрізницю
- Здано повторний курс
- Здано курсову роботу
- Виконано програму практичних занять
- Написано усі лекційні контрольні роботи
- Дано правильні відповіді на усі тести
- Є конспект лекцій (приблизно 5 сторінок на лекцію)

# Державна оцінка (іспит)

- 1. Оцінка на іспиті
- 2. Оцінка на іспиті за талоном
- 3а. Оцінка на комісії  
– або
- 3б. Оцінка за результатами повторного вивчення курсу

# Державна оцінка (залік за курсову роботу)

# Стандартні вимоги до відповідей на іспиті

- Повинна бути дана відповідь на усі питання білету
- Під час підготовки відповіді нічим не можна користуватися
- Під час підготовки відповіді ні з ким не можна перемовлятися та обмінюватися інформацією
- Для допуску до іспиту потрібно виконати навчальний план

# Полегшені умови до іспитів, комісії та повторки

- Студент повинен самостійно опрацювати деякі питання учбового плану
- Білет на іспит видається достроково за умови
  - До 15-го навчального тижня здано усі задачі курсової роботи і отримано за них більше 60 балів
  - У сумі за практичні заняття отримано більше 20 балів (з 30)
  - Написано усі лекційні контрольні роботи на дану дату
  - Правильно дано відповіді на усі питання тестів до 2-ої частини Комп'ютерної логіки (2-ий курс) у ВНС
  - Є конспект лекцій (приблизно 5 сторінок на лекцію)
  - Здано академрізницю (в кого вона є)
  - Складено залік за повторне вивчення 1-ої частини Комп'ютерної логіки (кому це потрібно)
- Під час підготовки до відповіді дозволяється користуватися чим завгодно
- Необхідно дати відповідь на всі питання білету

# Оцінювання відповідей при стандартному підході

$$\text{Оцінка} = \text{Оцінка}_{\text{практичні}} + \text{Оцінка}_{\text{ЛекційніКР}} + 65 * \text{Оцінка}_{\text{білет}} / 70$$

Для іспиту:

$$\text{Оцінка} \leq 100; \text{Оцінка}_{\text{практичні}} \leq 30; \text{Оцінка}_{\text{ЛекційніКР}} \leq 5; \text{Оцінка}_{\text{білет}} \leq 70$$

# Оцінювання відповідей на іспиті ( $N$ – кількість навчальних тижнів)

$$Оцінка = Оцінка_{практичні} + \frac{Оцінка_{ЛекційніКР}}{5 * N} * \frac{Оцінка_{Тести}}{100} * Оцінка_{білет}$$

$$Оцінка \leq 100; Оцінка_{практичні} \leq 30; Оцінка_{ЛекційніКР} \leq 5 * N;$$

$$Оцінка_{Тести} \leq 100; Оцінка_{білет} \leq 70$$

# Покращення оцінок

- Було 51 бал – 51% від 100 балів  
(поточний контроль – 1 з 30, іспит - 50 з 70,  
3% з 30 за поточку і 71% з 70 за іспит)
- Щоб оцінка була “добре” (71 бал – 71% від 100 балів):  
необхідно набрати спочатку за поточний  
контроль 71% від 30 = 21 бал,  
а після того -71% від 70 =50 балів за іспит.



# Відпрацювання пропущених лекційних контрольних робіт

- Копія власноручно написаного конспекту лекції, на якій писали пропущену контрольну роботу
- Ескізи слайдів в конспекті, що демонструвалися на лекції, на якій писали пропущену контрольну роботу

# Курсова робота

Міністерство освіти і науки України  
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"



Кафедра БОМ

## АРИФМЕТИЧНІ ТА ЛОГІЧНІ ОСНОВИ КОМП'ЮТЕРНИХ ТЕХНОЛОГІЙ

Методичні вказівки  
до курсової роботи  
з дисципліни "Комп'ютерна логіка"  
для студентів базового напрямку 6.050102  
"Комп'ютерна інженерія"

Затверджено  
на засіданні кафедри  
електронних обчислювальних машин.  
Протокол № 1 від 29.08.2013 р.

Львів – 2014

<b>2 МЕТОДИЧНІ ВКАЗІВКИ ЩОДО ВИКОРИСТАННЯ ФУНКЦІЙ АЛГЕБРИ ЛОГІКИ ТА МІНІМІЗАЦІЇ ЦИХ ФУНКЦІЙ У БАЗИСІ БУЛЯ.....</b>	<b>22</b>
2.1 ФУНКЦІОНАЛЬНА ПОВНОТА СИСТЕМИ ФУНКЦІЙ АЛГЕБРИ ЛОГІКИ І НАБОРІВ ЛОГІЧНИХ ЕЛЕМЕНТІВ .....	22
2.2 МІНІМІЗАЦІЯ ФУНКЦІЙ МЕТОДОМ КВАЙНА-МАККЛАСКІ-ПЕТРИКА .....	24
2.3 МІНІМІЗАЦІЯ ФУНКЦІЙ ЗА ДОПОМОГОЮ КАРТ КАРНО .....	26
2.4 ВИЗНАЧЕННЯ СПОЛУЧНОГО ТЕРМА .....	30

### **3 МЕТОДИЧНІ ВКАЗІВКИ ЩОДО СИНТЕЗУ КОМБІНАЦІЙНИХ СХЕМ.....**

3.1 СИНТЕЗ ФУНКЦІЙ У БАЗИСІ БУЛЯ НА ЕЛЕМЕНТАХ З ДОВІЛЬНОЮ КІЛЬКІСТЮ ВХОДІВ 33	
3.2 СИНТЕЗ ФУНКЦІЙ У БАЗИСІ БУЛЯ НА ЕЛЕМЕНТАХ З ОБМЕЖЕНОЮ КІЛЬКІСТЮ ВХОДІВ .....	35
3.3 СИНТЕЗ ФУНКЦІЙ У МОНОБАЗИСІ І-НЕ .....	35
3.4 СИНТЕЗ ФУНКЦІЙ У МОНОБАЗИСІ 2І-НЕ (ШЕФФЕРА).....	37
3.5 СИНТЕЗ ФУНКЦІЙ У МОНОБАЗИСІ АБО-НЕ .....	39
3.6 СИНТЕЗ ФУНКЦІЙ У МОНОБАЗИСІ 2АБО-НЕ (ПІРСА).....	40
3.7 РЕАЛІЗАЦІЯ ФУНКЦІЙ АЛГЕБРИ ЛОГІКИ НА ДЕШИФРАТОРАХ.....	43
3.8 СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ НА БАЗІ МУЛЬТИПЛЕКСОРІВ .....	44
3.9 СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ БАЗІ ПОСТІЙНИХ ЗАПАМ'ЯТОВУЮЧИХ ПРИСТРОЇВ ..	45
3.10 СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ НА БАЗІ ПРОГРАМОВАНИХ ЛОГІЧНИХ МАТРИЦЬ ....	46
3.11 СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ НА БАЗІ ПРОГРАМОВАНИХ МАТРИЦЬ ЛОГІКИ .....	50
3.12 СИНТЕЗ ДЕШИФРАТОРА ДІАПАЗОНУ АДРЕС НА ПЛМ.....	53

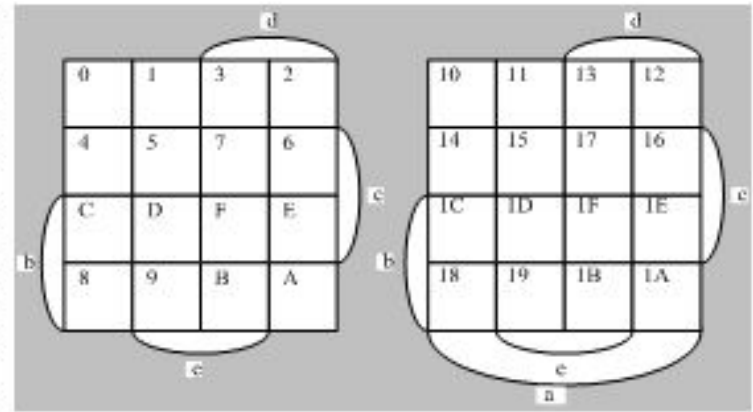
### **4 МЕТОДИЧНІ ВКАЗІВКИ ЩОДО ВИКОНАННЯ АРИФМЕТИКО-ЛОГІЧНИХ ОПЕРАЦІЙ .....**

4.1 ВИКОНАННЯ ЛОГІЧНИХ ОПЕРАЦІЙ НАД ДВІЙКОВИМИ ЧИСЛАМИ .....	57
4.2 ВІДНІМАННЯ ДВІЙКОВИХ ЧИСЕЛ .....	57
4.3 ОКРУГЛЕННЯ ДВІЙКОВИХ ЧИСЕЛ .....	59
4.4 АРИФМЕТИКА ДВІЙКОВО-ДЕСЯТКОВИХ ЧИСЕЛ .....	61
4.5 МНОЖЕННЯ ДВІЙКОВИХ ЧИСЕЛ У ДОПОВНЯЛЬНОМУ КОДІ .....	64
4.6 МНОЖЕННЯ ДВІЙКОВИХ ЧИСЕЛ У ДОПОВНЯЛЬНОМУ КОДІ МЕТОДОМ БУТА .....	66
4.7 ПАРАЛЕЛЬНИЙ (МАТРИЧНИЙ) ПОМНОЖУВАЧ.....	67
4.8 ДІЛЕННЯ ДВІЙКОВИХ ЧИСЕЛ МЕТОДОМ БЕЗ ВІДНОВЛЕННЯ ЗАЛИШКІВ .....	68
4.9 ДІЛЕННЯ ЧИСЕЛ МЕТОДОМ З ВІДНОВЛЕННЯМ ЗАЛИШКІВ .....	70
4.10 ОПЕРАЦІЇ НАД ЧИСЛАМИ З РУХОМОЮ КОМОЮ .....	78

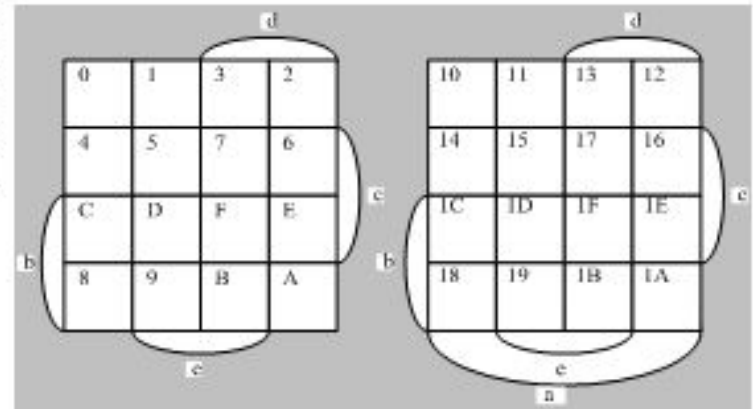
ІІ Б. –  
 Виріокт –  
 Ітерок (окдрс) –

# Використання результатів 2-ої частини

1a	abode	f
0	00000	
1	00001	
2	00010	
3	00011	
4	00100	
5	00101	
6	00110	
7	00111	
8	01000	
9	01001	
A	01010	
B	01011	
C	01100	
D	01101	
E	01110	
F	01111	
10	10000	
11	10001	
12	10010	
13	10011	
14	10100	
15	10101	
16	10110	
17	10111	
18	11000	
19	11001	
1A	11010	
1B	11011	
1C	11100	
1D	11101	
1E	11110	
1F	11111	



ДН±: π



РН±: π

# Вимоги до оформлення курсової роботи

1. Курсова робота виконується згідно з Методичними вказівками і наступними уточненнями до них (п.2, ...,12).

2.Графік виконання курсової роботи (здачі задач) наведено у таблиці

№ п.п.	Частина роботи	Задачі даної частини	Навчальні тижні	Граничний термін, до (2018 р.)	Максимальна кількість балів
1	Отримання завдання.		1-2		
2	3	1, 2, 3, 4, 5, 6,	3-4	4 н.т.	30=5+5+5+5+5+5
3	3	7, 8, 9, 10, 11	5-6	6 н.т.	25=5+5+5+5+5
4	3	12, 13, 14, 15	7-8	8 н.т.	08=1+1+1+5
5	4	1, 2, 3, 4	9-10	10 н.т.	16=4+4+4+4
6	4	5, 6, 7, 8,	11-12	12 н.т.	16=4+4+4+4
7	4	9	13-14	14 н.т.	5
9	Захист роботи		15		100

3. Задачі частини 3.6 (дешифратори), 3.8 (ПЗП) роботи виконується для всіх 5 ФАЛ. Інші задачі – тільки для ФАЛ  $f_0$ . Для всіх елементів на схемах повинно бути наведено їхні таблиці істинності

4. Чергові задачі повинні бути здані до початку практичного заняття у вказаний у наведеному вище графіку день. Перед початком практичного заняття студент повинен здати черговий звіт з КР у рукописному вигляді: титульний аркуш, умови задач, теоретичну частину, розв'язок задач, відповідь до кожної задачі, Зміст.

5. За затримку здачі без поважної причини знімаються усі бали за даний день.

6. Максимальна кількість балів виставляється при умові правильного виконання вказаних задач.

7. Робота вважається прийнятною тільки після усунення усіх помилок, виявлених під час її перевірки.

8. Оцінка за роботу виставляється за сумою набраних балів і коефіцієнтів за захист роботи при умові здачі всіх задач роботи, інакше виставляється незадовільна оцінка з сумою балів 0.

Сума балів	Оцінка
0..49	незадовільно
50..70	задовільно
71..87	добре
88..100	відмінно

9. Перездача окремих задач допускається після здачі усієї роботи.

11. Задача роботи полягає у письмовій відповіді студента на запитання викладача щодо представлених до захисту матеріалів.

12. Кодові таблиці варіантів завдання і самі варіанти збігаються з варіантами контрольної-розрахункової роботи з ПТЦА, яка виконувалася в попередньому семестрі:

# Оцінювання курсової роботи

Комп'ютерна логіка, курсова робота 2013/2014 нр КІ-23

	Частина	З	З	З	З	01	З	З	З	З	15	З	З	З	29	З	З	З	З	12	4	4	4	26	4	4	4	10	4	4	4	24					
	Задачі	1	2	3	4	10	5	6	7	8	10	9	10	11	10	12	13	14	15	11	1	2	3	11	4	5	6	12	7	8	9	12	S	O	D		
	Бали	5	5	5	5		5	5	5	5		5	5	5		1	1	1	5		4	4	4		4	4	4		4	4	5		И				
1																																					
2																																					
3																																					
4																																					
5																																					
6																																					
7																																					
8																																					
9																																					
10																																					
11																																					
12																																					
13																																					
14																																					
15																																					
16																																					
17																																					
18																																					
19																																					
20																																					
21																																					
22																																					
23																																					
24																																					
25																																					
26																																					
27																																					
28																																					
29																																					
30																																					
31																																					
32																																					
33																																					
34																																					
35																																					

Червоним кольором позначені дані з дані відповідних задач



# Розклад викладача

▼ Про Політехніку ▼ Інститути ▼ Освіта ▼ Наука



Вступнику

Освіта / Розклад для викладачів

## Розклад для викладачів

**Кафедра**

Електронні обчислювальні машини ▼

**Викладач**

Глухов Валерій Сергійович ▼

Відмінити

Пн 2

Комп'ютерна логіка, частина 2  
КІ-24, КІ-25, КІ-26, КІ-27,  
322 І н.к., лекція

Консультації – після  
закінчення останнього  
лекційного заняття, на  
каф. ЕОМ, 503-V або за  
домовленістю

Пн 4	Комп'ютерна логіка, частина 2 КІ-25, КІ-26, КІ-27, КІ-28, 114 Гол. н.к., лекція
5	Комп'ютерна логіка, частина 2 КІ-23, 512 V н.к., практична
	Комп'ютерна логіка, частина 2 КІ-24, 512 V н.к., практична
Ср 4	Дослідження і проектування комп'ютерних систем та мереж КІКС-11, КІКБ-11, КІСП-11, 711 V н.к., лекція
Чт 4	Дослідження і проектування вбудованих комп'ютерних систем КІКБ-11, лекція
Пт 3	Комп'ютерна логіка, частина 2 КІ-21, КІ-22, КІ-23, КІ-24, 322 I н.к., лекція
4	Дослідження і проектування вбудованих комп'ютерних систем КІКБ-11, 117 I н.к., лекція
	Дослідження і проектування комп'ютерних систем та мереж КІСП-11, КІКС-11, КІКБ-11, 117 I н.к., лекція

# Завдання на курсову роботу

Відомість про отримання студентами групи КІ-21 завдання на виконання курсової роботи з дисципліни "Комп'ютерна логіка".

№ п.п.	Прізвище	Ім'я	По-батькові	Варіант <small>(за запитом студента)</small>	Дата	Підпис студента
1				В1		
2				В2		
3				В3		
4				В4		
5				В5		
6				В6		
7				В7		
8				В8		
9				В1		
10				В2		
11				В3		
12				В4		
13				В5		
14				В6		
15				В7		
16				В8		
17				В1		
18				В2		
19				В3		
20				В4		
21				В5		
22				В6		
23				В7		



# Віртуальне навчальне середовище

## Комп'ютерна логіка, частина 2



Вы зашли под именем Глухов Валерий (Выход)

Русский (ru)

















[Домой](#) ► [Мои курсы](#) ► [ННІ](#) ► [ІКТА](#) ► [Комп'ютерна інженерія](#) ► [Бакалавр 2-й курс](#) ► [КЛ-2](#)











[Редактировать](#)

### Загальний

- [Загальні новини та анонси](#)
- [Відомості про викладача - Глухов В.С.](#)
- [Робоча програма 2015/2016 н.р.](#)
- [Перелік питань, які підлягають вивченню та виносяться на семестровий контроль.](#)
- [Список рекомендованої навчальної літератури](#)
- [Система оцінювання знань студентів з дисципліни](#)
- [Перелік індивідуальних завдань](#)
- [Перелік практичних робіт, передбачених робочою програмою дисципліни](#)
- [Електронні підручники, навчальні посібники та електронні варіанти навчально-методичних матеріалів](#)
- [Глосарій](#)
- [Перекладач Google](#)
- [Робочі журнали з балами](#)

# ВНС, Комп'ютерна логіка, ч.2

<b>Тема 1.</b>
<i>Послідовнісні цифрові автомати</i>
 <a href="#">Матеріали лекцій</a>
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Лекція 10</a>
 <a href="#">Тест 10</a>
 <a href="#">Методичні вказівки до практичних робіт</a>
<b>Тема 2</b>
Тригери
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Лекція 11</a>
 <a href="#">Тест 11</a>
 <a href="#">Матеріали лекцій</a>
 <a href="#">Методичні вказівки до практичних робіт</a>
<b>Тема 3</b>
Абстрактні цифрові автомати
 <a href="#">Лекція 12</a>
 <a href="#">Тест 12</a>
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Матеріали лекцій</a>

<b>Тема 4</b>
Структурні цифрові автомати
 <a href="#">Лекція 13</a>
 <a href="#">Тест 13</a>
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Матеріали лекцій</a>
 <a href="#">Методичні вказівки до практичних робіт</a>
<b>Тема 5</b>
Контроль та діагностика ЦА
 <a href="#">Лекція 14</a>
 <a href="#">Тест 14</a>
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Матеріали лекцій</a>
 <a href="#">Методичні вказівки до практичних робіт</a>
<b>Тема 6</b>
Огляд перспективних питань теорії ЦА
 <a href="#">Лекція 15</a>
 <a href="#">Тест 15</a>
 <a href="#">Інформаційні ресурси змістового модуля</a>
 <a href="#">Матеріали лекцій</a>

# Екзаменаційний білет

Національний університет "Львівська політехніка", ІКТА, кафедра ЕОМ

Напрямок "Комп'ютерна інженерія"

Навчальний предмет "Комп'ютерна логіка"

Семестр 3

Іспит		Білет №	2014001
№	Питання (якщо немає відповіді на всі питання або немає аргументованої відповіді на тестові питання № 9 або № 10 - оцінка за роботу дорівнює 0) Детальна аргументована відповідь на обидва тестові питання № 9 та № 10 повинні бути на титульній сторінці. На наступній сторінці повинна бути відповідь на питання № 4. Користуватися конспектами під час підготовки відповідей на питання білету заборонено.	Варіант відповіді	Бали (max)
1	Контроль на парність	Навести рисунки і дати розгорнуту відповідь	5
2	Елемент NAND	Навести рисунки і дати розгорнуту відповідь	5
3	Визначення інформації	Навести рисунки і дати розгорнуту відповідь	5
4	Намалювати граф, таблиці переходів та виходів, написати скорочені ДНФ функцій переходів та виходів, та намалювати схему автомата Мура на основі елементів монобазису АБО-НЕ і Т-тригерів з виходом дозволу роботи СЕ. Кодування станів автомата - сусіднє. Якщо немає сигналу X, автомат послідовно проходить стани 0, 1, 2, 3, 0, ..., а при появі сигналу X послідовність переходів змінюється: автомат переходить із стану 2 до стану 2 (при цьому послідовність зміни інших станів не змінюється). Вихідний сигнал Y формується у станах 1 і 2	Навести рисунки і дати розгорнуту відповідь	13
5	На базі універсальних 4-розрядних компараторів намалювати схему, яка формує ознаку "Рівно", коли в неї на вході є 8-розрядний двійковий код, який у 16-ковому коді записується як 9	Намалювати рисунок (рисунки) і дати пояснення	10
6	Користуючись тризначною логікою Лукасевича визначити значення функції $f = a(\sim b)c \vee b(\sim c) \vee (\sim a)b$ , якщо $\sim$ позначає інверсію, а змінні a, b, c відповідно приймають значення 0, 1, 1/2	Дати пояснення (формули)	10
7	Мінімізувати за "1" (результат записати у вигляді ДНФ) за допомогою карти Карно ФАЛ4 $f(a,b,c,d)$ , яка у таблиці істинності на наборах з 15-го до 0-го має значення, які відповідають 16-м молодшим бітими (з 15-го до 0-го) 16-кового числа DD82. Значення функції на 1-, 4-, A- та D-му наборах замінити на невизначені (x).	Намалювати таблицю істинності та рисунок (рисунки) і дати пояснення	10
8	Мінімізовану у попередньому питанні ФАЛ реалізувати на елементах XOR та AND з довільною кількістю входів. Написати назви задіяних у схемі елементів та навести їхні таблиці істинності.	Намалювати таблицю істинності та рисунок (рисунки) і дати пояснення	10
9	Визначити і підкреслити, яким буде результат обчислення функції OR, якщо її аргументами є 2 молодших біти двійкового еквіваленту десяткового числа 4	0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F,10 - дати пояснення	1
10	Визначити і підкреслити, яким буде результат обчислення функції "кількість одиниць $\geq 0$ ", якщо її аргументами є 4 молодших розряди двійкового еквіваленту десяткового числа 3	0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F,10 - дати пояснення	1

Затверджено на засіданні кафедри ЕОМ протокол № 1 від 29.08.2013 р.

Зав.каф. ЕОМ

Мельник А.О.

Викладач

Глухов В.С.

Разом балів

70





# Мінімізація сукупності (системи, набору) ФАЛ – метод функціональної декомпозиції

- Сукупність 3-х ФАЛ

- Ціна - 12

- $f_0 = abc \vee d$ ;
- $f_1 = abc \vee e$ ;
- $f_2 = abc \vee g$ ;

- Сукупність 4-х ФАЛ

- Ціна – 9

- $\Phi = abc$ ;
- $f_0 = \Phi \vee d$ ;
- $f_1 = \Phi \vee e$ ;
- $f_2 = \Phi \vee g$ ;

- Сукупність 3-х ФАЛ?

- Ціна - 12

- $f_0 = (/a)bc \vee d$ ;
- $f_1 = a(/b)c \vee e$ ;
- $f_2 = abc \vee g$ ;

## Багатозначні логіки. Нечітка логіка. Fuzzy logic

- Тризначна логіка Лукасевича  $\{0, 1/2, 1\}$   
(ні, може бути, так)
- N-значна логіка Лукасевича  $\{0/n-1, 1/n-1, \dots, n-1/n-1\}$

$$\bar{a} = 1 - a; \quad a \& b = \min(a, b); \quad a \vee b = \max(a, b)$$

- Тризначна логіка Поста  $\{0, 1, 2\}$
- N-значна логіка Поста  $\{0, 1, 2, \dots, n-1\}$

$$\bar{a} = (a + 1) \bmod N; \quad a \& b = \min(a, b); \quad a \vee b = \max(a, b)$$

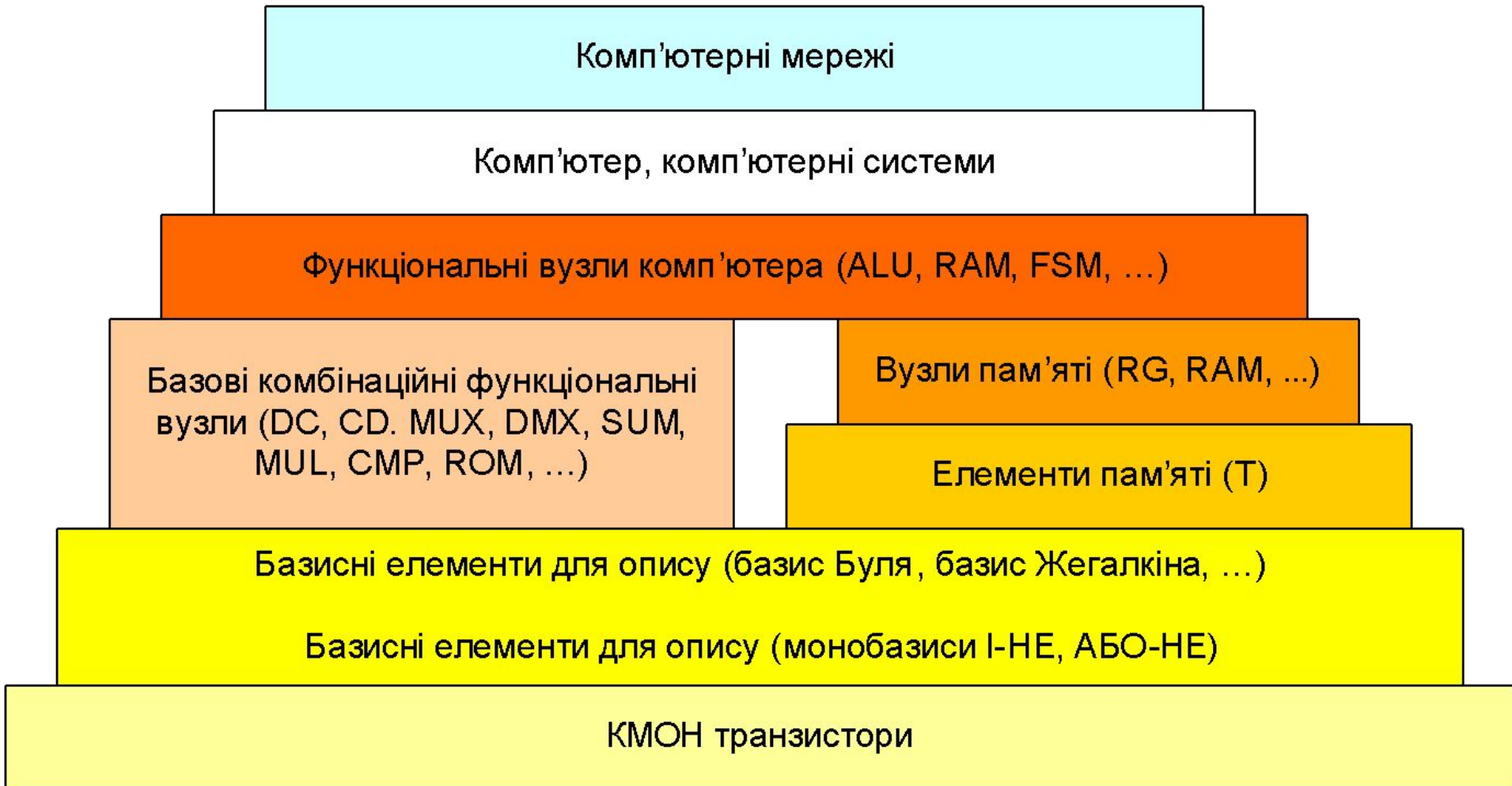
# Приклади використання логіки з 3 та 4 значеннями

Таблиця 2.4.3

I			II			III		
К	П	У	С	К	П	У	С	К
0000	$a_0$	+	$a_0b_0$	000-	$e_0$	+	$e_0f_3$	-00-
0001	$b_0$	+	$a_0b_1$	0-00	$e_1$	+	$e_1f_5$	--00
0100	$b_1$	+	$a_0b_2$	-000	$e_2$	+	$e_2f_4$	--00
1000	$b_2$	+	$b_0c_0$	00-1	$f_0$	+	$e_2f_2$	-00-
0011	$c_0$	+	$b_1c_1$	01-0	$f_1$		$f_2g_0$	-0-1
0110	$c_1$	+	$b_0c_2$	-001	$f_2$	+	$f_0g_1$	-0-1
1001	$c_2$	+	$b_2c_2$	100-	$f_3$	+	$f_3g_3$	1-0-
1100	$c_3$	+	$b_1c_3$	-100	$f_4$	+	$f_5g_2$	1-0-
1011	$d_0$	+	$b_2c_3$	1-00	$f_5$	+		
1101	$d_1$	+	$c_0d_0$	-011	$g_0$	+		
			$c_2d_0$	10-1	$g_1$	+		
			$c_2d_1$	1-01	$g_2$	+		
			$c_3d_1$	110-	$g_3$	+		

Порівнюються		Порівнюються		Порівнюються	
$i_0$	-00-	$i_0$	-00-	$i_1$	01--
$i_1$	01--	$i_2$	1-11	$i_2$	1-11
Результат	0x0-	Результат	10x1	Результат	x111
	0-0-		10-1		-111
Терм	/a/c	Терм	a/bd	Терм	bcd

# Елементна база КІ

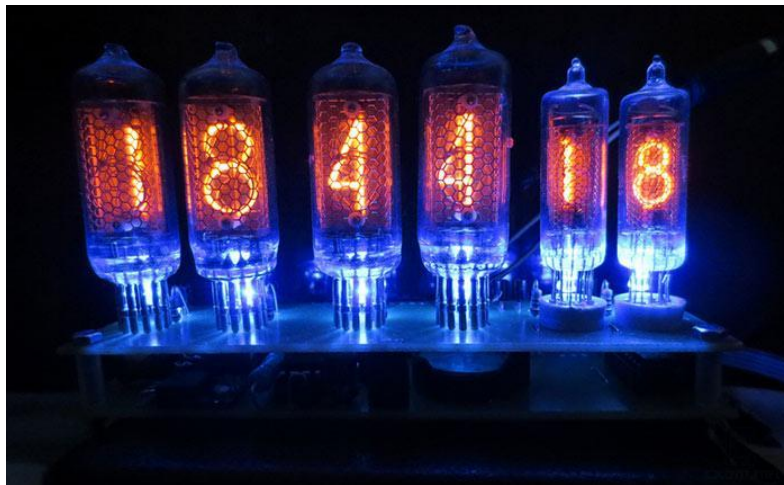
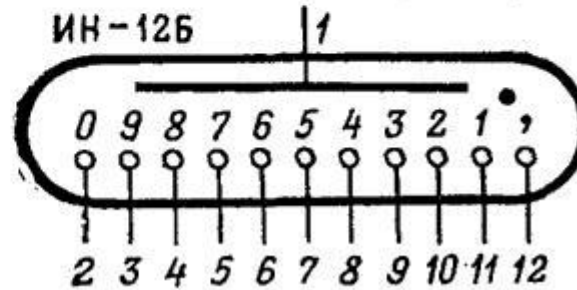
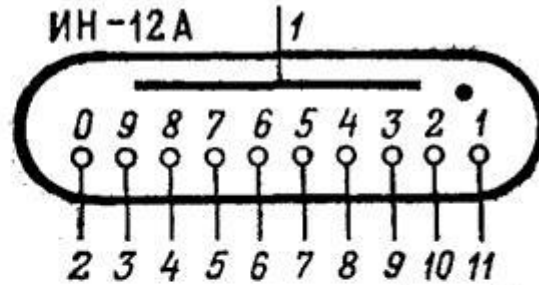




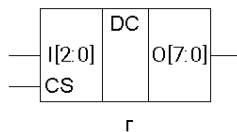
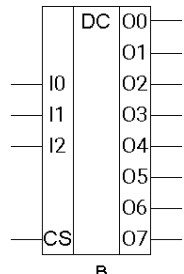
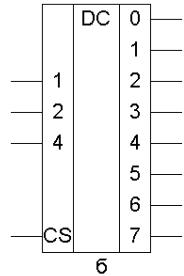
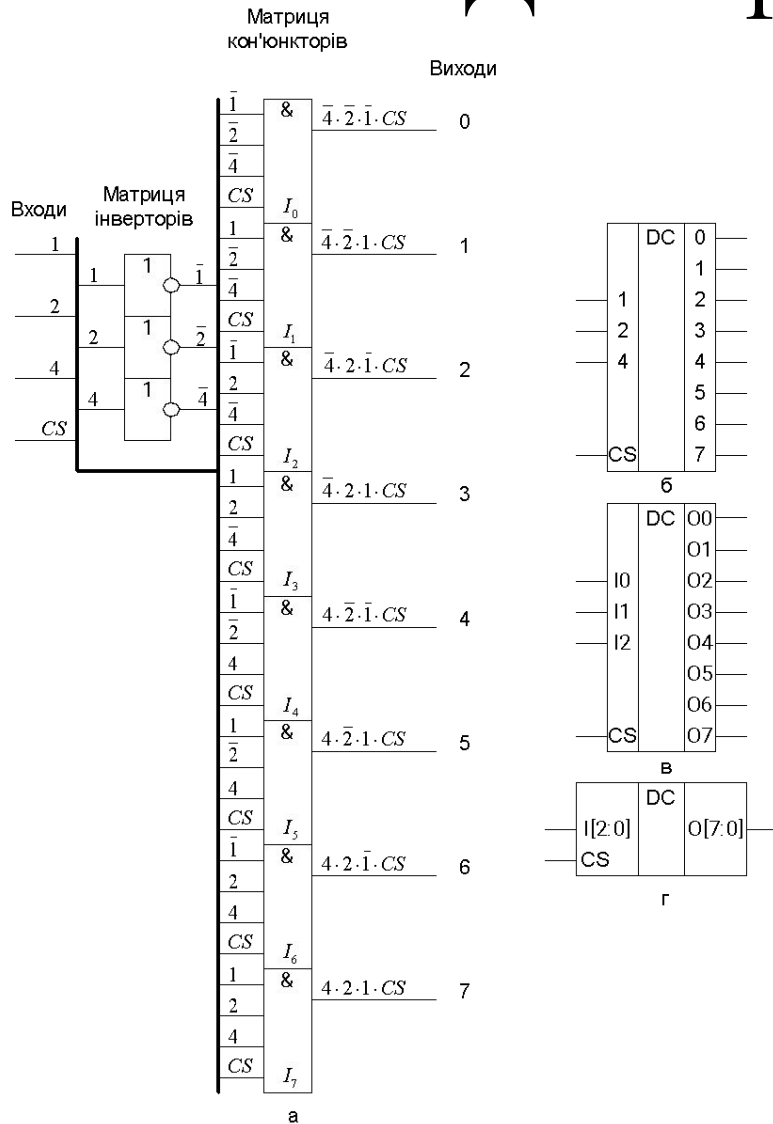
# БАЗОВІ КОМБІНАЦІЙНІ ВУЗЛИ

- дешифратори і демультимплексори;
- мультимплексори;
- шифратори;
- перетворювачі кодів;
- постійні запам'ятовуючі пристрої;
- програмовані логічні матриці;
- програмовані матриці логіки;
- суматори і напівсуматори;
- вузли порівняння;
- арифметично-логічні пристрої;
- вузли зсуву;
- помножувачі;
- вузли прискорення переносу;
- інші.

# Газорозрядні індикатори

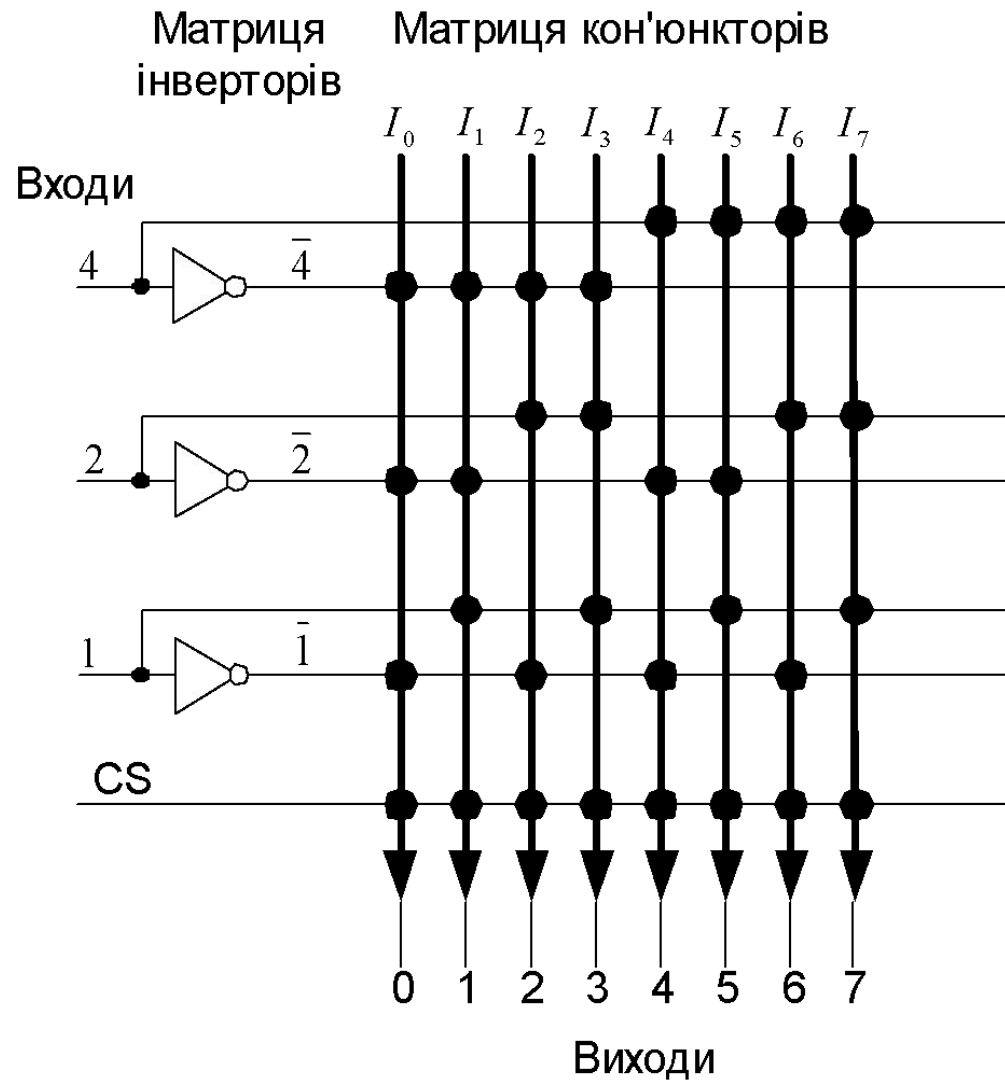


# Дешифратор “3 у 8”



Номер набору	Входи				Виходи							
	4	2	1	CS	7	6	5	4	3	2	1	0
0	0	0	0	1	0	0	0	0	0	0	0	1
1	0	0	1	1	0	0	0	0	0	0	1	0
2	0	1	0	1	0	0	0	0	0	1	0	0
3	0	1	1	1	0	0	0	0	1	0	0	0
4	1	0	0	1	0	0	0	1	0	0	0	0
5	1	0	1	1	0	0	1	0	0	0	0	0
6	1	1	0	1	0	1	0	0	0	0	0	0
7	1	1	1	1	1	0	0	0	0	0	0	0
X	x	x	x	0	0	0	0	0	0	0	0	0

# Матрична схема дешифратора "3 у 8"

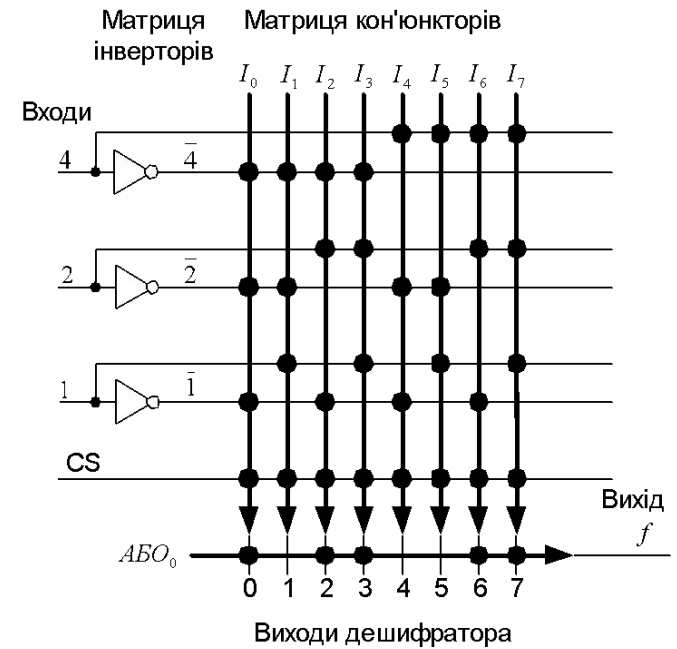
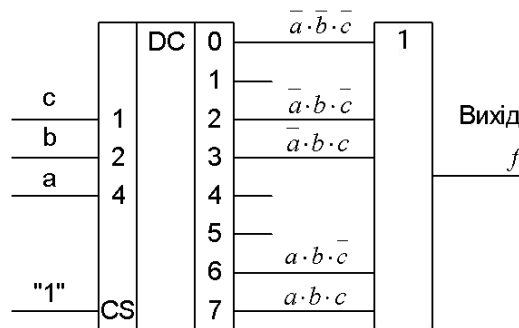


# VHDL-опис дешифратора “3 у 8”

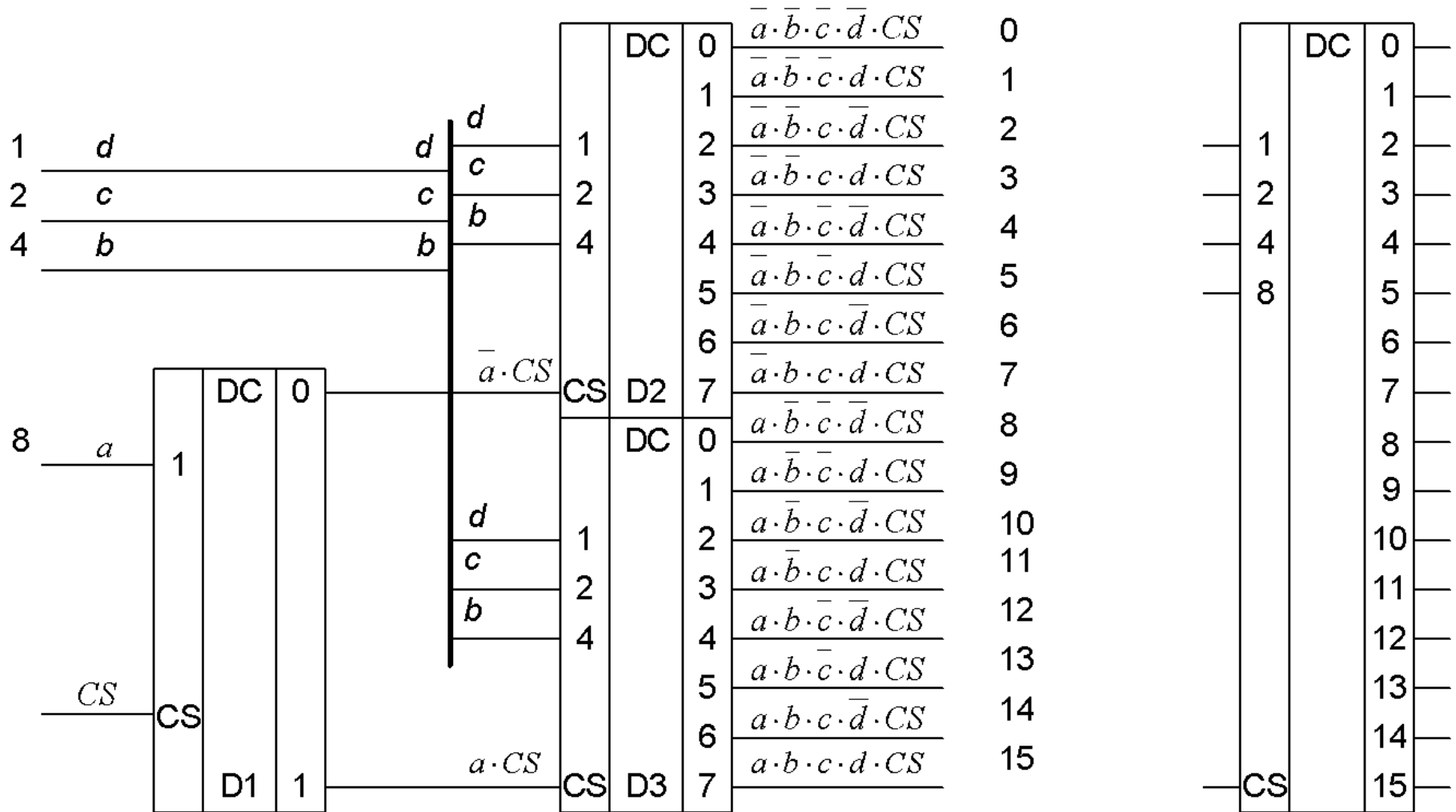
- library IEEE;
- use IEEE.STD\_LOGIC\_1164.all;
- use IEEE.STD\_LOGIC\_UNSIGNED.all;
- entity DC is
- port (O : out STD\_LOGIC\_VECTOR (7 downto 0);
- I : in STD\_LOGIC\_VECTOR (2 downto 0);
- CS : in STD\_LOGIC);
- end entity;
- architecture DC\_arch of DC is
- begin
- O(0) <= CS when (I = 0) else '0';
- O(1) <= CS when (I = 1) else '0';
- O(2) <= CS when (I = 2) else '0';
- O(3) <= CS when (I = 3) else '0';
- O(4) <= CS when (I = 4) else '0';
- O(5) <= CS when (I = 5) else '0';
- O(6) <= CS when (I = 6) else '0';
- O(7) <= CS when (I = 7) else '0';
- end architecture;

# Реалізація ФАЛ на дешифраторах

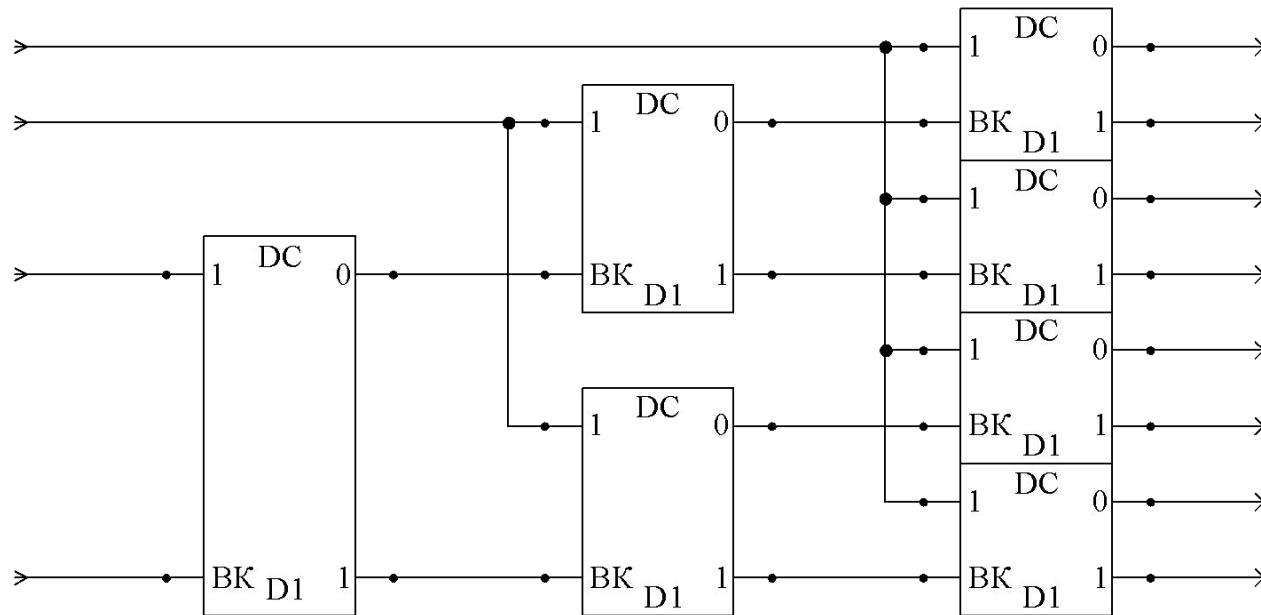
Номер набору	a	b	c	f	Елементарні кон'юнкції
0	0	0	0	1	$\bar{a}\bar{b}\bar{c}$
1	0	0	1	0	
2	0	1	0	1	$\bar{a}b\bar{c}$
3	0	1	1	1	$\bar{a}bc$
4	1	0	0	0	
5	1	0	1	0	
6	1	1	0	1	$ab\bar{c}$
7	1	1	1	1	$abc$
Вага входу	4	2	1		



# Нарощування розрядності дешифраторів DC “4 у 16” з DC “3 у 8”

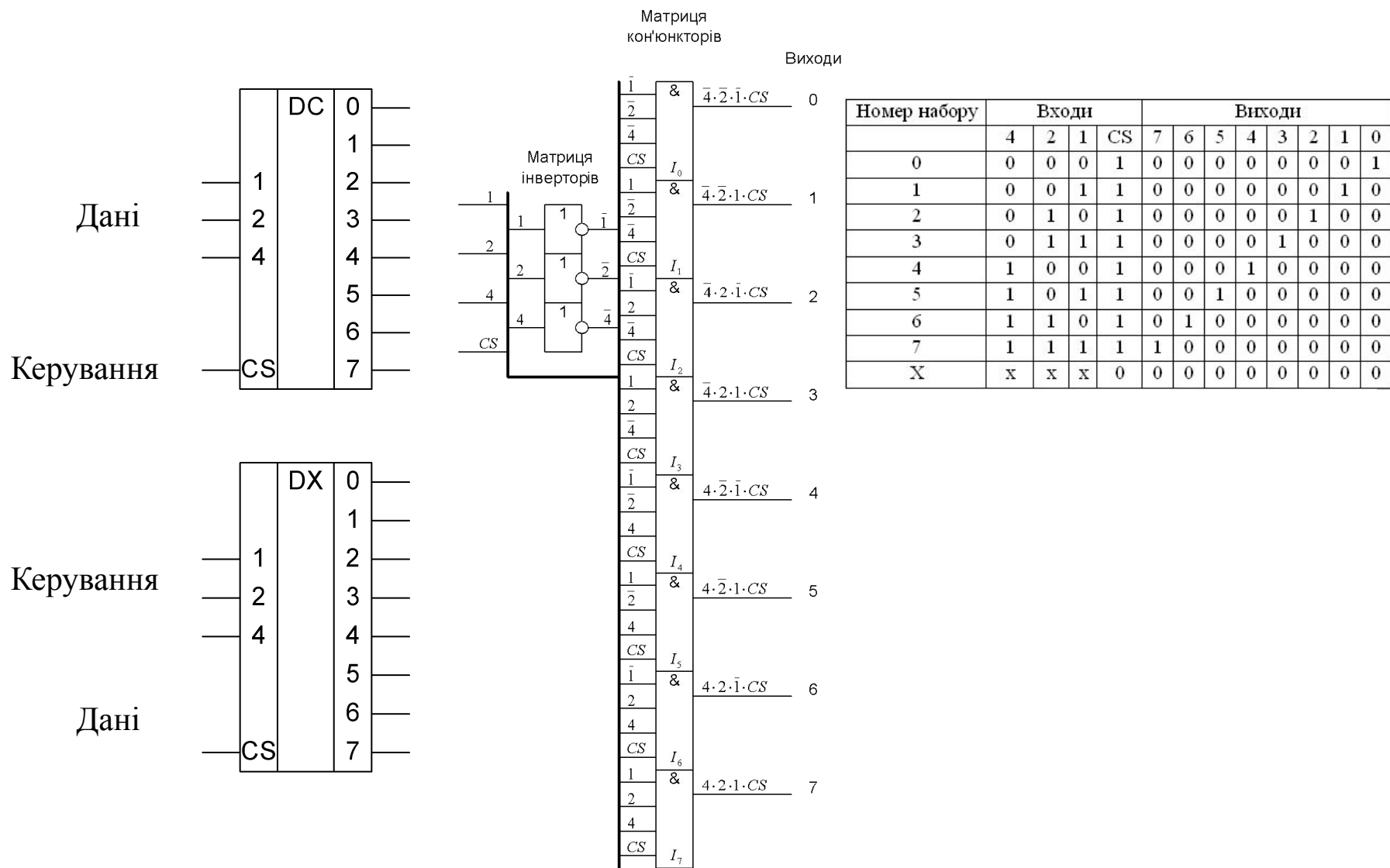


# Нарощування розрядності дешифраторів DC “3 у 8” з DC “1 у 2”





# Демультимплексор DX = Дешифратор DC

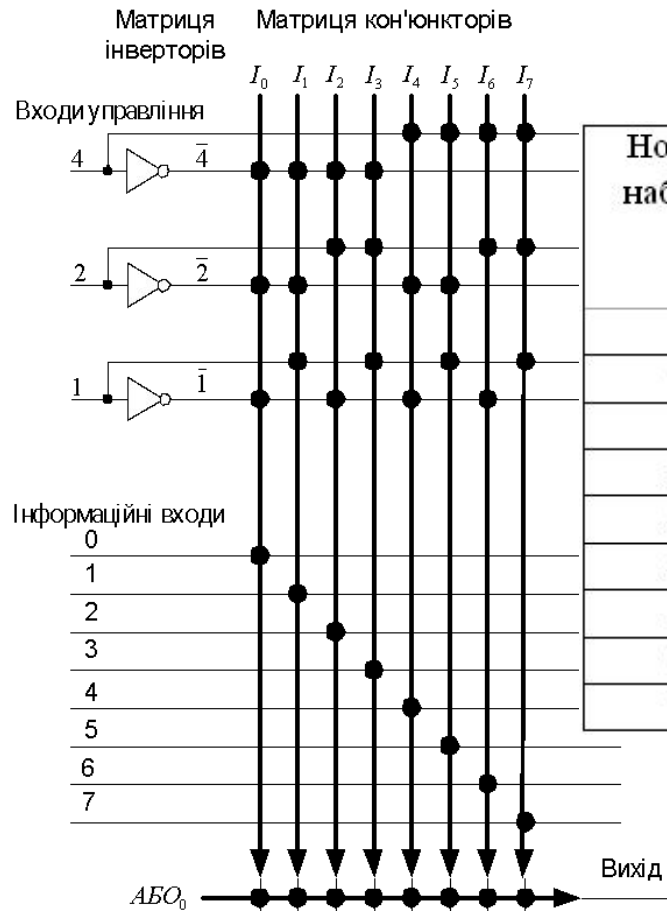


- НУ
- Глухов В.С. Комп'ютерна логіка

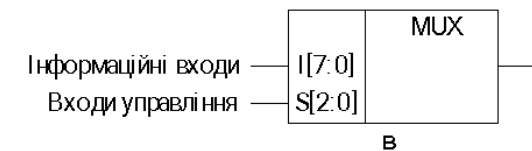
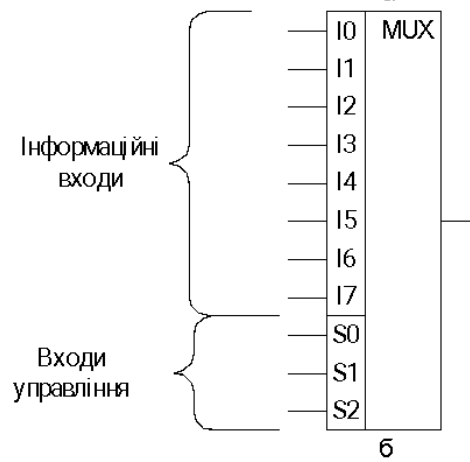
# Класифікація DC та DX

Дешифратор DC			Демультимплексор DX		
Входів	Виходів	Назва	Входів	Виходів	Назва
1	2	1 у 2	1	2	1 у 2
2	4	2 у 4	2	4	1 у 4
3	8	3 у 8	3	8	1 у 8
4	16	4 у 16	4	16	1 у 16
5	32	5 у 32	5	32	1 у 32
n	$2^n$	n у $2^n$	n	$2^n$	1 у $2^n$

# Мультиплексор 8 в 1



Номер набору	Входи управління			Інформаційний вхід, з якого буде передаватися інформація на вихід
	4	2	1	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7

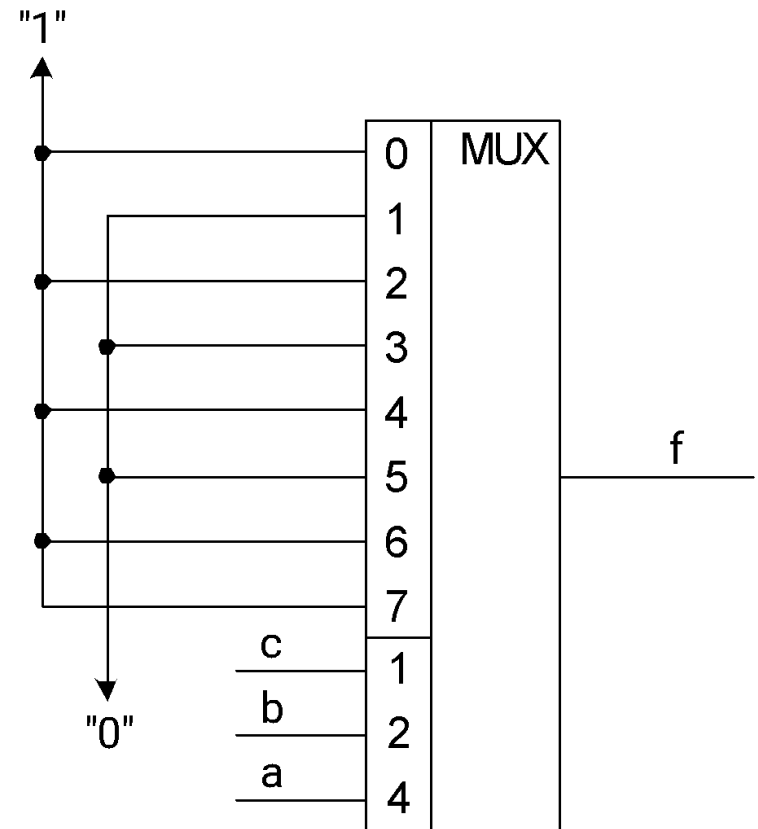


# VHDL-опис

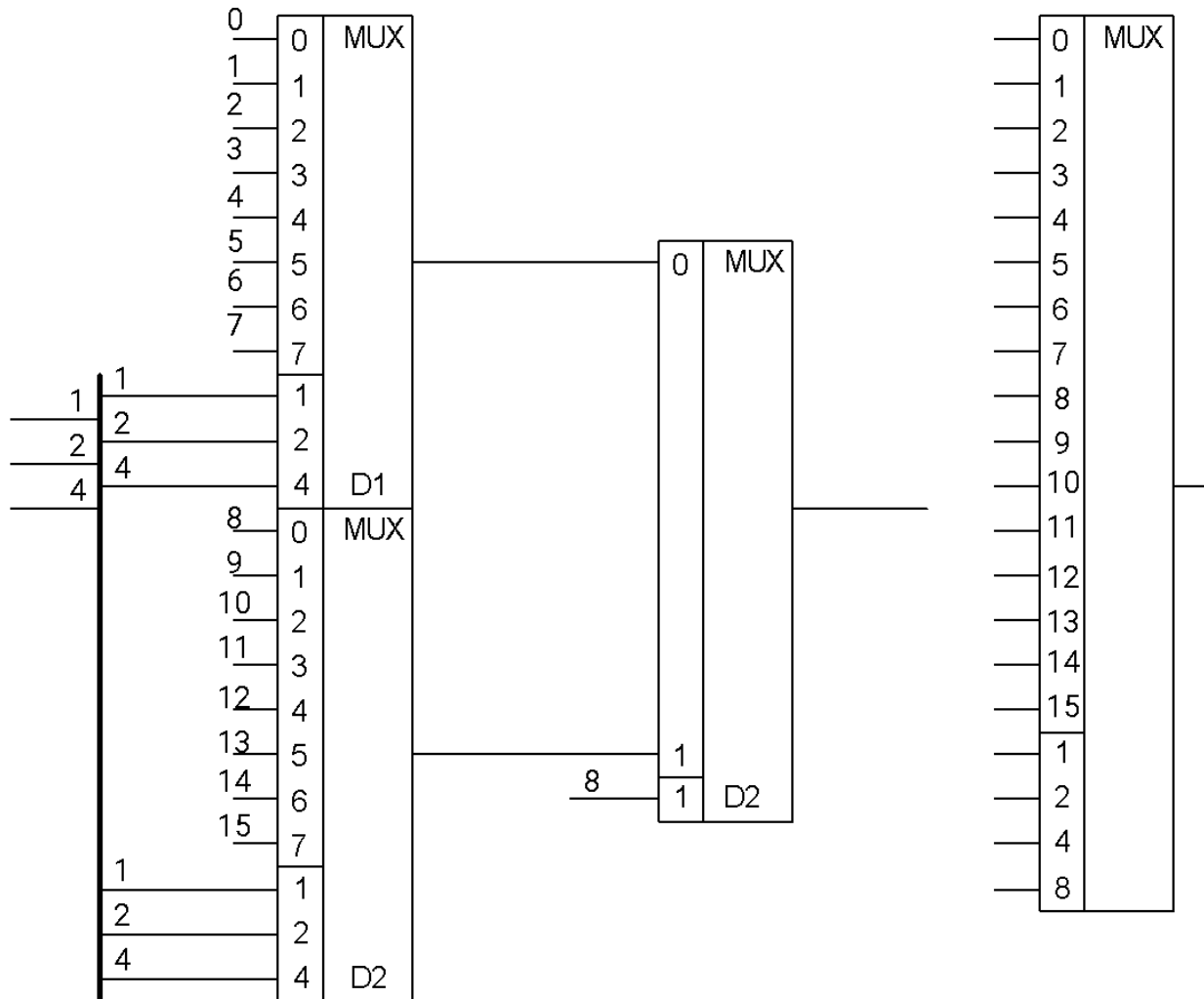
- library IEEE;
- use IEEE.std\_logic\_1164.all;
- use IEEE.std\_logic\_unsigned.all;
- entity mux is
- port (   I : in std\_logic\_vector (7 downto 0);
- S : in std\_logic\_vector (2 downto 0);
- O : out std\_logic);
- end entity;
- architecture mux\_arch of mux is
- begin
- O <= I(CONV\_INTEGER(S));
- end architecture;

# Реалізація ФАЛ на мультиплексорах

Номер набору	a	b	c	f	Елементарні кон'юнкції
0	0	0	0	1	$\bar{a}\bar{b}\bar{c}$
1	0	0	1	0	
2	0	1	0	1	$\bar{a}b\bar{c}$
3	0	1	1	1	$\bar{a}bc$
4	1	0	0	0	
5	1	0	1	0	
6	1	1	0	1	$ab\bar{c}$
7	1	1	1	1	$abc$
Вага входу	4	2	1		



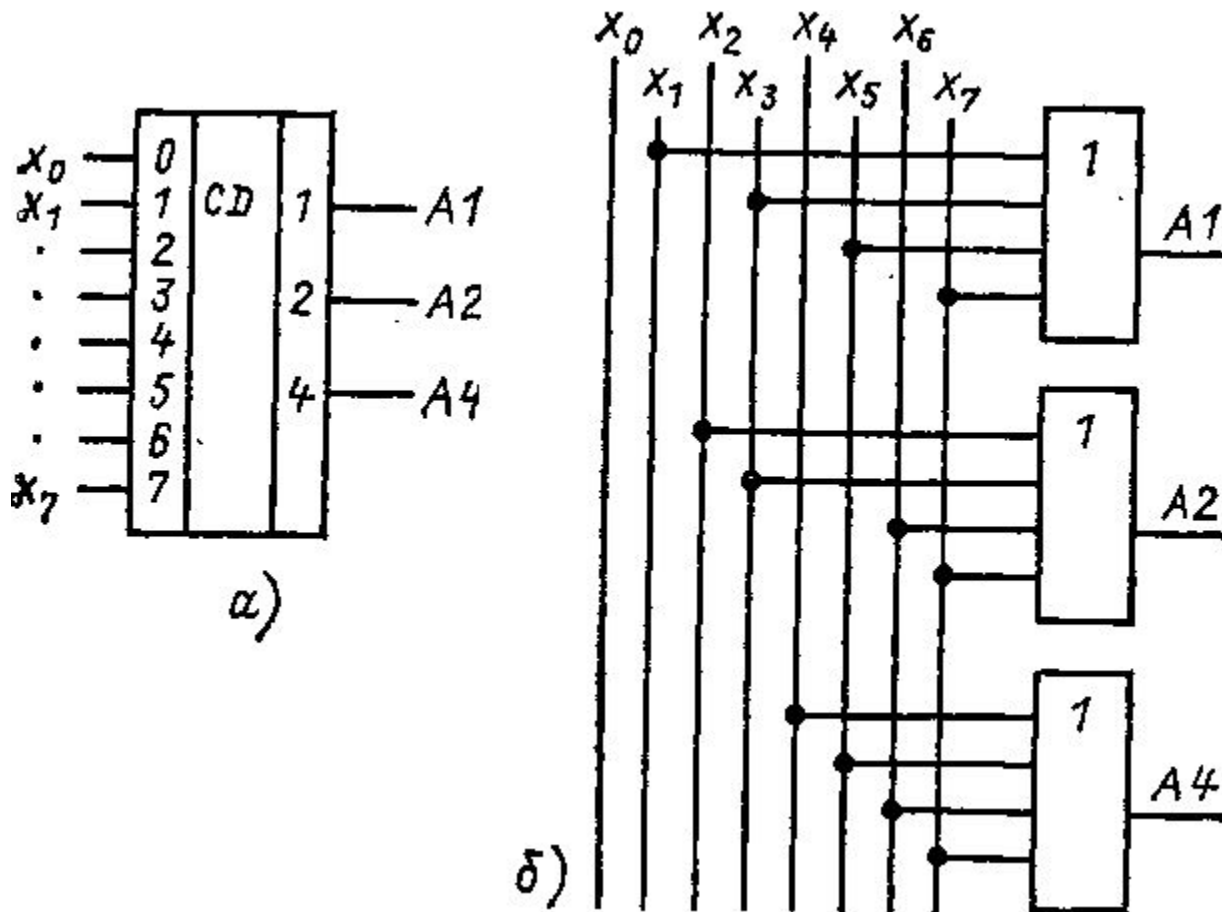
# Нарощування розрядності мультиплексорів



# Класифікація DC, DX, MUX

Дешифратор DC			Демультимплексор DX			Мультимплексор MUX		
Входів	Виходів	Назва	Входів	Виходів	Назва	Входів	Виходів	Назва
1	2	1 у 2	1	2	1 у 2	2	1	2 в 1
2	4	2 у 4	2	4	1 у 4	4	1	4 в 1
3	8	3 у 8	3	8	1 у 8	8	1	8 в 1
4	16	4 у 16	4	16	1 у 16	16	1	16 в 1
5	32	5 у 32	5	32	1 у 32	32	1	32 в 1
n	2 <sup>n</sup>		n	2 <sup>n</sup>	1 у 2 <sup>n</sup>	2 <sup>n</sup>	1	2 <sup>n</sup> в 1

# Шифратор Coder CD

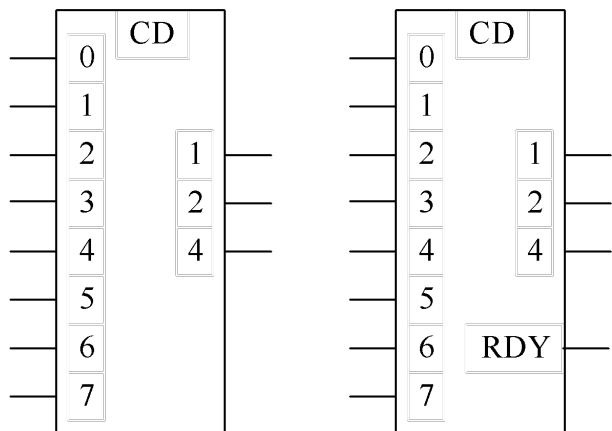




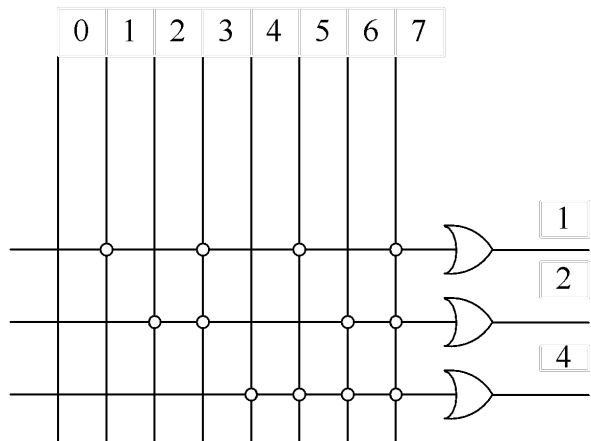
# Класифікація DC, CD, DX, MUX

Дешифратор DC			Шифратор CD			Демультимплексор DX			Мультиплексор MUX		
Входів	Виходів	Назва	Входів	Виходів	Назва	Входів	Виходів	Назва	Входів	Виходів	Назва
1	2	1 у 2	2	1	2 у 1	1	2	1 у 2	2	1	2 в 1
2	4	2 у 4	4	2	4 у 2	2	4	1 у 4	4	1	4 в 1
3	8	3 у 8	8	3	8 у 3	3	8	1 у 8	8	1	8 в 1
4	16	4 у 16	16	4	16 у 4	4	16	1 у 16	16	1	16 в 1
5	32	5 у 32	32	5	32 у 5	5	32	1 у 32	32	1	32 в 1
n	2 <sup>n</sup>	n у 2 <sup>n</sup>	2 <sup>n</sup>	n	2 <sup>n</sup> у n	n	2 <sup>n</sup>	1 у 2 <sup>n</sup>	2 <sup>n</sup>	1	2 <sup>n</sup> в 1

# Пріоритетний шифратор



7	6	5	4	3	2	1	0	4	2	1
1	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	1	0	1
0	0	0	1	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	0	0	1	0	0	0



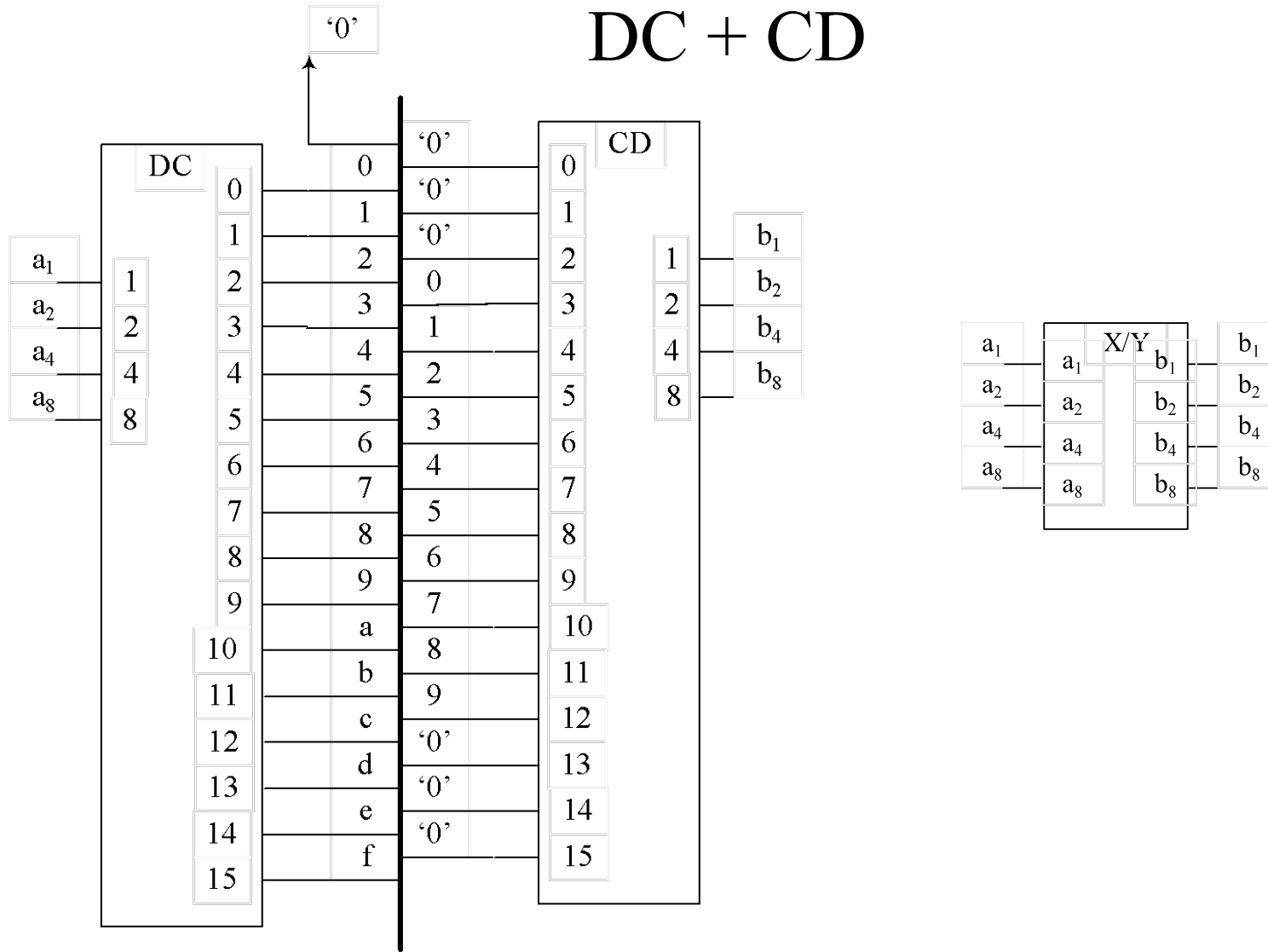
7	6	5	4	3	2	1	0	4	2	1	Rd	y
1	X	X	X	X	X	X	X	1	1	1	1	1
0	1	X	X	X	X	X	X	1	1	0	1	1
0	0	1	X	X	X	X	X	1	0	1	1	1
0	0	0	1	X	X	X	X	1	0	0	1	1
0	0	0	0	1	X	X	X	0	1	1	1	1
0	0	0	0	0	1	X	X	0	1	0	1	1
0	0	0	0	0	0	1	X	0	0	1	1	1
0	0	0	0	0	0	0	1	0	0	0	1	1
0	0	0	0	0	0	0	0	X	X	X	0	0

# Двійково-десяткові коди

Десяткові цифри	Код 8421	Код 8421+3	Код 2421	Код 5121	Десятичний код	Двоичний код $2^3 \ 2^2 \ 2^1 \ 2^0$	Код Грея
0	0000	0011	0000	0000	0	0 0 0 0	0 0 0 0
1	0001	0100	0001	0001	1	0 0 0 1	0 0 0 1
2	0010	0101	0010	0010	2	0 0 1 0	0 0 1 1
3	0011	0110	0011	0011	3	0 0 1 1	0 0 1 0
4	0100	0111	0100	0111	4	0 1 0 0	0 1 1 0
5	0101	1000	1011	1000	5	0 1 0 1	0 1 1 1
6	0110	1001	1100	1100	6	0 1 1 0	0 1 0 1
7	0111	1010	1101	1101	7	0 1 1 1	0 1 0 0
8	1000	1011	1110	1110	8	1 0 0 0	1 1 0 0
9	1001	1100	1111	1111	9	1 0 0 1	1 1 0 1
					10	1 0 1 0	1 1 1 1
					11	1 0 1 1	1 1 1 0
					12	1 1 0 0	1 0 1 0
					13	1 1 0 1	1 0 1 1
					14	1 1 1 0	1 0 0 1
					15	1 1 1 1	1 0 0 0

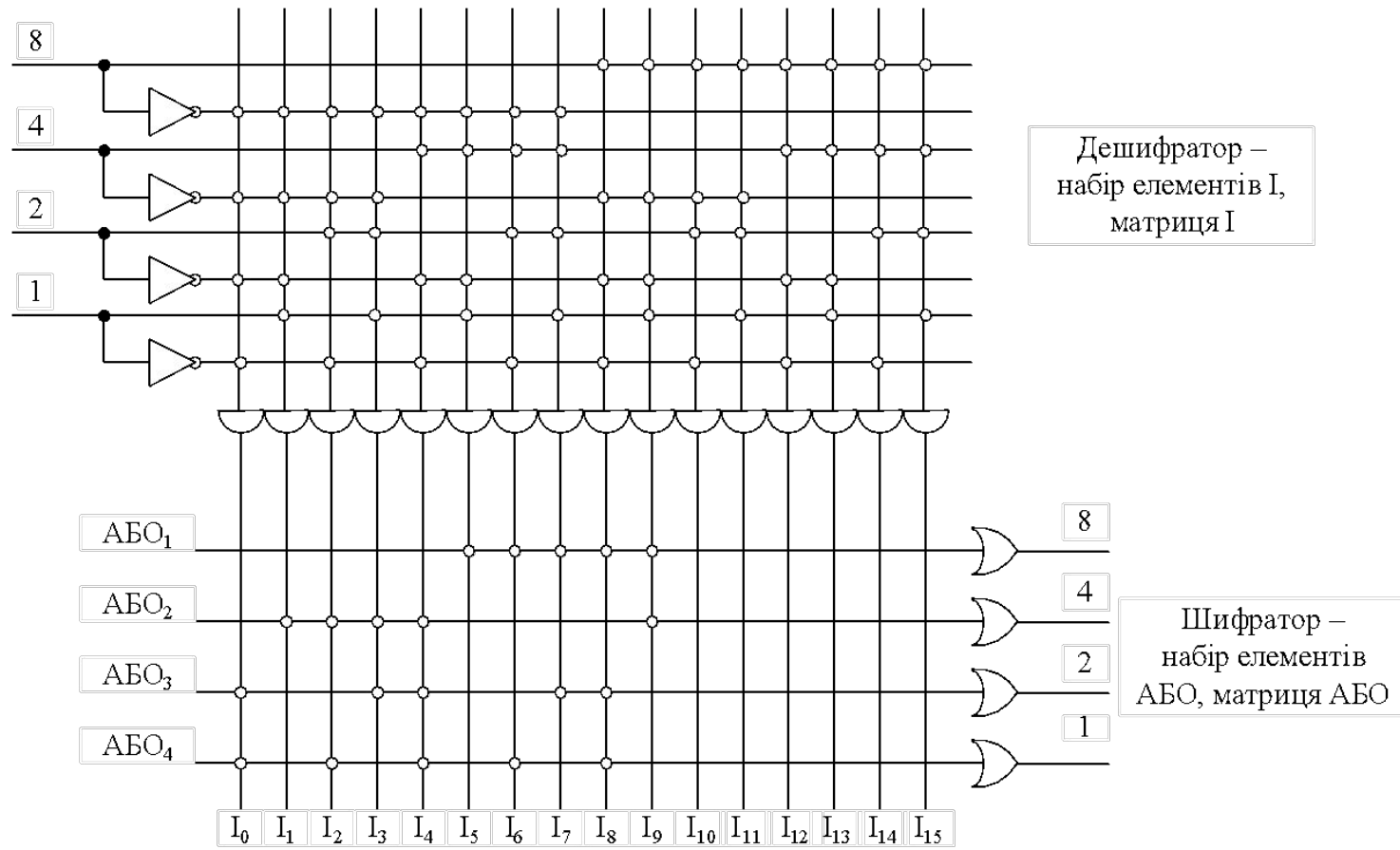
# Перетворювач кодів 8421 у 8421+3

## DC + CD

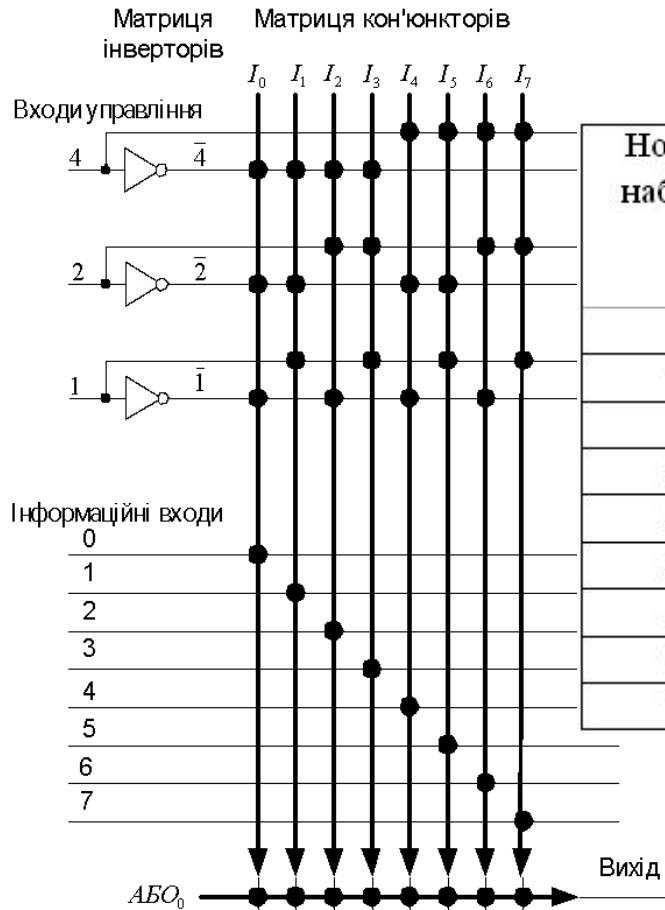


- НУЛ

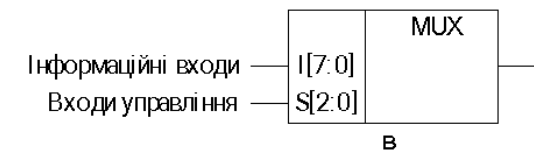
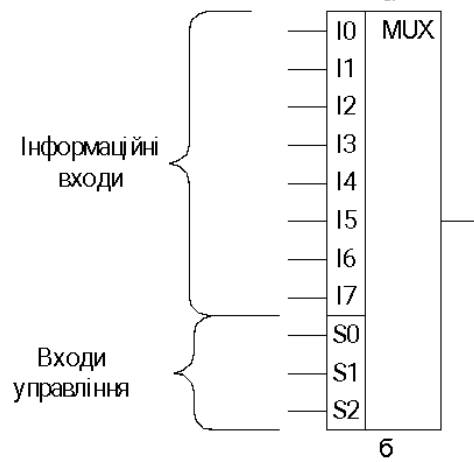
# Матрична схема перетворювача коду 8421 у код 8421+3



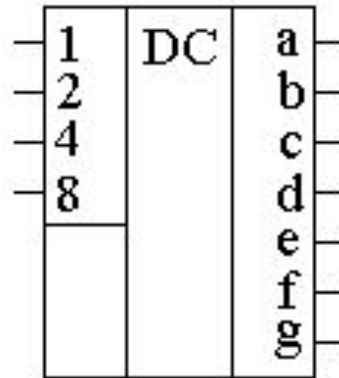
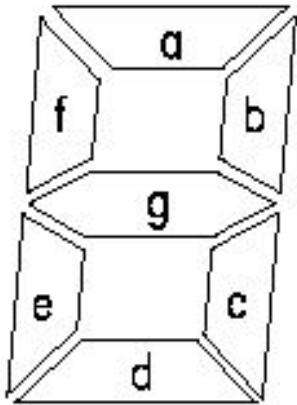
# Мультиплексор 8 в 1



Номер набору	Входи управління			Інформаційний вхід, з якого буде передаватися інформація на вихід
	4	2	1	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7

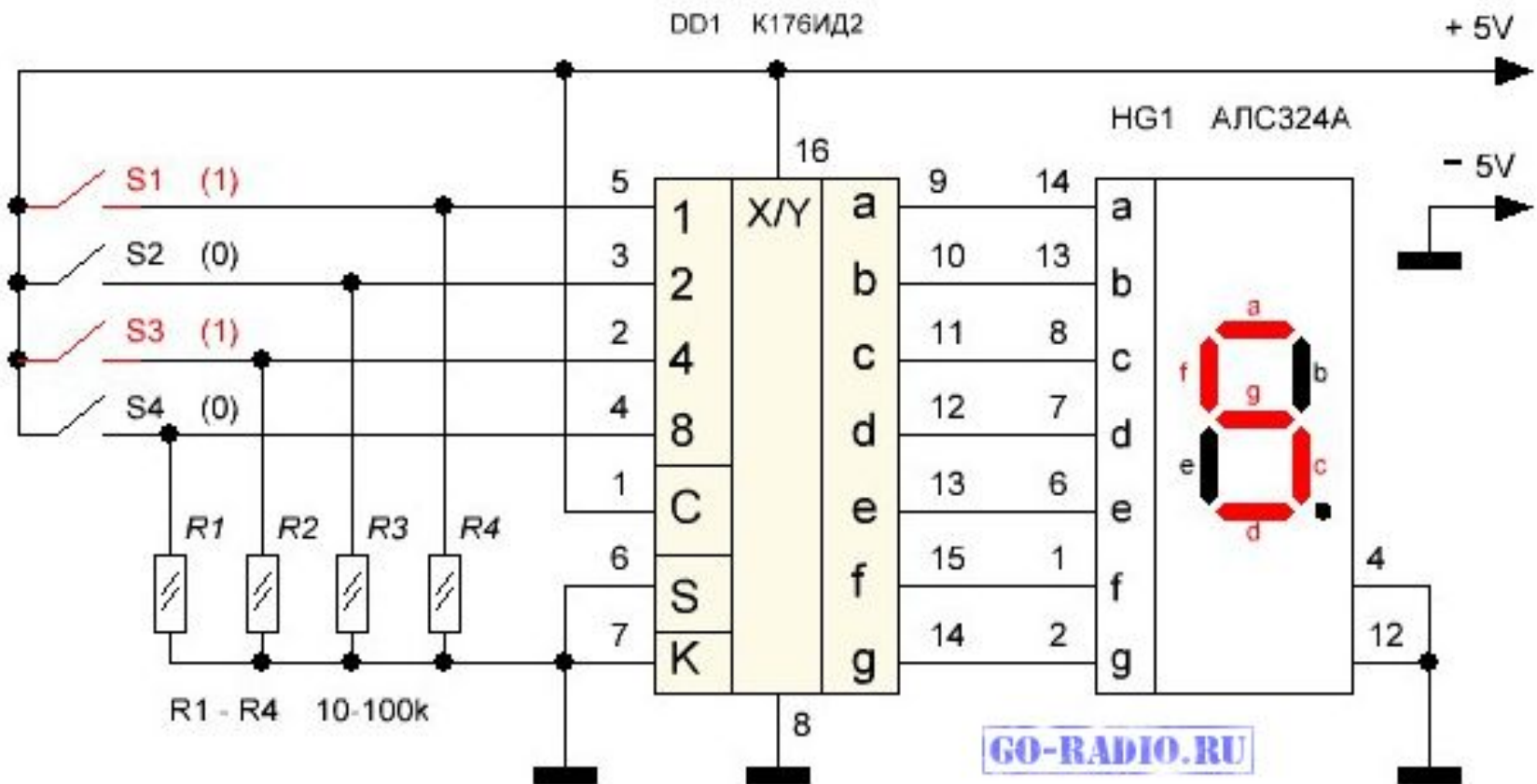


# Перетворювач кодів – дешифратор для 7-сегментного індикатора



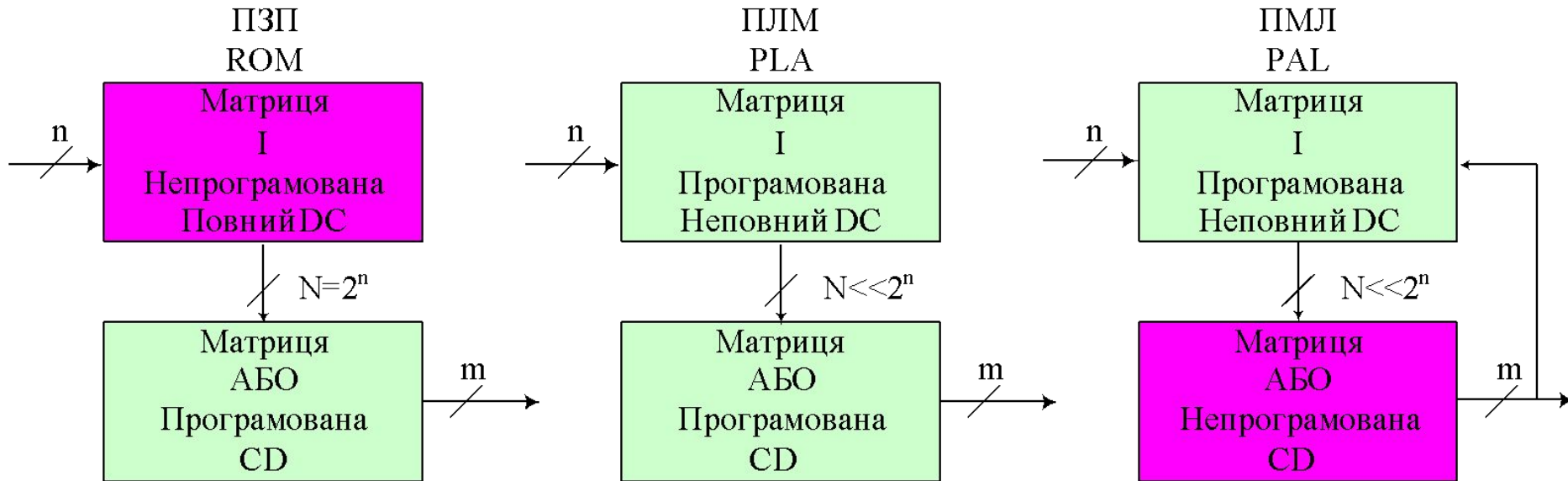
8	4	2	1	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0

# Перетворювач кодів для семигементного індикатора





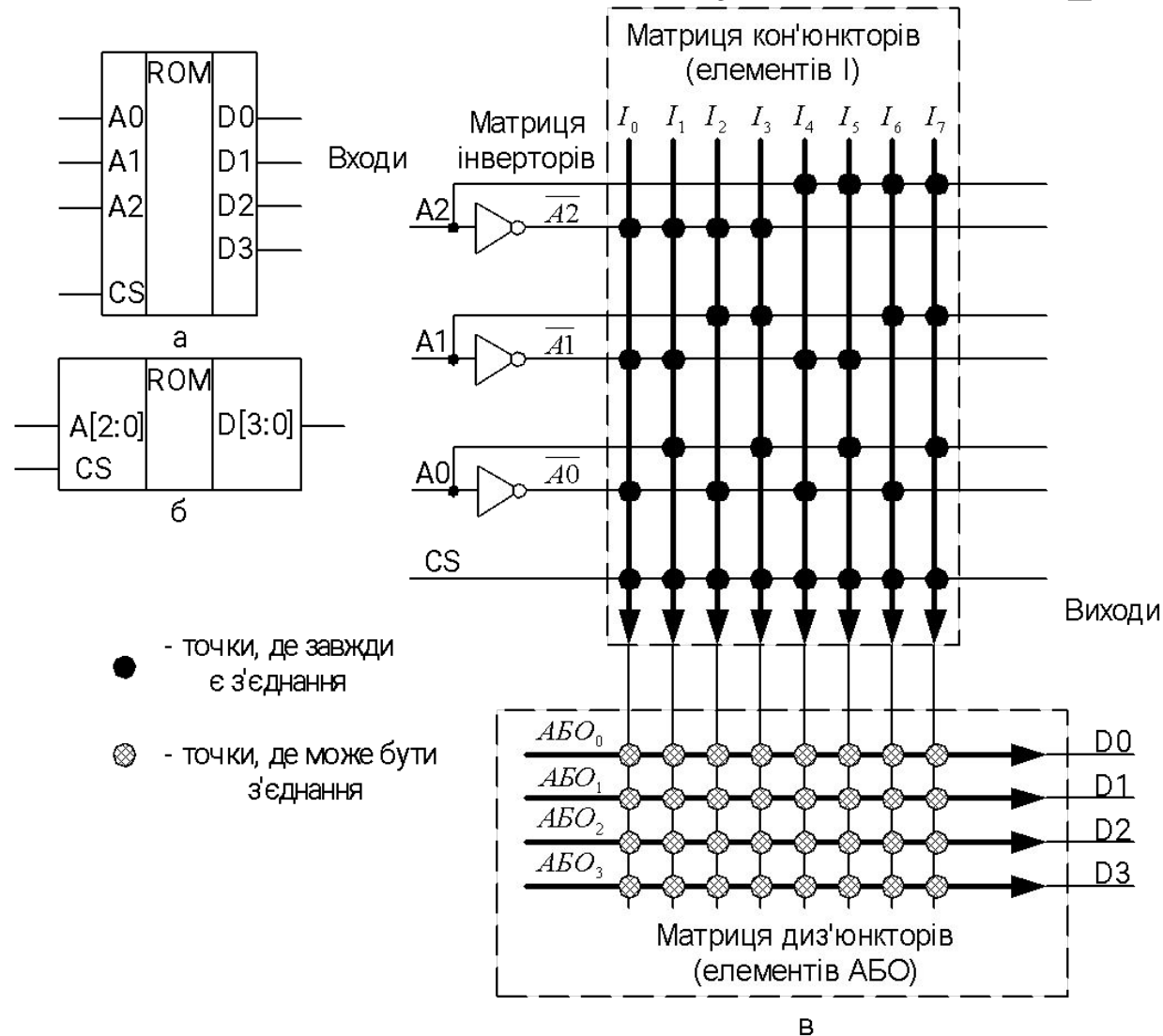
# Програмовані структури



Організація:  $2^n \times m$   
Об'єм:  $V = 2^n \times m$

Зворотні зв'язки

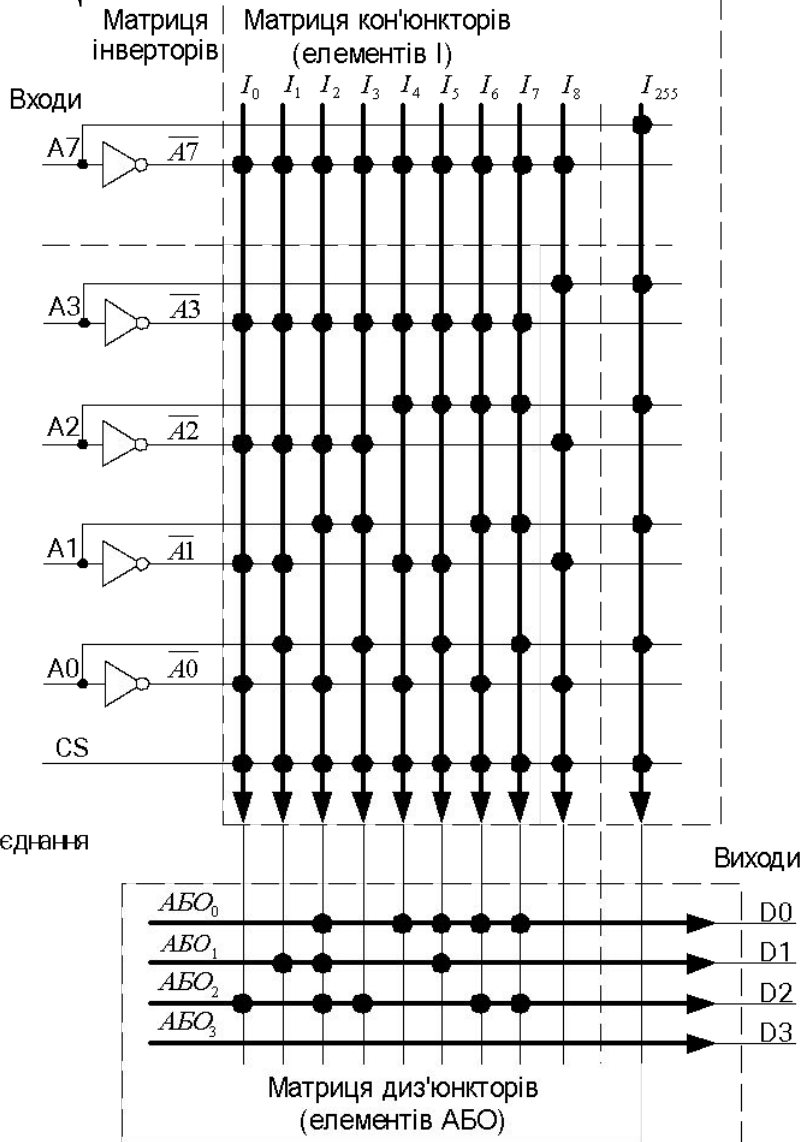
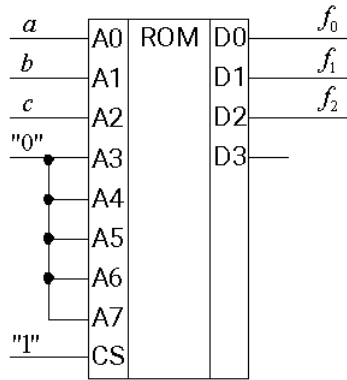
# Постійний запам'ятовуючий пристій



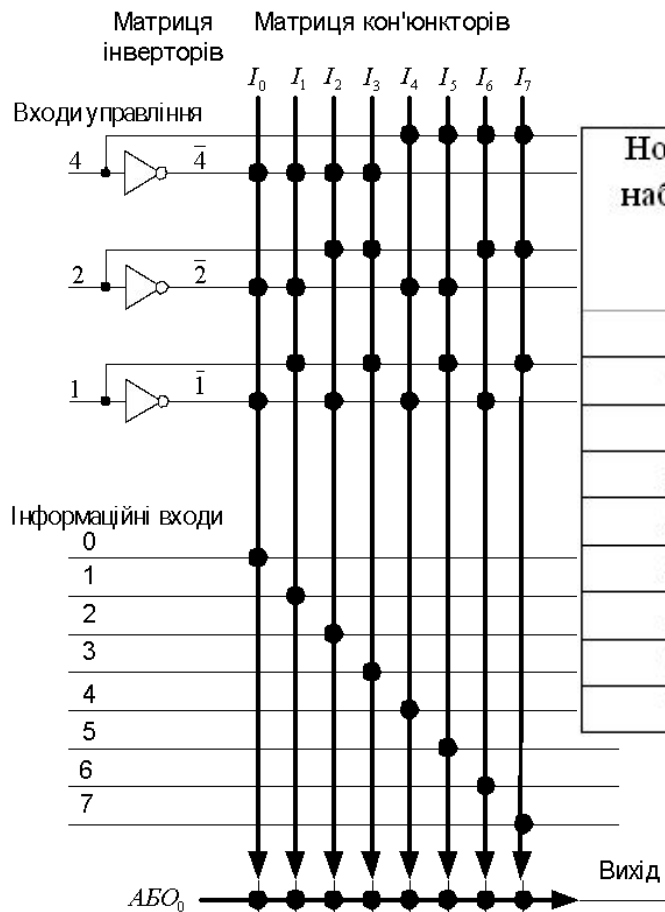
# Реалізація ФАЛ на ПЗП

Сигнали	c	b	a	f <sub>2</sub>	f <sub>1</sub>	f <sub>0</sub>	Таблиця прошивтя	
Виводи ПЗП	A2	A1	A0	D2	D1	D0		
Вага входу	4	2	1					
Номер набору:	Адреса			Дані			Адреса	Дані
0	0	0	0	1	0	0	0	4
1	0	0	1	0	1	0	1	2
2	0	1	0	1	1	1	2	7
3	0	1	1	1	0	0	3	4
4	1	0	0	0	0	1	4	1
5	1	0	1	0	1	1	5	3
6	1	1	0	1	0	1	6	5
7	1	1	1	1	0	1	7	5
							8...FF	0

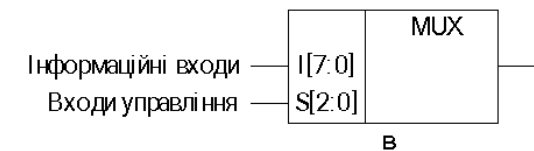
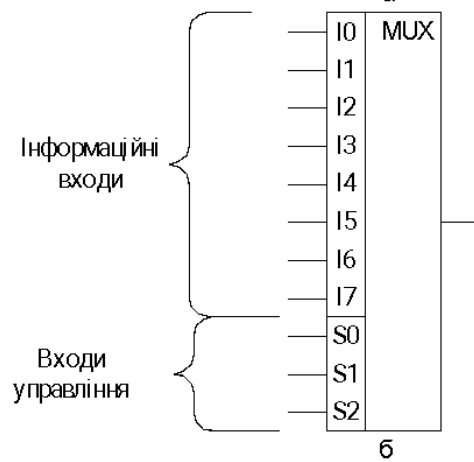
# Реалізація ФАЛ на ПЗП



# Мультиплексор 8 в 1



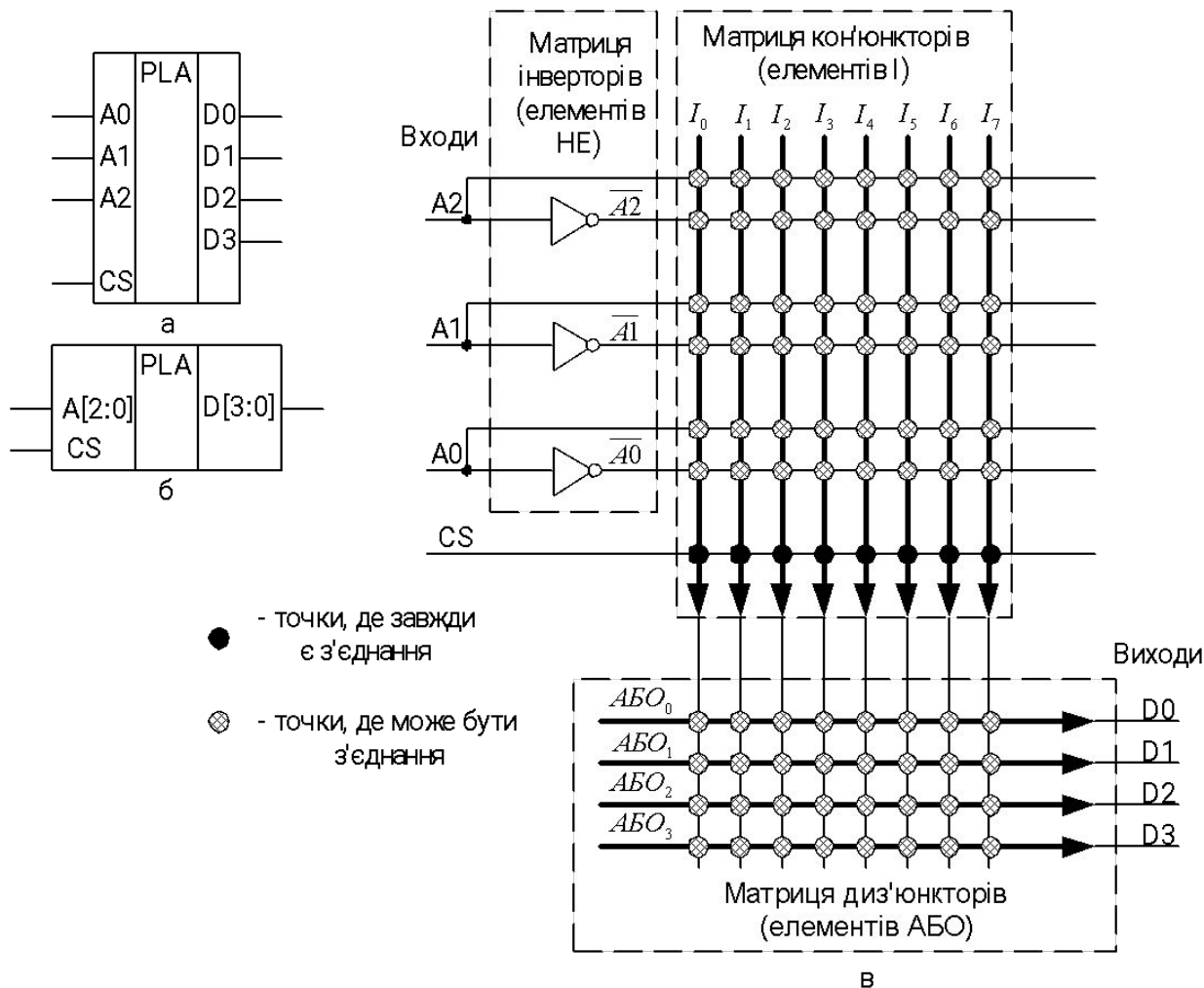
Номер набору	Входи управління			Інформаційний вхід, з якого буде передаватися інформація на вихід
	4	2	1	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7



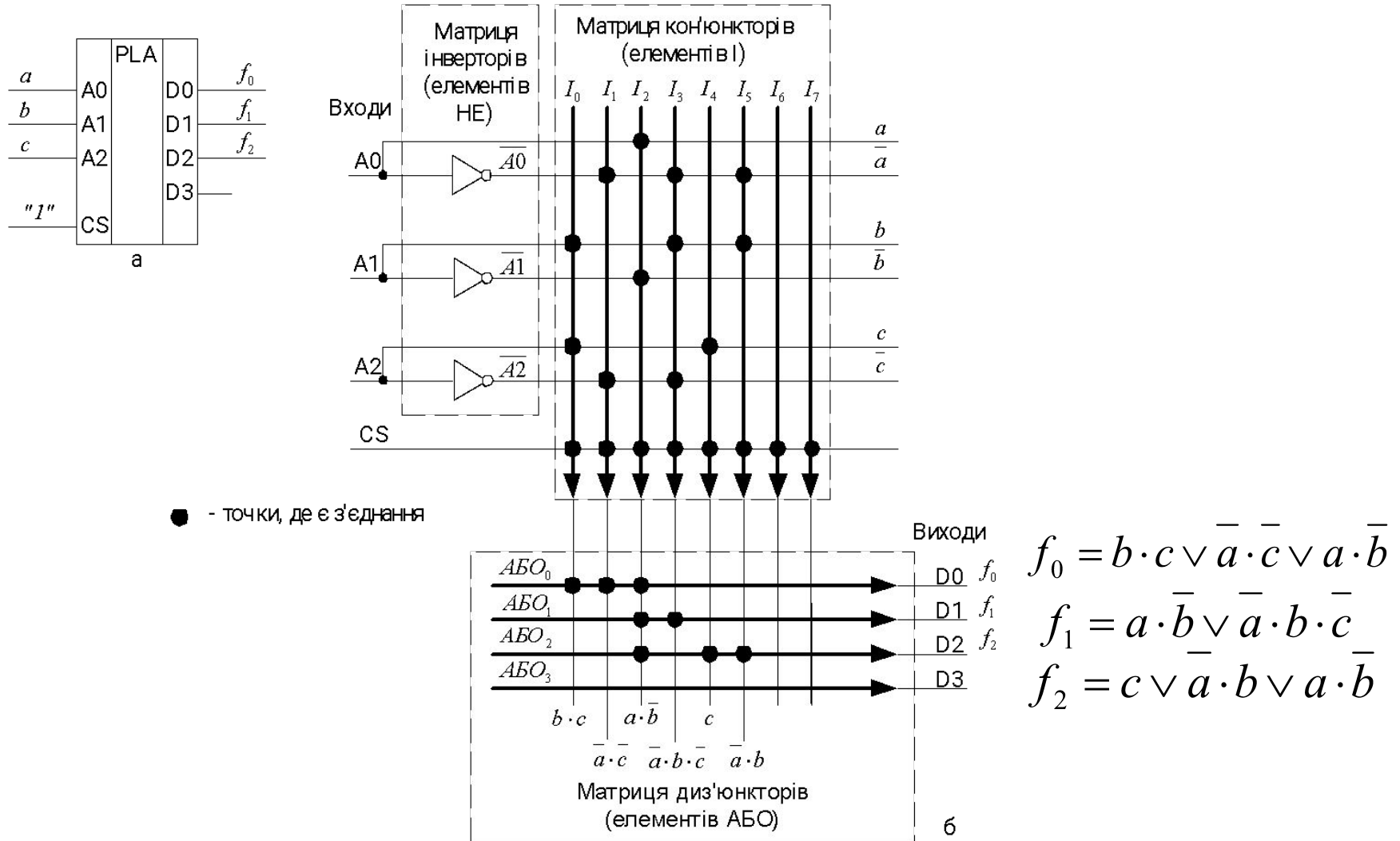
# Опис ПЗП на мові VHDL

```
• library IEEE;
• use IEEE.std_logic_1164.all;
• use IEEE.std_logic_unsigned.all;
• entity rom is
•   port (   CS : in STD_LOGIC;
•           A : in STD_LOGIC_VECTOR(2 downto 0);
•           D : out STD_LOGIC_VECTOR(3 downto 0));
• end entity;
• architecture rom_arch of rom is
• begin
•   process(A, CS)
•   begin
•     if (CS = '1') then
•       case (A) is
•       when "000" => D <= "0100";
•       when "001" => D <= "0010";
•       when "010" => D <= "0111";
•       when "011" => D <= "0100";
•       when "100" => D <= "0001";
•       when "101" => D <= "0011";
•       when "110" => D <= "0101";
•       when "111" => D <= "0101";
•       when others => D <= "0000";
•       end case;
•     else
•       D <= "0000";
•     end if;
•   end process;
```

# Програмовані логічні матриці



# Реалізація ФАЛ на ПЛМ

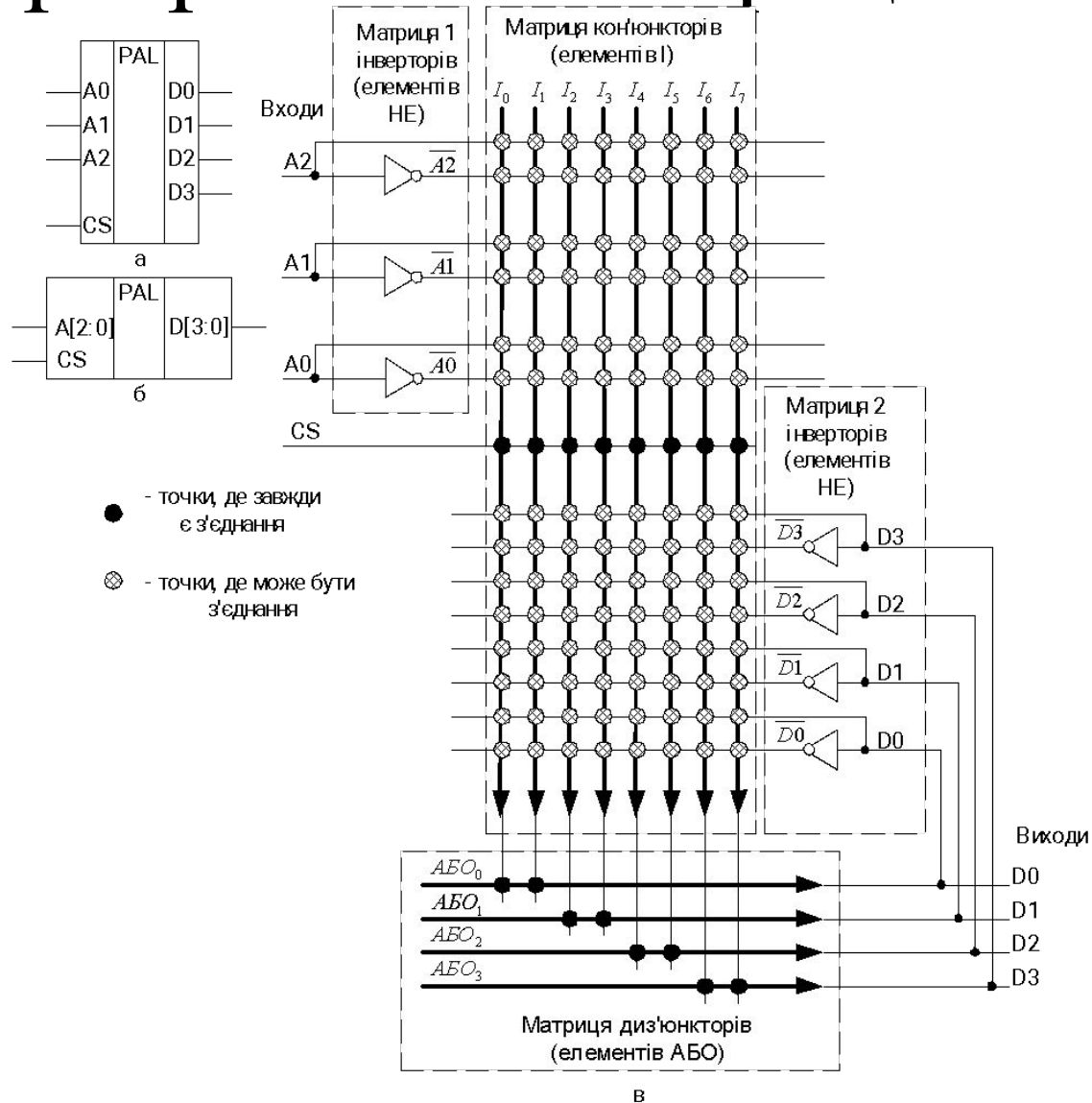




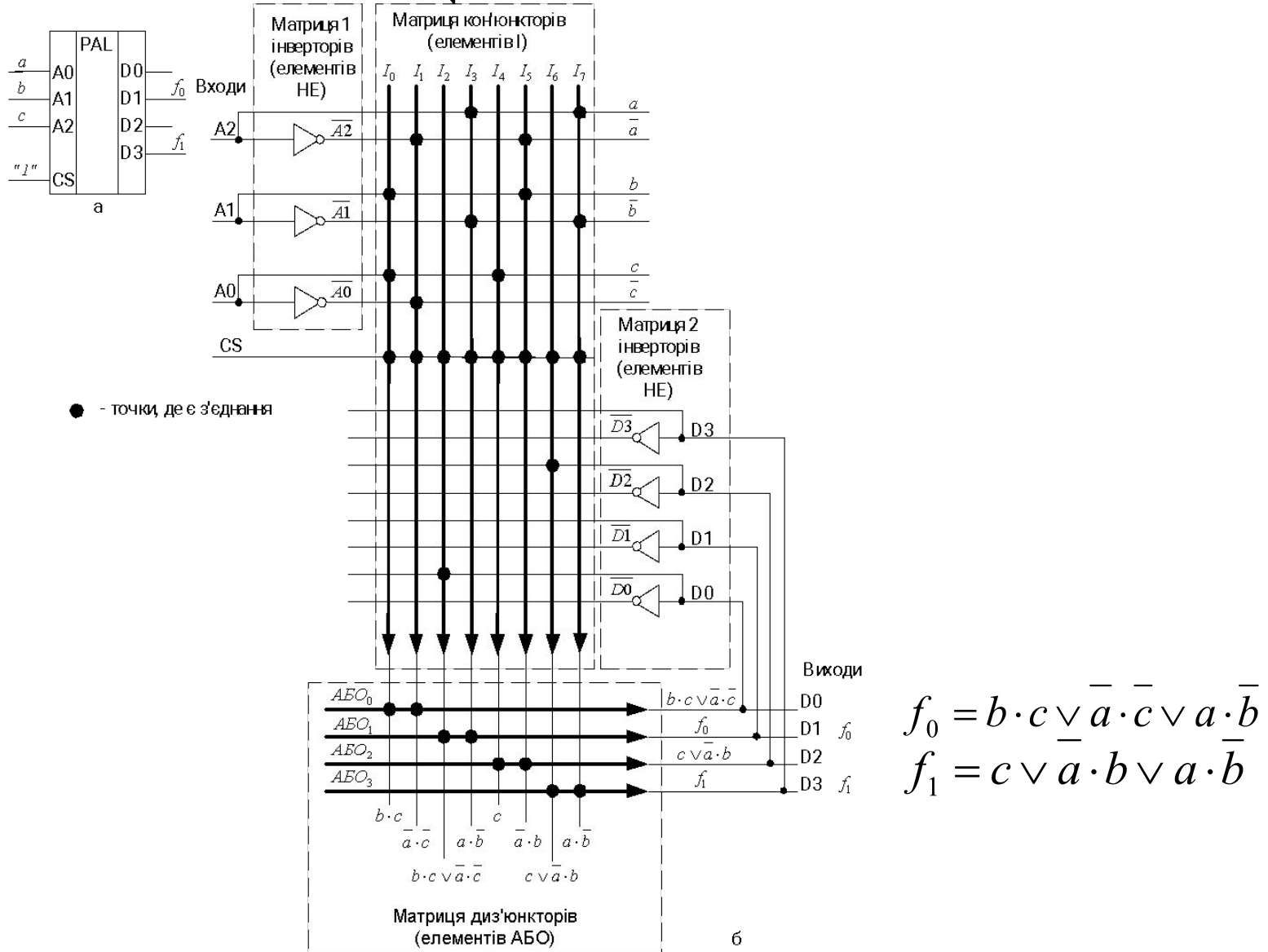
# Таблиця прошиття ПЛІМ

Сигнали	c	b	a	f <sub>2</sub>	f <sub>1</sub>	f <sub>0</sub>
Виводи ПЗП	A2	A1	A0	D2	D1	D0
Елемент матриці I	Адреса (вхід)			Дані		
I0	H	H	-	-	-	A
I1	L	-	L	-	-	A
I2	-	L	H	A	A	A
I3	L	H	L	-	A	-
I4	H	-	-	A	-	-
I5	-	H	L	A	-	-
I6	0	0	0	-	-	-
I7	0	0	0	-	-	-

# Програмовані матриці логіки



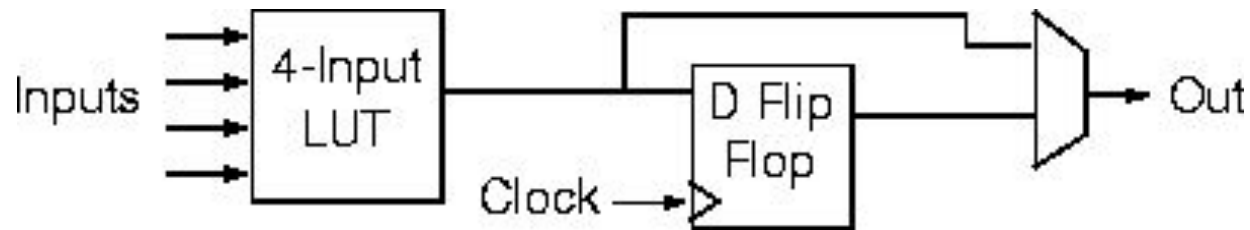
# Реалізація ФАЛ на ПМЛ



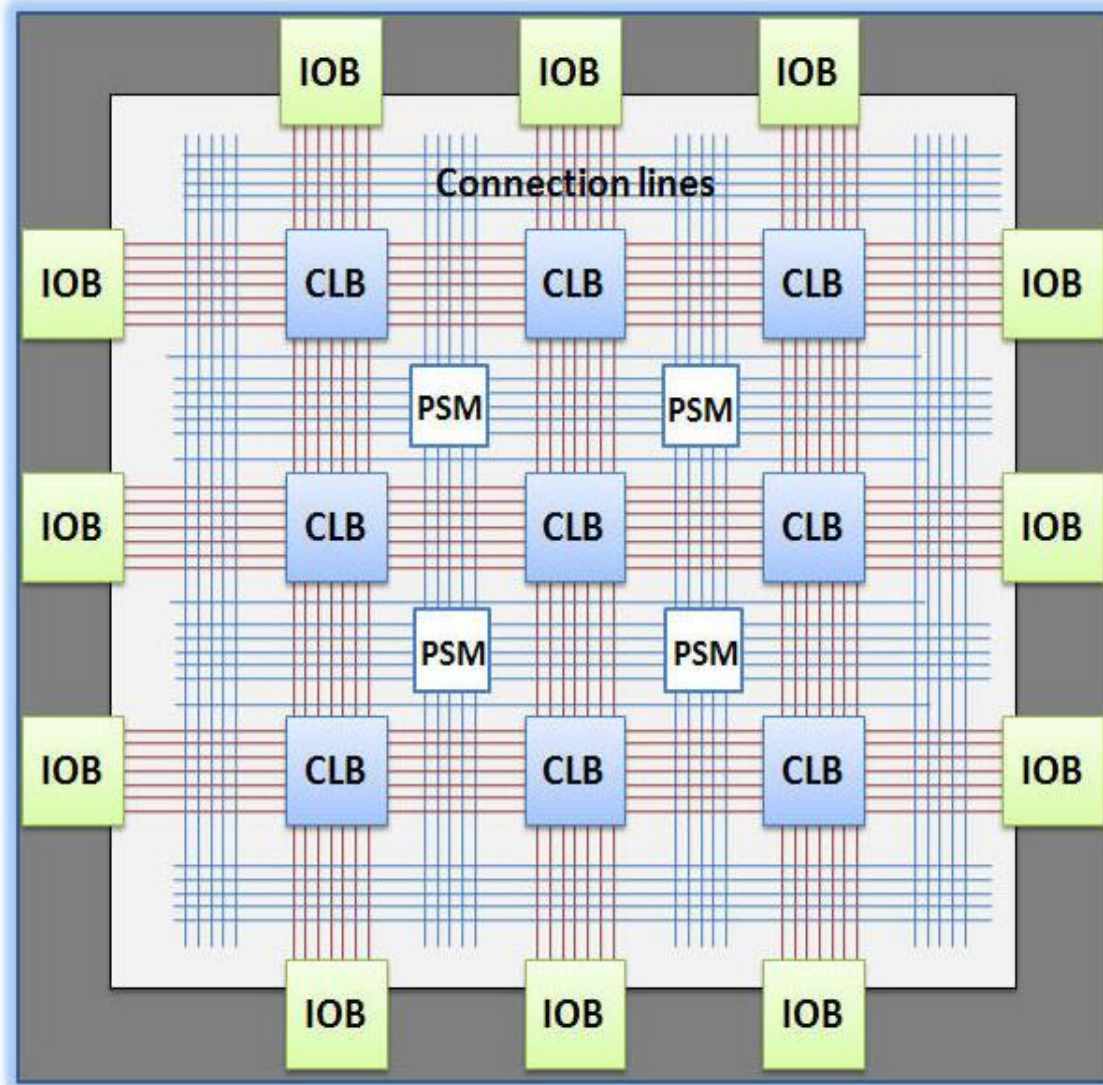
# Таблиця прошиття ПМЛ

		Сигнали			$f_1$	$f_0$				
		Виводи ПЗП	A2	A1	A0	D3	D2	D1	D0	Примітки
Елемент матриці АБО	Дані (вихід)	Елемент матриці І	Адреса (вхід)			Дані (зворотний зв'язок)				
АБО0	D0	I0	H	H	-	-	-	-	-	$b \cdot c$
		I1	L	-	L	-	-	-	-	$\bar{a} \cdot \bar{c}$
АБО1	D1	I2	-	-	-	-	-	-	H	D0
		I3	-	L	H	-	-	-	-	$a \cdot \bar{b}$
АБО2	D2	I4	H	-	-	-	-	-	-	$c$
		I5	-	H	L	-	-	-	-	$\bar{a} \cdot b$
АБО3	D3	I6	-	-	-	-	H	-	-	D1
		I7	-	L	H	-	-	-	-	$a \cdot \bar{b}$

# Конфігуровний логічний блок (CLB), Логічна комірка



# ПЛІС першого покоління



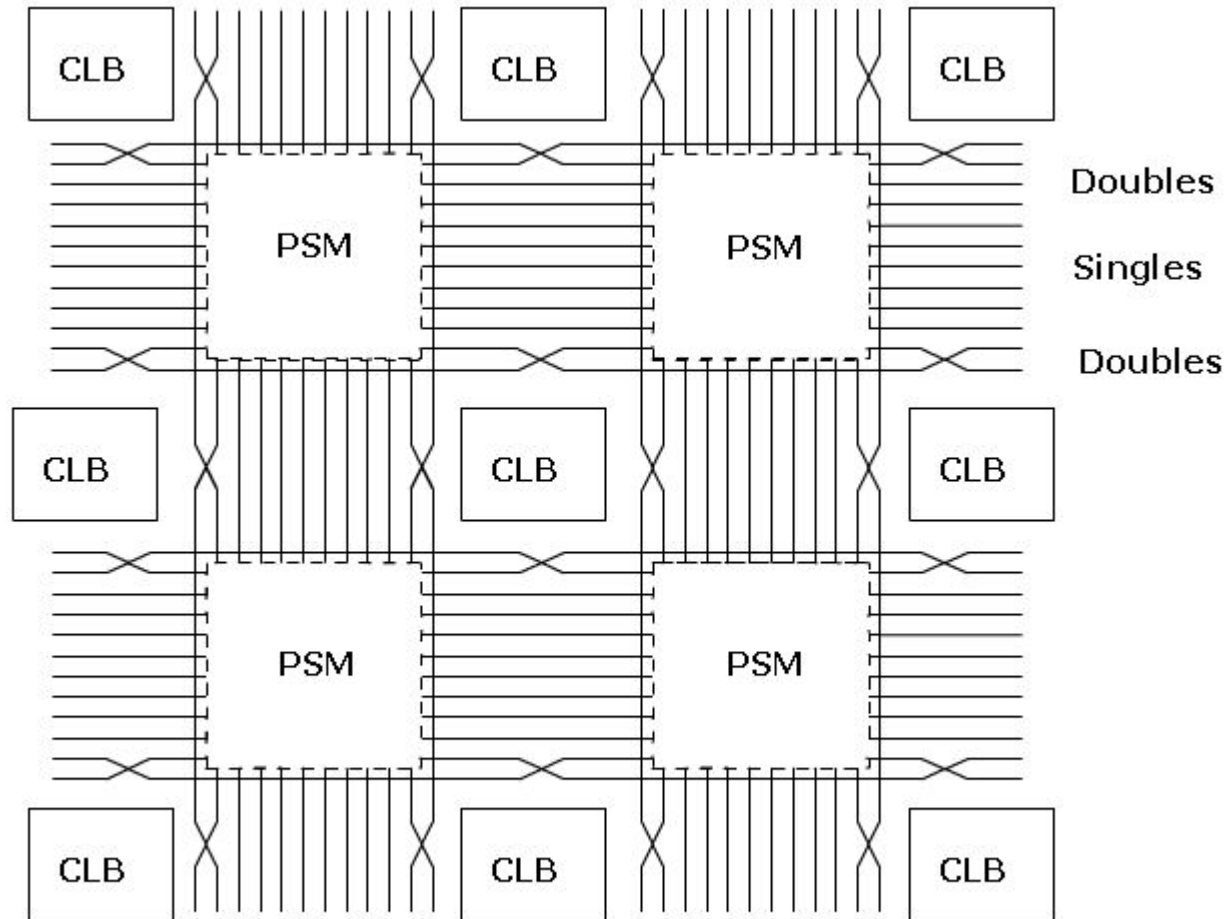
**IOB**  
Input Output Block

**CLB**  
Configurable  
Logic Block

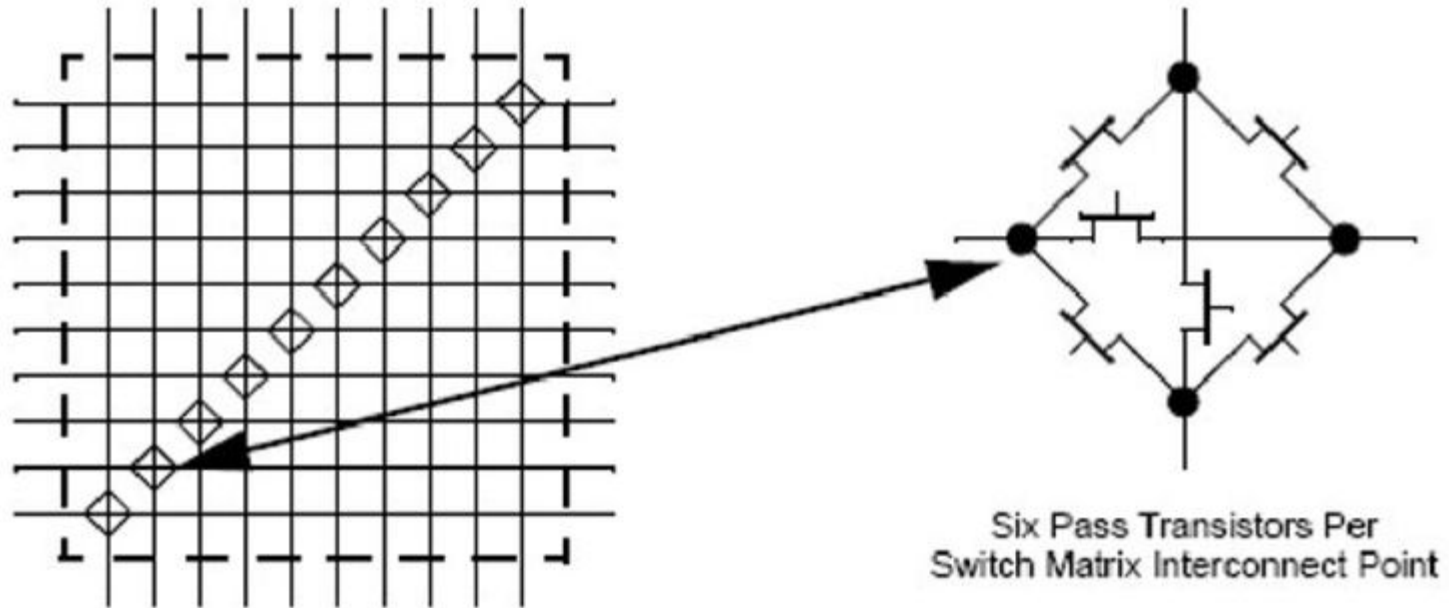
**PSM**  
Programable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct

# Конфігуровані логічні блоки (CLB) та електронні комутатори (PSM -Programmable switch matrix )

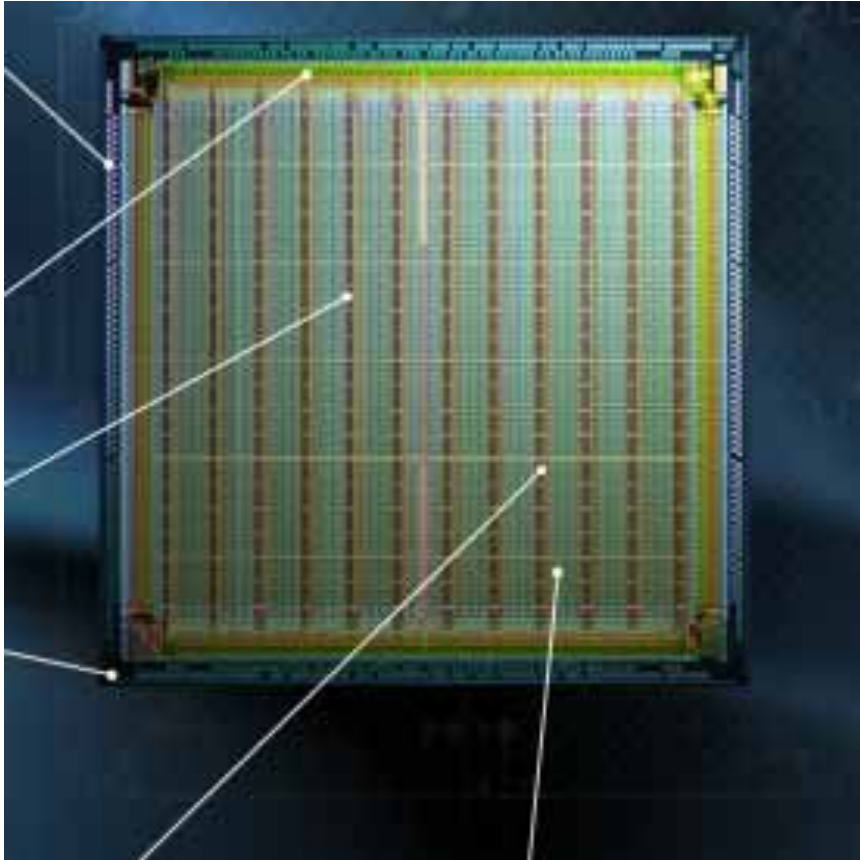


# Електронний комутатор



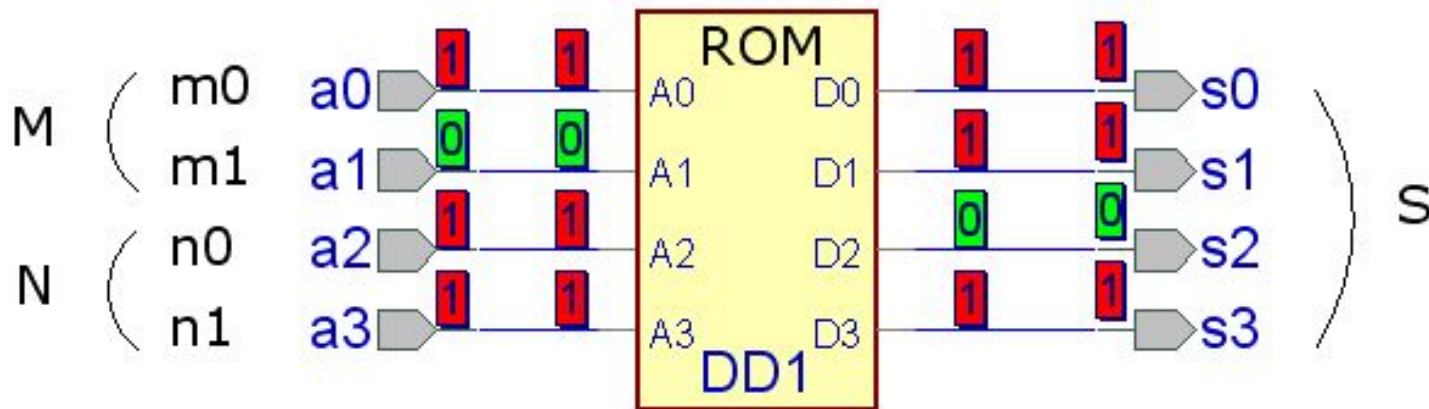


# *ПЛІС Virtex II Pro фірми Xilinx*



# Операційний пристрій на основі ПЗП

$$S = 2M + 3N$$



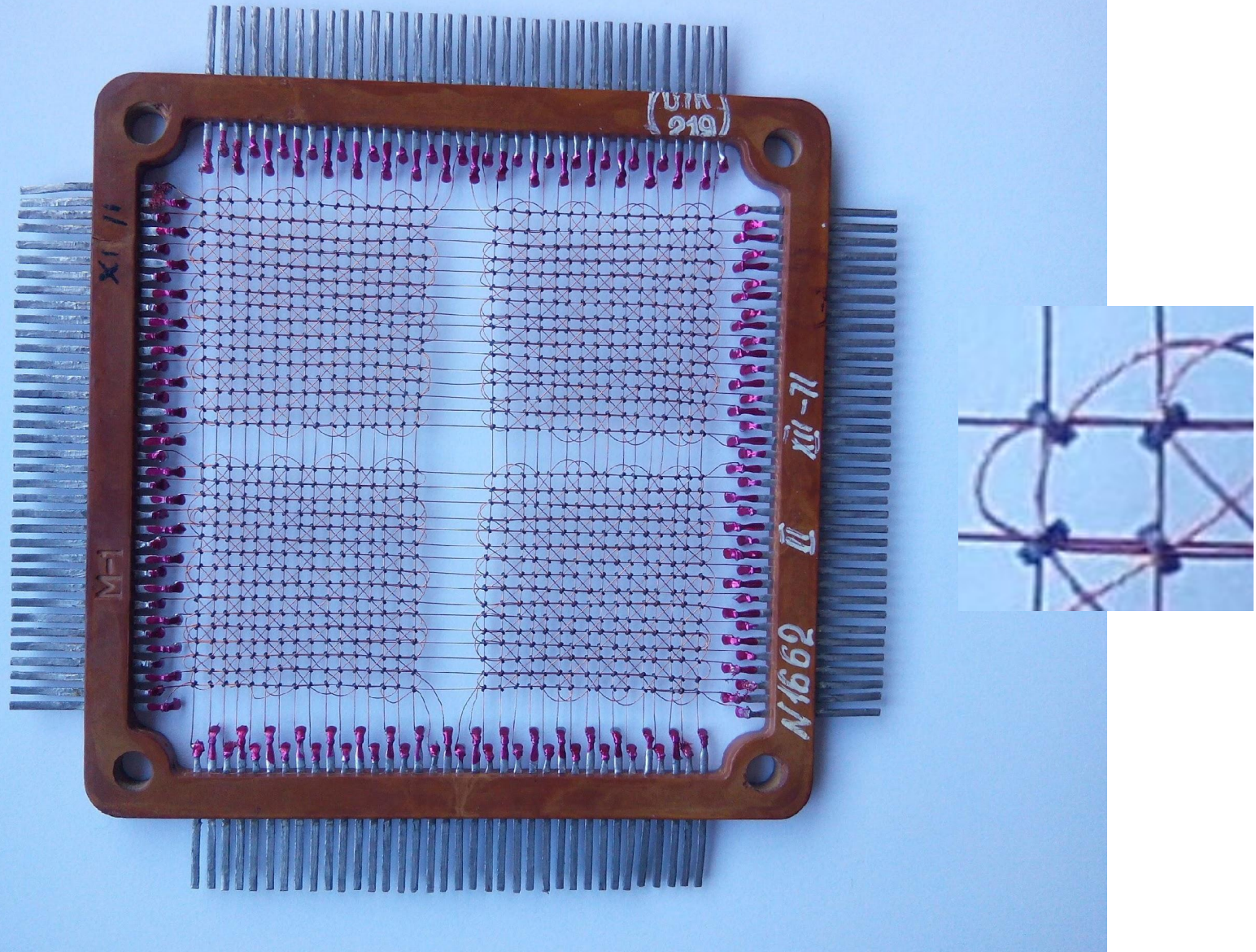
$A$	$a_3$	$a_2$	$a_1$	$a_0$
Адреса	1	1	0	1
$M$			$m_1$	$m_0$
			1	
$N$	$n_1$	$n_0$		
	3			

# Таблиця прошиття ПЗП

Адреса						Розрахунок			Дані					
A (адреса ПЗП)	A <sub>10</sub>	a <sub>3</sub>	a <sub>2</sub>	a <sub>1</sub>	a <sub>0</sub>	N	M	2M + 3N=S						D (дані ПЗП)
		A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>				S <sub>10</sub>	s <sub>3</sub>	s <sub>2</sub>	s <sub>1</sub>	s <sub>0</sub>	
		n <sub>1</sub>	n <sub>0</sub>	m <sub>1</sub>	m <sub>0</sub>					D <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>0</sub>	
		N		M										
0	0	0	0	0	0	0	0	2 * 0 + 3 * 0 = 0	0	0	0	0	0	0
1	1	0	0	0	1	0	1	2 * 1 + 3 * 0 = 2	2	0	0	1	0	2
2	2	0	0	1	0	0	2	2 * 2 + 3 * 0 = 4	4	0	1	0	0	4
3	3	0	0	1	1	0	3	2 * 3 + 3 * 0 = 6	6	0	1	1	0	6
4	4	0	1	0	0	1	0	2 * 0 + 3 * 1 = 3	3	0	0	1	1	3
5	5	0	1	0	1	1	1	2 * 1 + 3 * 1 = 5	5	0	1	0	1	5
6	6	0	1	1	0	1	2	2 * 2 + 3 * 1 = 7	7	0	1	1	1	7
7	7	0	1	1	1	1	3	2 * 3 + 3 * 1 = 9	9	1	0	0	1	9
8	8	1	0	0	0	2	0	2 * 0 + 3 * 2 = 6	6	0	1	1	0	6
9	9	1	0	0	1	2	1	2 * 1 + 3 * 2 = 8	8	1	0	0	0	8
A	10	1	0	1	0	2	2	2 * 2 + 3 * 2 = 10	A	1	0	1	0	A
B	11	1	0	1	1	2	3	2 * 3 + 3 * 2 = 12	C	1	1	0	0	C
C	12	1	1	0	0	3	0	2 * 0 + 3 * 3 = 9	9	1	0	0	1	9
D	13	1	1	0	1	3	1	2 * 1 + 3 * 3 = 11	B	1	0	1	1	B
E	14	1	1	1	0	3	2	2 * 2 + 3 * 3 = 13	D	1	1	0	1	D
F	15	1	1	1	1	3	3	2 * 3 + 3 * 3 = 15	F	1	1	1	1	F



# Пам'ять перших комп'ютерів

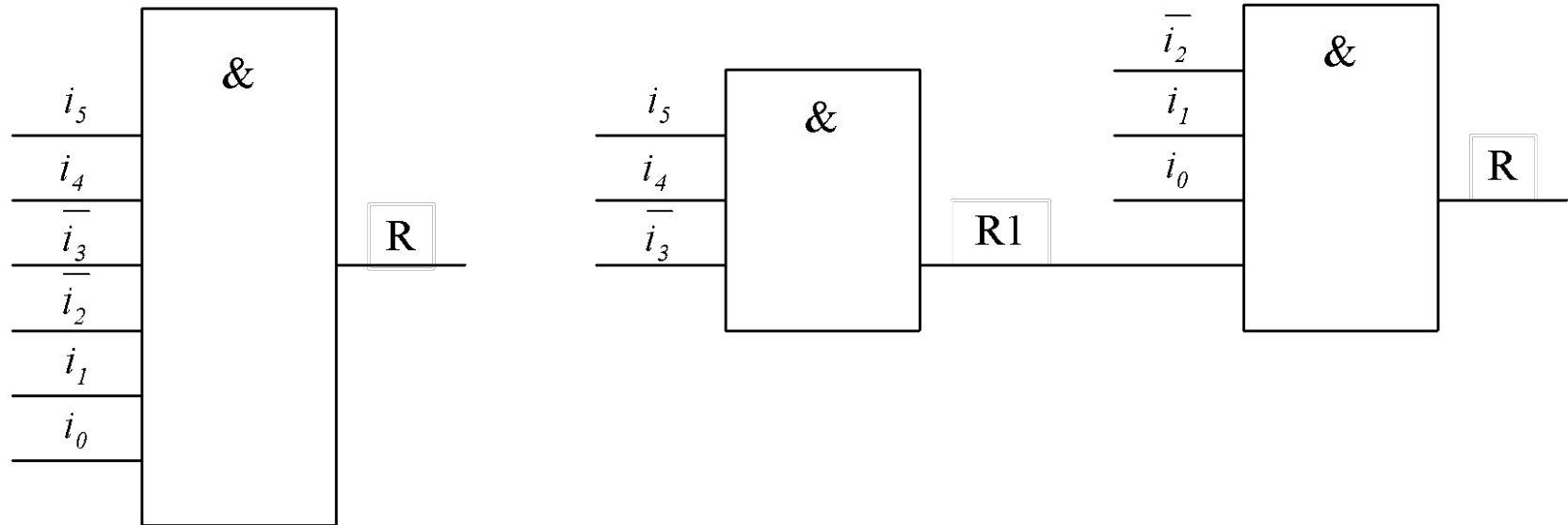


## Вузли порівняння

- Змінна величина порівнюється із змінною
- Змінна величина  $I$  порівнюється з константою  $C$ 
  - Константа задається явно
  - Константа задається неявно

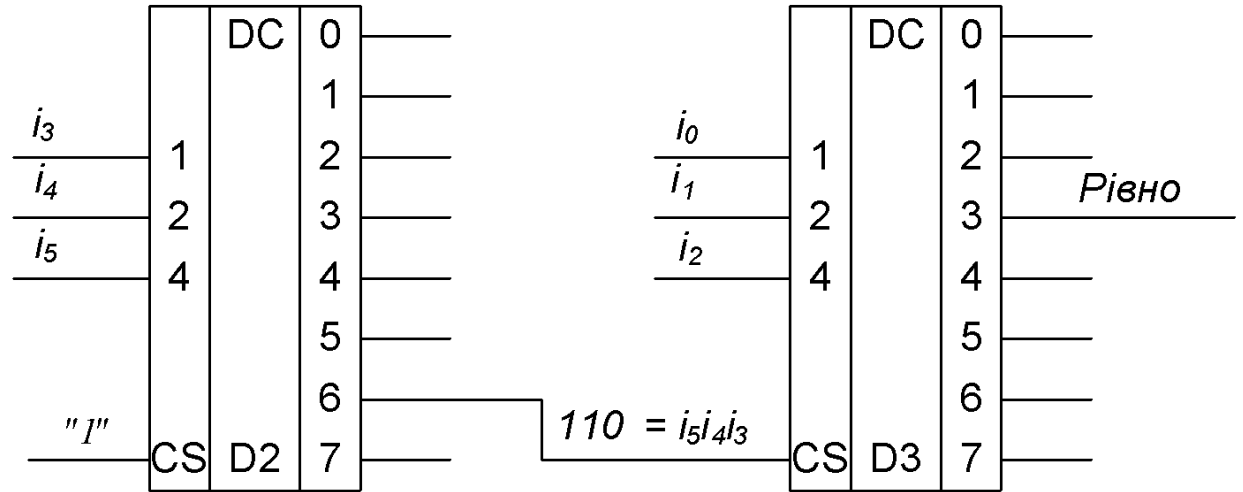
$$\bullet I = (i_7 i_6 \dots i_0) = 00 \dots FF, C = 63_8 = 110\ 011$$

$$R = i_5 i_4 \overline{i_3} \overline{i_2} i_1 i_0$$



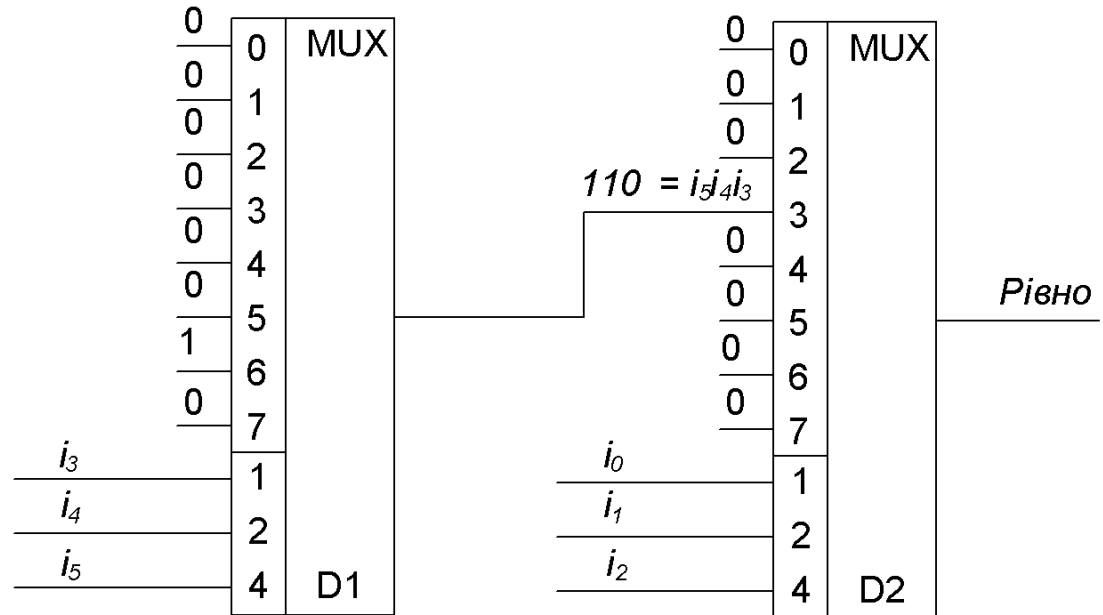
$$I = 63_8 = 110\ 011 = i_5i_4i_3i_2i_1i_0$$

# Вузол порівняння на основі DC

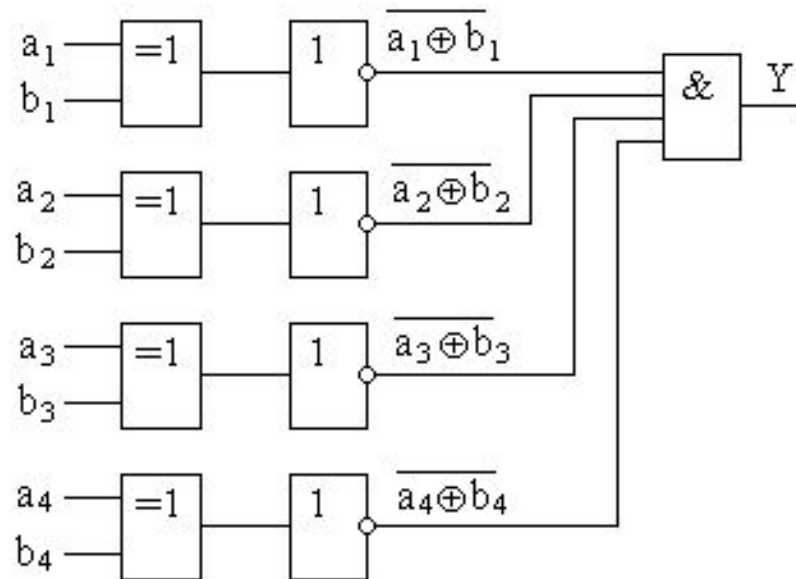
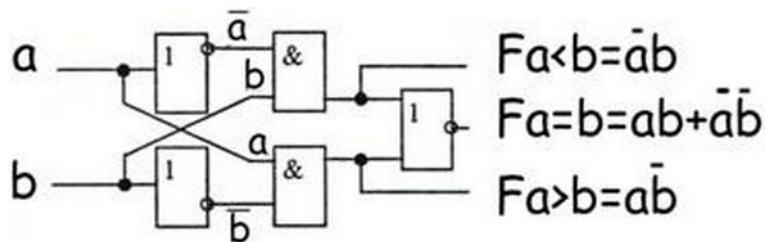
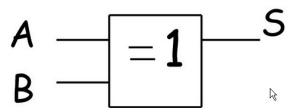


$$I = 63_8 = 110\ 011 = i_5i_4i_3i_2i_1i_0$$

# Вузол порівняння на основі MUX

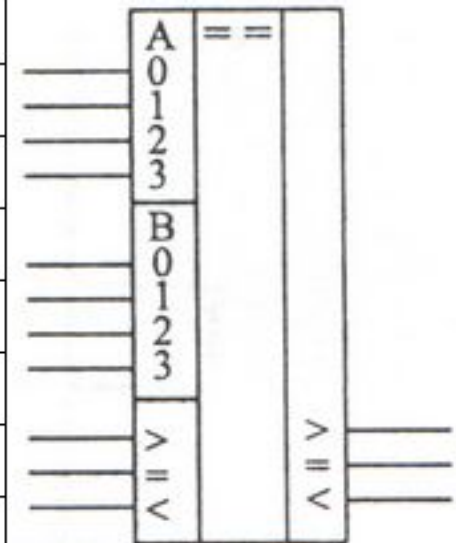
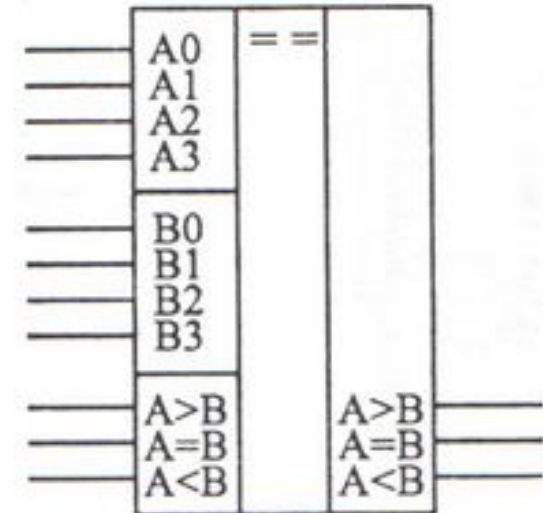


# Компаратори



# 4-розрядний універсальний компаратор

№ п.п.	Сравниваемые данные				Входы наращивания каскадов			Выходы		
	$a_3, b_3$	$a_2, b_2$	$a_1, b_1$	$a_0, b_0$	$A > B$	$A < B$	$A = B$	$A > B$	$A < B$	$A = B$
1	$a_3 > b_3$	X	X	X	X	X	X	1	0	0
2	$a_3 < b_3$	X	X	X	X	X	X	0	1	0
3	$a_3 = b_3$	$a_2 > b_2$	X	X	X	X	X	1	0	0
4	$a_3 = b_3$	$a_2 < b_2$	X	X	X	X	X	0	1	0
5	"	$a_2 = b_2$	$a_1 > b_1$	X	X	X	X	1	0	0
6	"	$a_2 = b_2$	$a_1 < b_1$	X	X	X	X	0	1	0
7	"	"	$a_1 = b_1$	$a_0 > b_0$	X	X	X	1	0	0
8	"	"	$a_1 = b_1$	$a_0 < b_0$	X	X	X	0	1	0
9	"	"	"	$a_0 = b_0$	1	0	0	1	0	0
10	"	"	"	$a_0 = b_0$	0	1	0	0	1	0
11	"	"	"	"	0	0	1	0	0	1
12	"	"	"	"	X	X	1	0	0	1
13	"	"	"	"	1	1	0	0	0	0
14	"	"	"	"	0	0	0	1	1	1





# Багаторозрядні компаратори

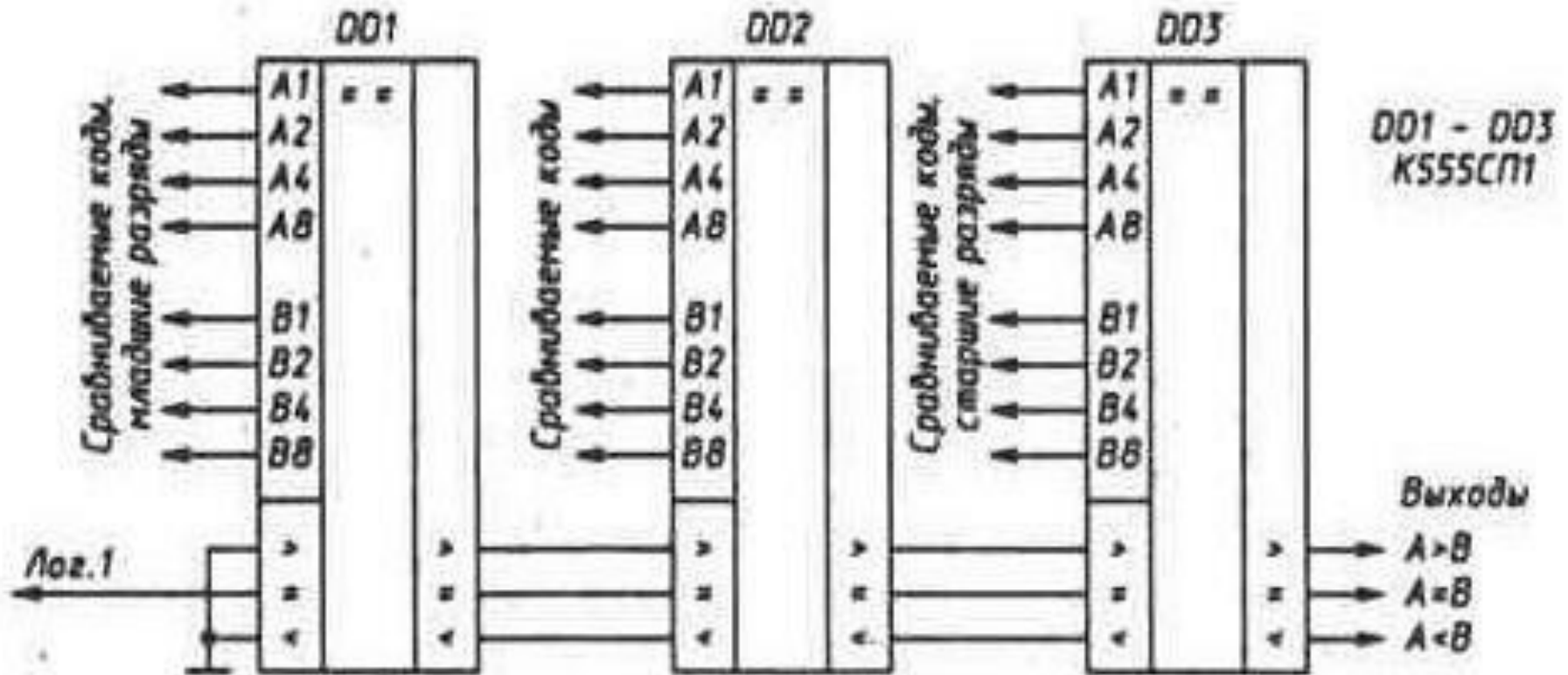
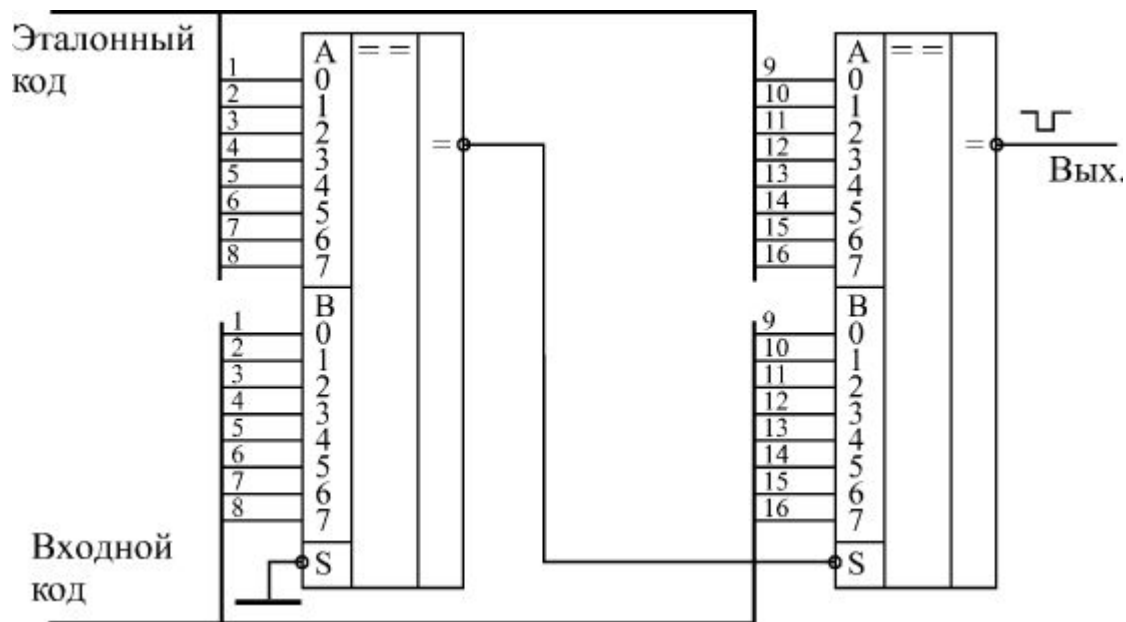
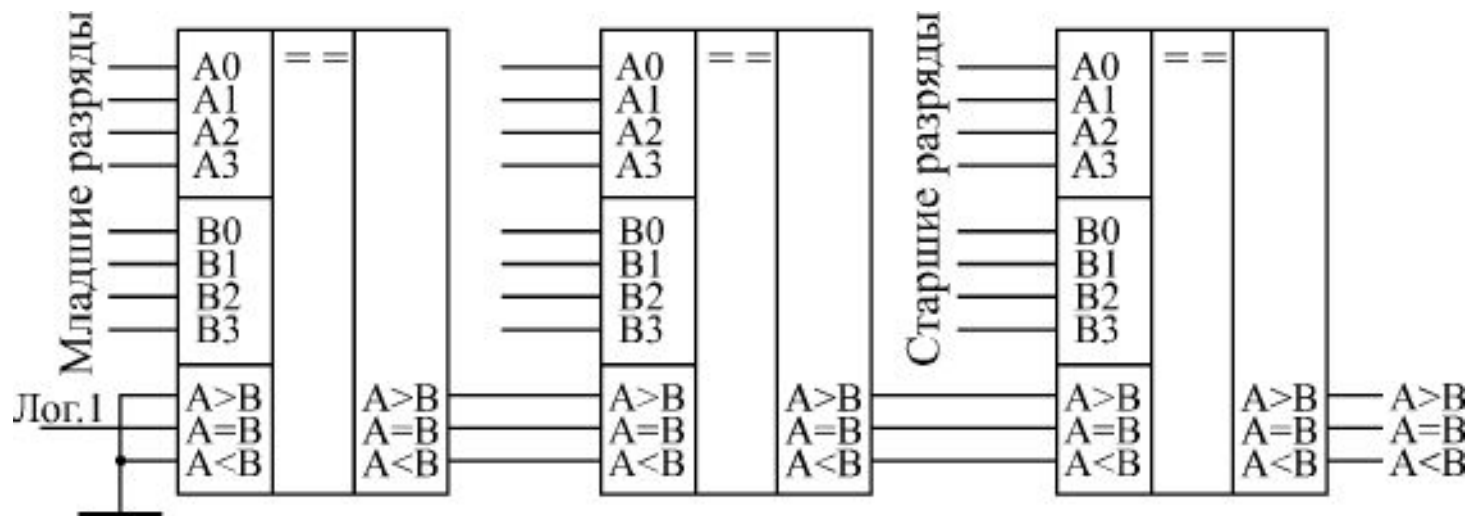
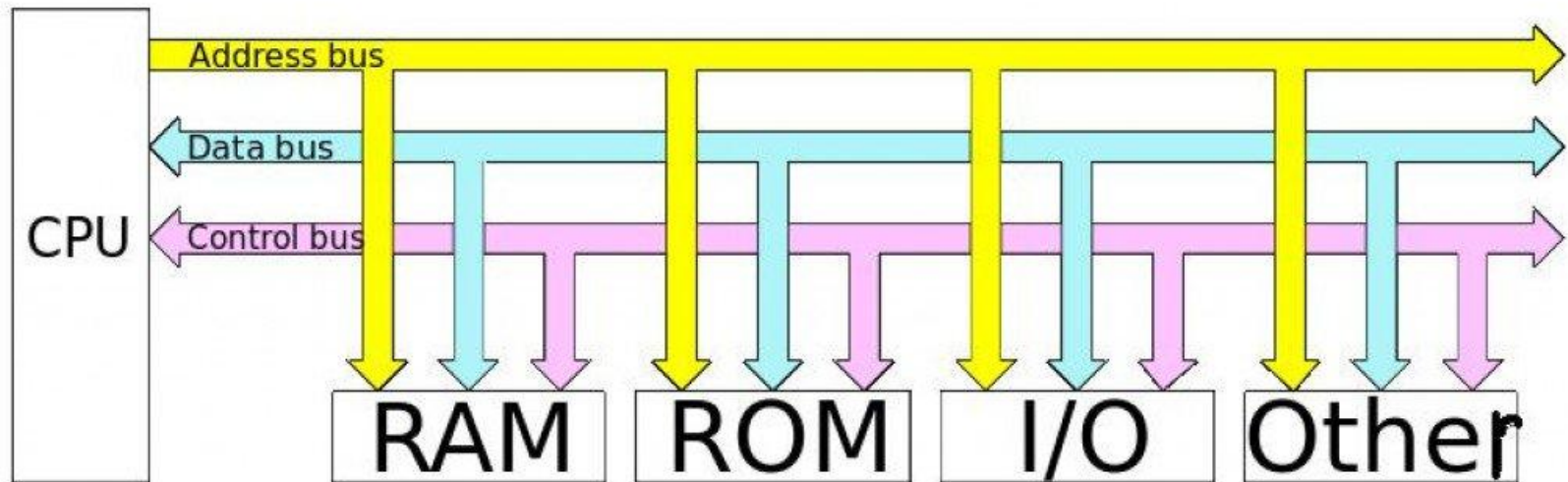


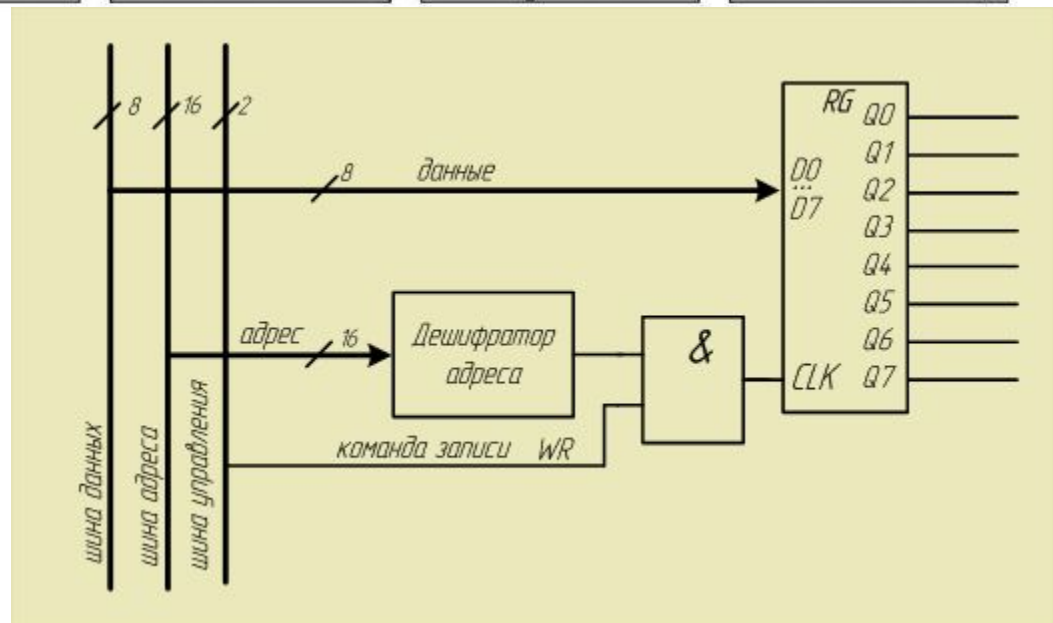
Рис. 141. Соединение микросхем СП1



# Шини в архітектурі комп'ютера



## Дешифратор адреси



# Неповні дешифратори

Адреса у 16-ковом у кодї	Розряди адреси							
	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
b8	1	0	1	1	1	0	0	0
b9	1	0	1	1	1	0	0	1
ba	1	0	1	1	1	0	1	0
bb	1	0	1	1	1	0	1	1
bc	1	0	1	1	1	1	0	0
bd	1	0	1	1	1	1	0	1
be	1	0	1	1	1	1	1	0
bf	1	0	1	1	1	1	1	1
b8...bf	1	0	1	1	1	-	-	-

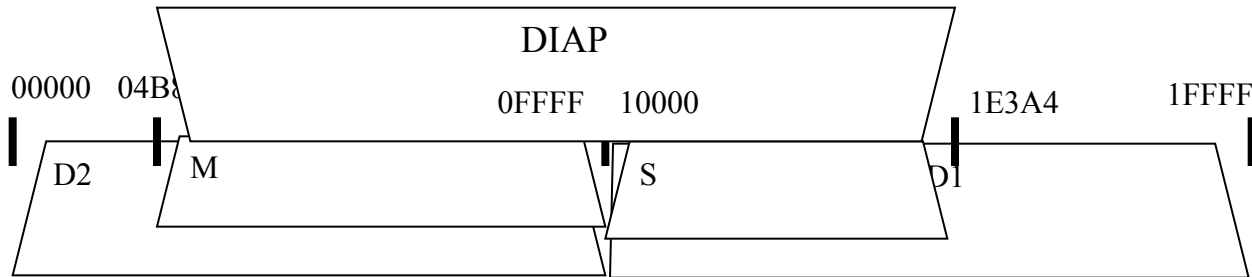
$$Diap = P_{рівно}_{ст} \& P_{рівно}_{мол}$$

$$P_{рівно}_{ст} = A_7 \overline{A_6} A_5 A_4 A_3$$

$$P_{рівно}_{мол} = 1$$

$$Diap = A_7 \overline{A_6} A_5 A_4 A_3$$

# Дешифратор діапазону кодів 04B8F ... 1E3A4 (04B8F...0FFFF)



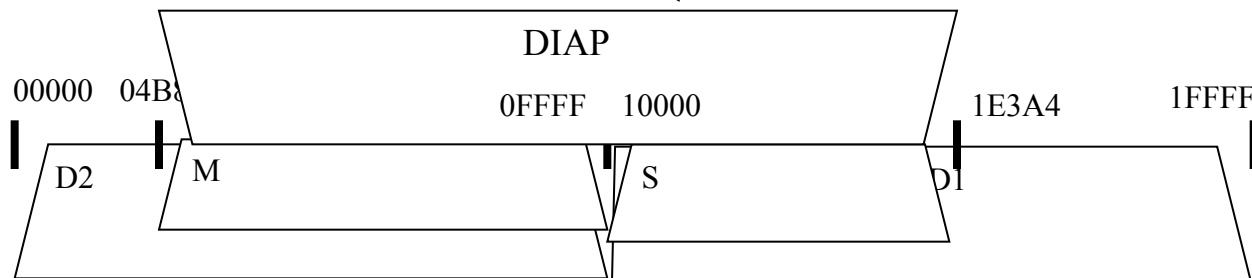
N	Входи А ПЛМ								Виходи				Діапазон кодів								
	15	13	11	09	07	05	03	01	0	1	2	3	від	до							
	14	12	10	08	06	04	02	00	M												
	A <sub>15</sub>	A <sub>13</sub>	A <sub>11</sub>	A <sub>9</sub>	A <sub>7</sub>	A <sub>5</sub>	A <sub>3</sub>	A <sub>1</sub>	A <sub>15</sub>	A <sub>14</sub>	A <sub>12</sub>	A <sub>10</sub>	A <sub>8</sub>	A <sub>6</sub>	A <sub>4</sub>	A <sub>2</sub>	A <sub>0</sub>				
I0	L	H	L	L	H	L	H	H	H	L	L	L	H	H	H	H	A	-	-	4B8F	4B8F
I1	L	H	L	L	H	L	H	H	H	L	L	H	-	-	-	-	A	-	-	4B90	4B9F
I2	L	H	L	L	H	L	H	H	H	L	H	-	-	-	-	-	A	-	-	4BA0	4BBF
I3	L	H	L	L	H	L	H	H	H	H	-	-	-	-	-	-	A	-	-	4BC0	4BFF
I4	L	H	L	L	H	H	-	-	-	-	-	-	-	-	-	-	A	-	-	4C00	4FFF
I5	L	H	L	H	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	5000	5FFF
I6	L	H	H	-	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	6000	7FFF
I7	H	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	8000	FFFF

# Правило поглинання

$$\bar{a}b \vee b = a \vee b$$

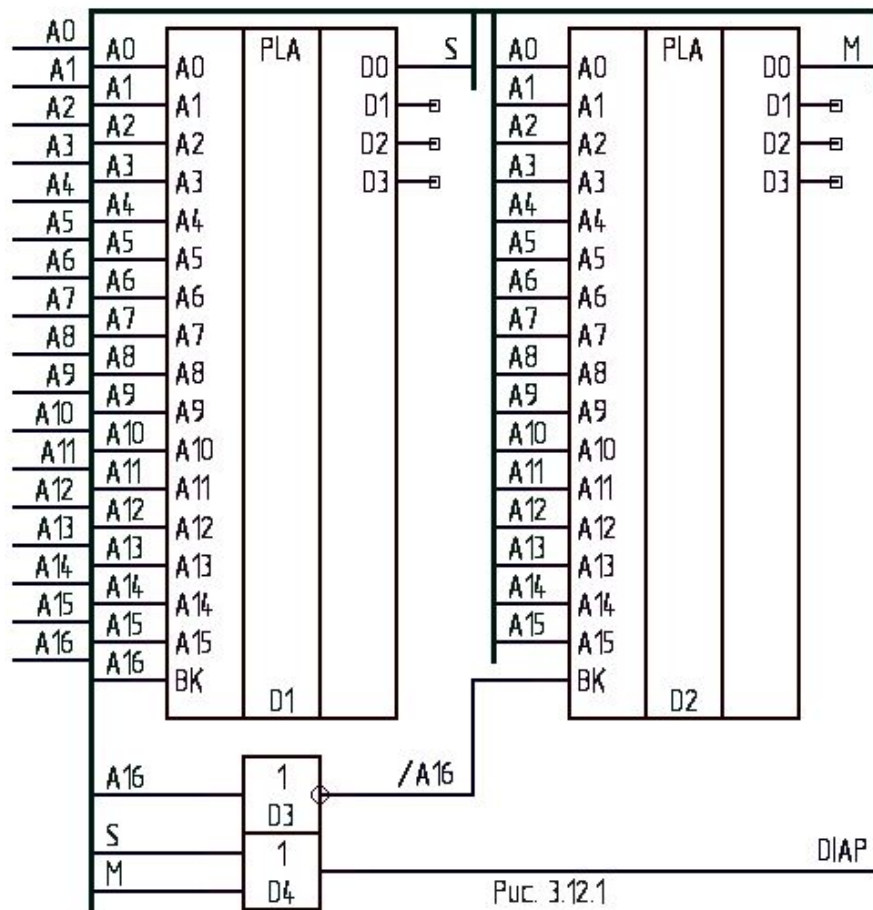
N	Розряди коду A								Діапазон кодів				
	A <sub>15</sub>	A <sub>13</sub>	A <sub>11</sub>	A <sub>9</sub>	A <sub>7</sub>	A <sub>5</sub>	A <sub>3</sub>	A <sub>1</sub>	від	до			
I0	-	н	-	-	н	-	н	н	н	н	н	04B8F	04B8F
I1	-	н	-	-	н	-	н	н	-	-	н	04B90	04B9F
I2	-	н	-	-	н	-	н	н	н	-	н	04BA0	04BBF
I3	-	н	-	-	н	-	н	н	н	н	-	04BC0	04BFF
I4	-	н	-	-	н	н	-	-	-	-	-	04C00	04FFF
I5	-	н	-	н	-	-	-	-	-	-	-	05000	05FFF
I6	-	н	н	-	-	-	-	-	-	-	-	06000	07FFF
I7	н	-	-	-	-	-	-	-	-	-	-	08000	0FFFF
I8													

# Дешифратор діапазону кодів 04B8F ...1E3A4 (10000...1E3A4)



N	Входи А ПЛМ								Виходи				Діапазон кодів									
	15	13	11	09	07	05	03	01	0	1	2	3	від	до								
	14	12	10	08	06	04	02	00	S													
	A <sub>15</sub>	A <sub>13</sub>	A <sub>11</sub>	A <sub>9</sub>	A <sub>7</sub>	A <sub>5</sub>	A <sub>3</sub>	A <sub>1</sub>	A <sub>14</sub>	A <sub>12</sub>	A <sub>10</sub>	A <sub>8</sub>	A <sub>6</sub>	A <sub>4</sub>	A <sub>2</sub>	A <sub>0</sub>						
I0	H	H	H	L	L	L	H	H	H	L	H	L	L	H	L	L	A	-	-	-	E3A4	E3A4
I1	H	H	H	L	L	L	H	H	H	L	H	L	L	L	-	-	A	-	-	-	E3A0	E3A3
I2	H	H	H	L	L	L	H	H	H	L	L	-	-	-	-	-	A	-	-	-	E380	E39F
I3	H	H	H	L	L	L	H	H	L	-	-	-	-	-	-	-	A	-	-	-	E300	E37F
I4	H	H	H	L	L	L	H	L	-	-	-	-	-	-	-	-	A	-	-	-	E200	E2FF
I5	H	H	H	L	L	L	L	-	-	-	-	-	-	-	-	-	A	-	-	-	E000	E1FF
I6	H	H	L	-	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	-	C000	DFFF
I7	H	L	-	-	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	-	8000	BFFF
I8	L	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	A	-	-	-	0000	7FFF

# Дешифратор діапазону кодів 04B8F ...1E3A4





# Логічні операції над числами

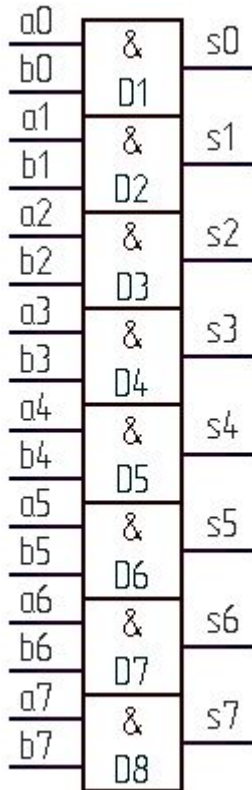


Рис. 4.1.1

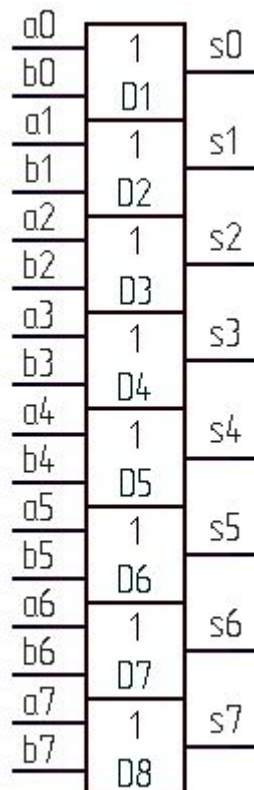


Рис. 4.1.2

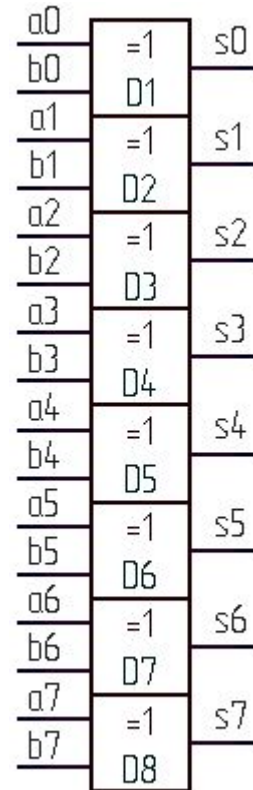
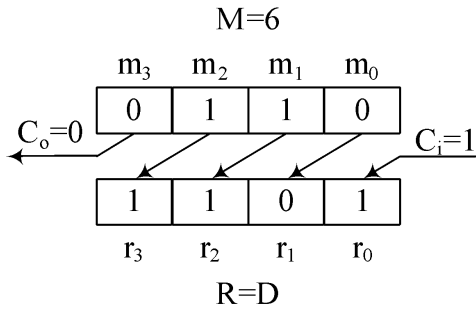
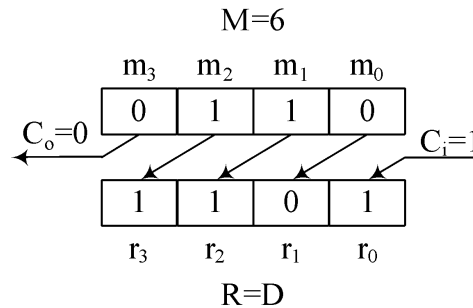


Рис. 4.1.3

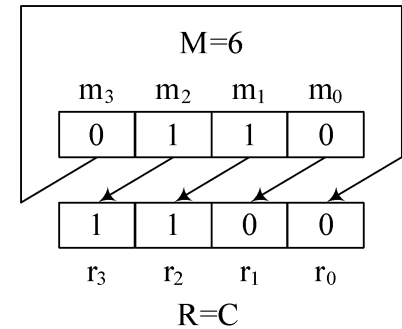
# Зсуви



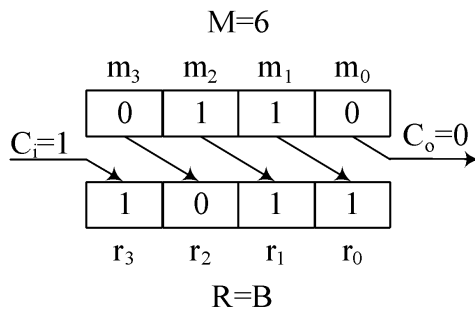
Логічний зсув ліворуч



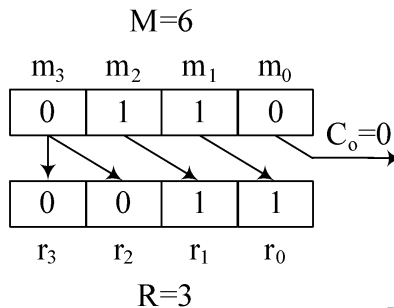
Циклічний зсув ліворуч



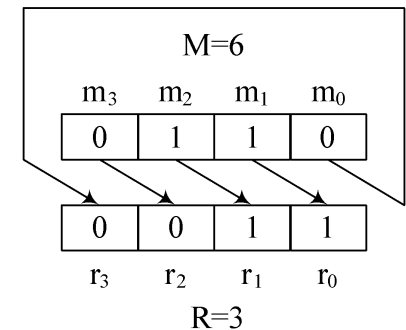
Арифметичний зсув ліворуч



Логічний зсув праворуч

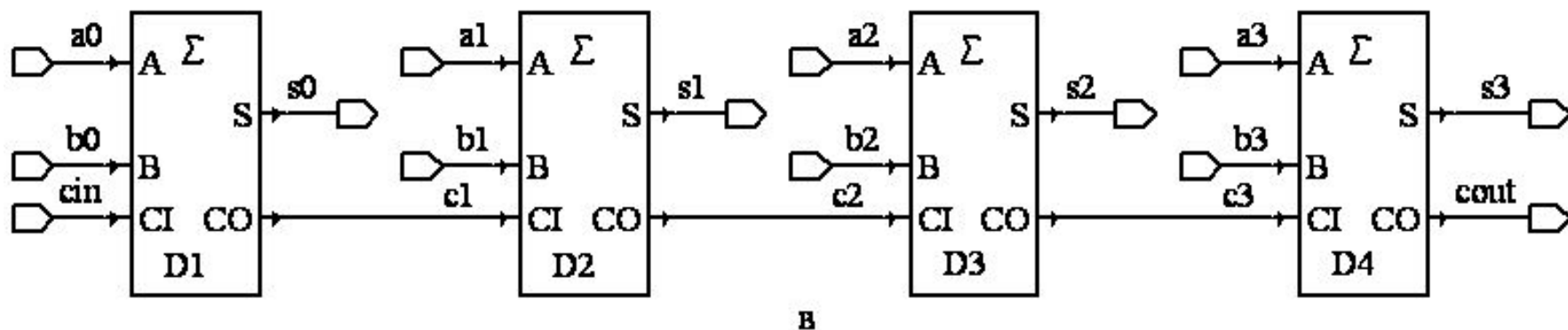


Циклічний зсув праворуч

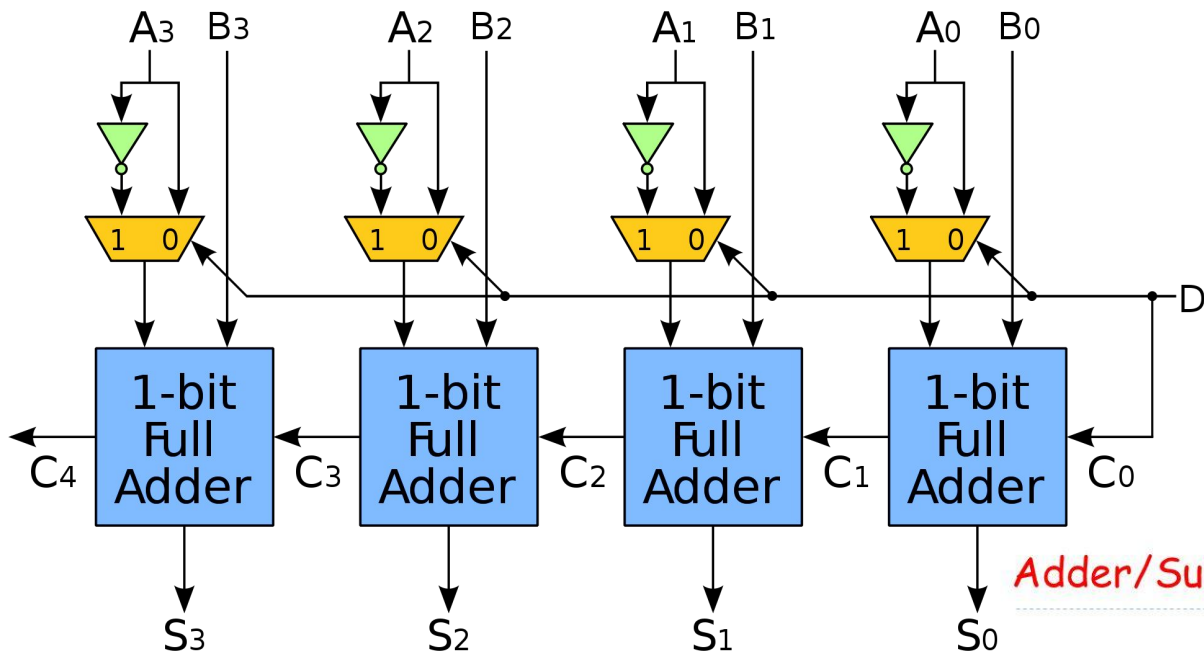


Арифметичний зсув праворуч

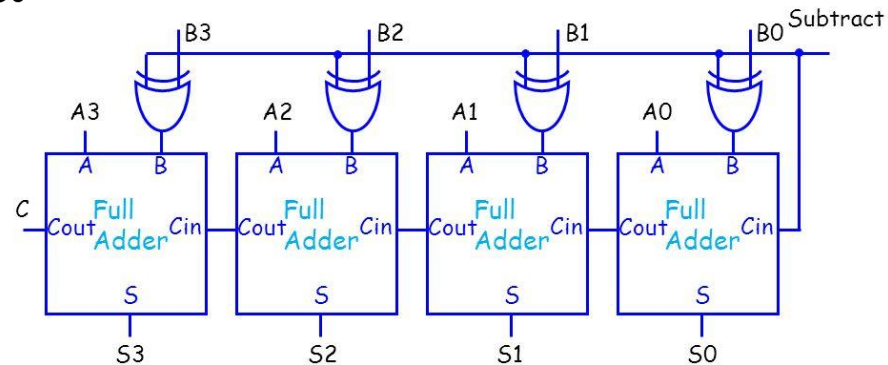
# Двійковий суматор з наскрізним (послідовним) переносом



# Суматор-віднімач



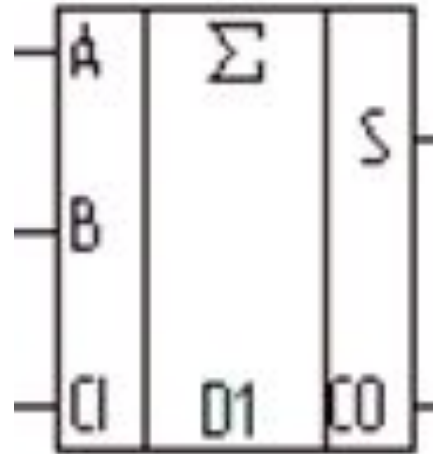
Adder/Subtractor Design



- ▶  $A - B = A + (-B)$ 
  - ▶ Take 2's complement of B
  - ▶ Perform addition of A and 2's complement of B

# Повний однорозрядний двійковий суматор

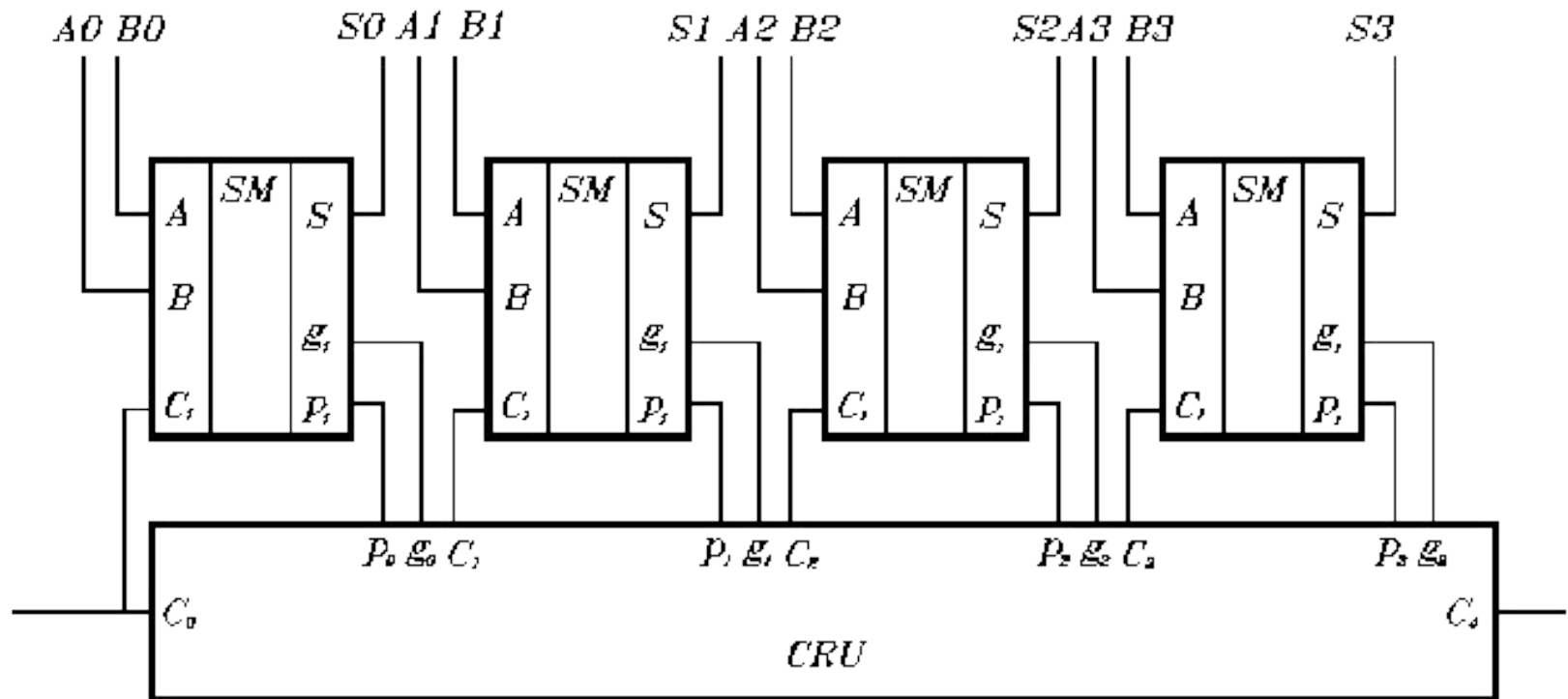
Входи			Виходи	
A	B	C <sub>i</sub>	C <sub>o</sub>	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



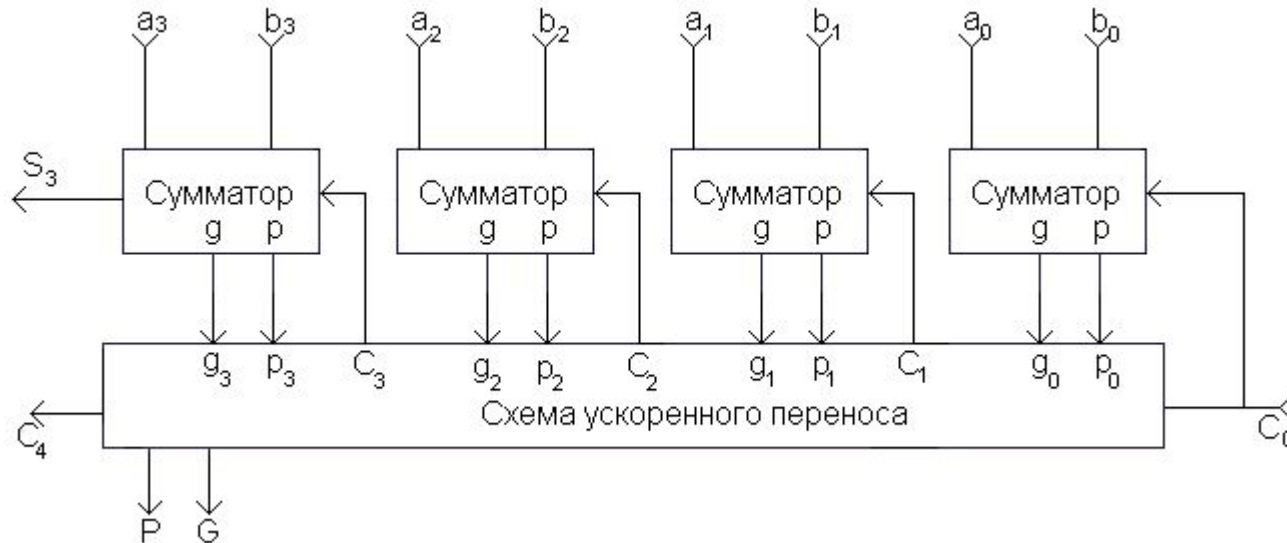
$$C_o = \overline{A}BC_i \vee A\overline{B}C_i \vee AB\overline{C}_i \vee ABC_i = BC_i \vee AC_i \vee AB$$

$$S = \overline{A}\overline{B}C_i \vee \overline{A}B\overline{C}_i \vee A\overline{B}\overline{C}_i \vee ABC_i$$

# Суматор з паралельним переносом



# Суматор з паралельним переносом



$$C_{i+1} = a_i b_i \vee a_i C_i \vee b_i C_i = a_i b_i \vee (a_i \vee b_i) C_i = g_i + p_i C_i$$

$$g_i = a_i b_i$$

$$p_i = a_i \vee b_i$$

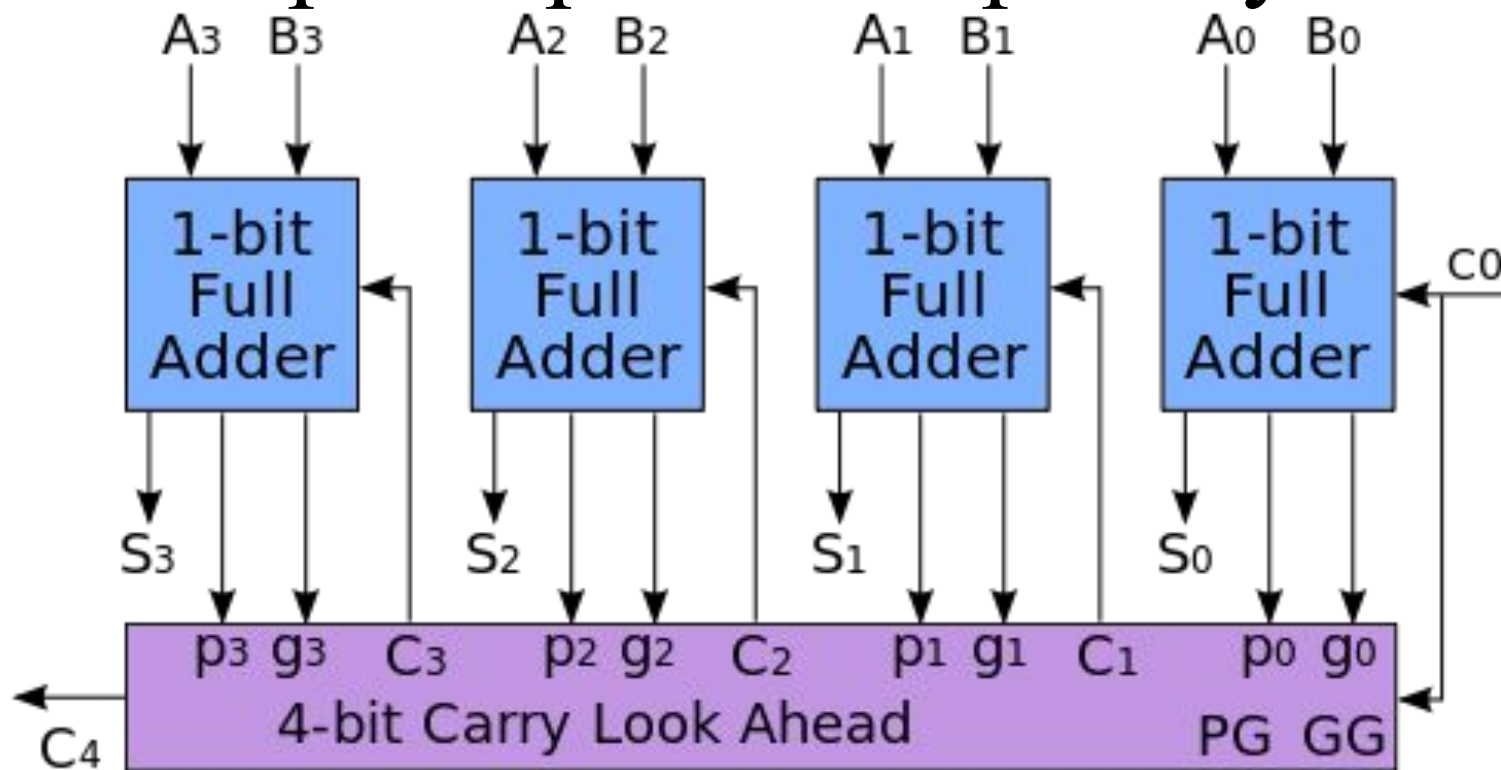
$$C_1 = g_0 \vee p_0 C_0$$

$$C_2 = g_1 \vee p_1 C_1 = g_1 \vee p_1 g_0 \vee p_1 p_0 C_0$$

$$C_3 = g_2 \vee p_2 C_2 = g_2 \vee p_2 g_1 \vee p_2 p_1 g_0 \vee p_2 p_1 p_0 C_0$$

$$C_4 = g_3 \vee p_3 C_3 = g_3 \vee p_3 g_2 \vee p_3 p_2 g_1 \vee p_3 p_2 p_1 g_0 \vee p_3 p_2 p_1 p_0 C_0$$

# 4-бітний суматор із схемою прискореного переносу

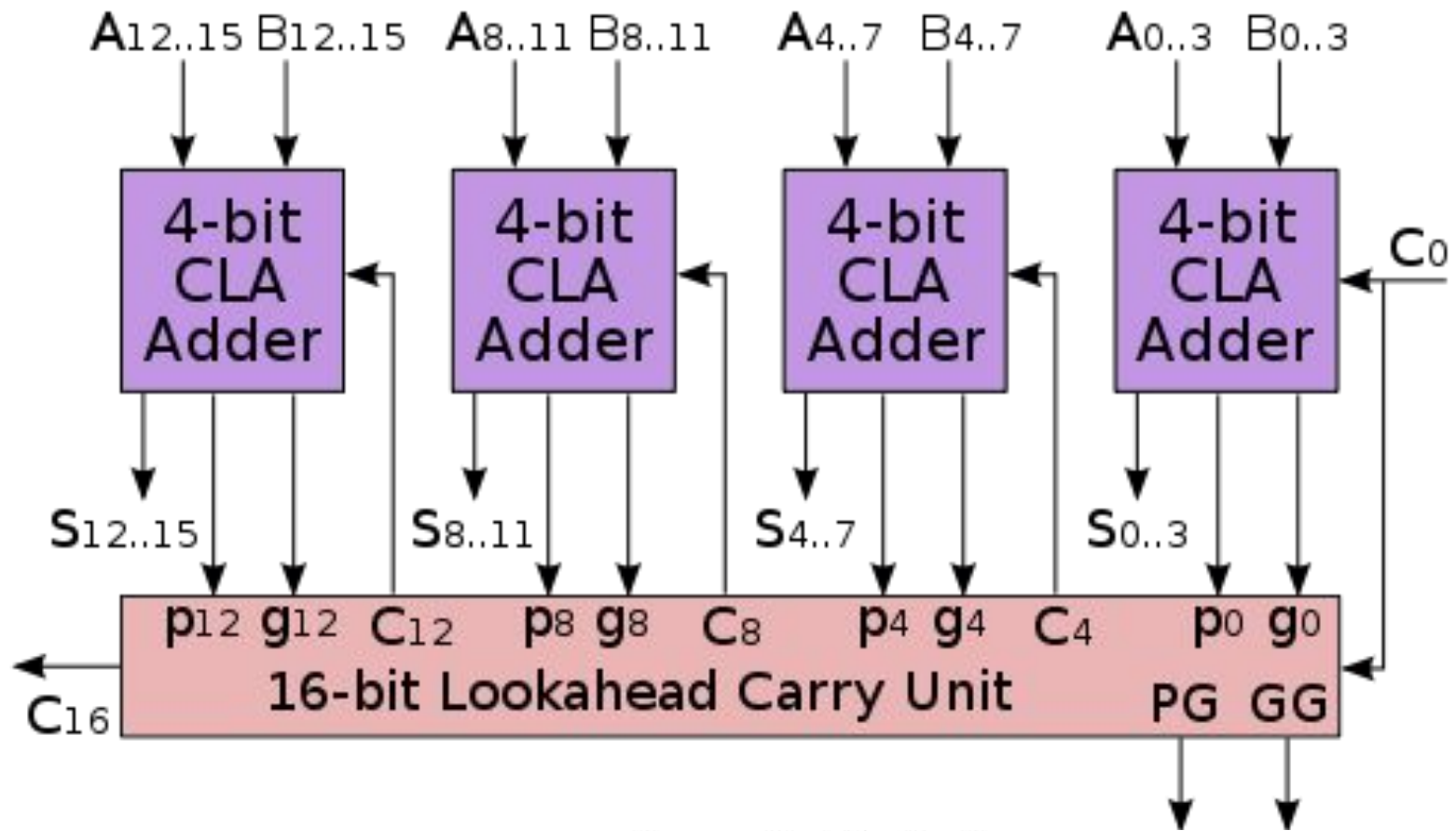


$$PG = P_0 P_1 P_2 P_3$$

$$GG = C_3 \vee C_2 P_3 \vee C_1 P_2 P_3 \vee C_0 P_1 P_2 P_3$$



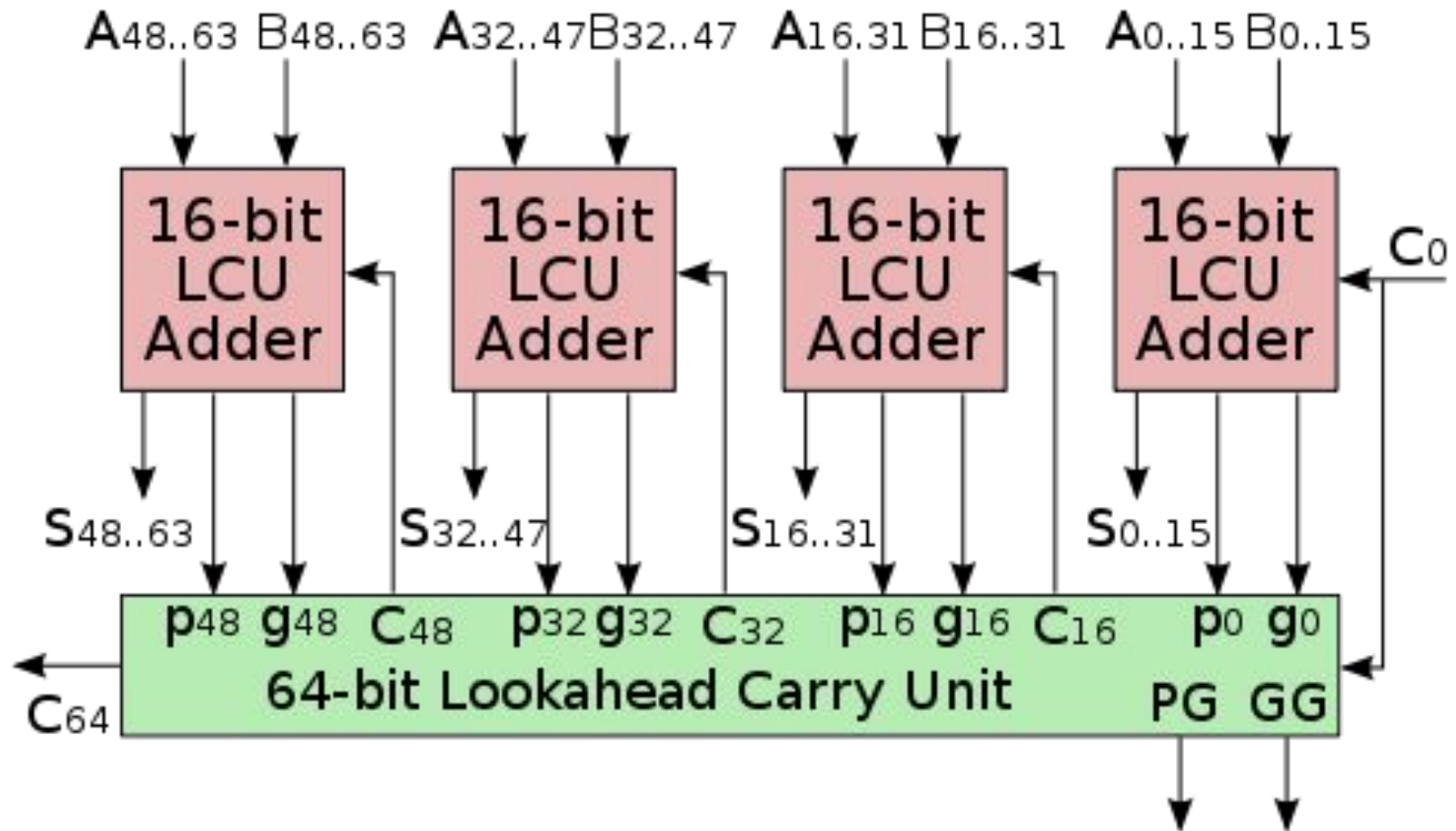
# 16-бітний суматор із схемою прискореного переносу



$$P_{LCU} = P_0 \cdot P_4 \cdot P_8 \cdot P_{12}$$

$$G_{LCU} = G_{12} + G_8 \cdot P_{12} + G_4 \cdot P_{12} \cdot P_8 + G_0 \cdot P_{12} \cdot P_8 \cdot P_4$$

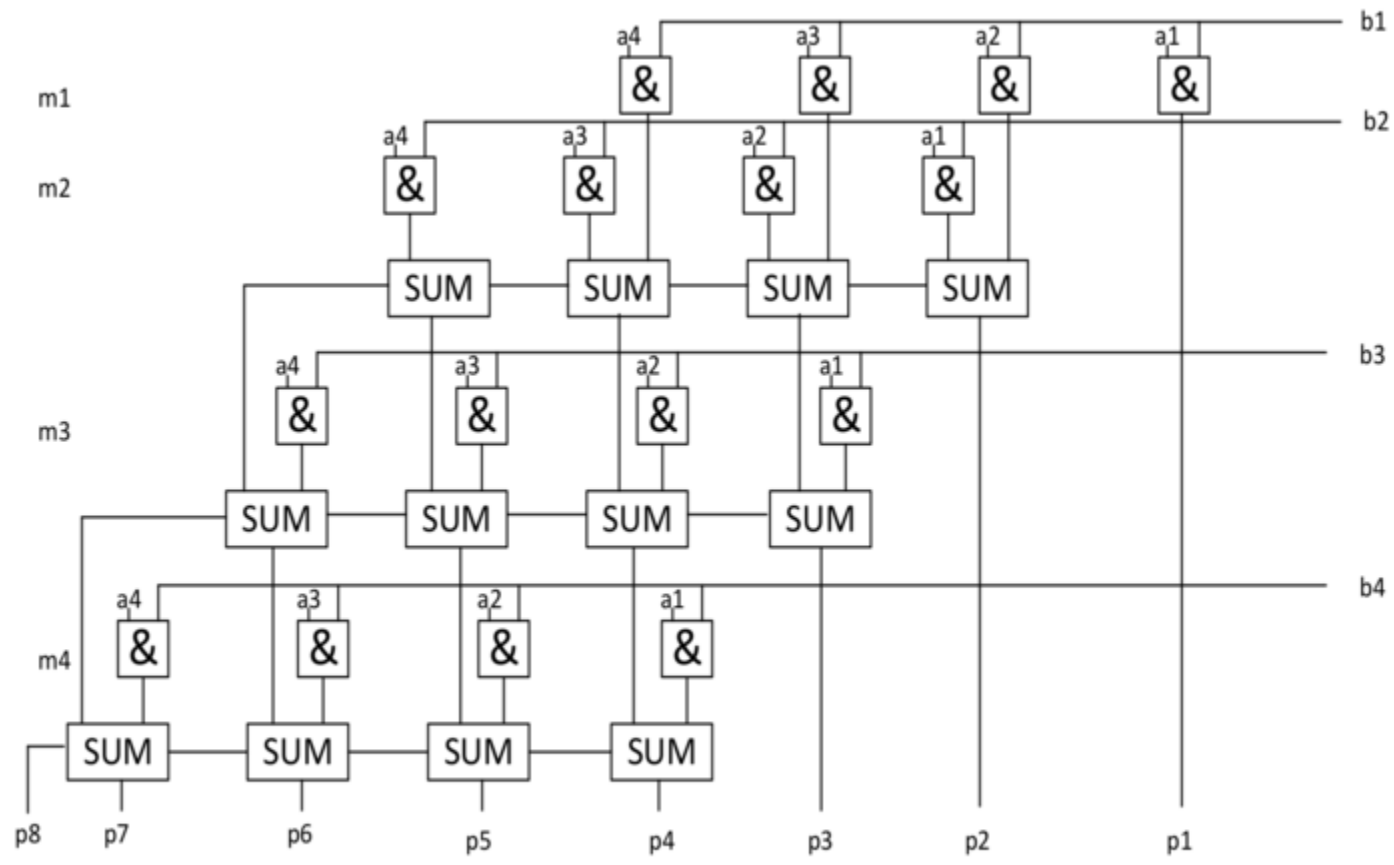
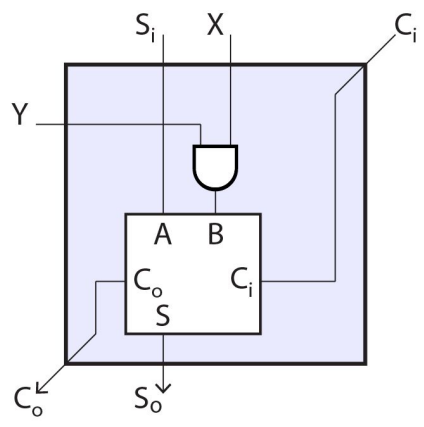
# 64-бітний суматор із схемою прискореного переносу



# Двійкові суматори

- Суматор з паралельним переносом (1 вузол прискорення переносу)
- Суматор з послідовним (наскрізним) переносом (немає вузлів прискорення переносу)
- Суматор з груповим переносом (декілька вузлів прискорення переносу)

# Паралельний матричний помножувач на комірках Гілда

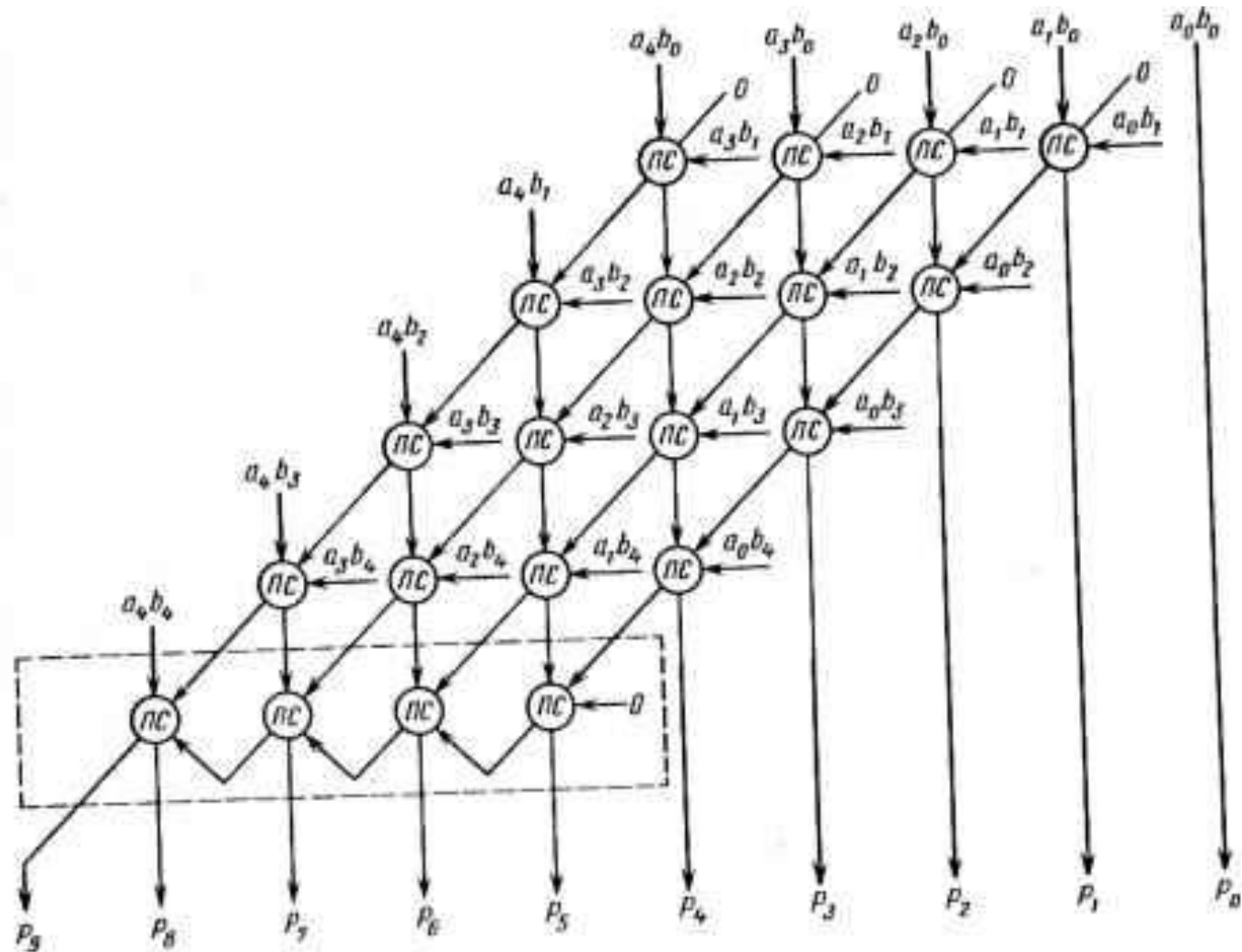


$$\begin{array}{r} 1101 \\ \times 1101 \\ \hline 1101 \\ 0000 \\ 1101 \\ 1101 \\ \hline 10101001 \end{array}$$

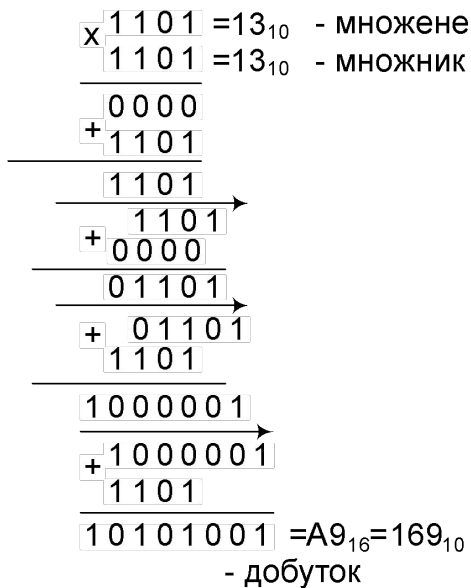
$1101 = 13_{10}$  - множене  
 $1101 = 13_{10}$  - множник  
 } часткові добутки  
 $10101001 = A9_{16} = 169_{10}$  - добуток

# Паралельний матричний помножувач на комірках Гілда

$$\begin{array}{r}
 \times \begin{array}{r} 1101 \\ 1101 \end{array} = 13_{10} \text{ - мно:} \\
 \hline
 \begin{array}{r} 1101 \\ 0000 \\ 1101 \\ 1101 \end{array} \left. \vphantom{\begin{array}{r} 1101 \\ 0000 \\ 1101 \\ 1101 \end{array}} \right\} \begin{array}{l} \text{часткові} \\ \text{добутки} \end{array} \\
 \hline
 10101001 = A_{9_{16}} = 169_{10}
 \end{array}$$



# Матричний (паралельний, комбінаційний) помножувач



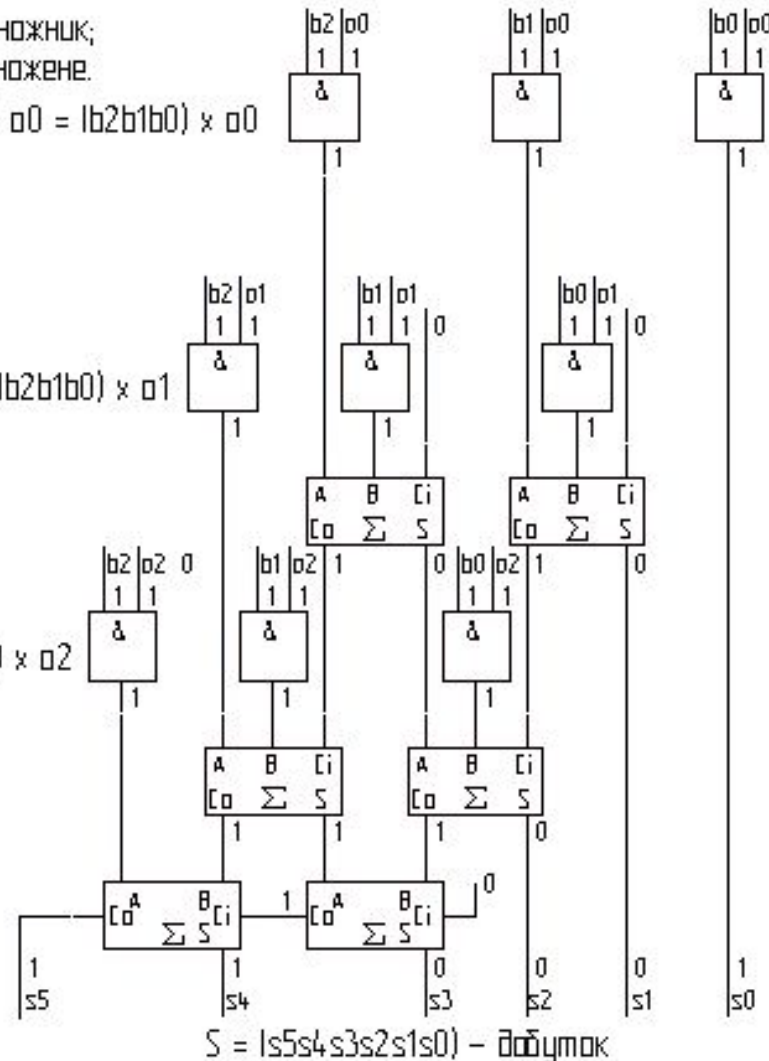
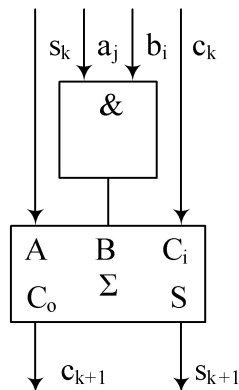
$A = 1020100$  – множник;  
 $B = 1020100$  – множене.

$B \times a_0 = 1020100 \times a_0$

$B \times a_1 = 1020100 \times a_1$

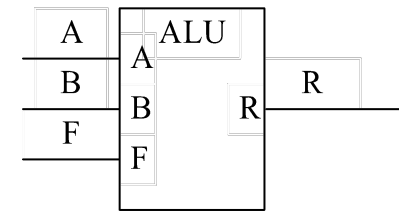
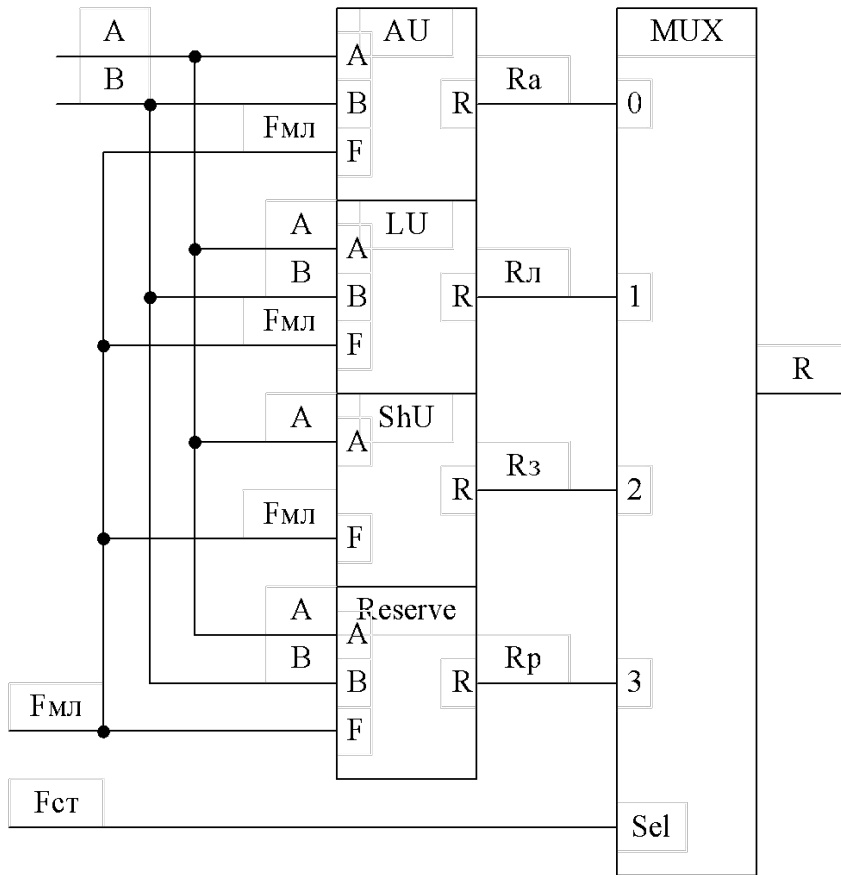
$B \times a_2 = 1020100 \times a_2$

Комірка Гілда



Потік інформації йде зверху до низу і з правого боку на лівий  
 Рис. 4.7.2

# Арифметико-логічний пристрій

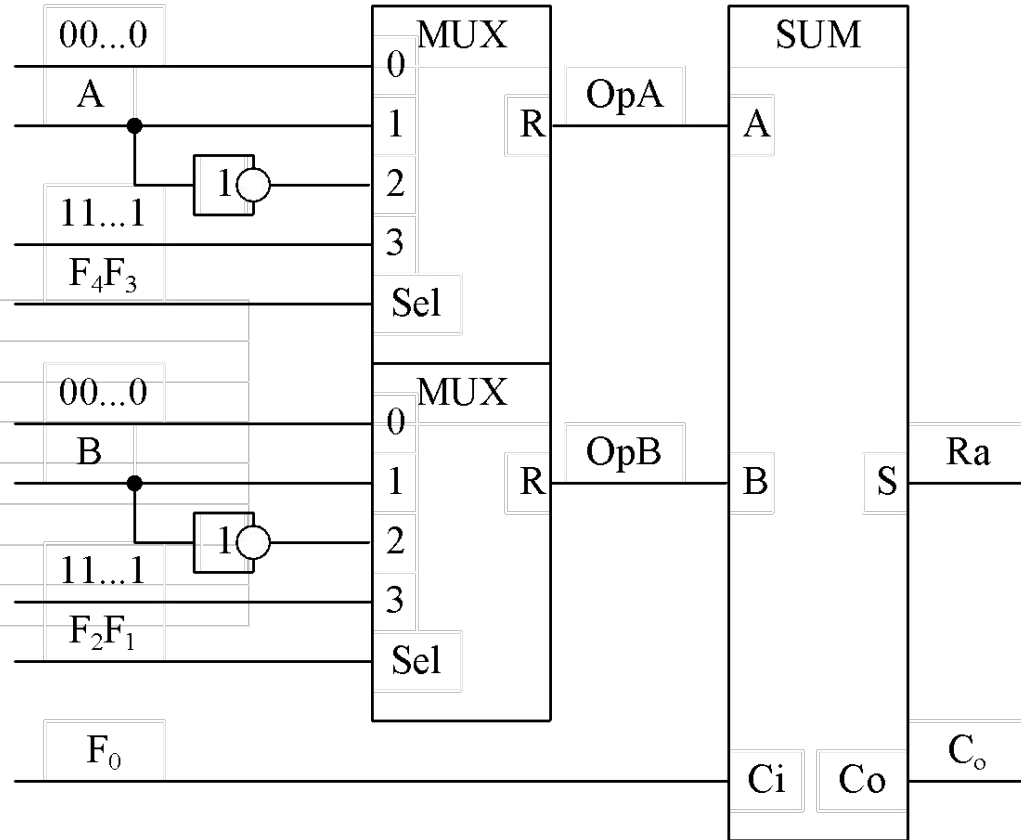


Код операції - КОП			
	Fст		Fмл
00			
01			
10			
11			

# Арифметичний вузол

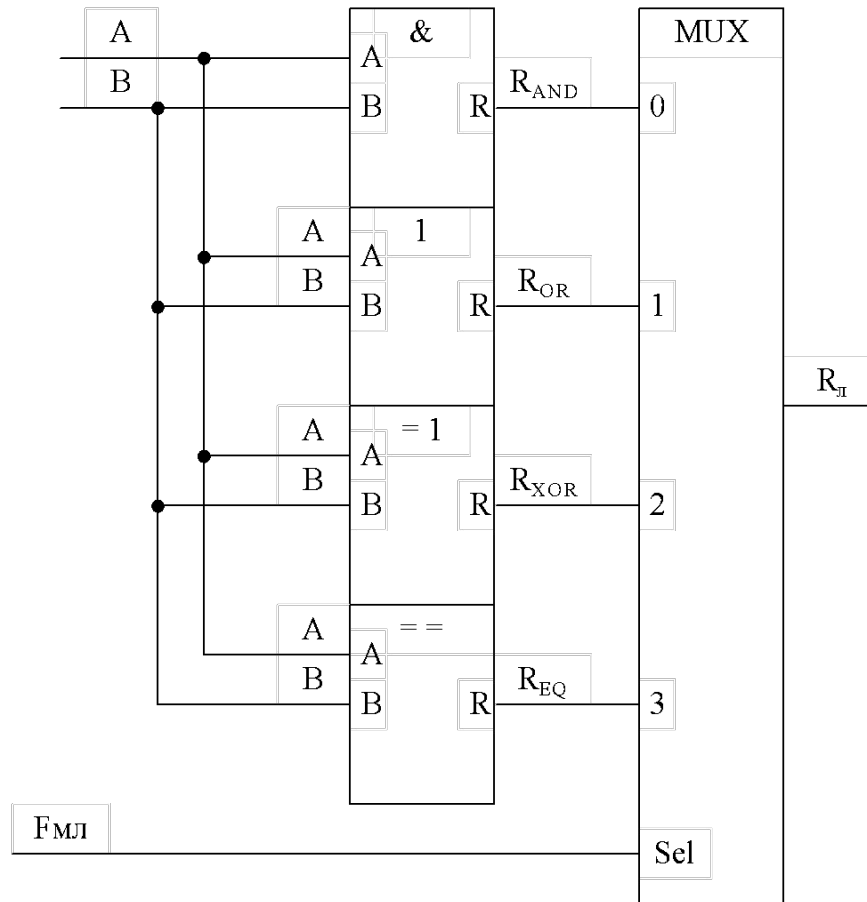
Код операції - арифметичні

	F <sub>сг</sub>	F <sub>4</sub> F <sub>3</sub>	F <sub>2</sub> F <sub>1</sub>	F <sub>0</sub>	(F <sub>мл</sub> )	
00 - арифметичні	01	01	0	0	(0A)	A+B+0 = A+B
	01	10	1	1	(0D)	A+(not B)+1 = A-B
	01	00	1	0	(09)	A+0+1 = A+1
	00	01	1	0	(03)	0+B+1 = B+1
	01	11	0	0	(0E)	A+11...1+0 = A-1
	11	01	0	0	(1A)	11...1+B+0 = B-1
	00	00	0	0	(00)	0+0+0 = 0
	11	00	0	0	(18)	11...1+0+0 = 11...1

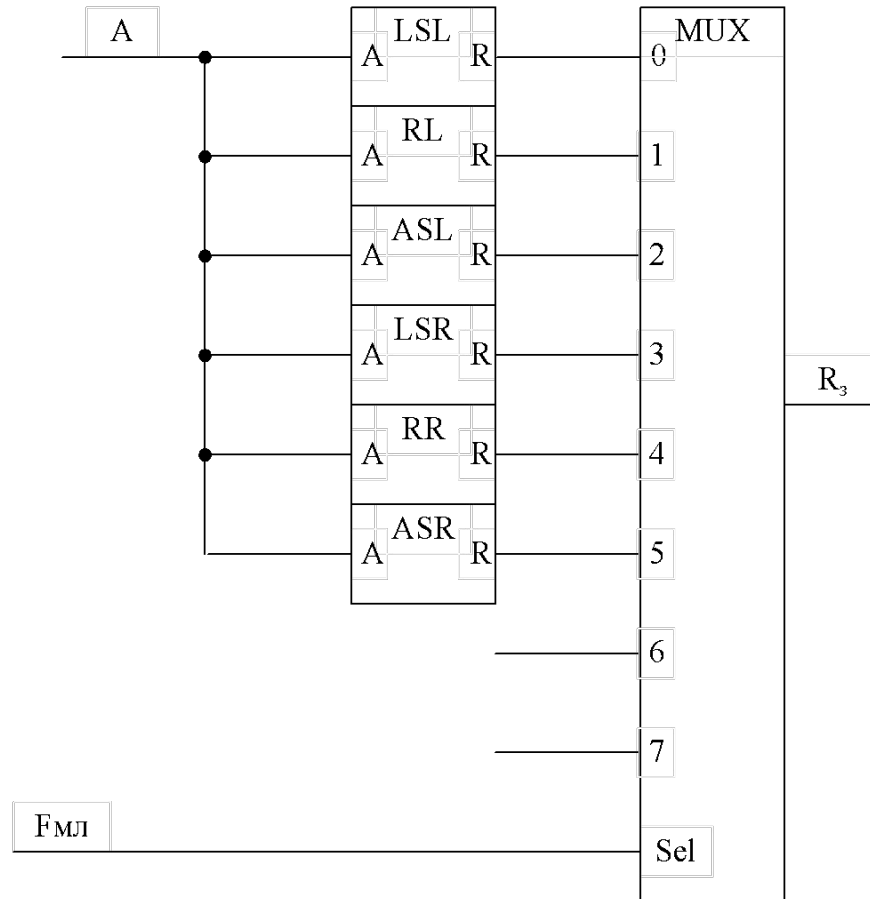




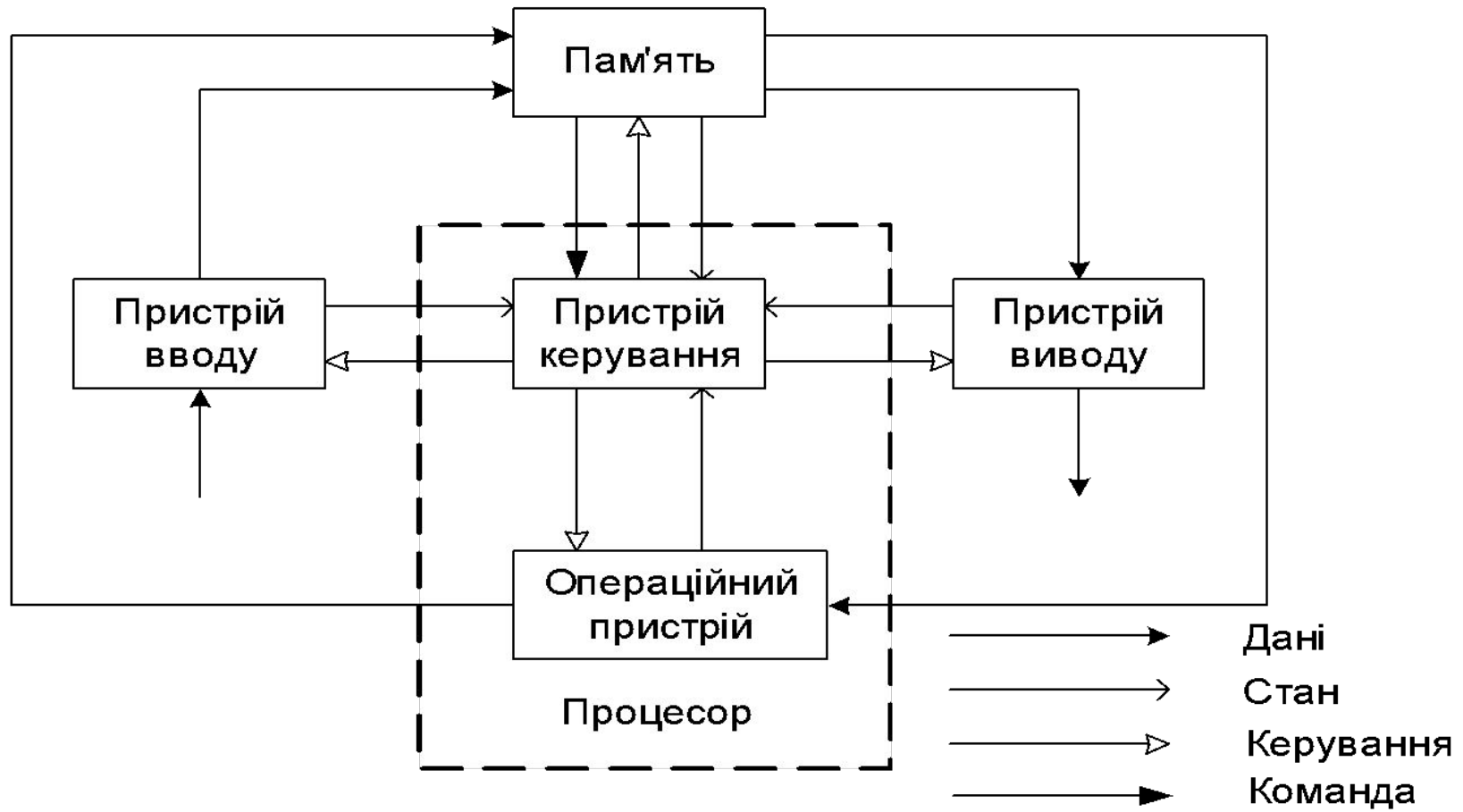
# ЛОГІЧНИЙ ВУЗОЛ



# Вузол зсувів

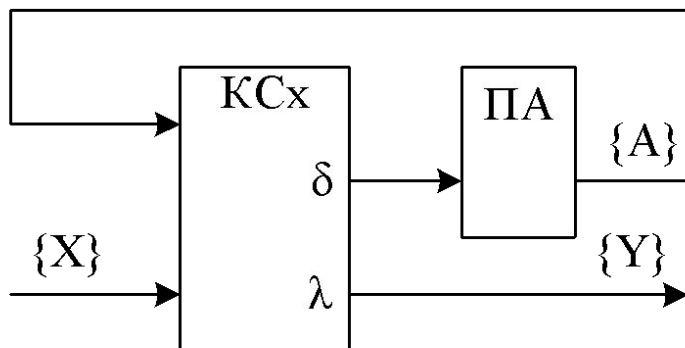


# Структура комп'ютера



# Загальна структурна схема цифрового автомата

складається з двох цифрових схем



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  – функція переходів

$\lambda$  – функція виходів

$\{X\}$  – множина вхідних сигналів

$\{Y\}$  – множина вихідних сигналів

$\{A\}$  – множина внутрішніх станів

-Цифрові схеми поділяються на комбінаційні (без зворотних зв'язків) та схеми з пам'яттю (із зворотними зв'язками, послідовнісні, секвенційні)

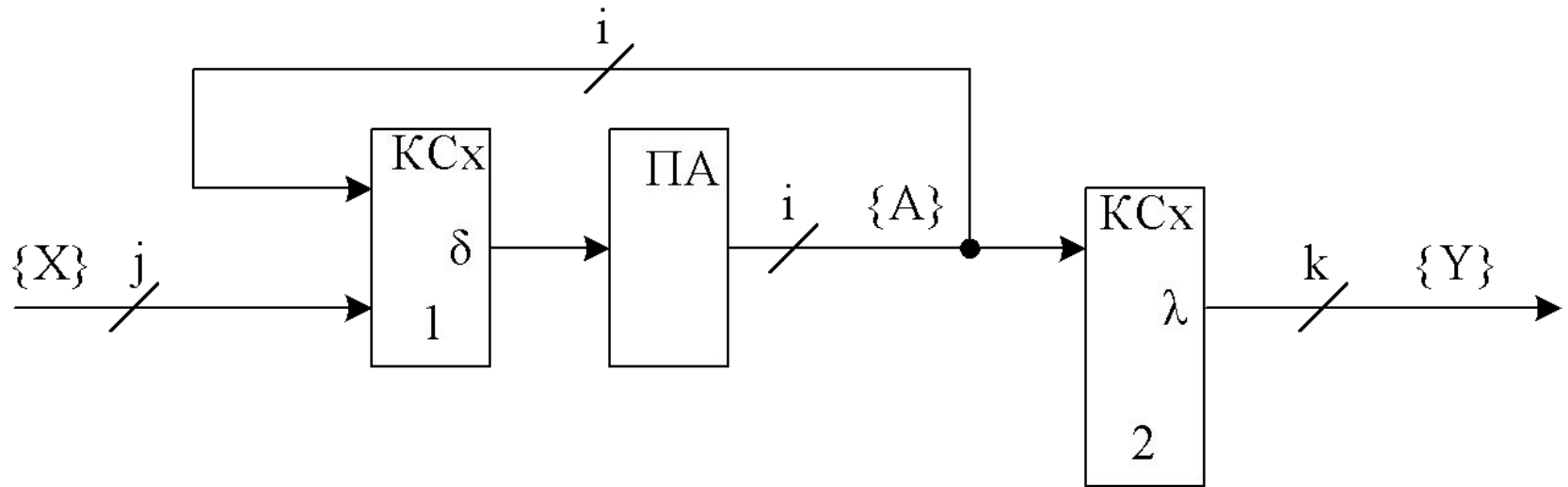
-Комбінаційна схема:

цифрова схема без пам'яті =

= цифрова схема без зворотних зв'язків =

= цифрова схема, стан виходів якої у момент часу  $t$  залежить тільки від стану її входів у цей же момент часу  $t$ .

# Структурна схема автомата Мура



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  – функція переходів

$\lambda$  – функція виходів

$j$  – кількість вхідних сигналів

$k$  – кількість вихідних сигналів

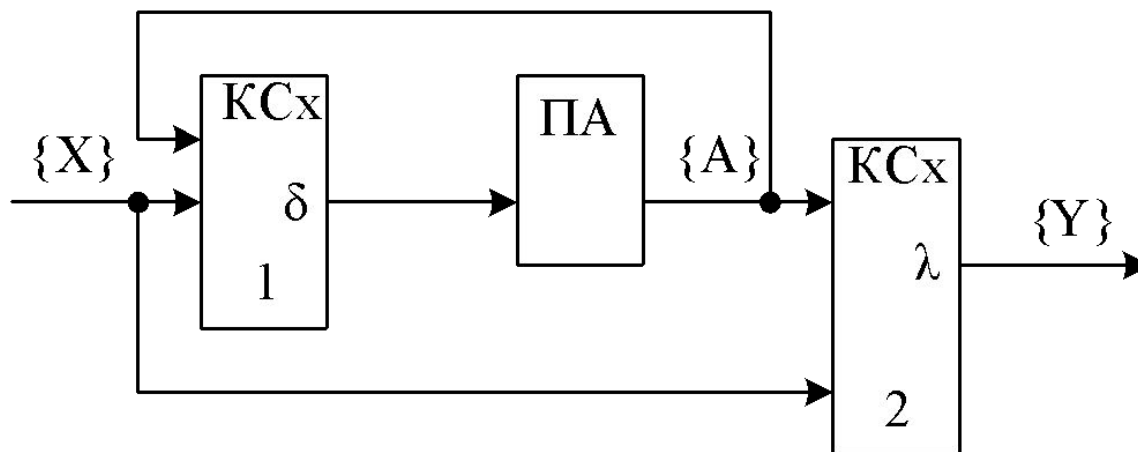
$\{X\}$  – множина вхідних сигналів

$\{Y\}$  – множина вихідних сигналів

$\{A\}$  – множина внутрішніх станів

$i$  – розрядність зворотного зв'язку,  
кількість тригерів у пам'яті  
автомата

# Структурна схема автомата Мілі



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  – функція переходів

$\lambda$  – функція виходів

$\{X\}$  – множина вхідних сигналів

$\{Y\}$  – множина вихідних сигналів

$\{A\}$  – множина внутрішніх станів

# Часові функції алгебри логіки

Для опису роботи елементів пам'яті крім ФАЛ потрібно мати хоча би одну функцію, яка змінює час

- ЧФАЛ 1-го роду
- ЧФАЛ 2-го роду
- ЧФАЛ 3-го роду

Функціонально-повна система часових функцій алгебри логіки = ФПЧ ФАЛ + функція, що змінює час

# Элемент задержки

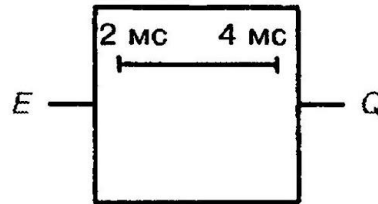
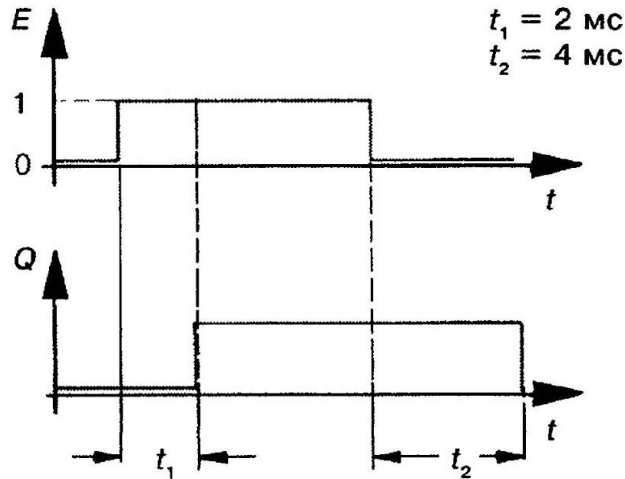
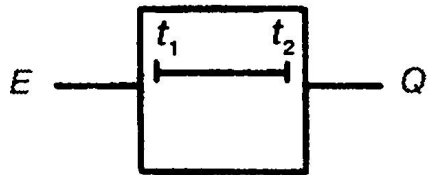
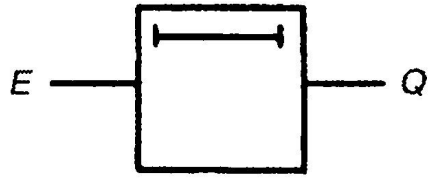


Рис. 7.115. Временная диаграмма элемента задержки.

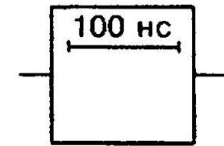
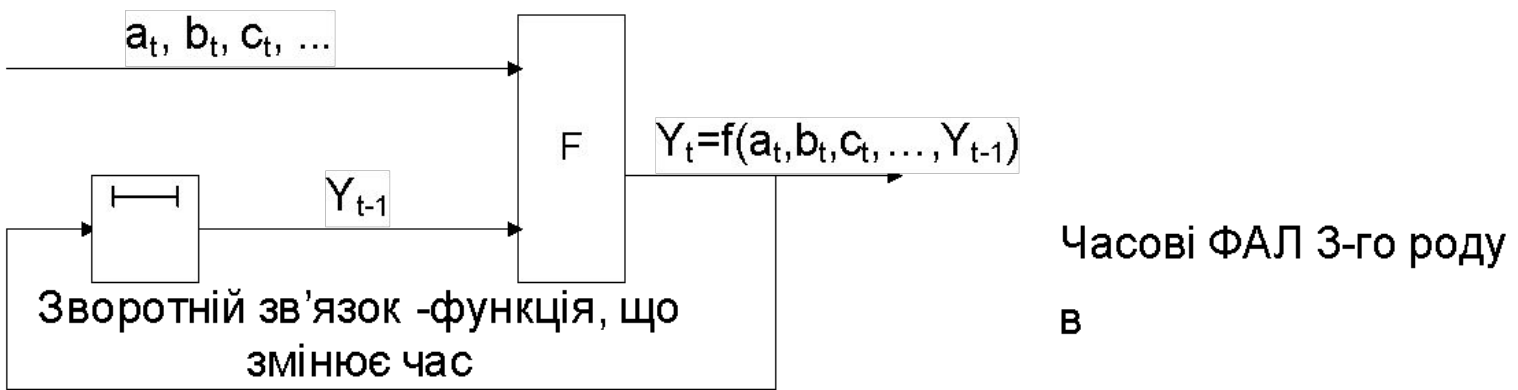
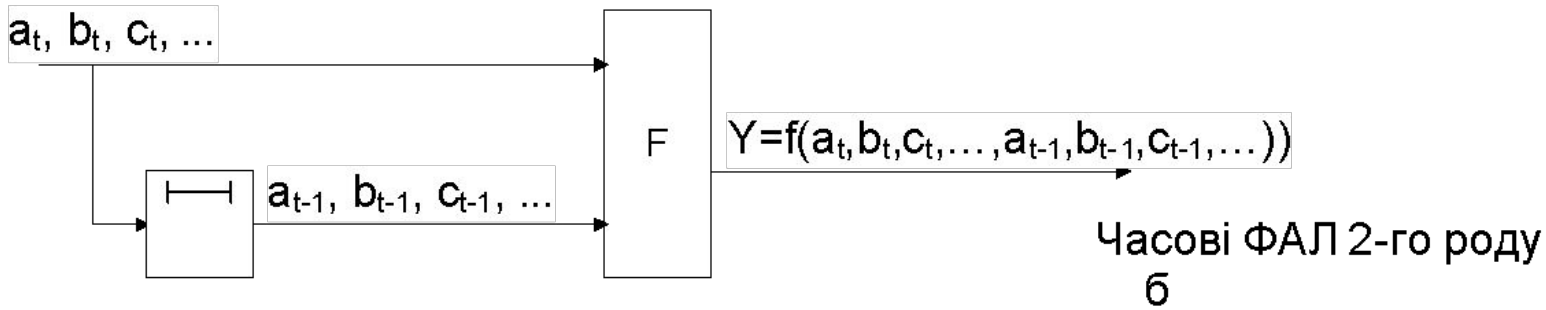
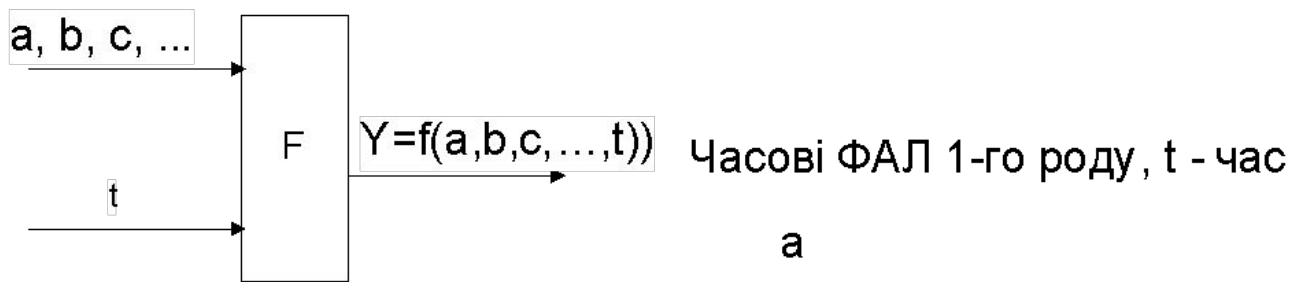


Рис. 7.116. Элемент задержки с задержкой  $t_1 = t_2 = 100 \text{ нс}$ .

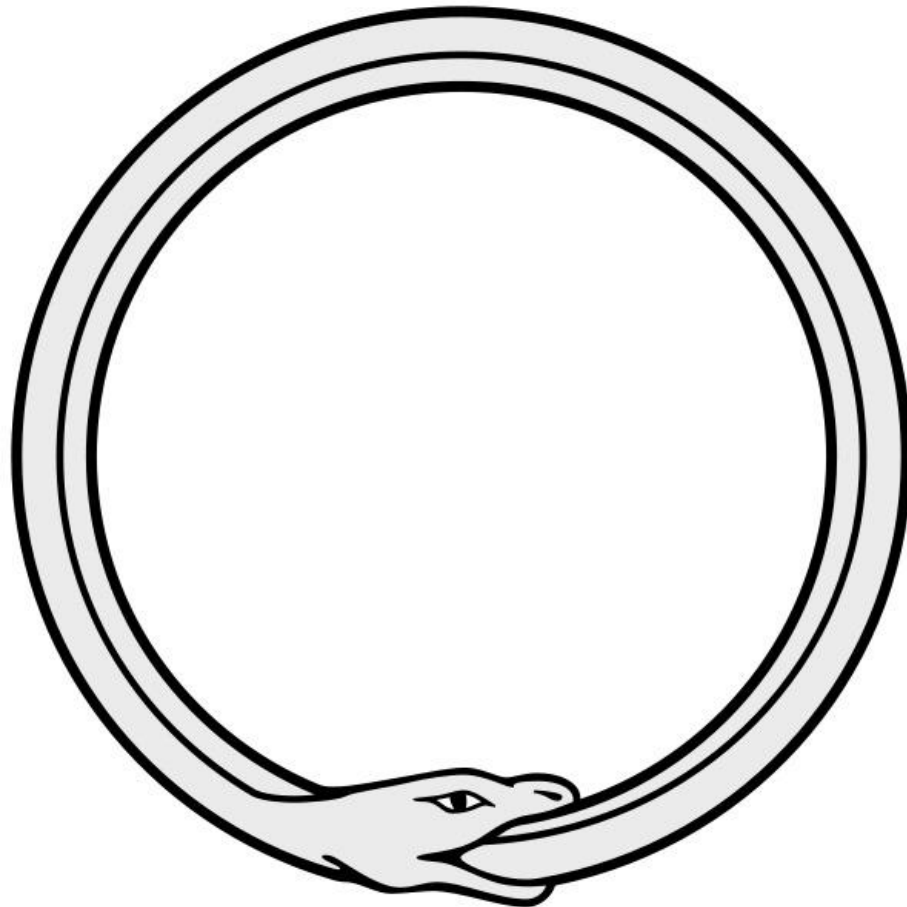


# Часові ФАЛ 1-, 2- та 3-го роду

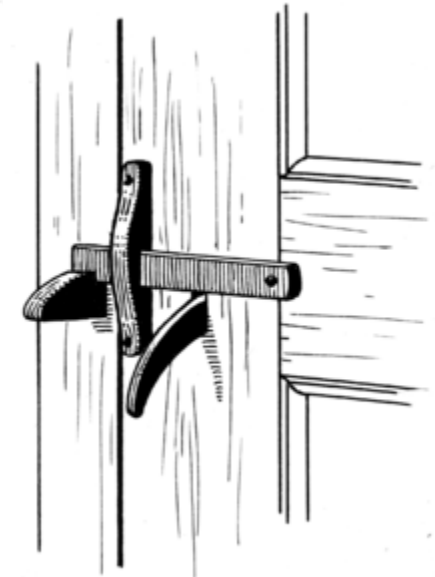
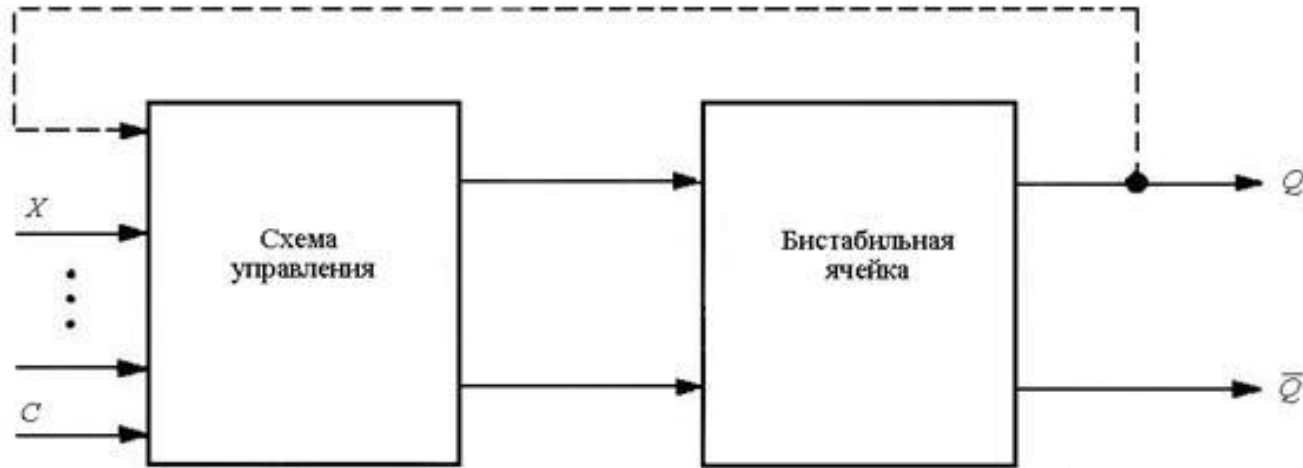


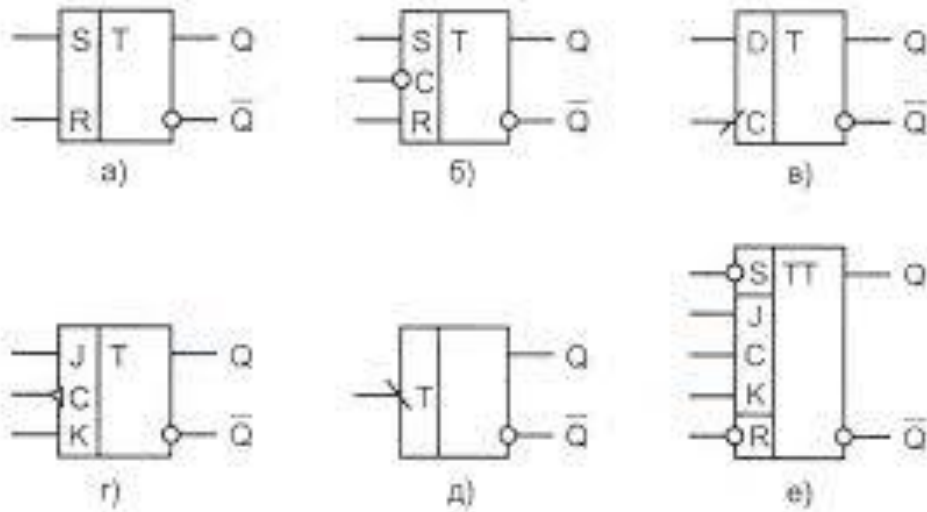
Часова функція 3-го роду  
Зворотній зв'язок (техн)

Змія, що кусає себе за хвіст – Уроборос (філ.)



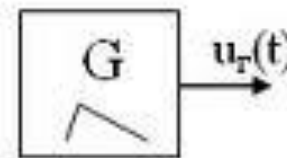
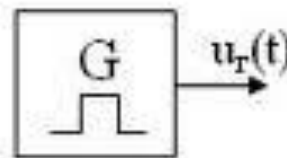
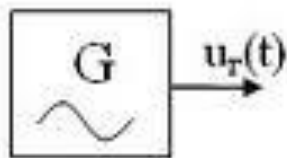
# Загальна схема тригера (*trigger*, flip-flop, latch)



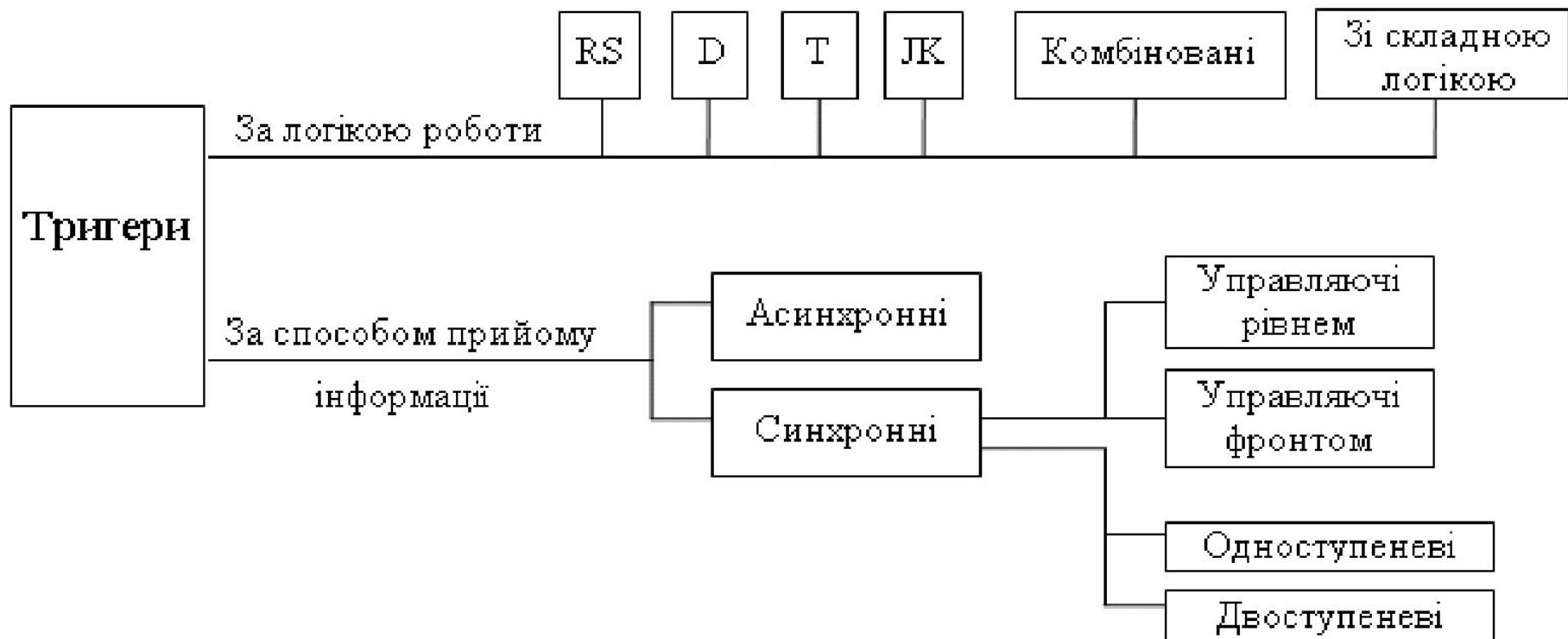


# Тригер та генератор

- **Тригер** – логічний елемент, що може знаходитися у двох **сталих** станах та переходити з одного стану в інший **під** дією зовнішніх сигналів = елемент пам'яті для збереження 1 біта.
- **Генератор** - логічний елемент, що може знаходитися у двох станах та переходити з одного стану в інший **без** дії зовнішніх сигналів

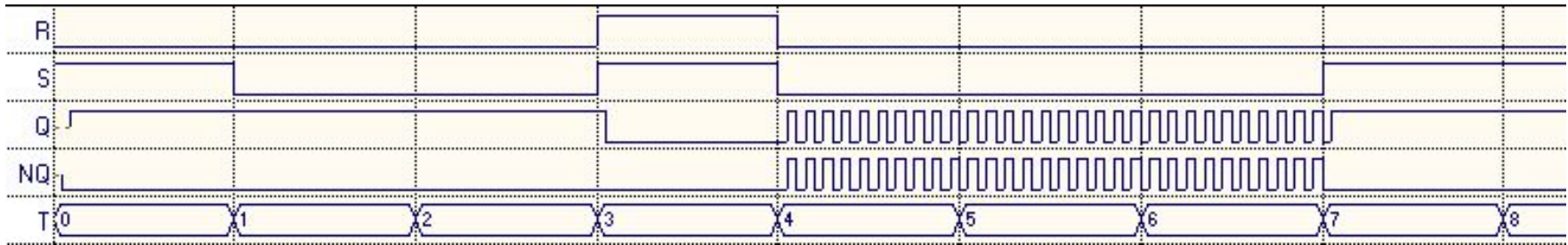
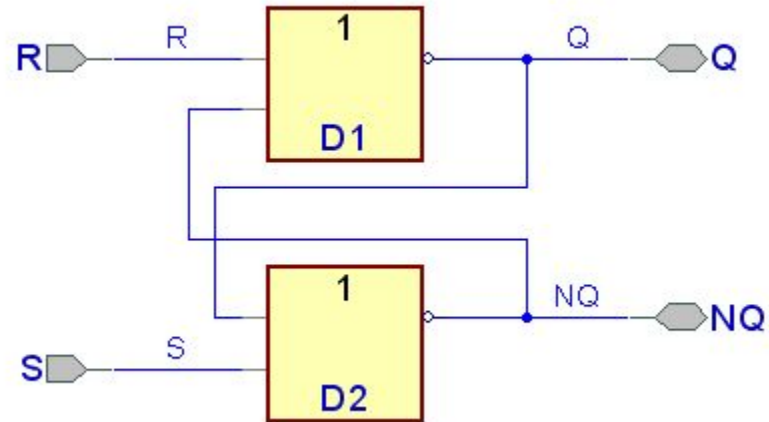
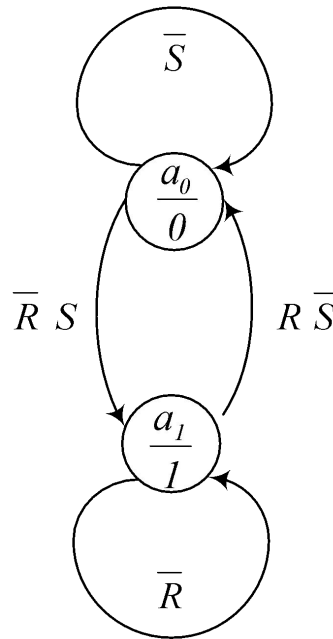
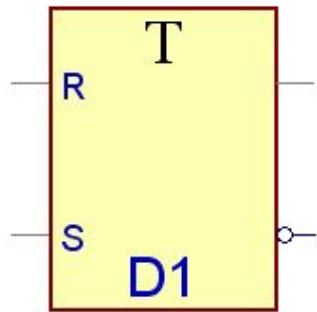


# Класифікація тригерів



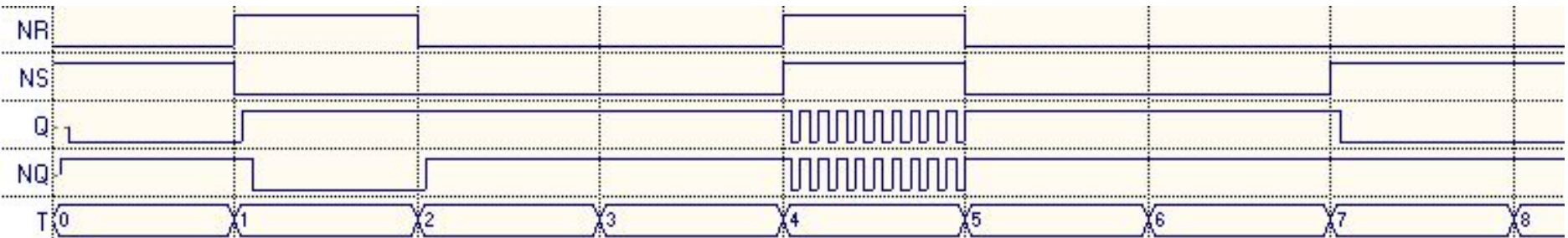
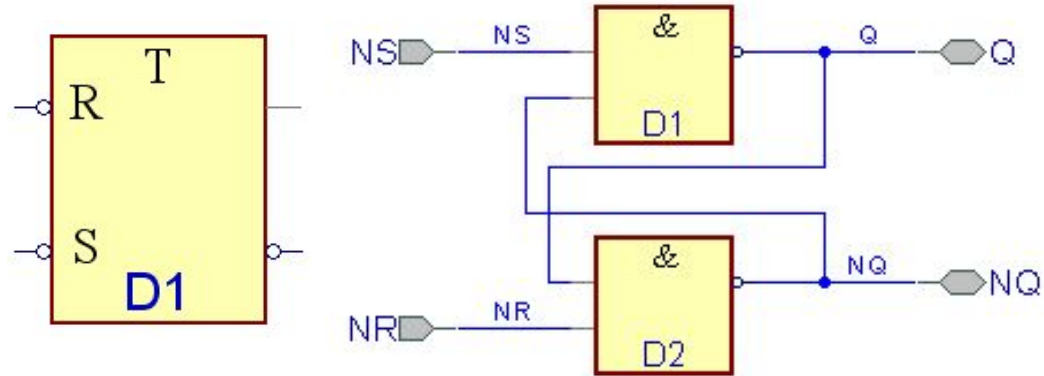
№	R	S	$Q_t$
0	0	0	$Q_{t-1}$
1	0	1	1
2	1	0	0
3	1	1	Заборона

# RS-тригер

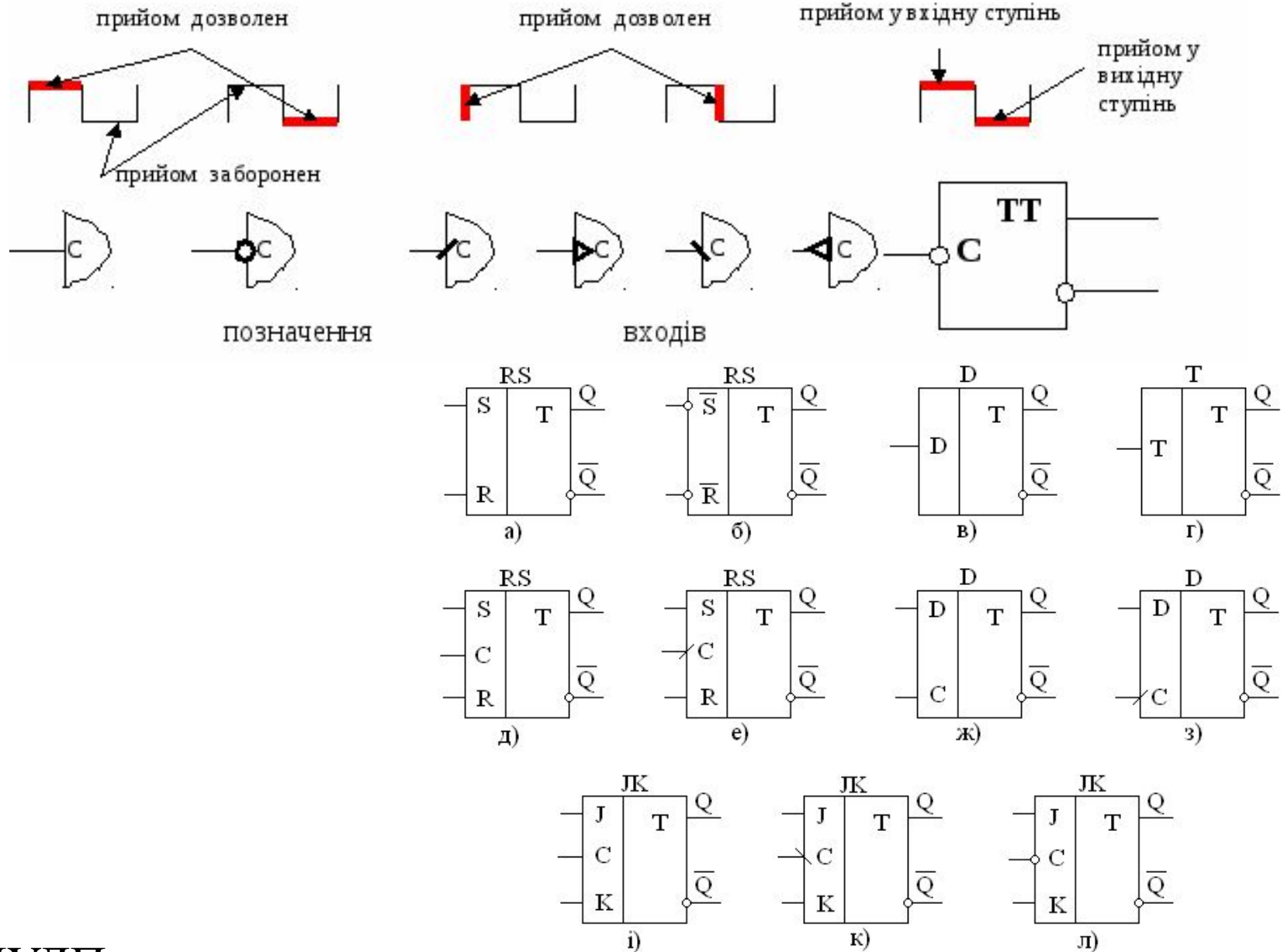


# неRнеS-триггер

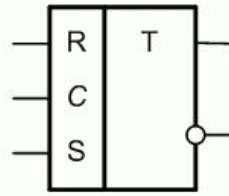
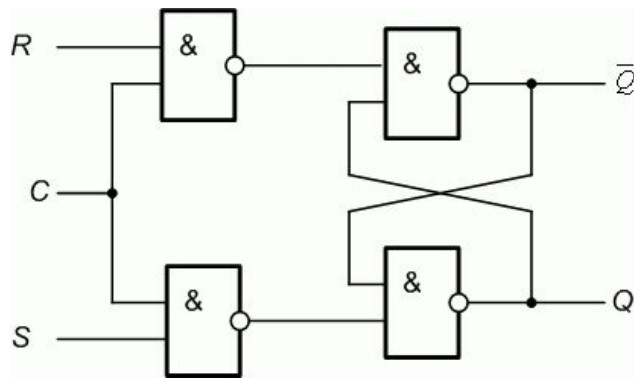
№	$\bar{R}$	$\bar{S}$	$Q_t$
0	0	0	Заборона
1	0	1	0
2	1	0	1
3	1	1	$Q_{t-1}$



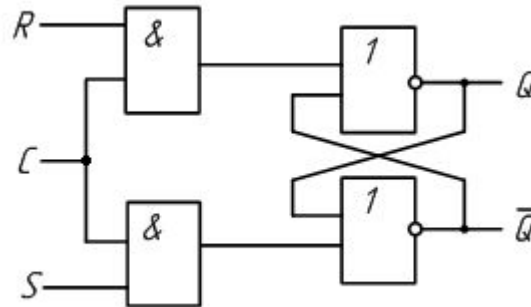
# Класифікація синхронних тригерів



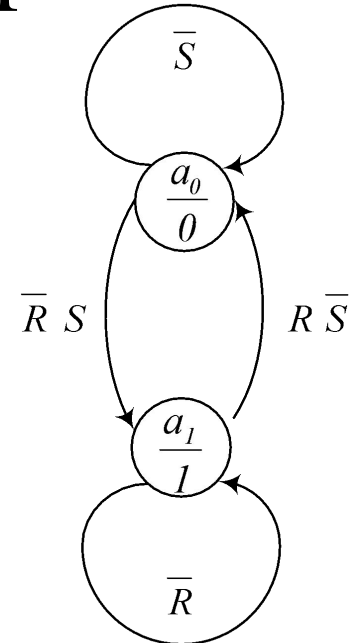




б)



# Синхронний RS-триггер



Управляющие сигналы			Состояние выходов		Режим работы
C	S	R	Q	Q̄	
0	0	0	$Q_{i-1}$	$\overline{Q_{i-1}}$	Хранение ранее записанной информации
0	0	1			
0	1	0			
0	1	1			
1	0	0	$Q_{i-1}$	$\overline{Q_{i-1}}$	Хранение ранее записанной информации
1	0	1	0	1	Сброс триггера
1	1	0	1	0	Установка триггера
1	1	1	0	0	Неустойчивое состояние

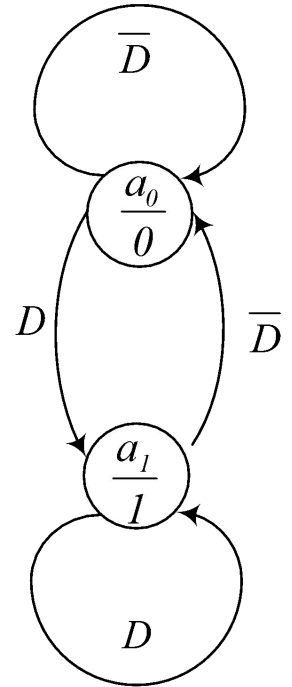
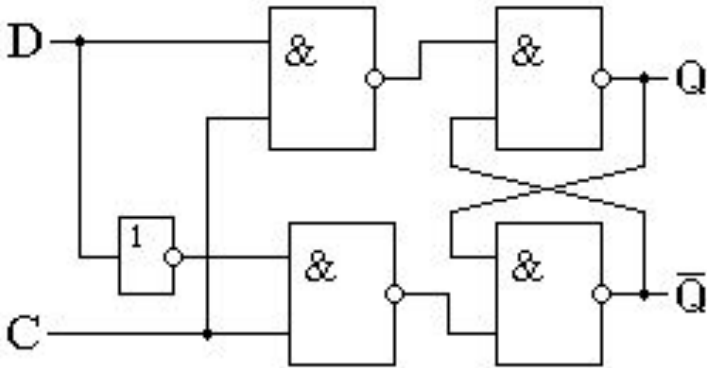
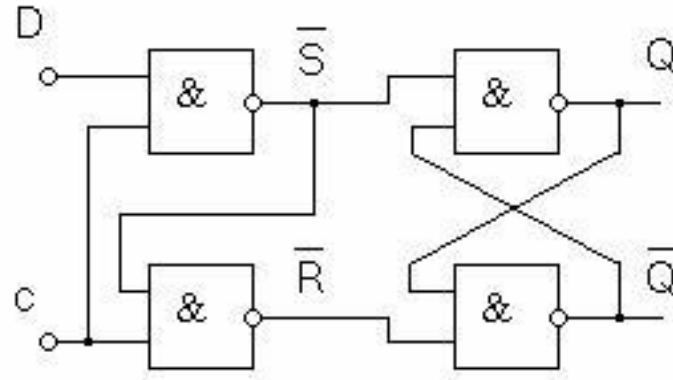
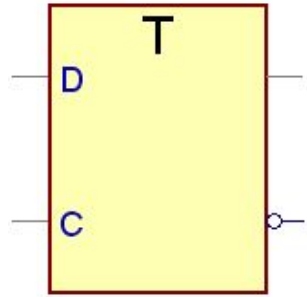
Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови  $C=1$ . Наприклад, запис

$\overline{R} S$

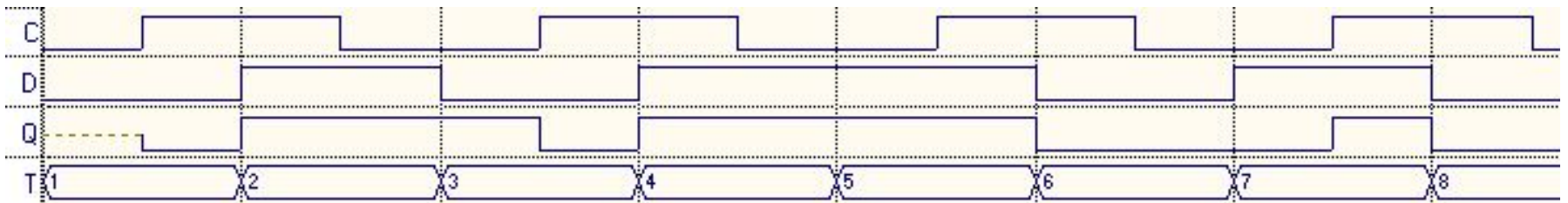
треба розуміти як  $\overline{R} SC$

# D-тригер, що спрацьовує по тілу

№	C	Q <sub>t</sub>
0	0	Q <sub>t-1</sub>
1	1	D

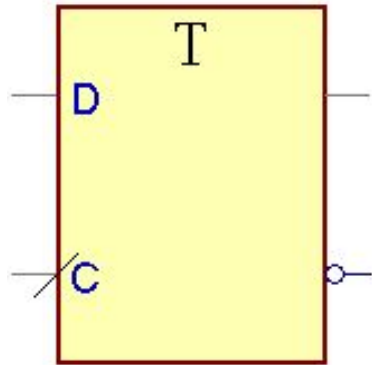


Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови C=1.

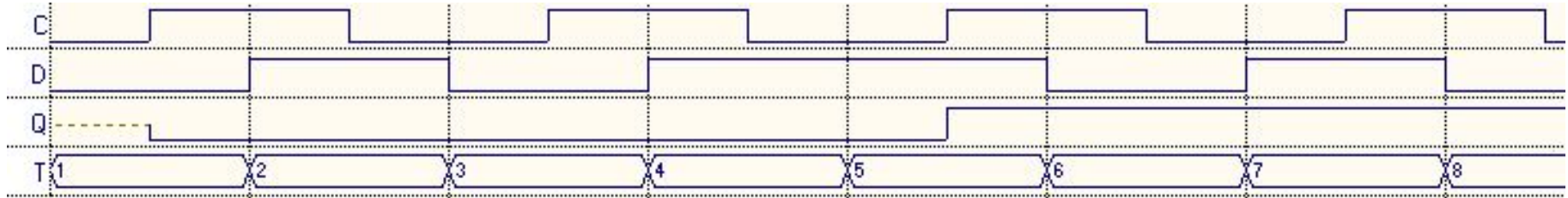
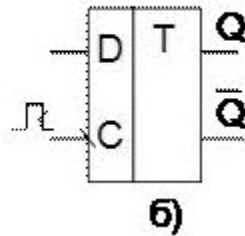
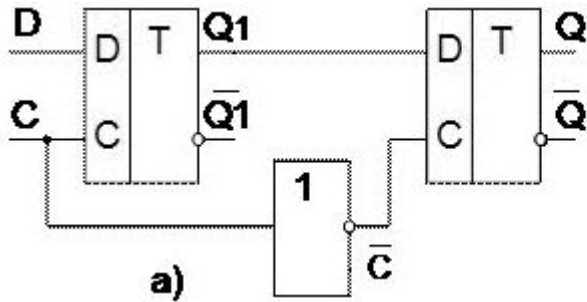
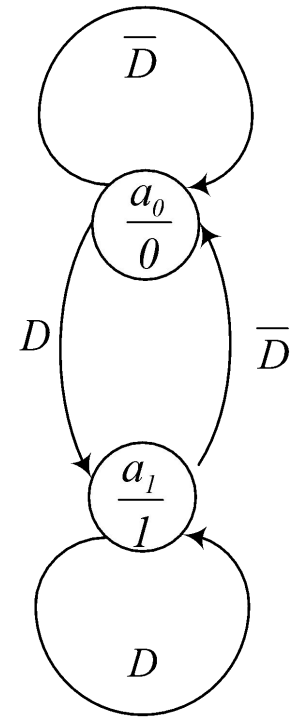


# D-тригер, що спрацьовує по фронту

№	C	Q <sub>t</sub>
0	0	Q <sub>t-1</sub>
1	1	Q <sub>t-1</sub>
2	↓	Q <sub>t-1</sub>
3	↑	D

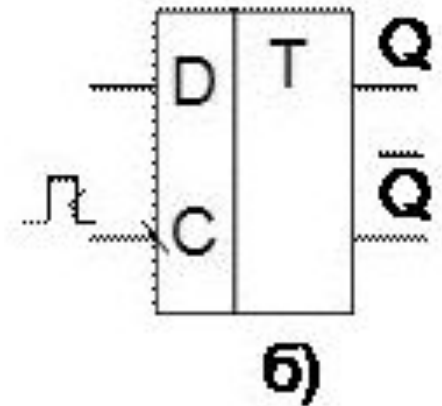
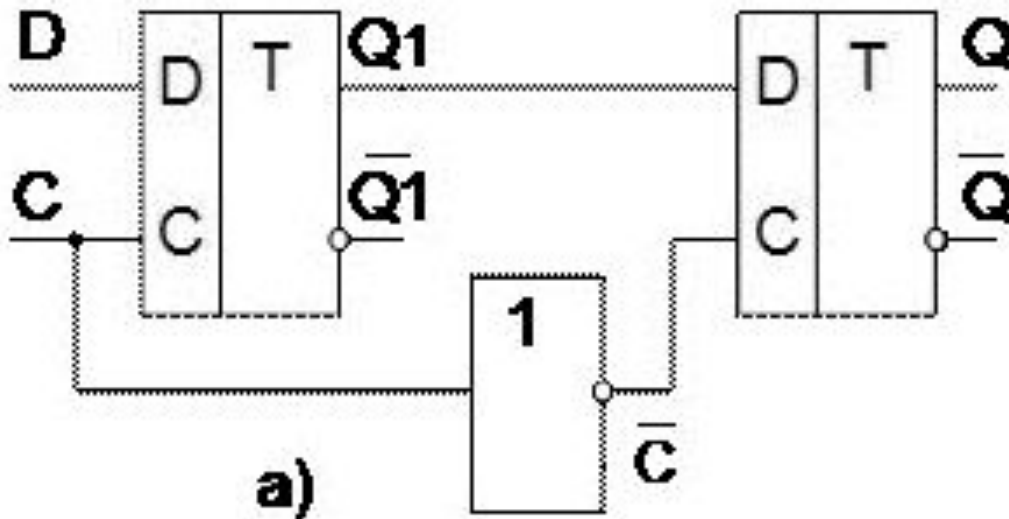


Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови “є фронт зростання на вході C”.

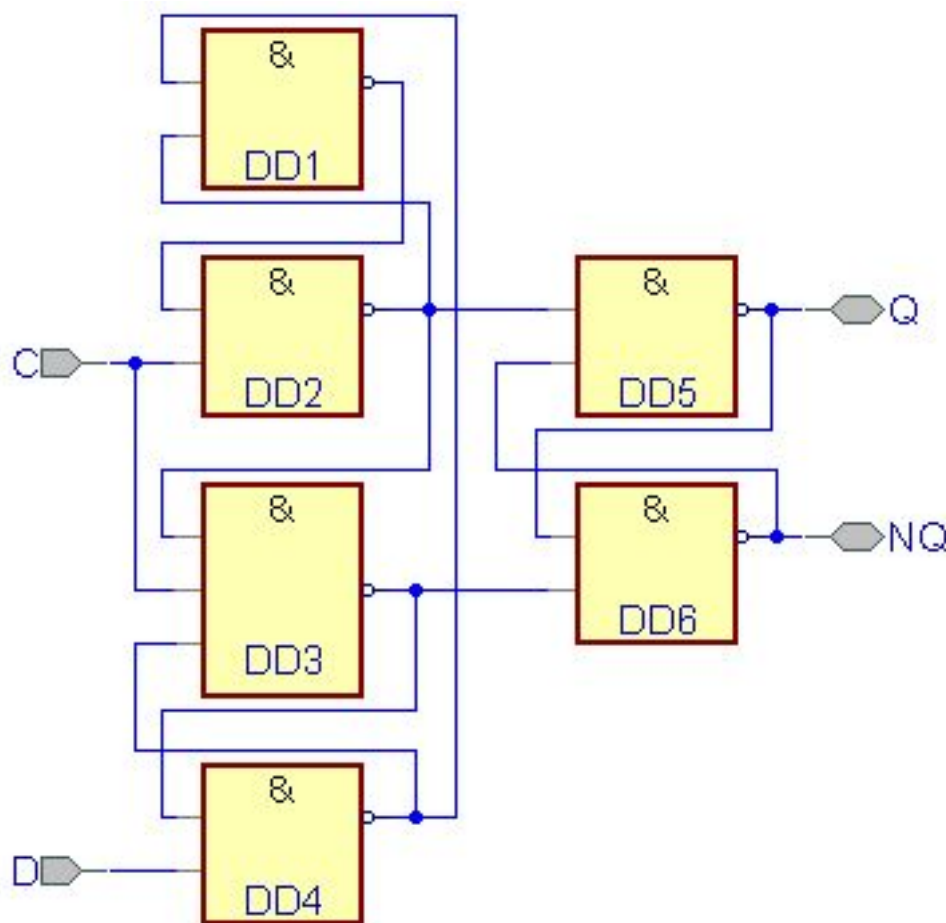


# Двоступеневий тригер

- Ведучий-ведений
- Master-Slave

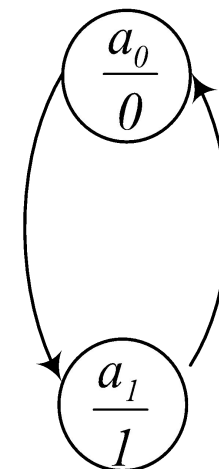
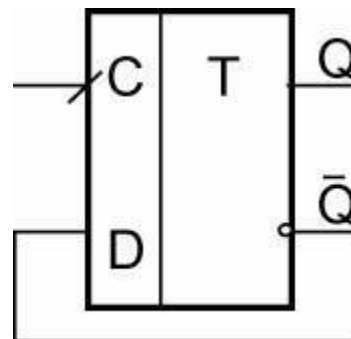
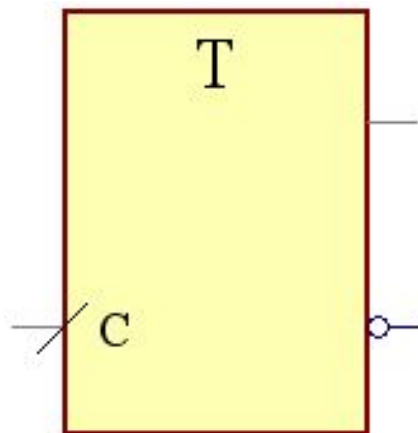


# Функціональна схема D-тригера, що спрацьовує по фронту



# T-тригер

$N_{\underline{0}}$	$C$	$Q_t$
0	0	$Q_{t-1}$
1	1	$Q_{t-1}$
2	$\downarrow$	$Q_{t-1}$
3	$\uparrow$	$\overline{Q}_{t-1}$

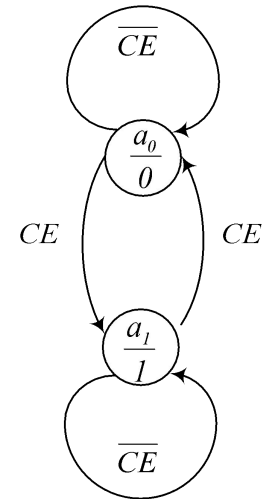
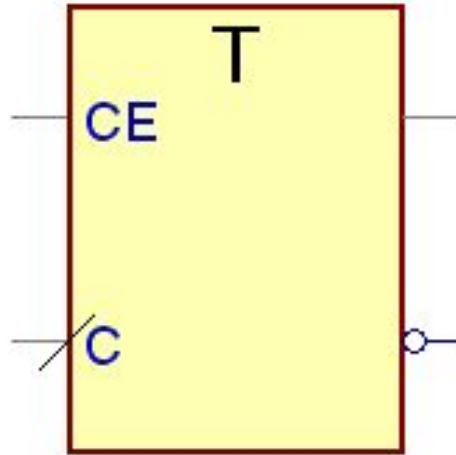


Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови “є фронт зростання на вході  $C$ ”.

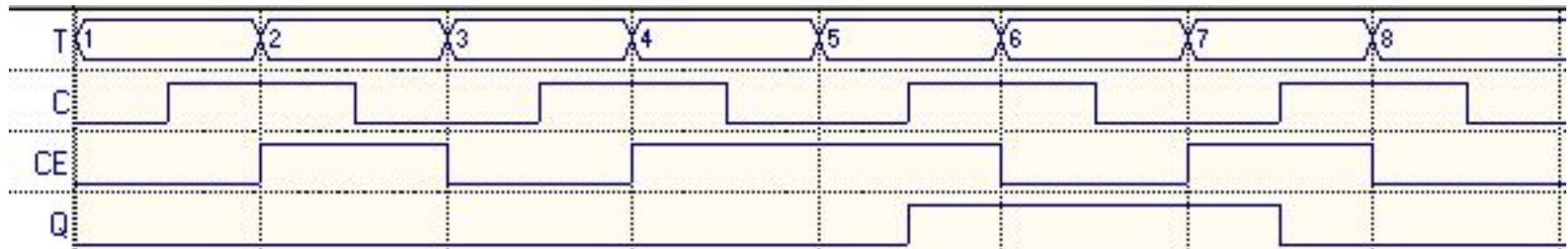


# T-тригер з входом дозволу роботи

№	C	CE	$Q_t$
0	0	X	$Q_{t-1}$
1	1	X	$Q_{t-1}$
2	$\downarrow$	X	$Q_{t-1}$
3	X	0	$Q_{t-1}$
4	$\uparrow$	1	$\overline{Q}_{t-1}$

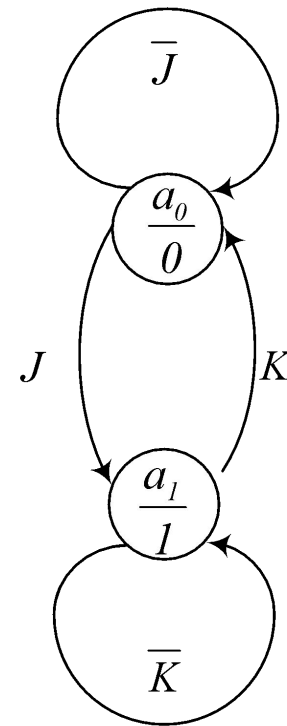
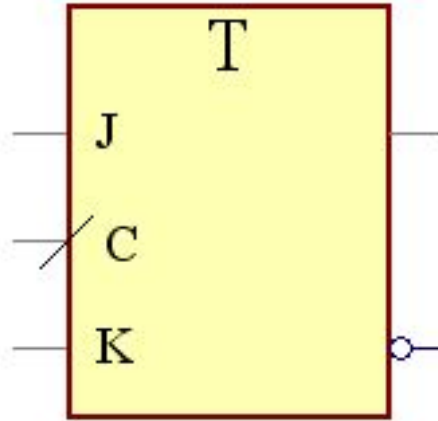


Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови “є фронт зростання на вході C”.

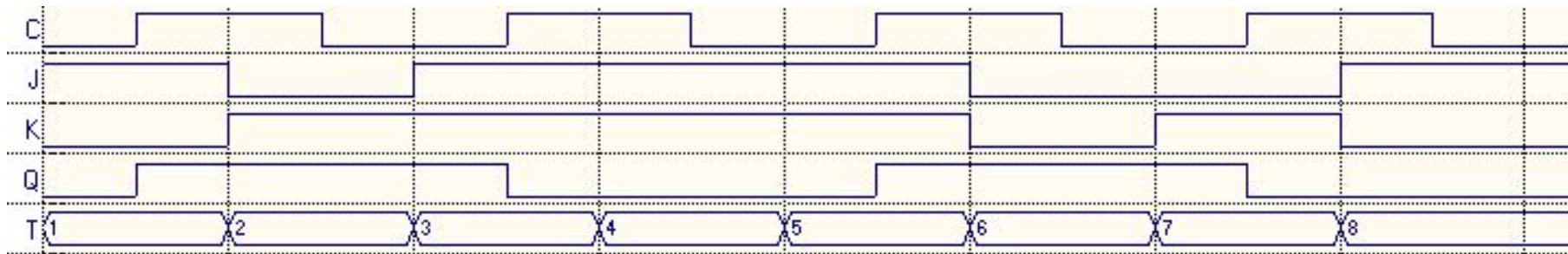


# JK-тригер

№	C	J	K	$Q_t$
0	0	X	X	$Q_{t-1}$
1	1	X	X	$Q_{t-1}$
2	$\downarrow$	X	X	$Q_{t-1}$
3	$\uparrow$	0	0	$Q_{t-1}$
4	$\uparrow$	0	1	0
5	$\uparrow$	1	0	1
6	$\uparrow$	1	1	$\overline{Q}_{t-1}$



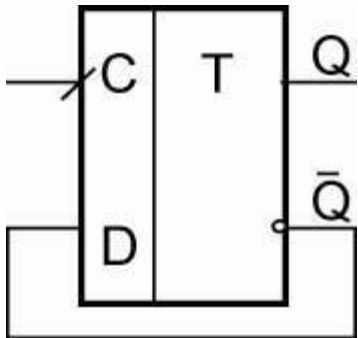
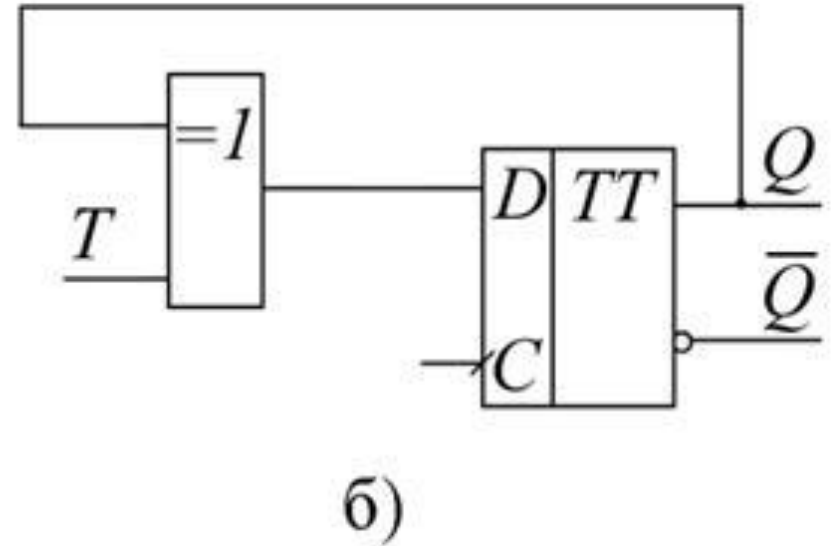
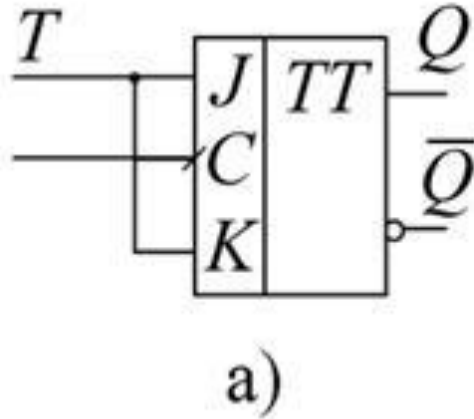
Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови “є фронт зростання на вході С”.



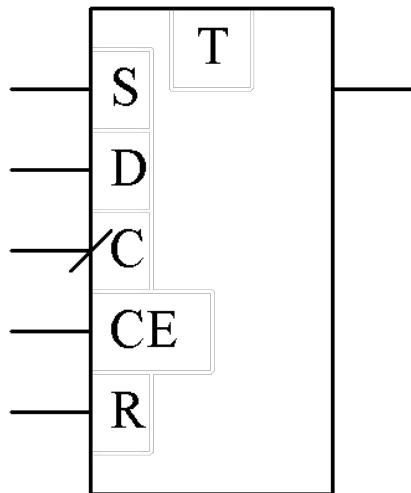


# Перетворення тригерів

- D  $\rightarrow$  T
- JK  $\rightarrow$  T
- JK  $\rightarrow$  D

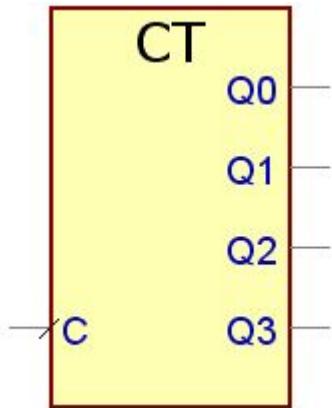


# Тригери з асинхронними входами (R, S) та входом дозволу СІ (СЕ)

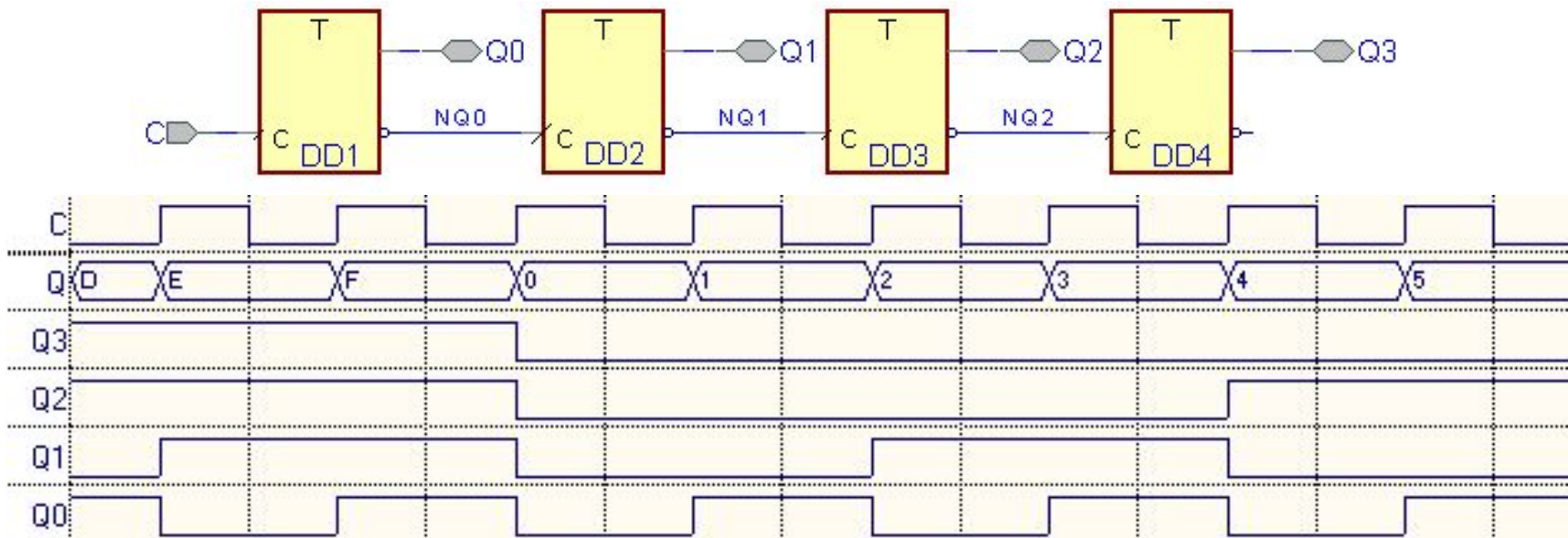
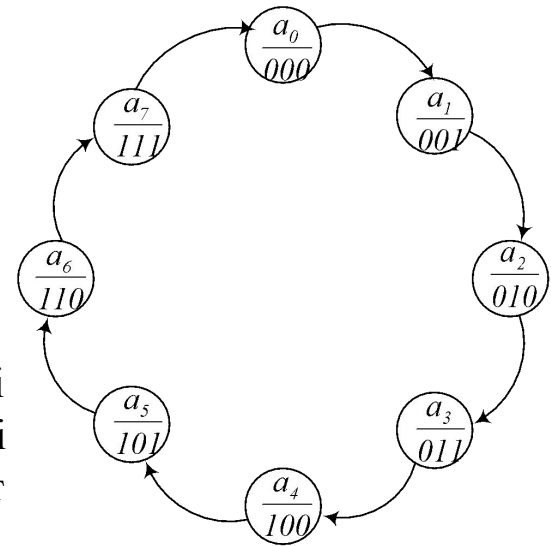


R	S	CE	C	Q <sub>t</sub>	
0	1	X	X	1	Працюють асинхронні входи
1	0	X	X	0	
1	1	X	X	X	Заборона
0	0	0	X	Q <sub>t-1</sub>	Немає дозволу
0	0	1	0	Q <sub>t-1</sub>	Немає потрібного фронту СІ
0	0	1	1	Q <sub>t-1</sub>	
0	0	1	↓	Q <sub>t-1</sub>	
0	0	1	↑	D	Запис даних по фронту СІ

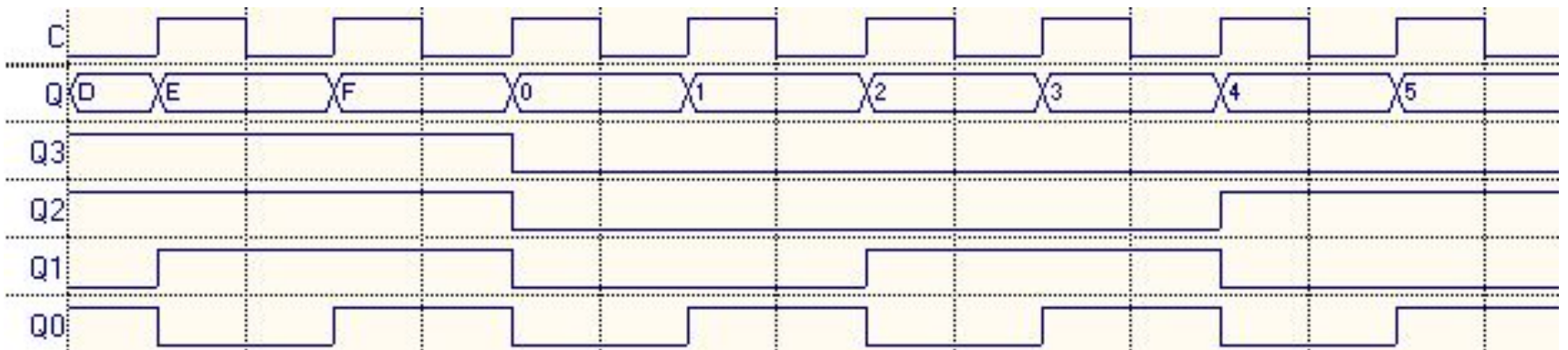
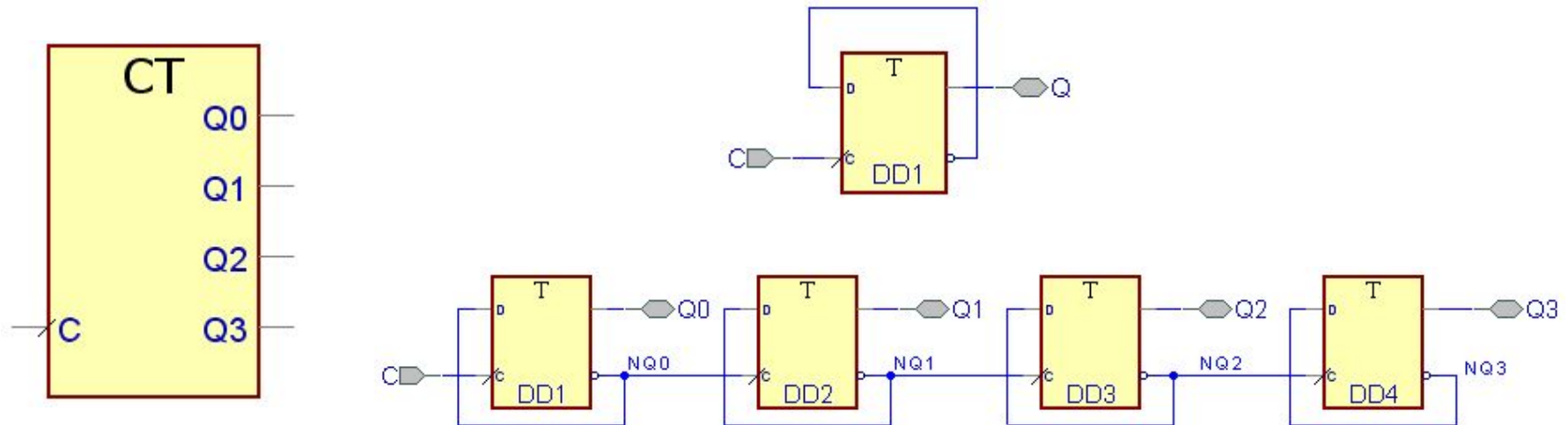
# Лічильник на Т-триггерах



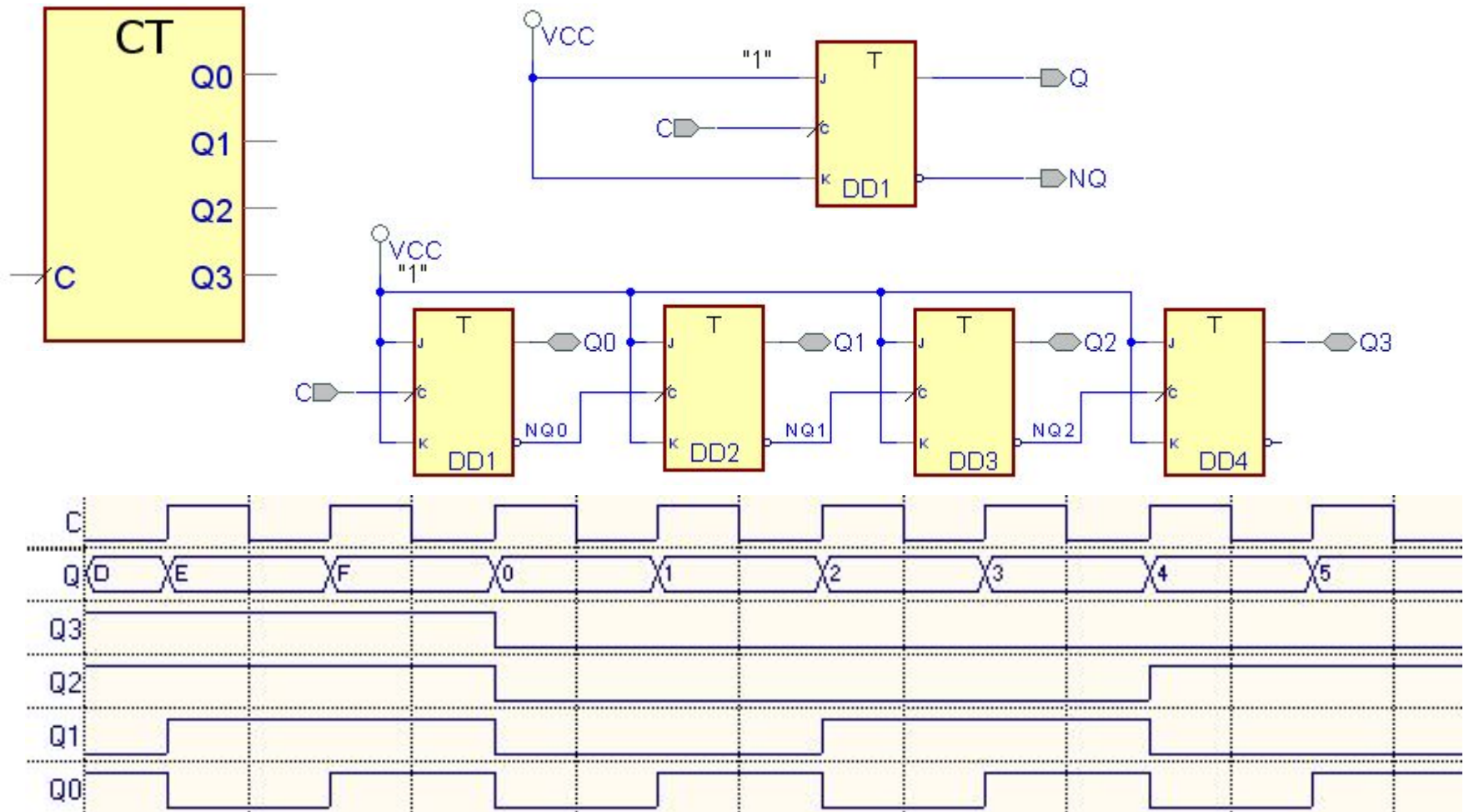
Будь-який перехід на цьому графі здійснюється при виконанні додаткової умови “є фронт зростання на вході С”.



# Лічильник на D-триггерах



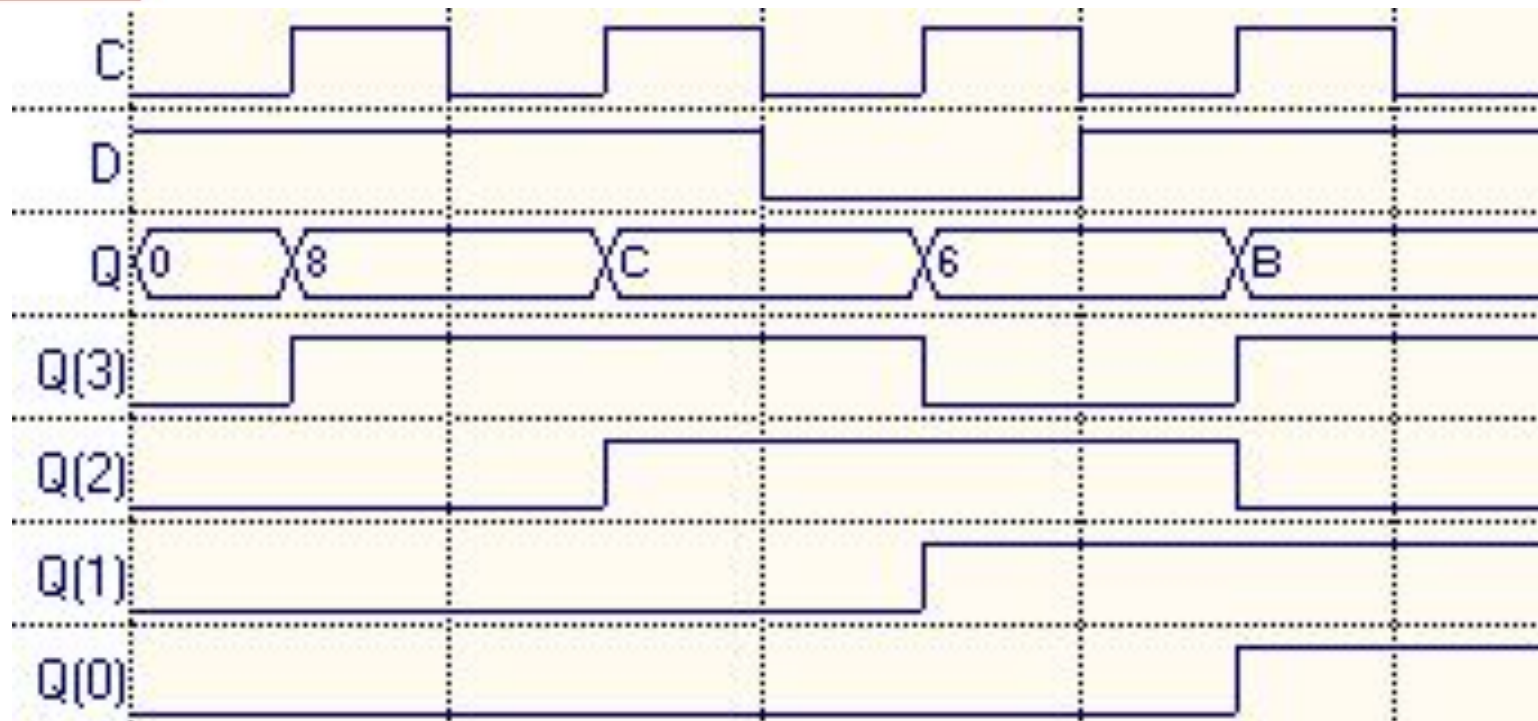
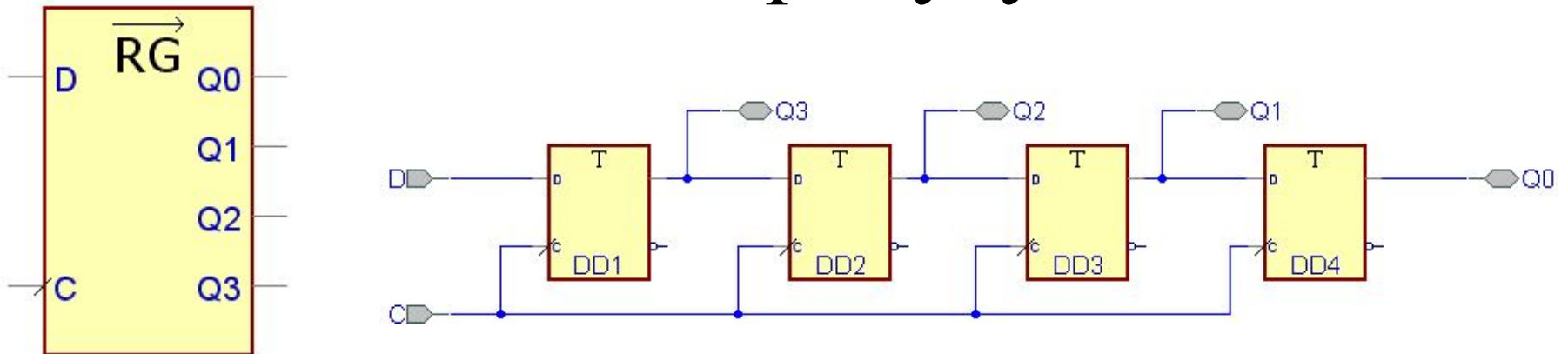
# Лічильник на JK-триггерах



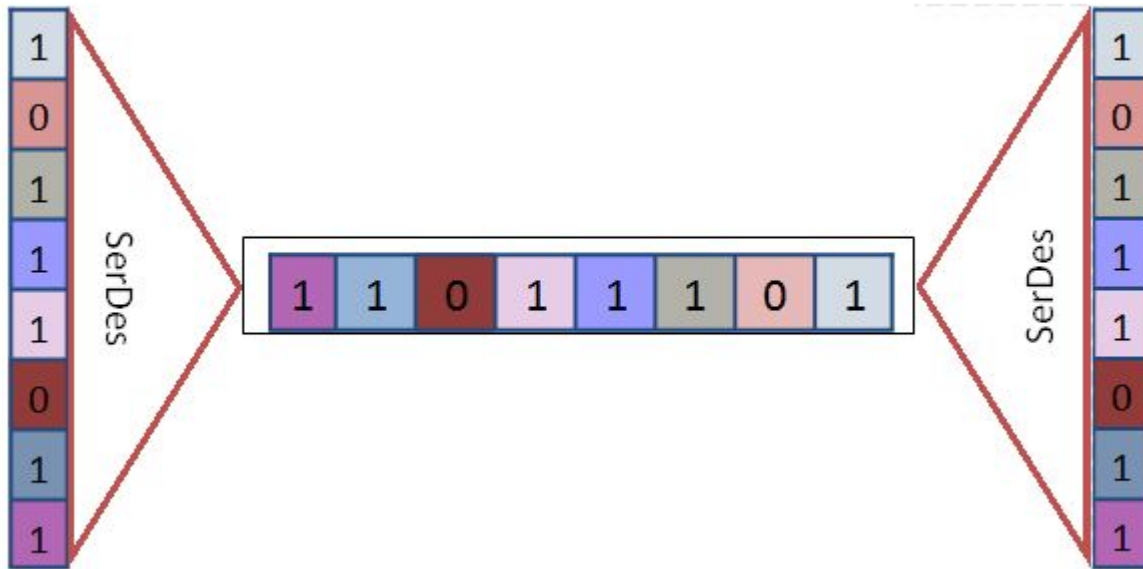
# Класифікація регістрів

- За функціональним призначенням
  - регістри зсуву
  - Регістри для збереження інформації (паралельні)
- За типом тригерів
- За організацією зсуву
  - Ліворуч, праворуч, універсальні
- За способом прийому і видачі даних при зсуві (вхід/вихід)
  - Послідовний/послідовний
  - Послідовний/паралельний
  - Паралельний/послідовний
  - Паралельний/паралельний

# Регістр зсуву

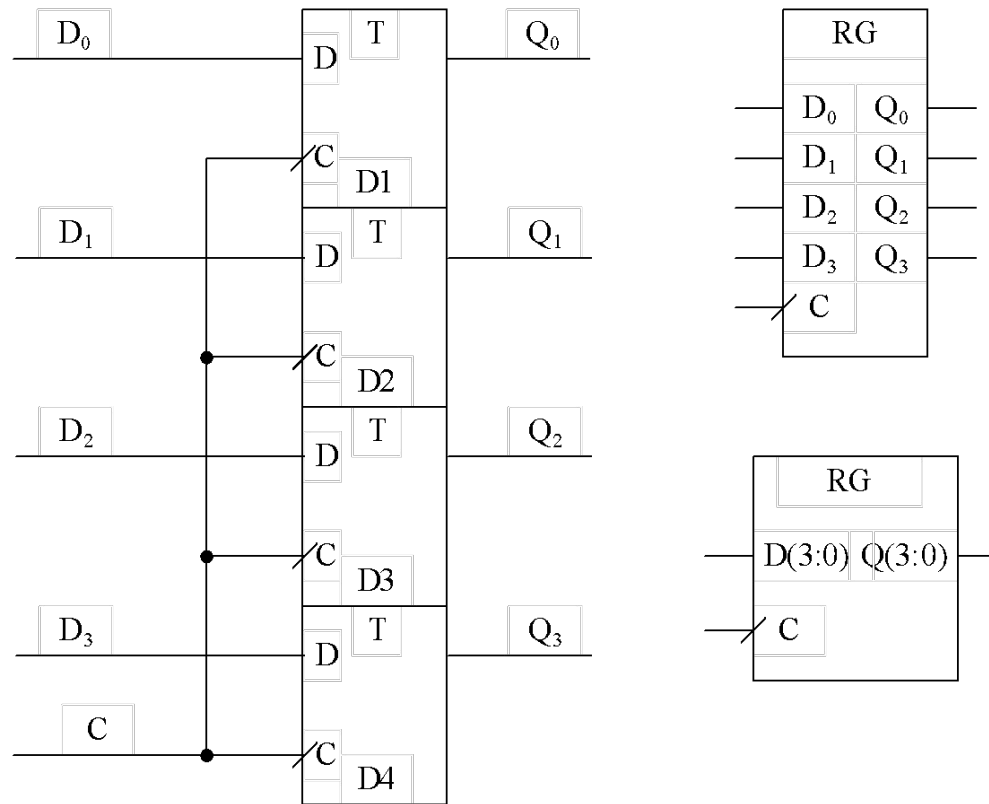


# SerDeS

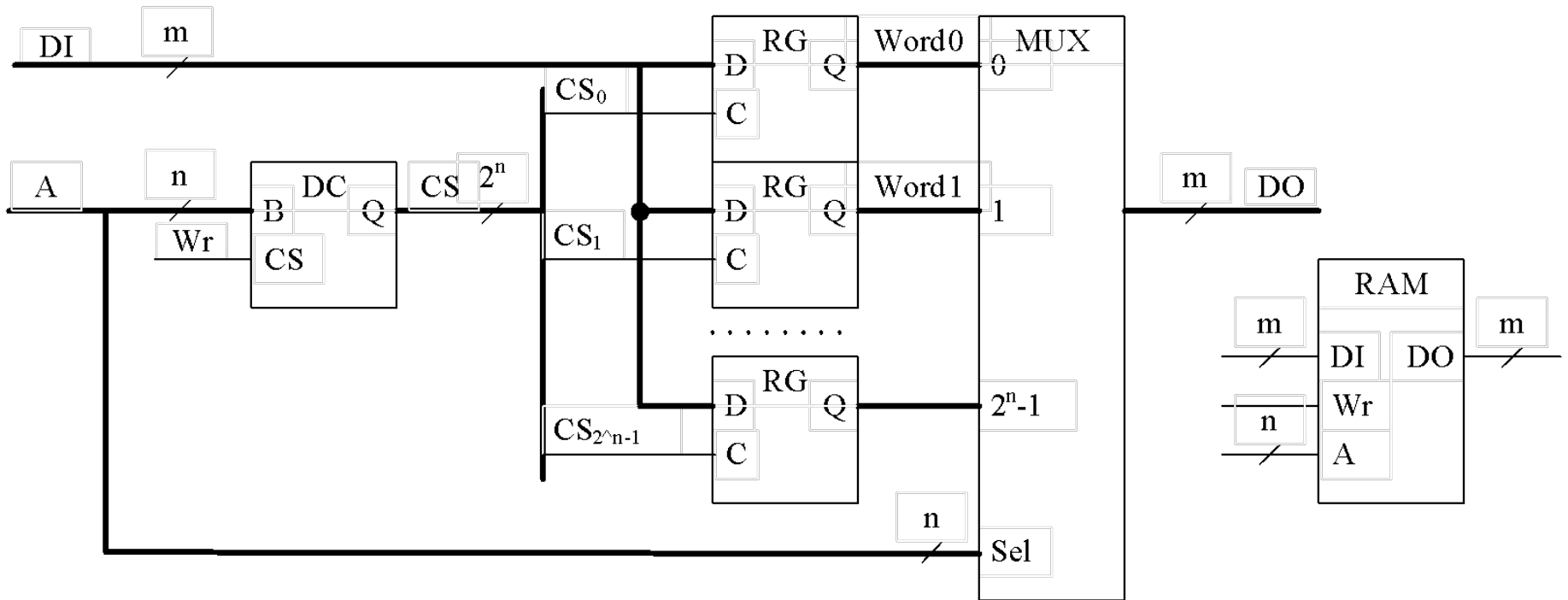




# Паралельний регістр



# Оперативний запам'ятовуючий пристрій (ОЗП)



# Ієрархія пам'яті

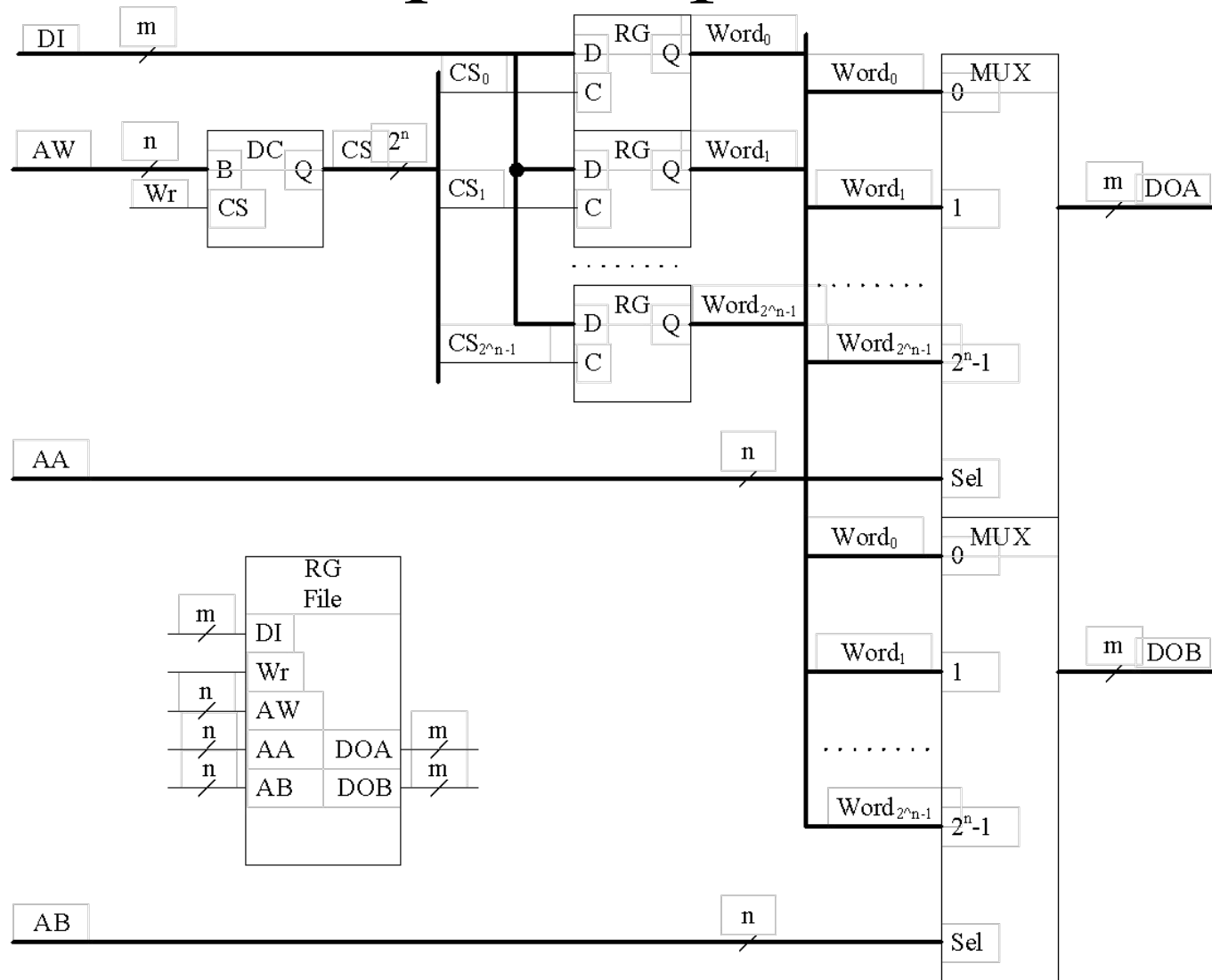


Основні кількісні характеристики ОЗП:

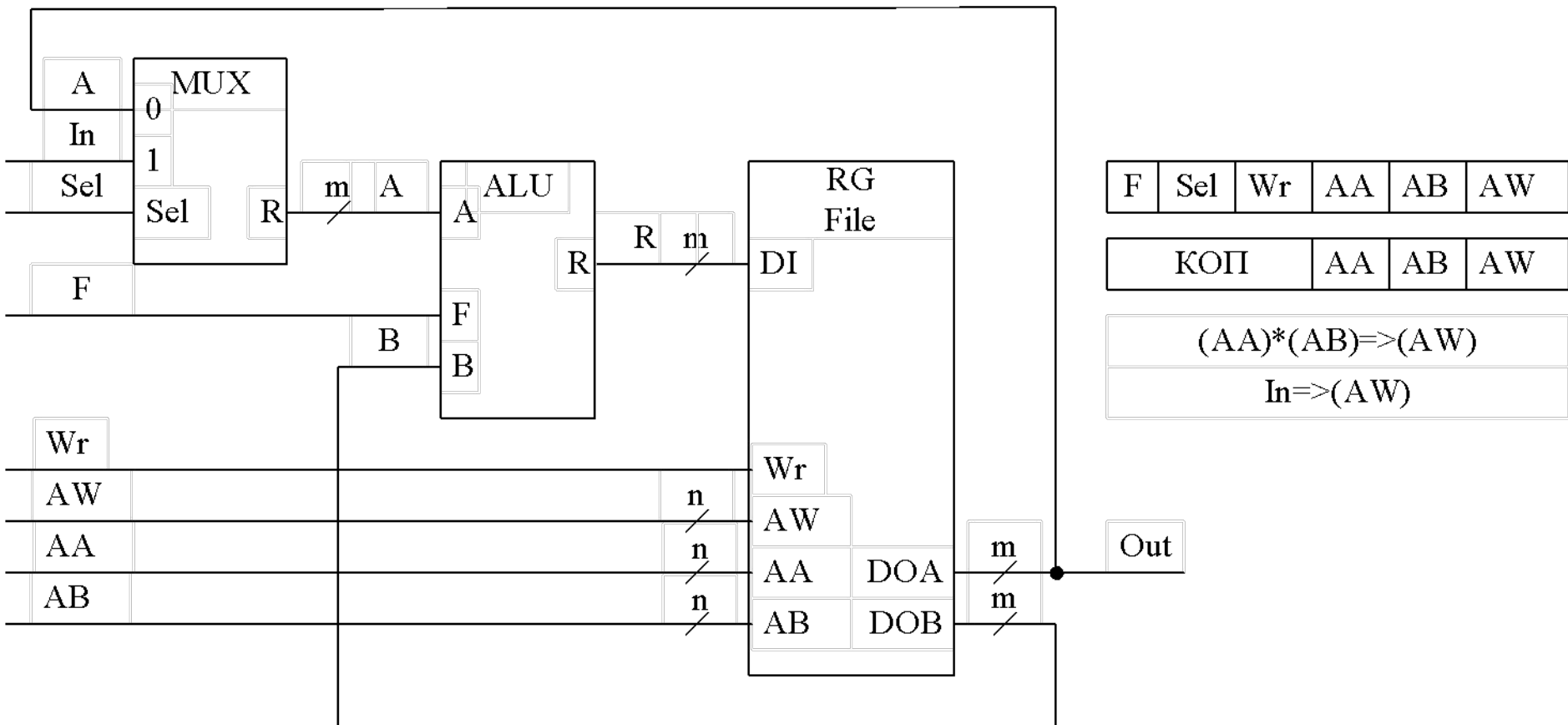
кількість слів  $N = 2^n$ ;

об'єм пам'яті  $V = N * m = 2^n * m$  біт.

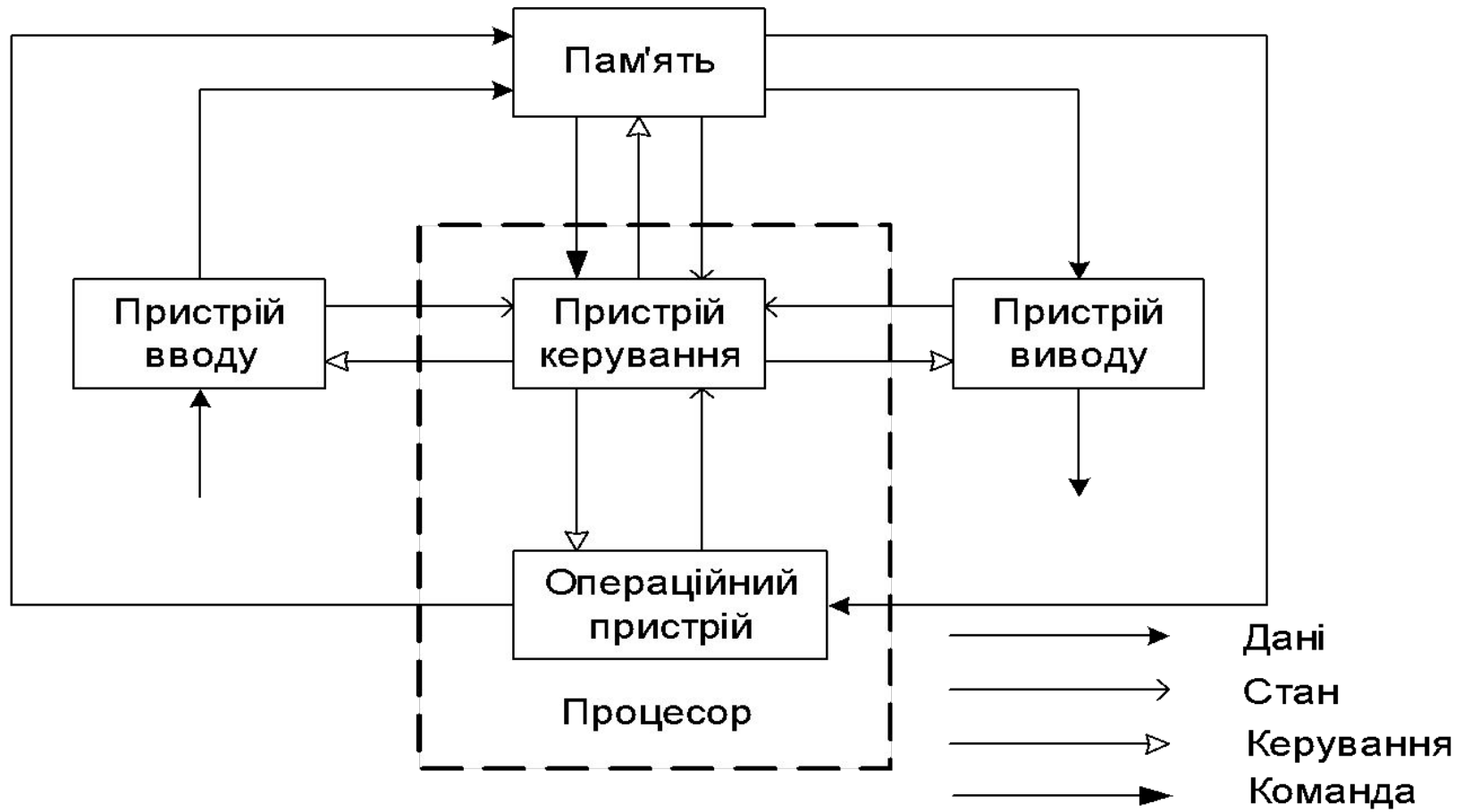
# Регістровий файл



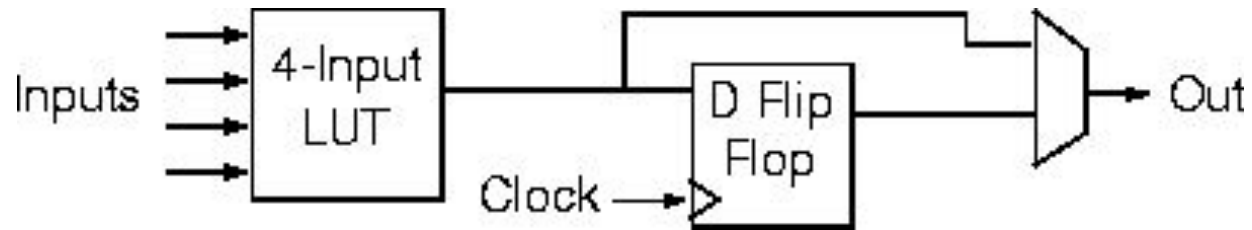
# Операційний пристрій = ALU+RG File



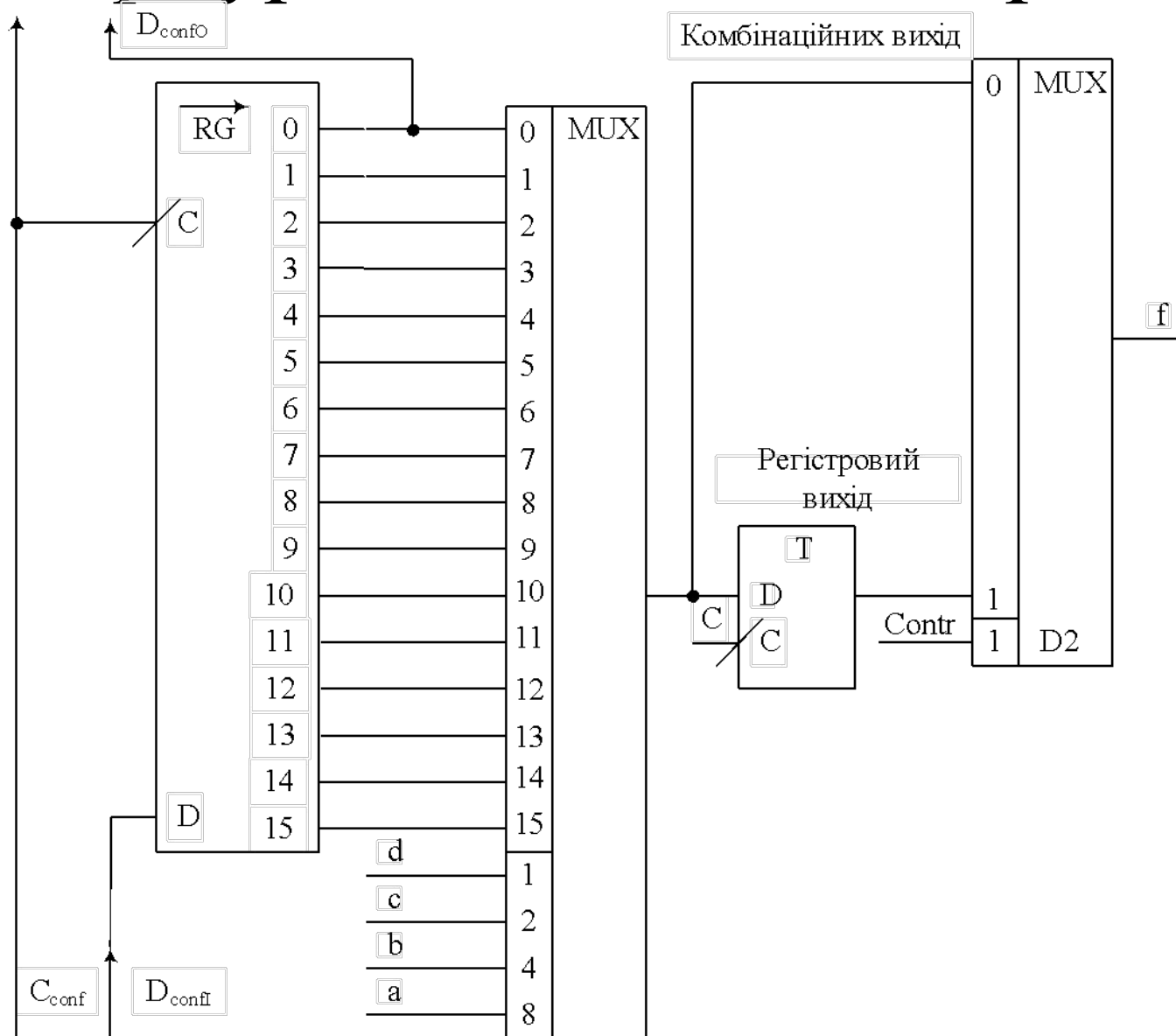
# Структура комп'ютера



# Логічна комірка

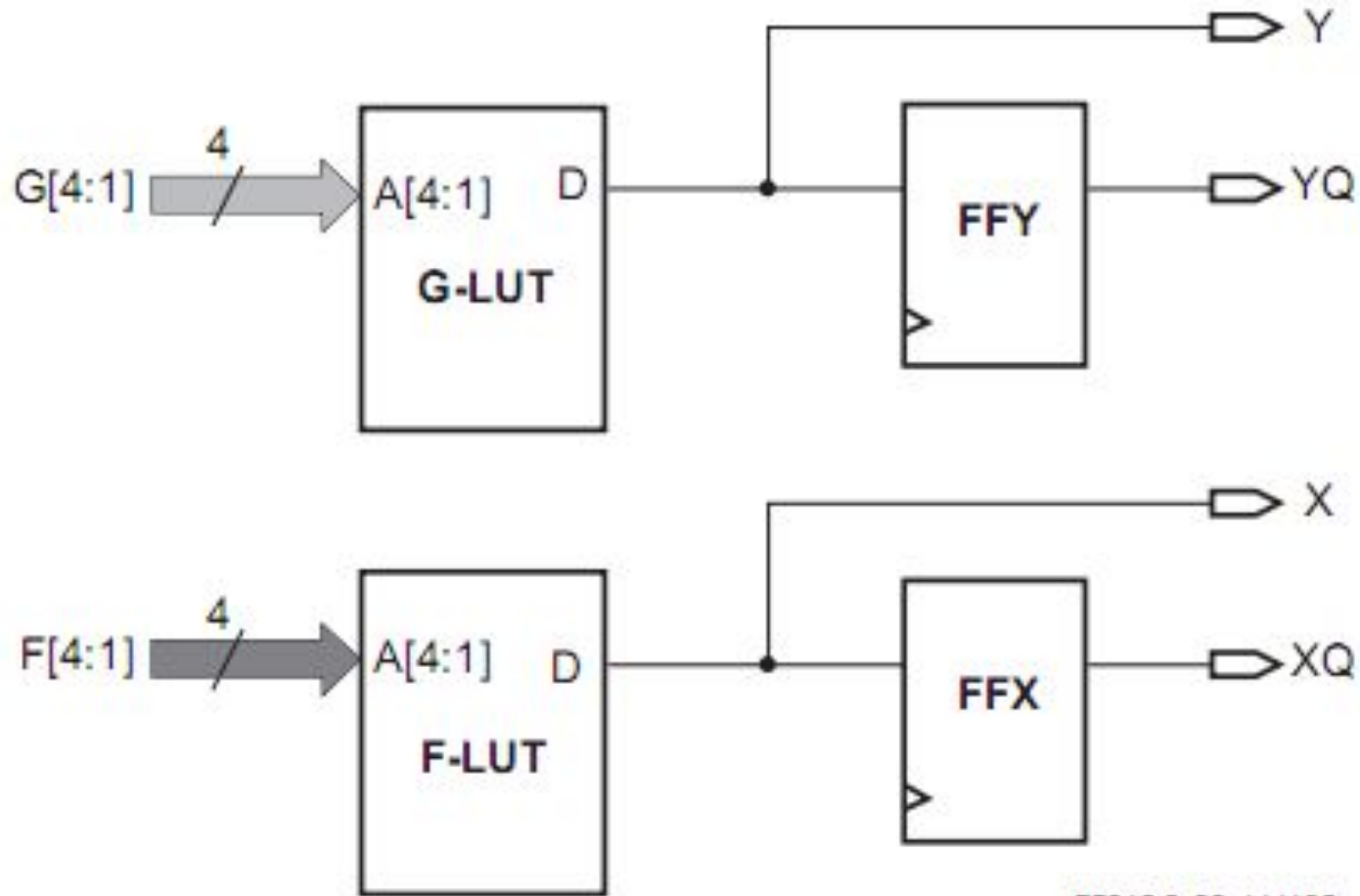


# Конфігурована логічна комірка



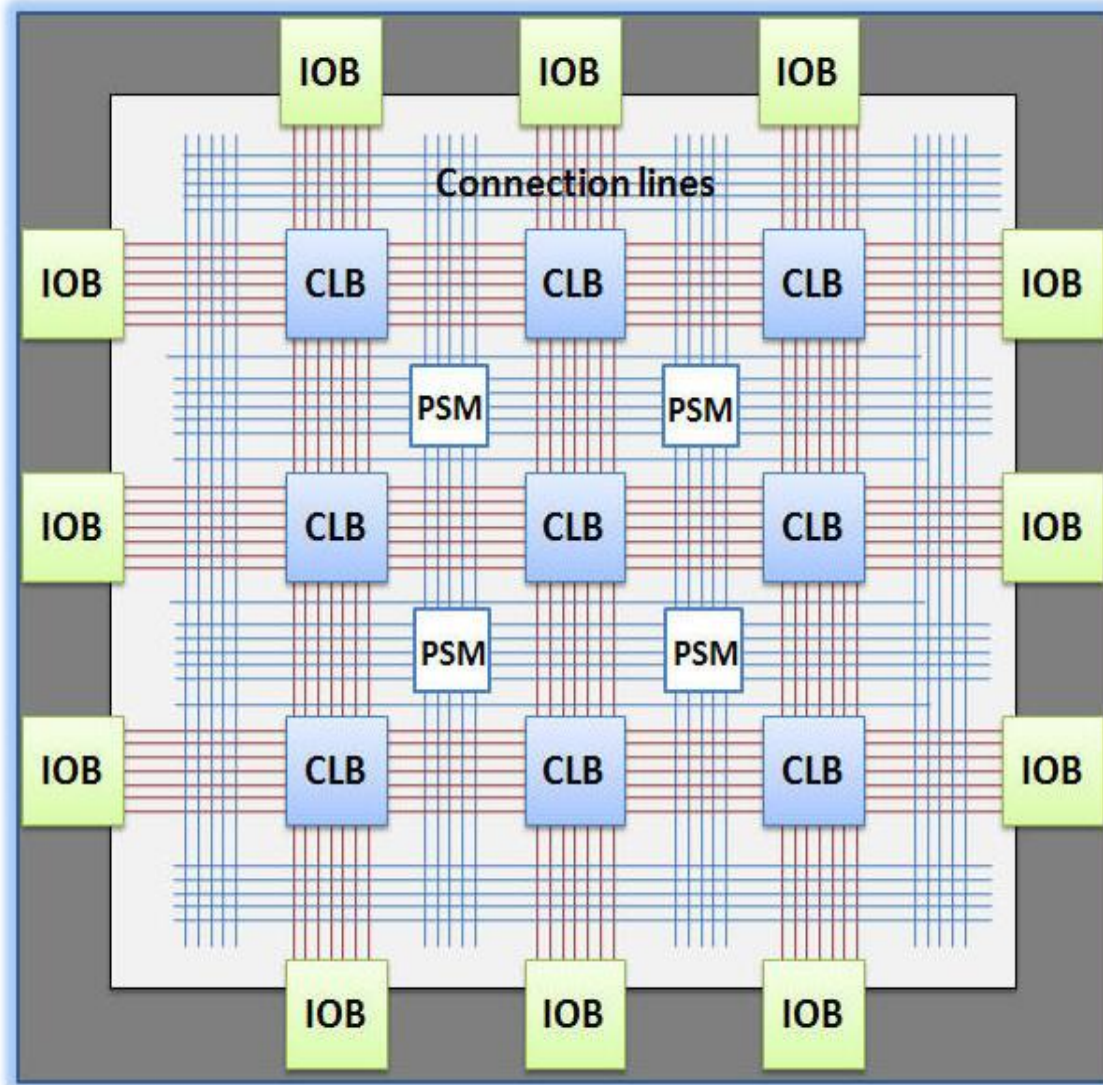


# Логічні комірки в складі Slice



DS312-2\_33\_111105

# ПЛІС першого покоління



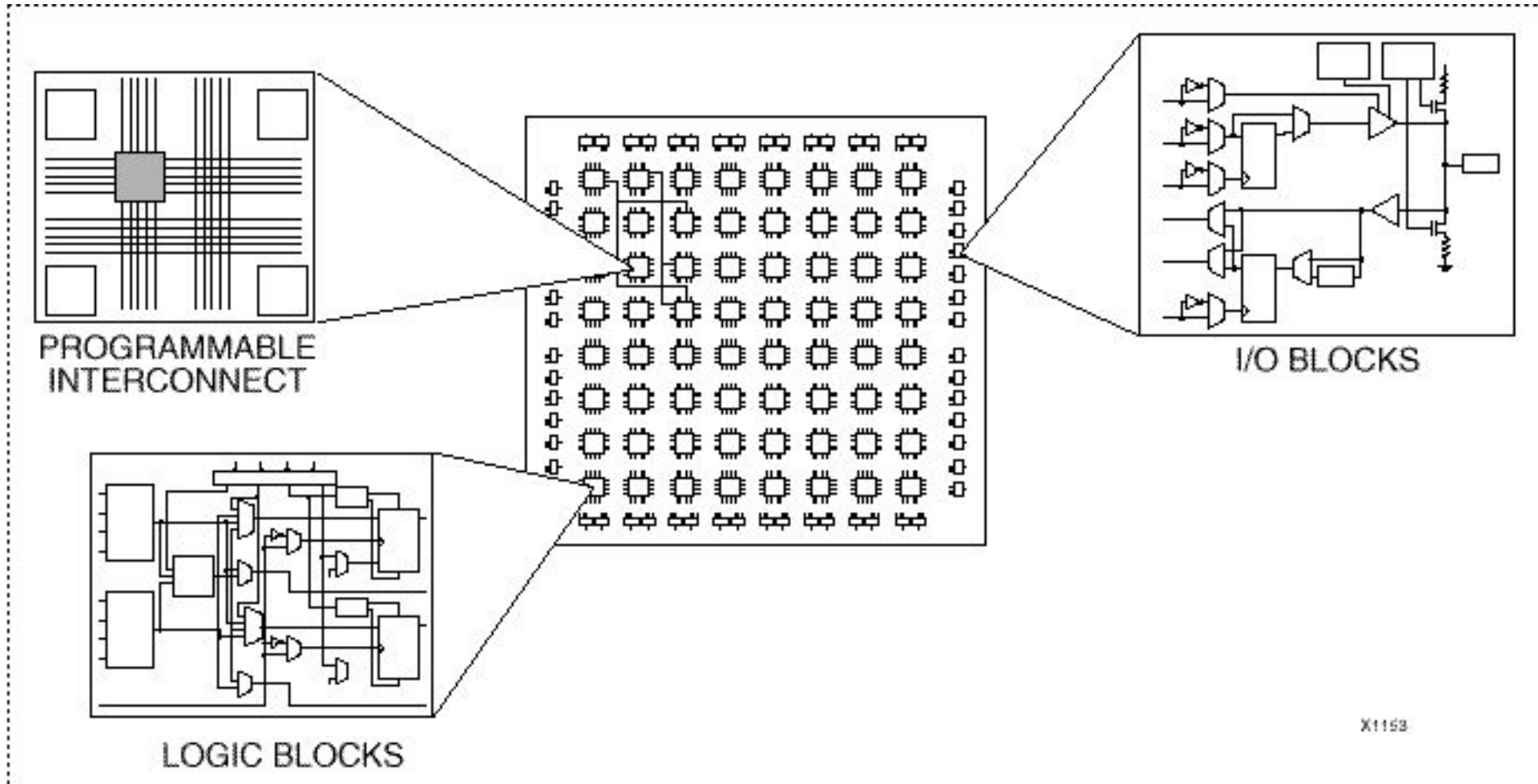
**IOB**  
Input Output Block

**CLB**  
Configurable  
Logic Block

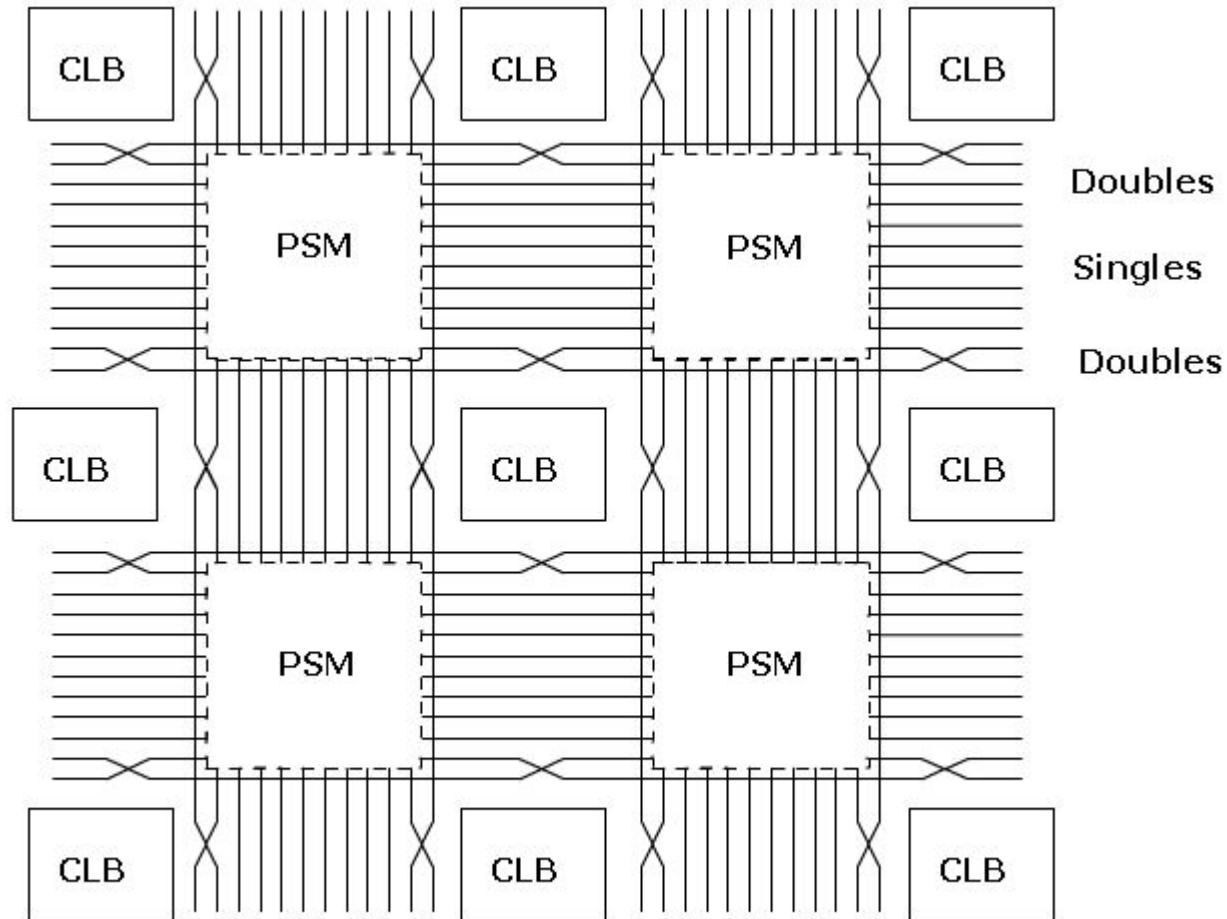
**PSM**  
Programable  
Switch Matrix

**Connection lines**  
Single, Long  
Double, Direct

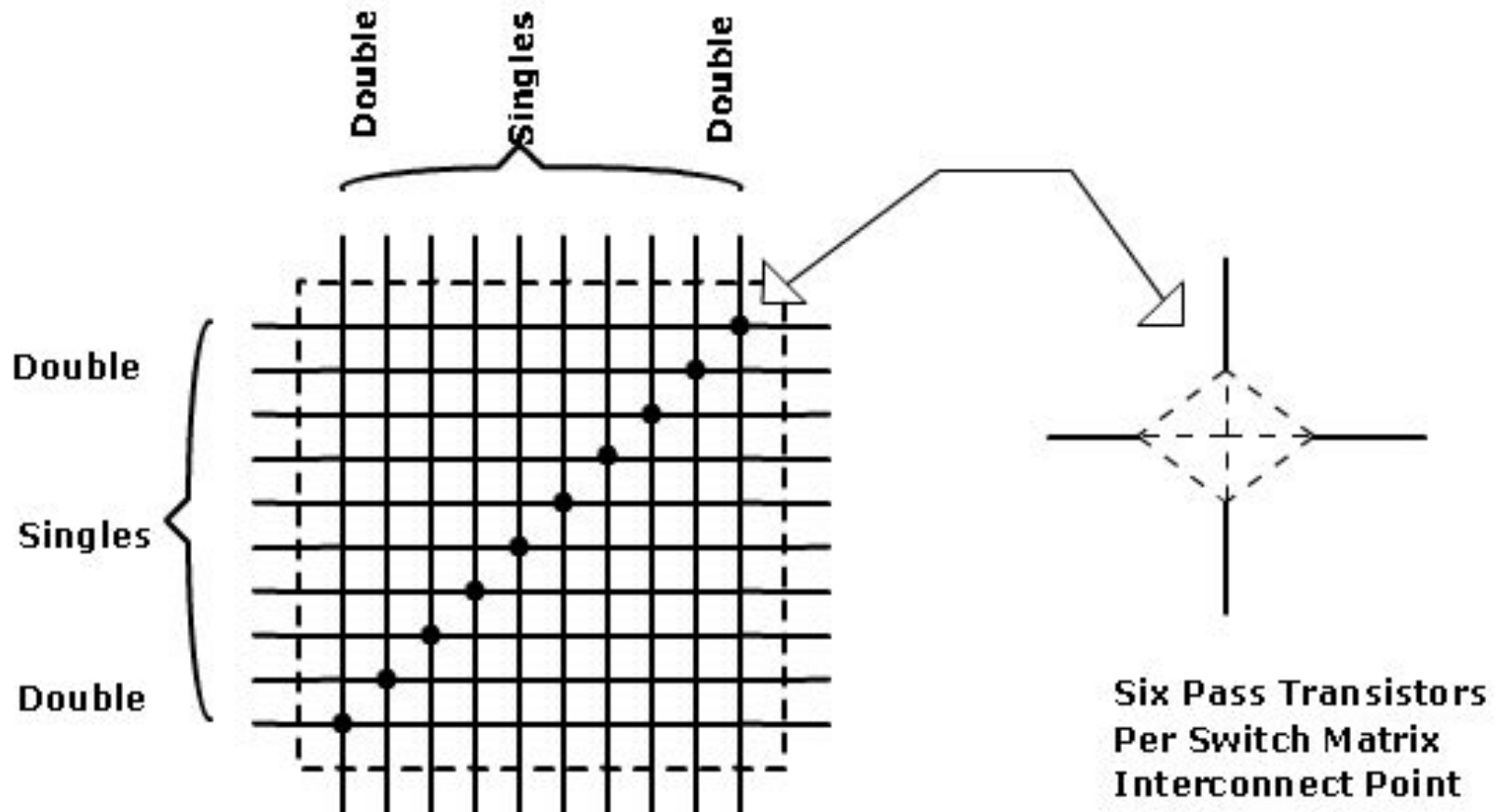
# Організація перших ПЛІС



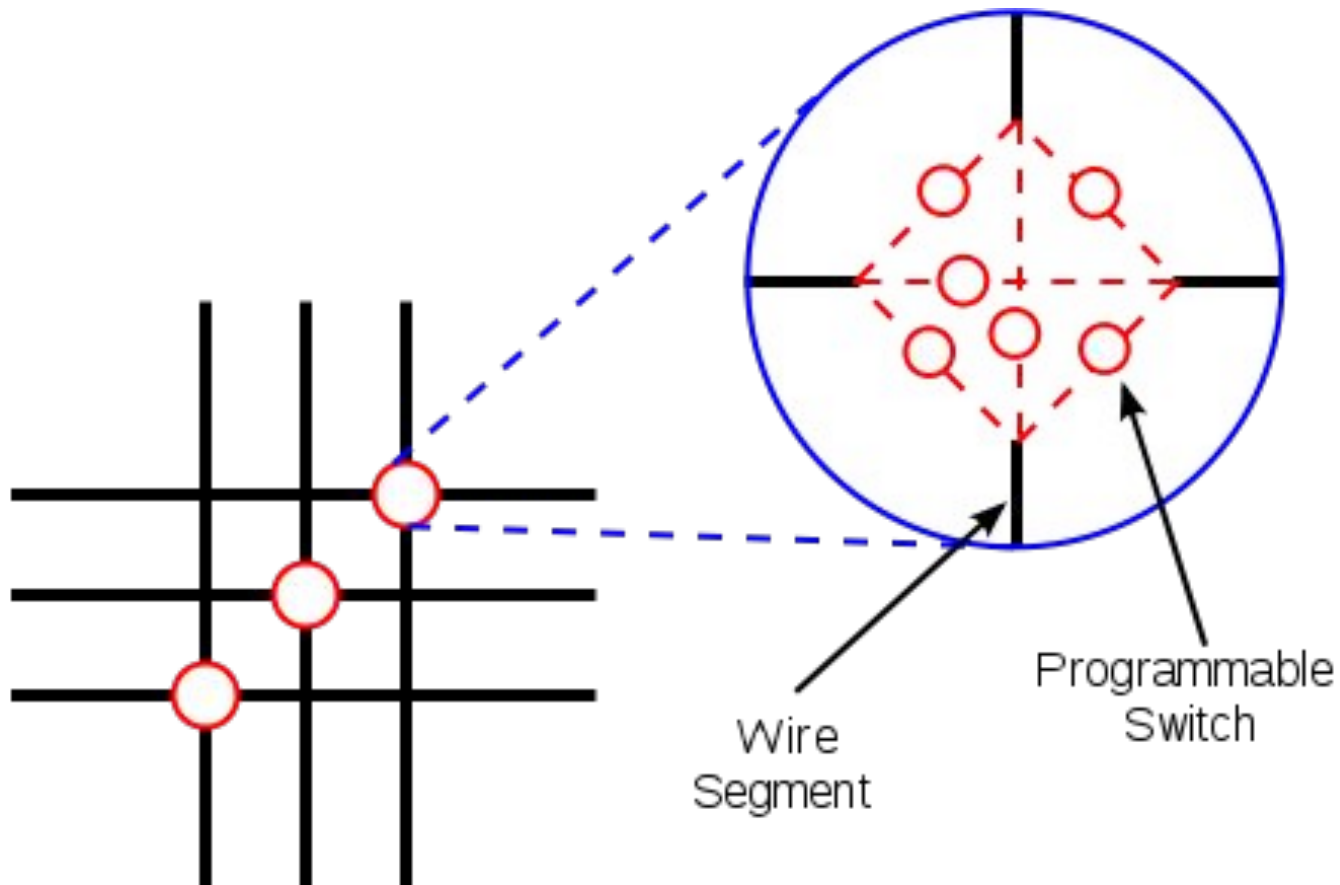
# Конфігуровані логічні блоки (CLB) та електронні комутатори (PSM -Programmable switch matrix )



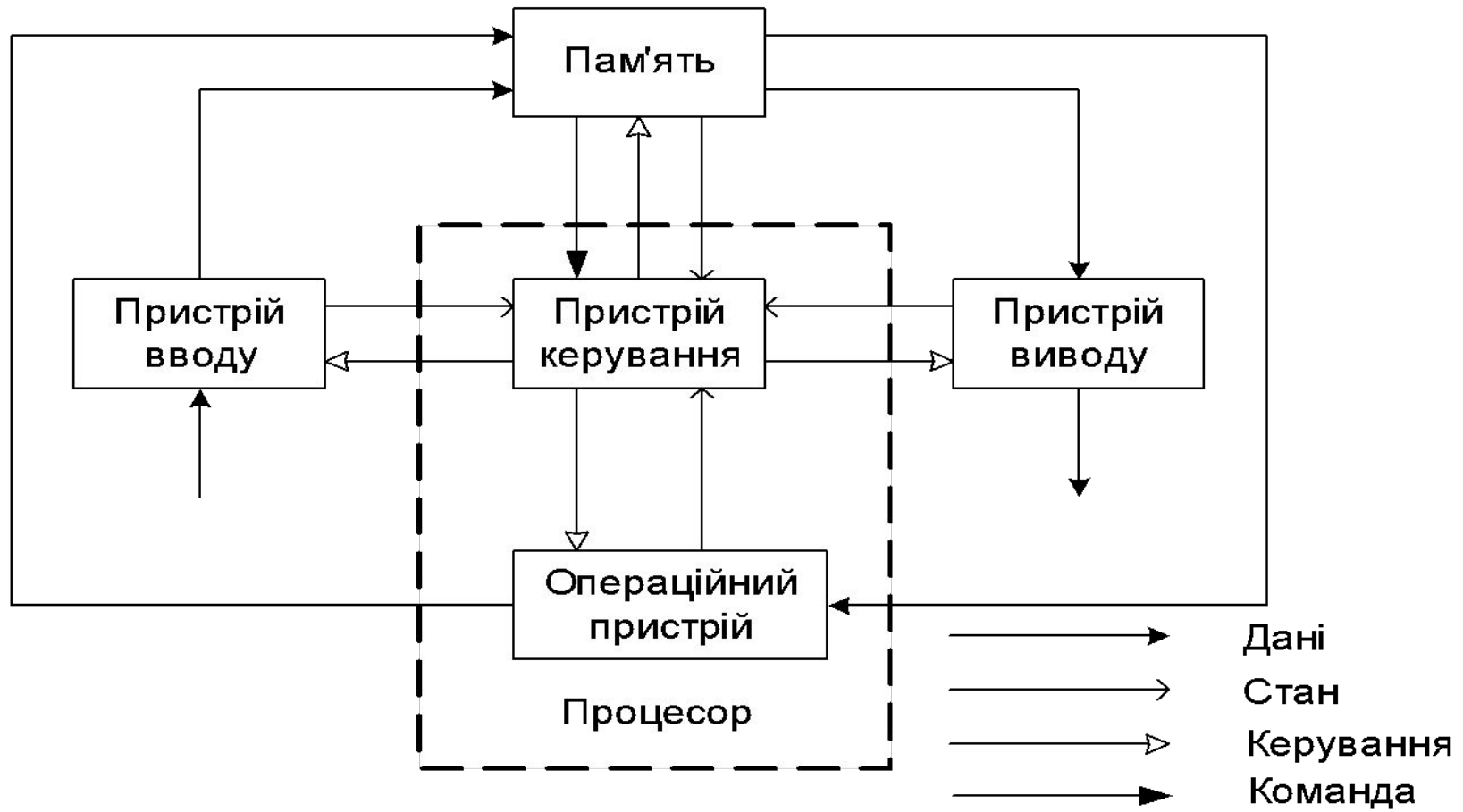
# Електронний комутатор



# Електронний перемикач

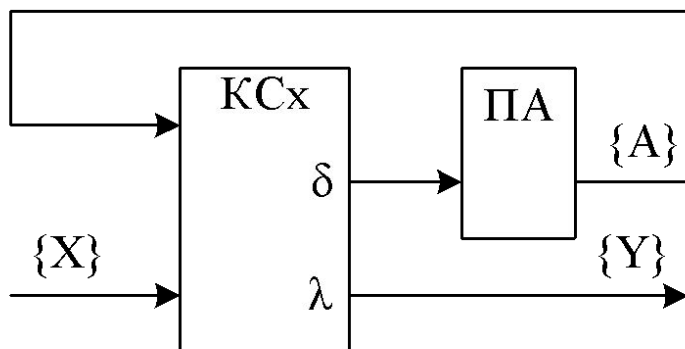


# Структура комп'ютера



# Загальна структурна схема цифрового автомата

складається з двох цифрових схем



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  – функція переходів

$\lambda$  – функція виходів

$\{X\}$  – множина вхідних сигналів

$\{Y\}$  – множина вихідних сигналів

$\{A\}$  – множина внутрішніх станів

-Цифрові схеми поділяються на комбінаційні (без зворотних зв'язків) та схеми з пам'яттю (із зворотними зв'язками, послідовнісні, секвенційні)

-Комбінаційна схема:

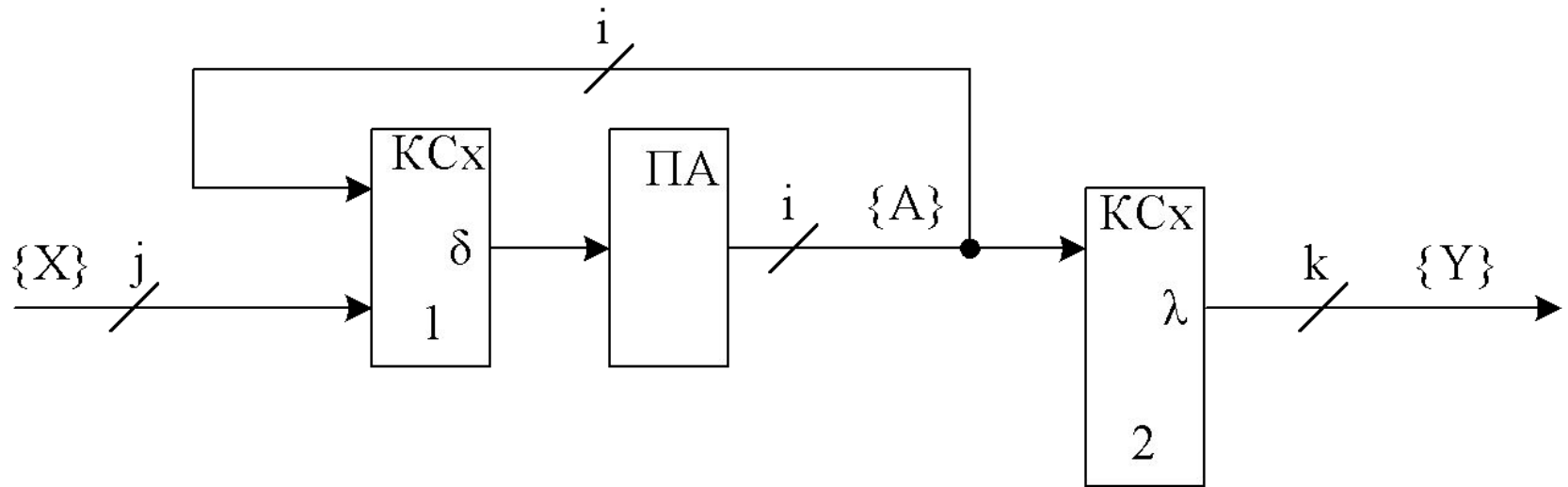
цифрова схема без пам'яті =

= цифрова схема без зворотних зв'язків =

= цифрова схема, стан виходів якої у момент часу  $t$  залежить тільки від стану її входів у цей же момент часу  $t$ .



# Схема автомата Мура



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  - функція переходів

$\lambda$  - функція виходів

$j$  - кількість вхідних сигналів

$k$  - кількість вихідних сигналів

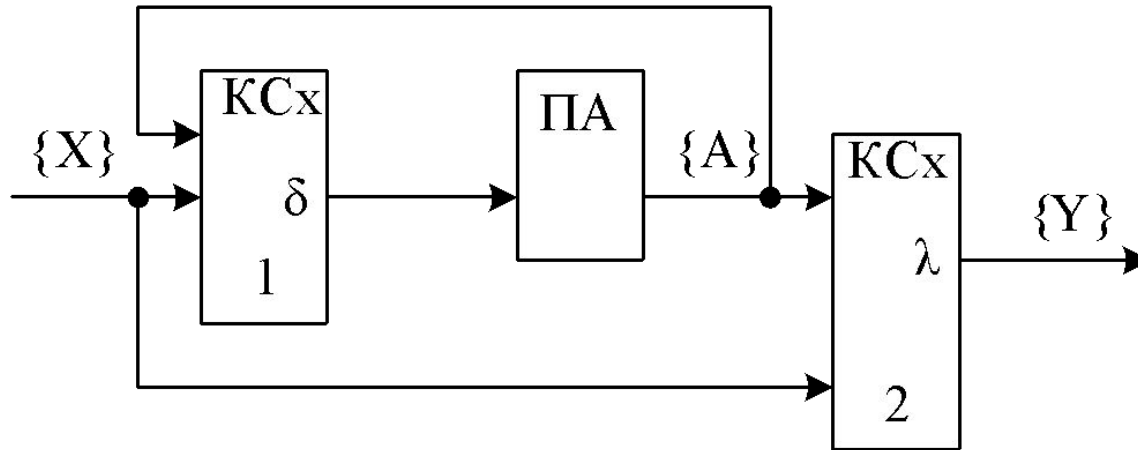
$\{X\}$  - множина вхідних сигналів

$\{Y\}$  - множина вихідних сигналів

$\{A\}$  - множина внутрішніх станів

$i$  - розрядність зворотного зв'язку,  
кількість тригерів у пам'яті  
автомата

# Схема автомата Мілі



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  – функція переходів

$\lambda$  – функція виходів

$\{X\}$  – множина вхідних сигналів

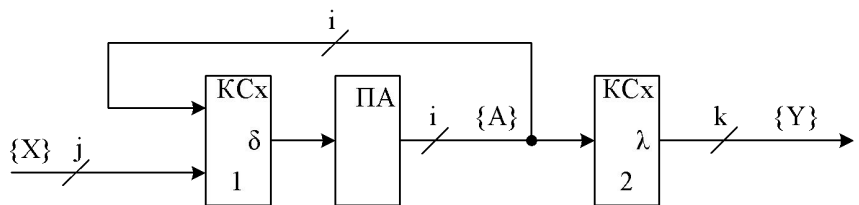
$\{Y\}$  – множина вихідних сигналів

$\{A\}$  – множина внутрішніх станів

# Рекомендована послідовність синтезу цифрових автоматів

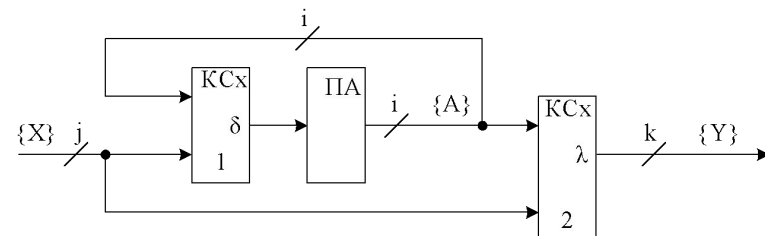
- Синтез **абстрактного** автомата (результат – **абстрактний** автомат)
  - Синтез алгоритму роботи автомата.
  - Вибір структури автомата (Мура або Мілі).
  - Фіксація алгоритму у вигляді графа.
- Синтез **структурного** автомата (результат – **структурний** автомат)
  - Вибір елементної бази комбінаційної частини.
  - Вибір елементної бази пам'яті автомата.
  - Вибір способу кодування вхідних та вихідних сигналів.
  - Вибір способу кодування внутрішніх станів автомата.
  - Створення таблиці переходів автомата.
  - Створення таблиці виходів автомата.
  - Мінімізація формул для сигналів збудження тригерів автомата. Фіксація результатів у вигляді диз'юнктивної нормальної форми (ДНФ).
- Для деяких структурних автоматів (у яких комбінаційна частина реалізується на дешифраторах, мультиплексорах, а також для мікропрограмних автоматів, у яких комбінаційна частина реалізується на ПЗП) даний етап мінімізації непотрібний.
  - Мінімізація формул для виходів автомата. Фіксація результатів у вигляді диз'юнктивної нормальної форми (ДНФ).
- Для деяких структурних автоматів (у яких комбінаційна частина реалізується на дешифраторах, мультиплексорах, а також для мікропрограмних автоматів, у яких комбінаційна частина реалізується на ПЗП) даний етап мінімізації непотрібний.
  - Синтез пам'яті автомата.
  - Синтез комбінаційної частини автомата.

# Кодуванням станів автомата: двійкове, сусіднє, унітарне



КСх - комбінаційна схема  
ПА - пам'ять автомата  
 $\delta$  - функція переходів  
 $\lambda$  - функція виходів  
 $j$  - кількість вхідних сигналів  
 $k$  - кількість вихідних сигналів

$\{X\}$  - множина вхідних сигналів  
 $\{Y\}$  - множина вихідних сигналів  
 $\{A\}$  - множина внутрішніх станів  
 $i$  - розрядність зворотного зв'язку,  
кількість тригерів у пам'яті  
автомата



КСх - комбінаційна схема  
ПА - пам'ять автомата  
 $\delta$  - функція переходів  
 $\lambda$  - функція виходів  
 $j$  - кількість вхідних сигналів  
 $k$  - кількість вихідних сигналів

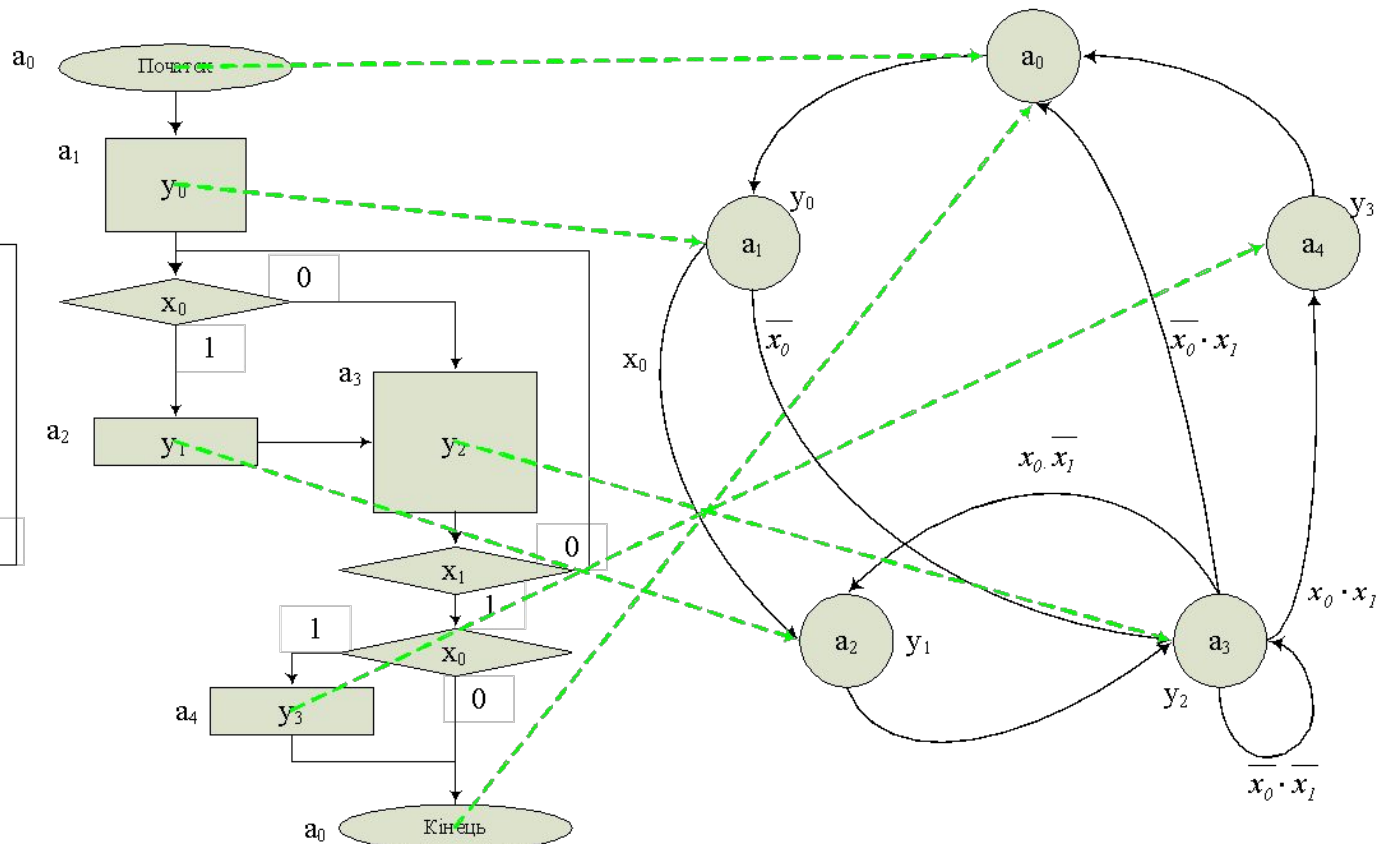
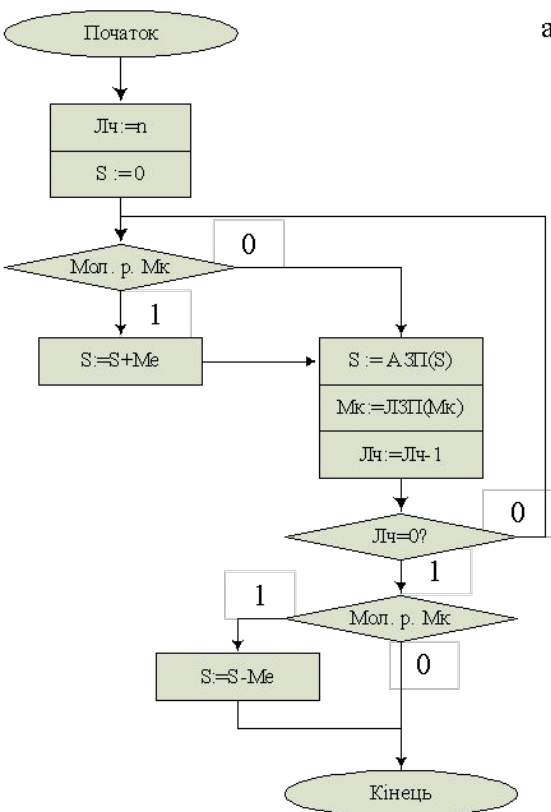
$\{X\}$  - множина вхідних сигналів  
 $\{Y\}$  - множина вихідних сигналів  
 $\{A\}$  - множина внутрішніх станів  
 $i$  - розрядність зворотного зв'язку,  
кількість тригерів у пам'яті  
автомата

## Кількість тригерів залежить тільки від кількості станів і способу їх кодування

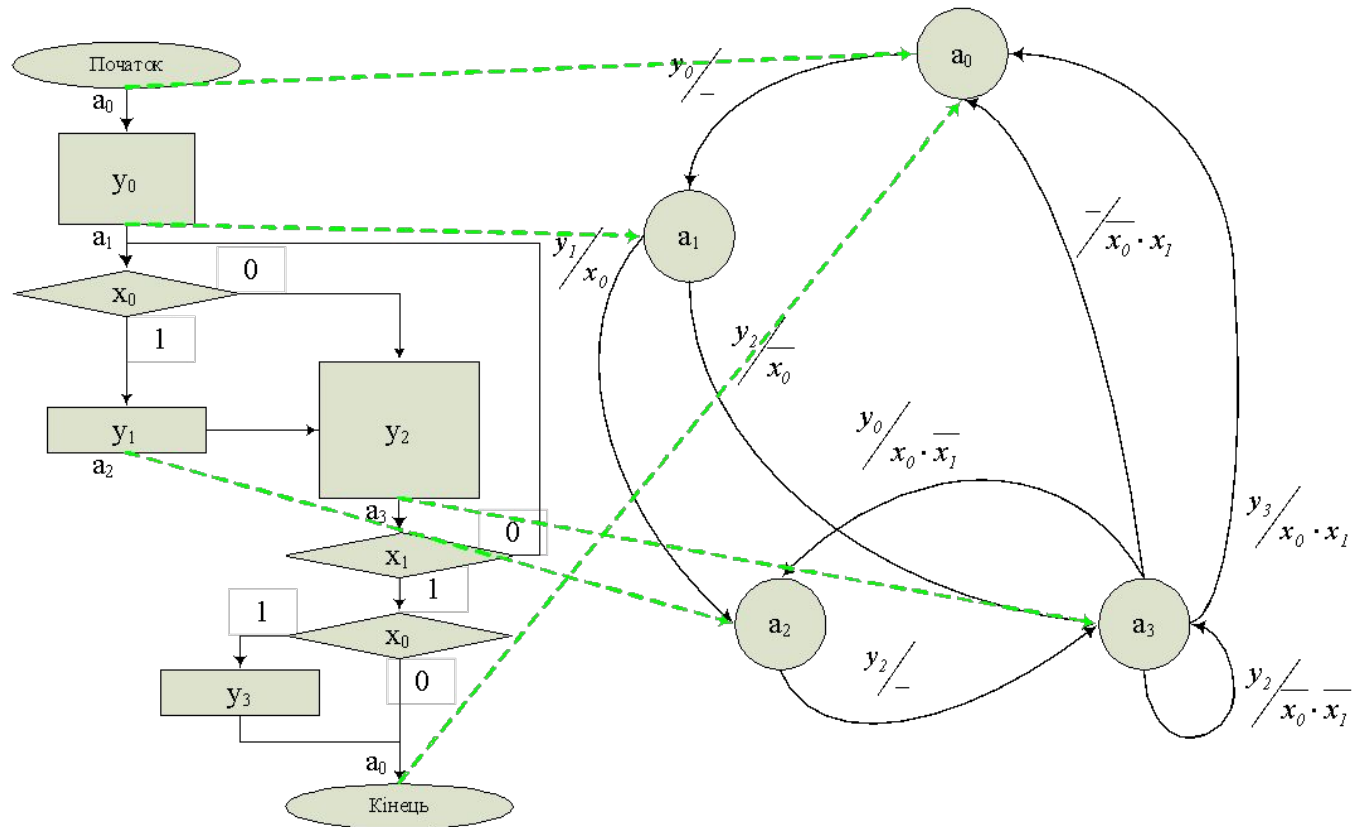
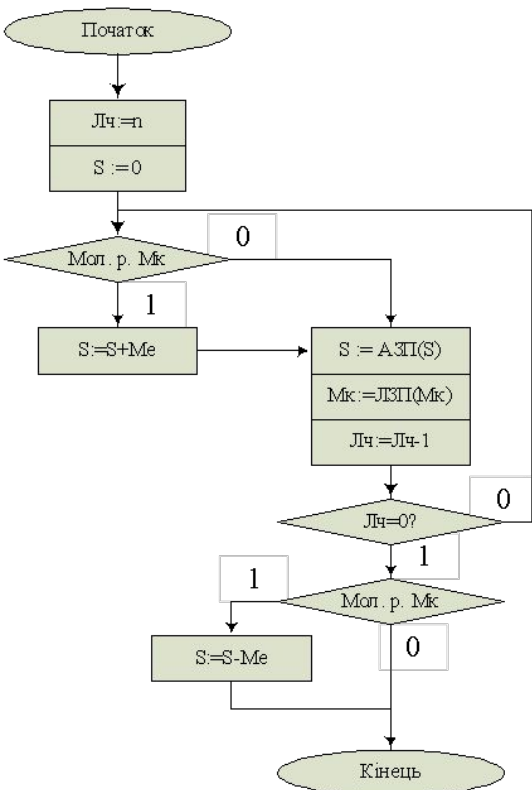
№	Стан автомата						
	Позначення	Унітарний код					
		$a_i$	$Q_9$	$Q_8$	...	$Q_2$	$Q_1$
0	$a_0$	0	0	...	0	0	1
1	$a_1$	0	0	...	0	1	0
2	$a_2$	0	0	...	1	0	0
...	...	...	...	...	...	...	...
8	$a_8$	0	1	...	0	0	0
9	$a_9$	1	0	...	0	0	0

№	Стан автомата				
	Позначення	Двійковий код			
		$a_i$	$Q_3$	$Q_2$	$Q_1$
0	$a_0$	0	0	0	0
1	$a_1$	0	0	0	1
2	$a_2$	0	0	1	0
...	...	...	...	...	...
8	$a_8$	1	0	0	0
9	$a_9$	1	0	0	1

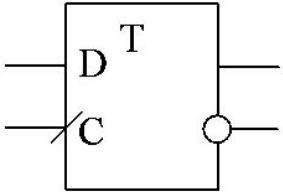
# Перехід від блок-схеми алгоритму до графа автомата Мура

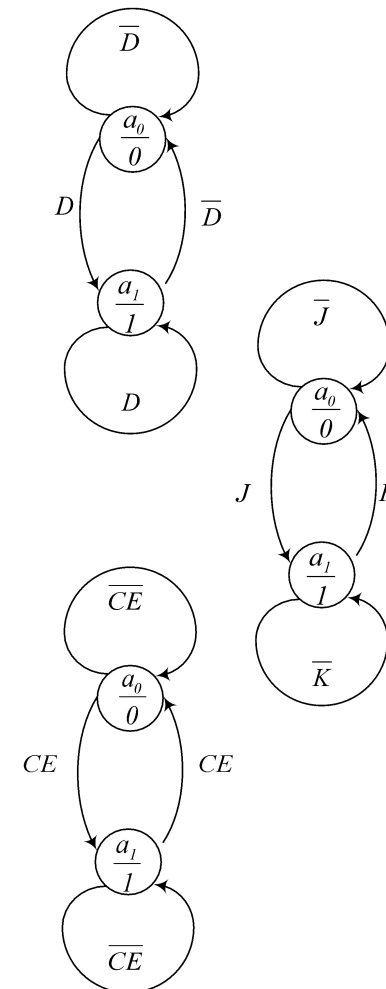


# Перехід від блок-схеми алгоритму до графа автомата Мілі

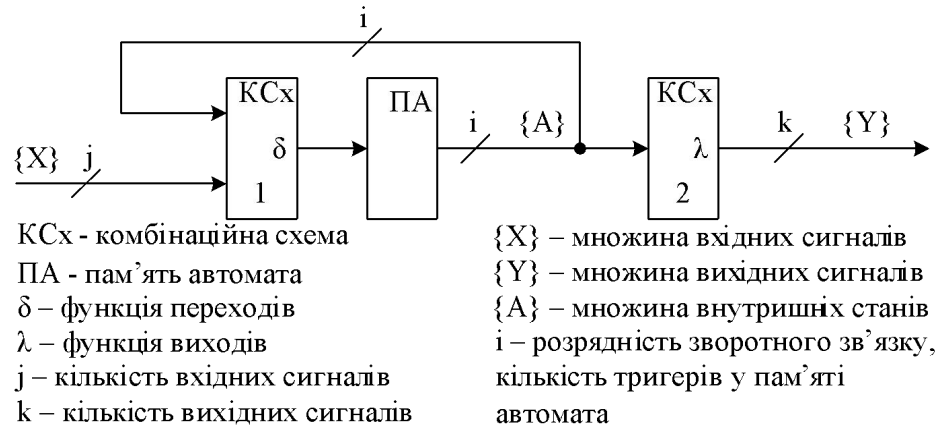
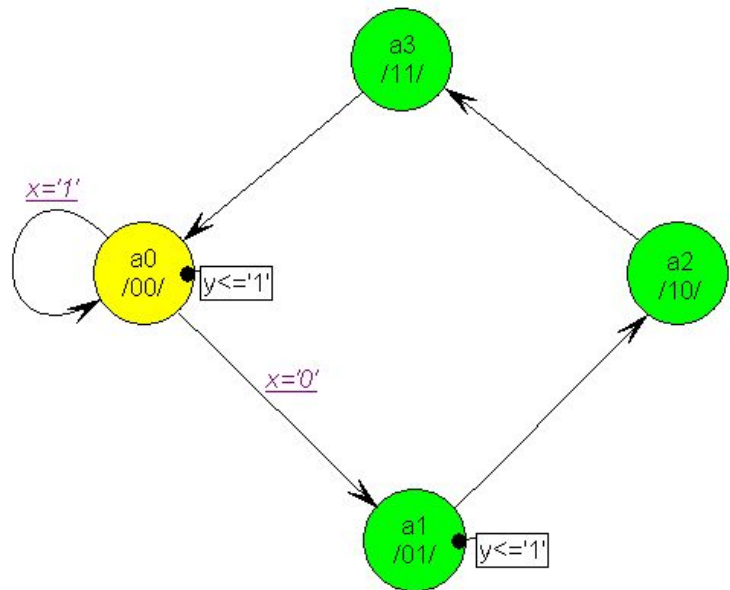


# Збудження тригерів

	Сигнали збудження тригерів		
	Щоб перевести тригер до стану 0	Щоб перевести тригер до стану 1	Щоб змінити стан (з 0 до 1 або з 1 до 0)
	D=0	D=1	
	K=1	J=1	
			CE=1

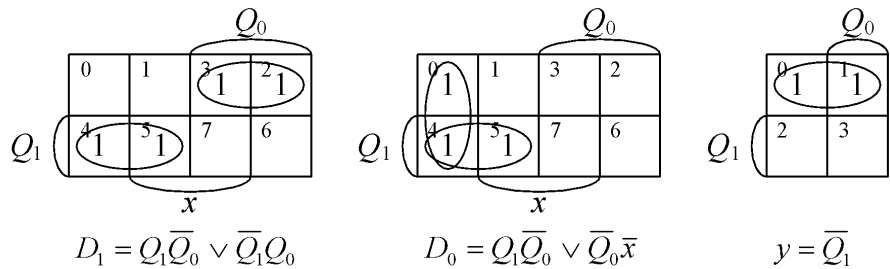


# Синтез автомата Мура



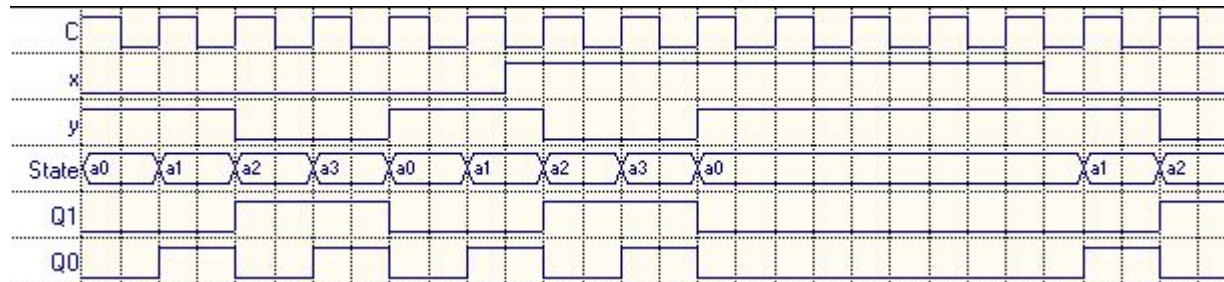
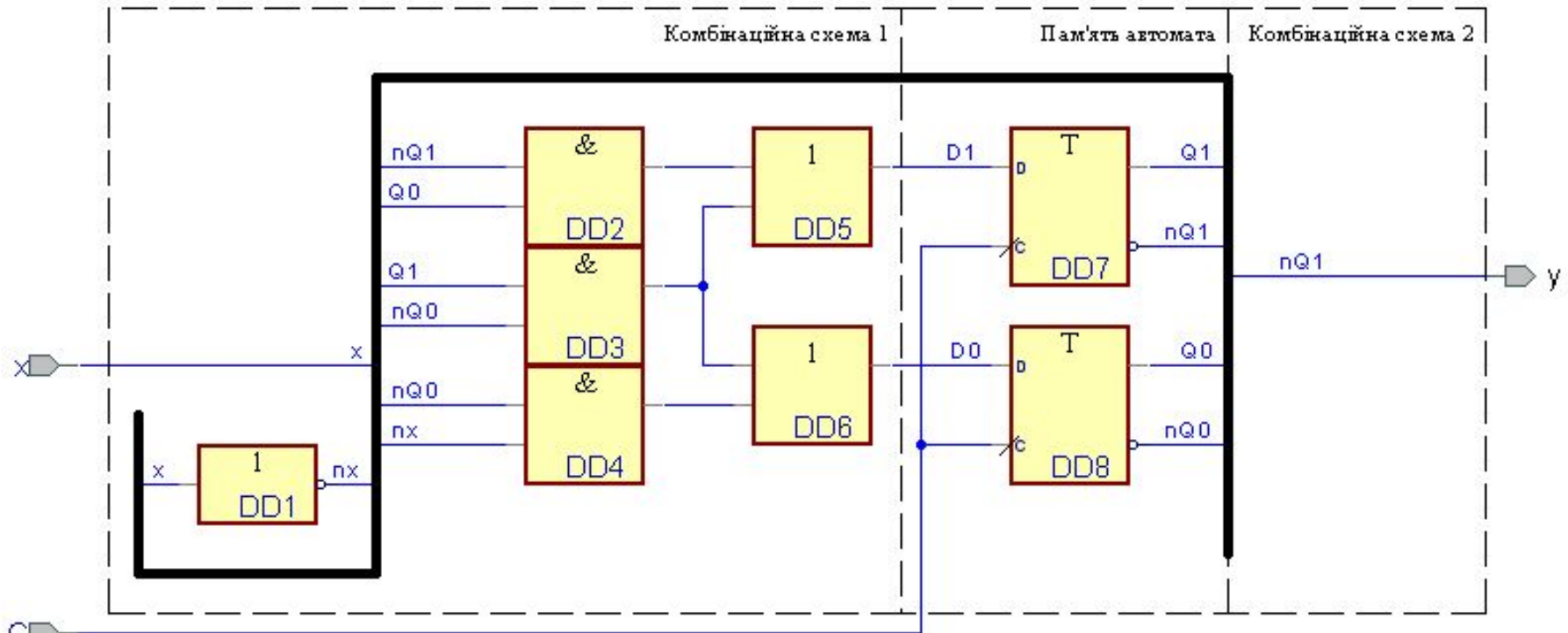
№	Попередній стан автомата			$x$	Наступний стан автомата			Сигнали збудження тригерів	
	Позначення	Код			Позначення	Код		$D_1$ $D_0$	
		$a_i$	$Q_1$			$Q_0$	$a_j$		
0	$a_0$	0	0	0	$a_1$	0	1	0	1
1	$a_0$	0	0	1	$a_0$	0	0	0	0
2	$a_1$	0	1	0	$a_2$	1	0	1	0
3	$a_1$	0	1	1	$a_2$	1	0	1	0
4	$a_2$	1	0	0	$a_3$	1	1	1	1
5	$a_2$	1	0	1	$a_3$	1	1	1	1
6	$a_3$	1	1	0	$a_0$	0	0	0	0
7	$a_3$	1	1	1	$a_0$	0	0	0	0

№	Попередній стан автомата			Вихідні сигнали автомата
	Позначення	Код		
		$a_i$	$Q_1$	
0	$a_0$	0	0	1
1	$a_1$	0	1	1
2	$a_2$	1	0	0
3	$a_3$	1	1	0

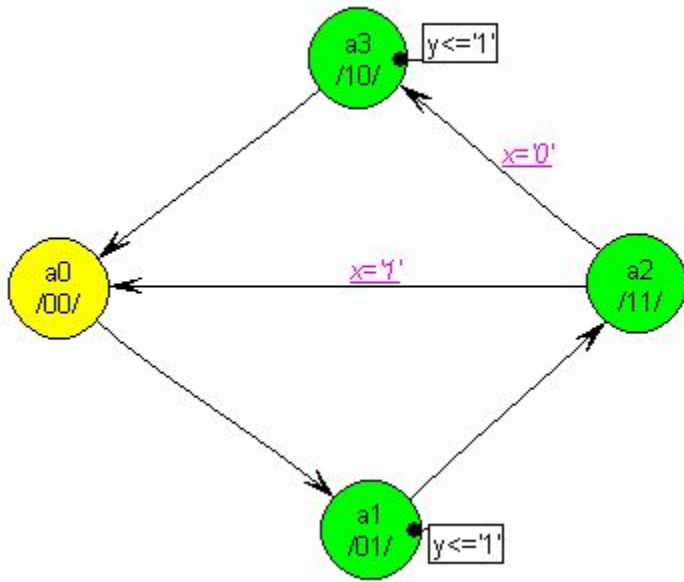




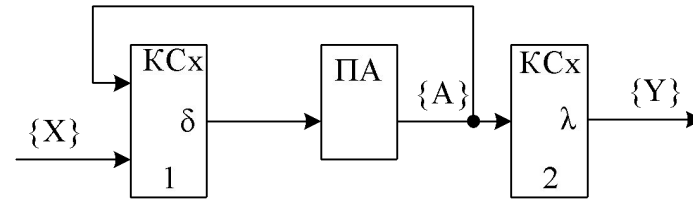
# Результат синтезу – схема автомата Мура



# Сусіднє кодування станів



№	Попередній стан автомата			Вихідні сигнали автомата
	Позначення	Код		
	$a_i$	$Q_1$	$Q_0$	
0	$a_0$	0	0	0
1	$a_1$	0	1	1
2	$a_3$	1	0	1
3	$a_2$	1	1	0



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  - функція переходів

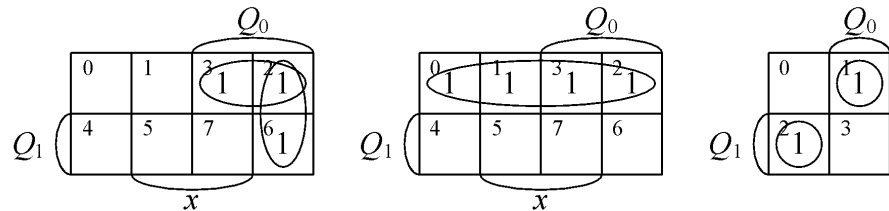
$\lambda$  - функція виходів

{X} - множина вхідних сигналів

{Y} - множина вихідних сигналів

{A} - множина внутрішніх станів

№	Попередній стан автомата			$x$	Наступний стан автомата			Сигнали збудження тригерів	
	Позначення	Код			Позначення	Код		$D_1$	$D_0$
	$a_i$	$Q_1$	$Q_0$		$a_j$	$q_1$	$q_0$		
0	$a_0$	0	0	0	$a_1$	0	1	0	1
1	$a_0$	0	0	1	$a_1$	0	1	0	1
2	$a_1$	0	1	0	$a_2$	1	1	1	1
3	$a_1$	0	1	1	$a_2$	1	1	1	1
4	$a_3$	1	0	0	$a_0$	0	0	0	0
5	$a_3$	1	0	1	$a_0$	0	0	0	0
6	$a_2$	1	1	0	$a_3$	1	0	1	0
7	$a_2$	1	1	1	$a_0$	0	0	0	0

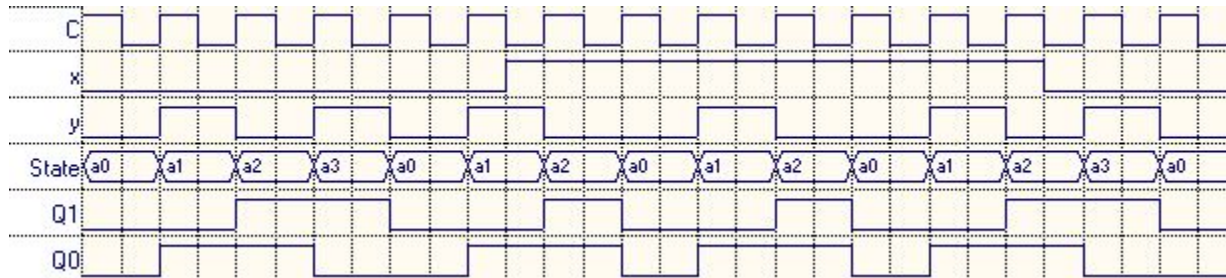
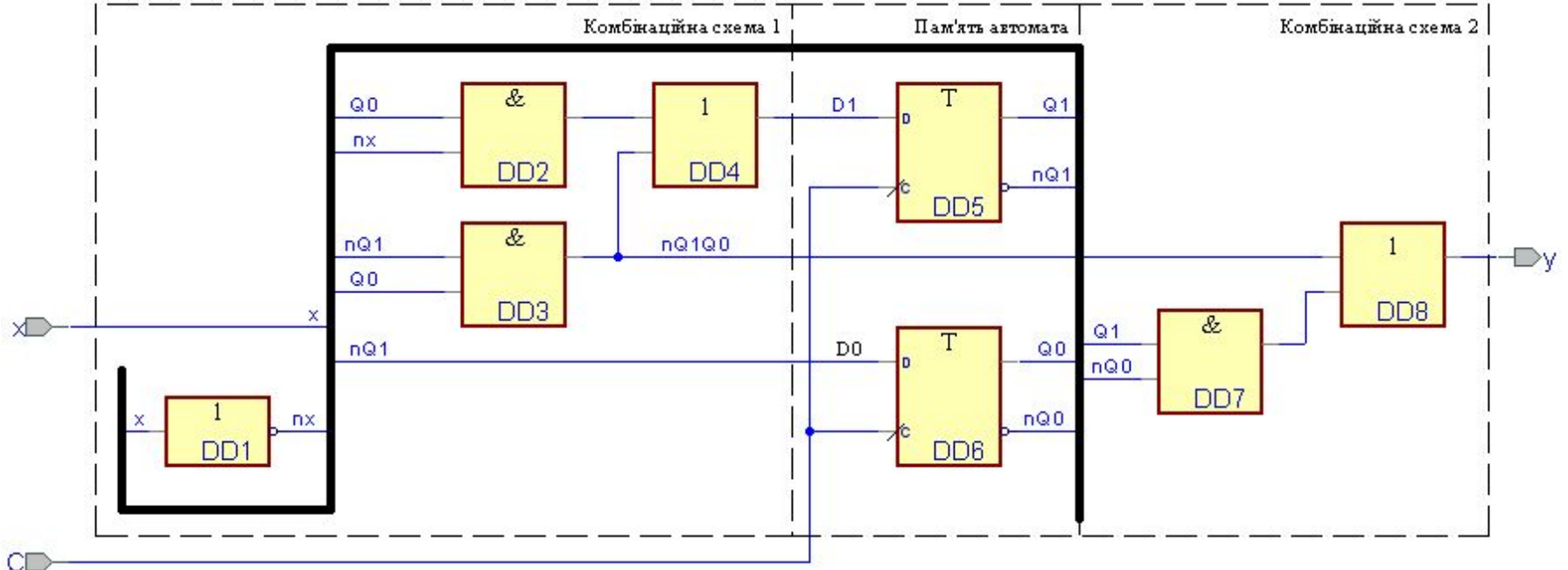


$$D_1 = Q_0 \bar{x} \vee \bar{Q}_1 Q_0$$

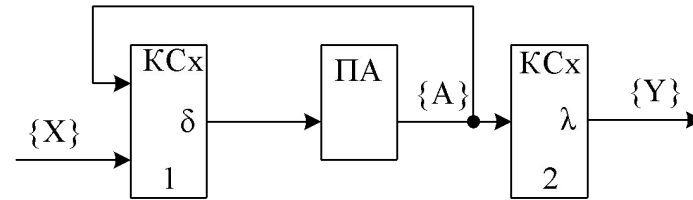
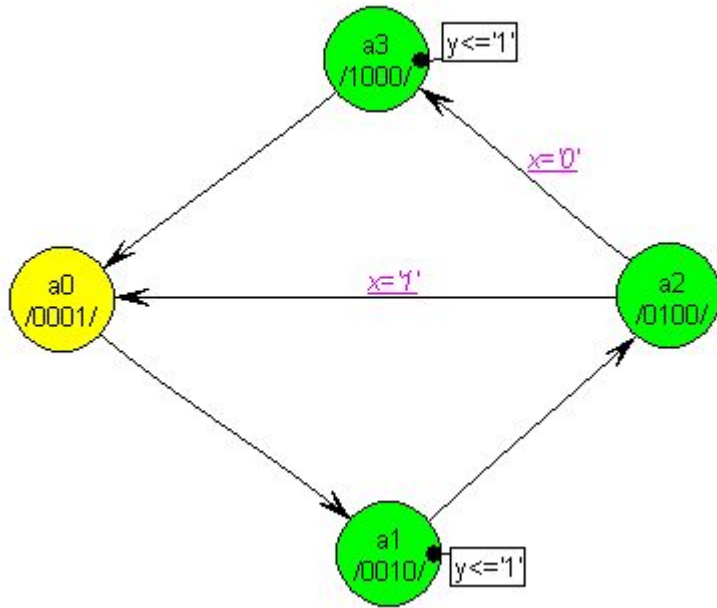
$$D_0 = \bar{Q}_1$$

$$y = Q_1 \bar{Q}_0 \vee \bar{Q}_1 Q_0$$

# Схема автомата



# Унітарне кодування станів



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  - функція переходів

$\lambda$  - функція виходів

$\{X\}$  - множина вхідних сигналів

$\{Y\}$  - множина вихідних сигналів

$\{A\}$  - множина внутрішніх станів

№	Попередній стан автомата					Вихідні сигнали автомата
	Позначення	Код				
		$a_i$	$Q_3$	$Q_2$	$Q_1$	
0	$a_0$	0	0	0	1	0
1	$a_1$	0	0	1	0	1
2	$a_2$	0	1	0	0	0
3	$a_3$	1	0	0	0	1

№	Попередній стан автомата						$x$	Наступний стан автомата				Сигнали збудження тригерів			
	Позначення	Код				Позначення		Код				Сигнали збудження тригерів			
		$a_i$	$Q_3$	$Q_2$	$Q_1$			$Q_0$	$a_j$	$q_3$	$q_2$	$q_1$	$q_0$	$D_3$	$D_2$
0	$a_0$	0	0	0	1	0	$a_1$	0	0	1	0	0	0	1	0
1	$a_0$	0	0	0	1	1	$a_1$	0	0	1	0	0	0	1	0
2	$a_1$	0	0	1	0	0	$a_2$	0	1	0	0	0	1	0	0
3	$a_1$	0	0	1	0	1	$a_2$	0	1	0	0	0	1	0	0
4	$a_2$	0	1	0	0	0	$a_3$	1	0	0	0	1	0	0	0
5	$a_2$	0	1	0	0	1	$a_0$	0	0	0	1	0	0	0	1
6	$a_3$	1	0	0	0	0	$a_0$	0	0	0	1	0	0	0	1
7	$a_3$	1	0	0	0	1	$a_0$	0	0	0	1	0	0	0	1

$$D_3 = Q_2 \bar{x}$$

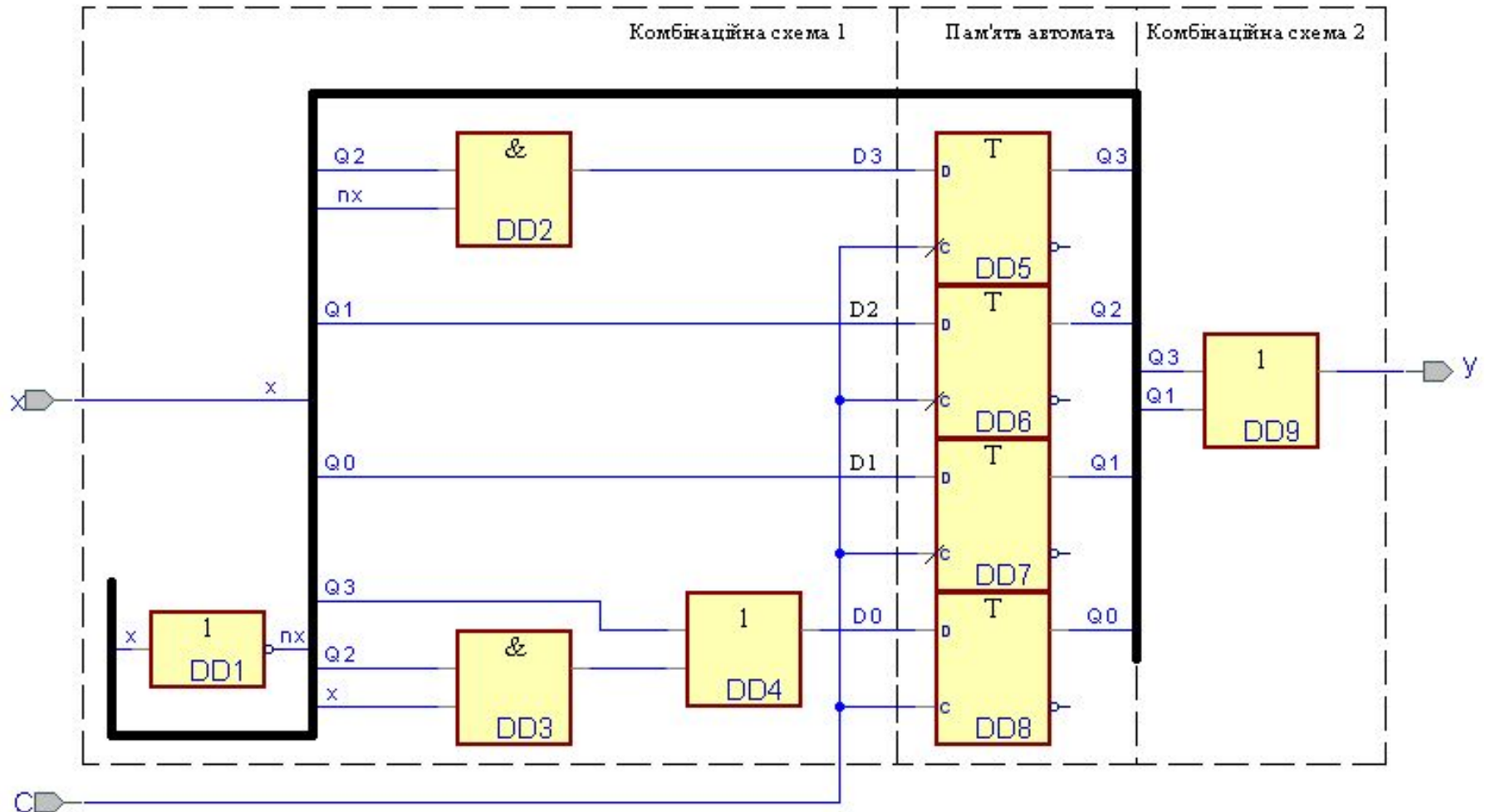
$$D_2 = Q_1$$

$$D_1 = Q_0$$

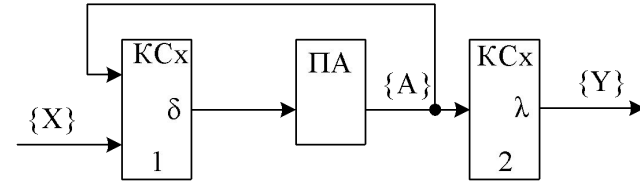
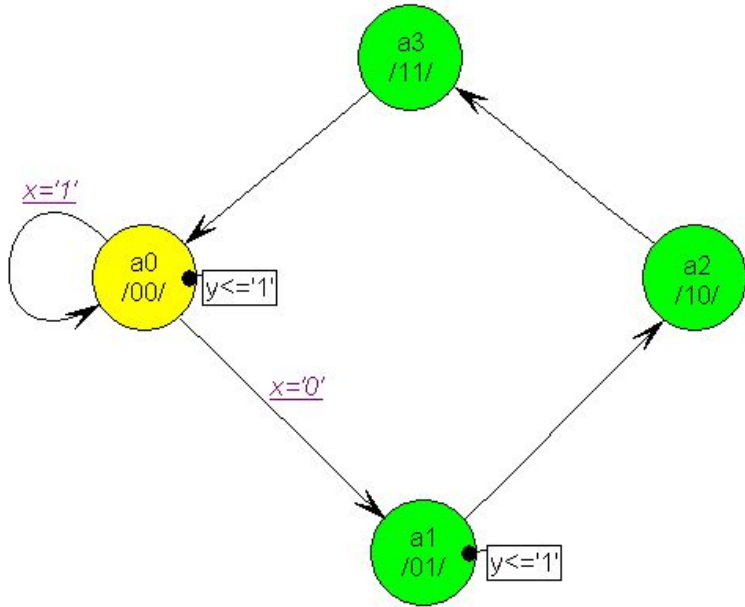
$$D_0 = Q_3 \vee Q_2 x$$

$$y = Q_3 \vee Q_1$$

# Схема автомата



# Автомат на Т-тригерах



КСх - комбінаційна схема

ПА - пам'ять автомата

$\delta$  - функція переходів

$\lambda$  - функція виходів

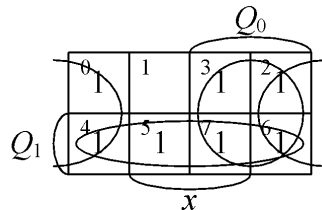
$\{X\}$  - множина вхідних сигналів

$\{Y\}$  - множина вихідних сигналів

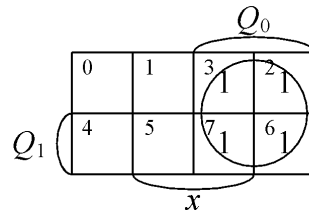
$\{A\}$  - множина внутрішніх станів

№	Попередній стан автомата			Вихідні сигнали автомата
	Позначення	Код		
	$a_i$	$Q_1$	$Q_0$	
0	$a_0$	0	0	1
1	$a_1$	0	1	1
2	$a_2$	1	0	0
3	$a_3$	1	1	0

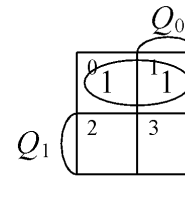
№	Попередній стан автомата			$x$	Наступний стан автомата			Сигнали збудження тригерів	
	Позначення	Код <sub>t</sub>			Позначення	Код			
	$a_i$	$Q_1$	$Q_0$		$a_j$	$q_1$	$q_0$		
0	$a_0$	0	0	0	$a_1$	0	1	0	1
1	$a_0$	0	0	1	$a_0$	0	0	0	0
2	$a_1$	0	1	0	$a_2$	1	0	1	1
3	$a_1$	0	1	1	$a_2$	1	0	1	1
4	$a_2$	1	0	0	$a_3$	1	1	0	1
5	$a_2$	1	0	1	$a_3$	1	1	0	1
6	$a_3$	1	1	0	$a_0$	0	0	1	1
7	$a_3$	1	1	1	$a_0$	0	0	1	1



$$CE_0 = Q_1 \vee Q_0 \vee \bar{x}$$

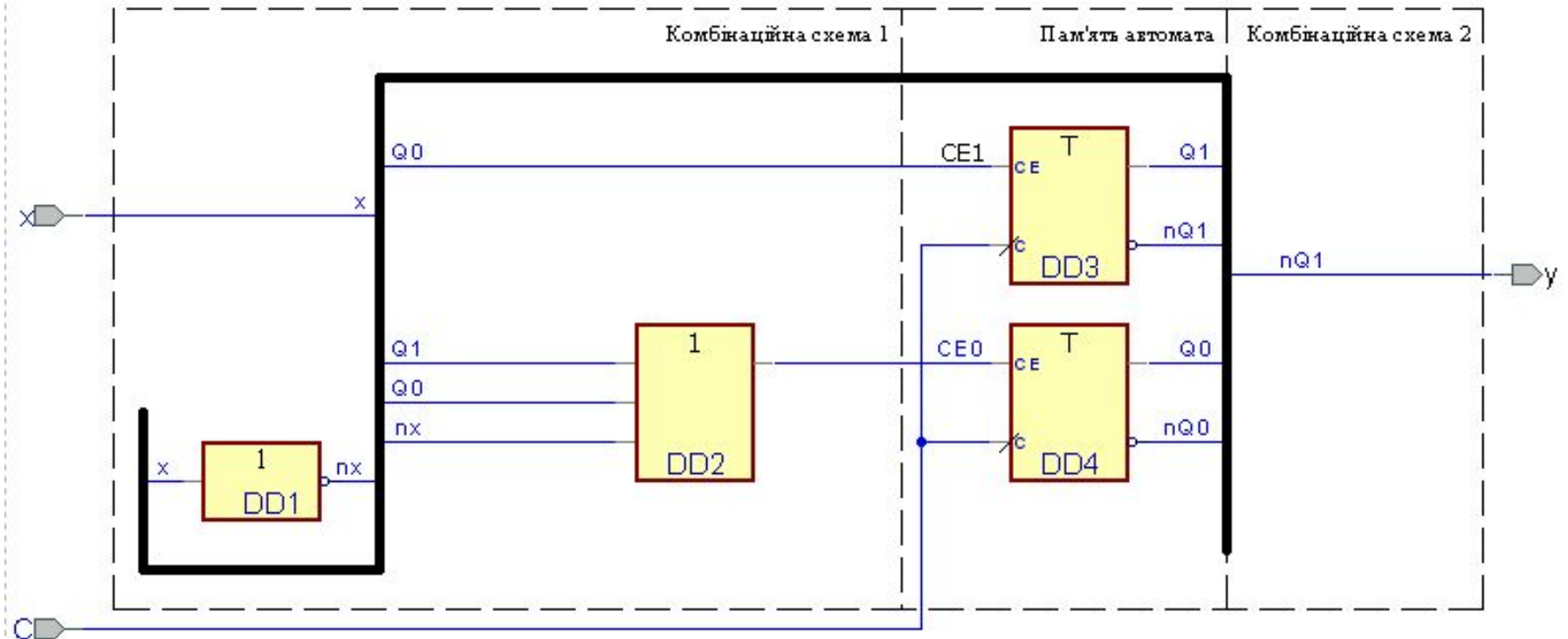


$$CE_1 = Q_0$$

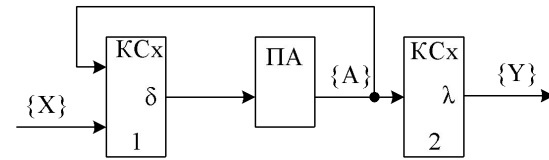
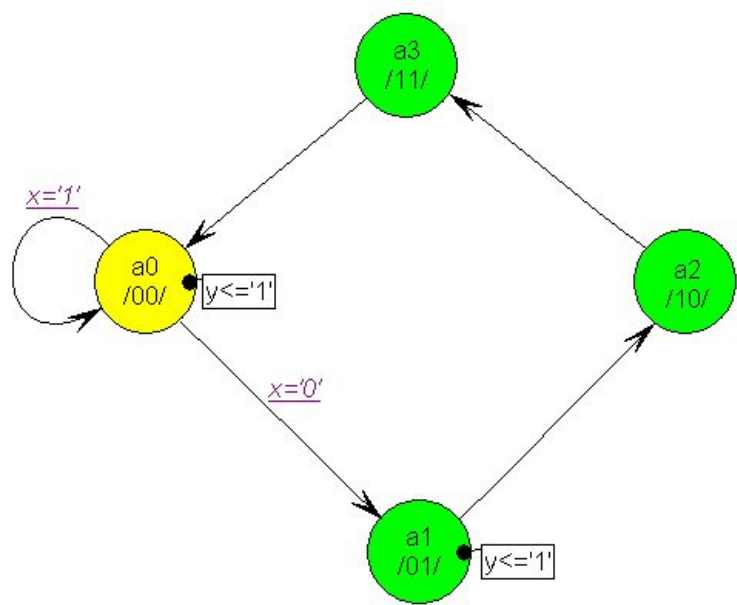


$$y = \bar{Q}_1$$

# Схема автомата



# Автомат на JK-триггерах



КСх - комбiнаційна схема

ПА - пам'ять автомата

$\delta$  - функція переходів

$\lambda$  - функція виходів

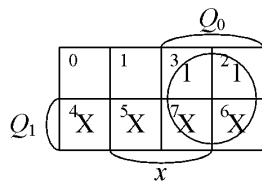
$\{X\}$  - множина вхідних сигналів

$\{Y\}$  - множина вихідних сигналів

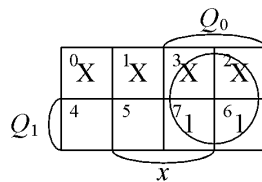
$\{A\}$  - множина внутрішніх станів

№	Попередній стан автомата			Вихідні сигнали автомата
	Позначення	Код		
	$a_i$	$Q_1$	$Q_0$	
0	$a_0$	0	0	1
1	$a_1$	0	1	1
2	$a_2$	1	0	0
3	$a_3$	1	1	0

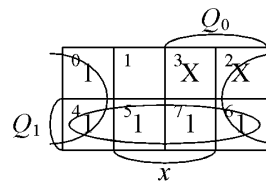
№	Попередній стан автомата			$x$	Наступний стан автомата			Сигнали збудження тригерів			
	Позначення	Код <sub>t</sub>			Позначення	Код					
	$a_i$	$Q_1$	$Q_0$		$a_j$	$q_1$	$q_0$	$J_1$	$K_1$	$J_0$	$K_0$
0	$a_0$	0	0	0	$a_1$	0	1	0	X	1	X
1	$a_0$	0	0	1	$a_0$	0	0	0	X	0	X
2	$a_1$	0	1	0	$a_2$	1	0	1	X	X	1
3	$a_1$	0	1	1	$a_2$	1	0	1	X	X	1
4	$a_2$	1	0	0	$a_3$	1	1	X	0	1	X
5	$a_2$	1	0	1	$a_3$	1	1	X	0	1	X
6	$a_3$	1	1	0	$a_0$	0	0	X	1	1	X
7	$a_3$	1	1	1	$a_0$	0	0	X	1	1	X



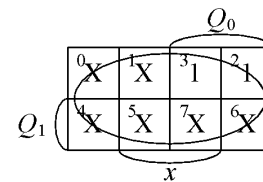
$$J_1 = Q_0$$



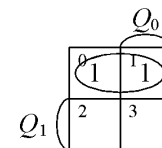
$$K_1 = Q_0$$



$$J_0 = Q_1 \vee \bar{x}$$



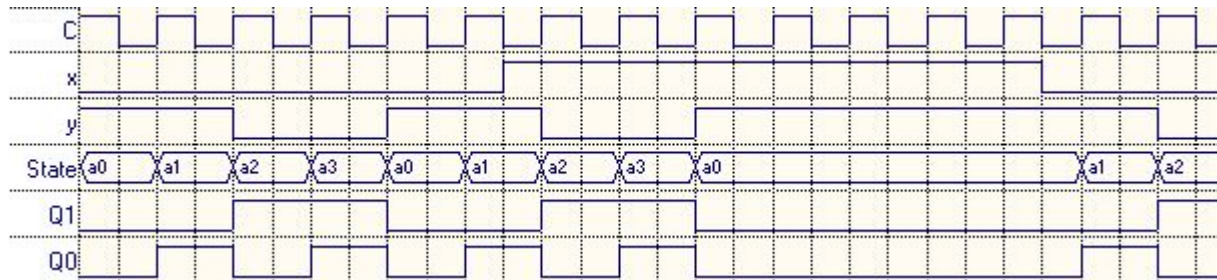
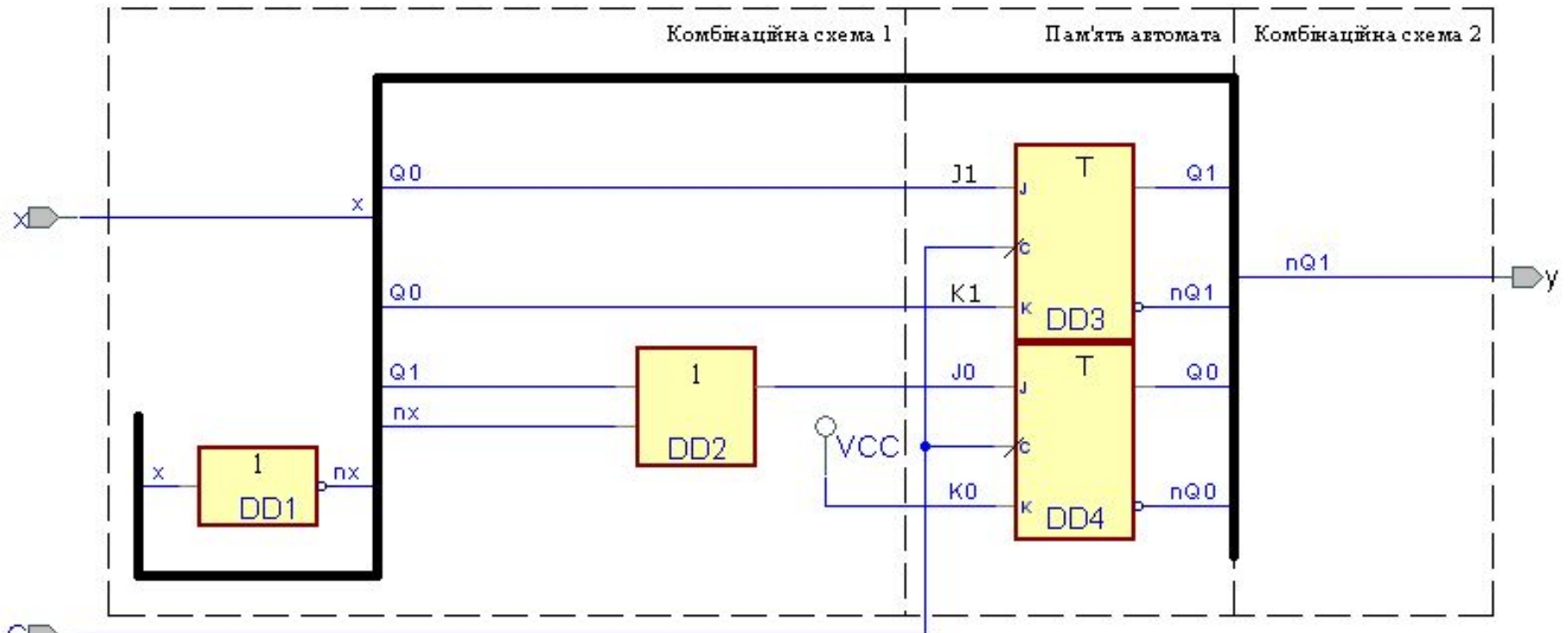
$$K_0 = 1$$



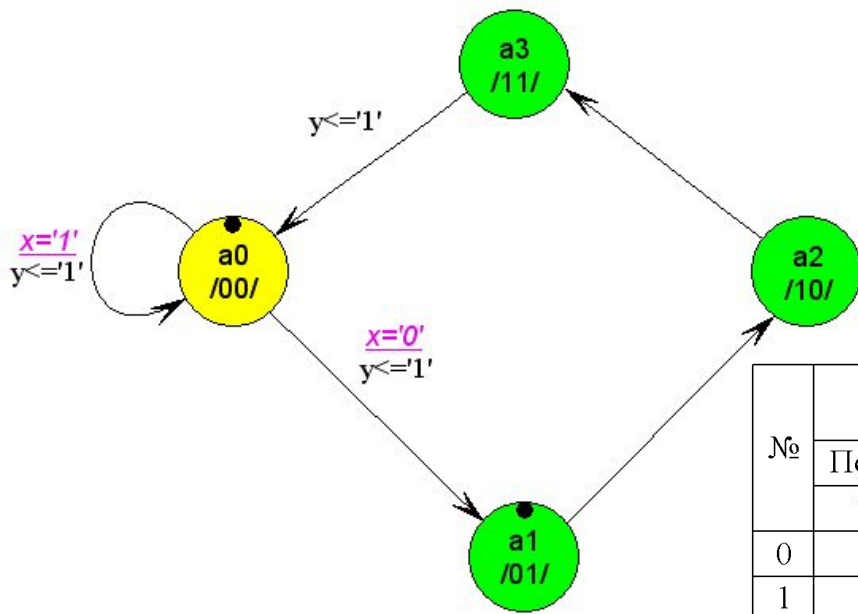
$$y = \bar{Q}_1$$



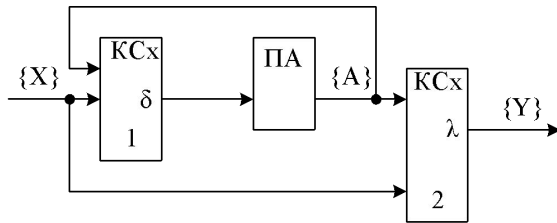
# Схема автомата



# Синтез автомата Мілі

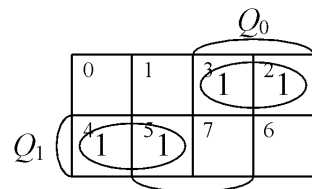


№ <sub>0</sub>	Попередній стан автомата			x	Наступний стан автомата			Сигнали збудження тригерів		y
	Позначення	Код			Позначення	Код		D <sub>1</sub>	D <sub>0</sub>	
	a <sub>i</sub>	Q <sub>1</sub>	Q <sub>0</sub>			a <sub>j</sub>	q <sub>1</sub>			
0	a <sub>0</sub>	0	0	0	a <sub>1</sub>	0	1	0	1	1
1	a <sub>0</sub>	0	0	1	a <sub>0</sub>	0	0	0	0	1
2	a <sub>1</sub>	0	1	0	a <sub>2</sub>	1	0	1	0	0
3	a <sub>1</sub>	0	1	1	a <sub>2</sub>	1	0	1	0	0
4	a <sub>2</sub>	1	0	0	a <sub>3</sub>	1	1	1	1	0
5	a <sub>2</sub>	1	0	1	a <sub>3</sub>	1	1	1	1	0
6	a <sub>3</sub>	1	1	0	a <sub>0</sub>	0	0	0	0	1
7	a <sub>3</sub>	1	1	1	a <sub>0</sub>	0	0	0	0	1

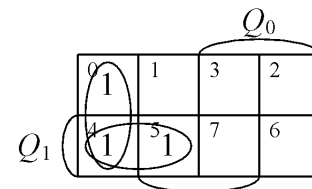


КСХ - комбінатійна схема  
 ПА - пам'ять автомата  
 δ - функція переходів  
 λ - функція виходів

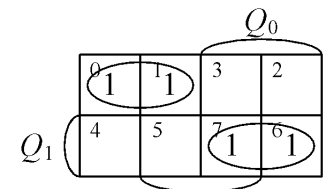
{X} – множина вхідних сигналів  
 {Y} – множина вихідних сигналів  
 {A} – множина внутрішніх станів



$$D_1 = Q_1 \bar{Q}_0 \vee \bar{Q}_1 Q_0$$

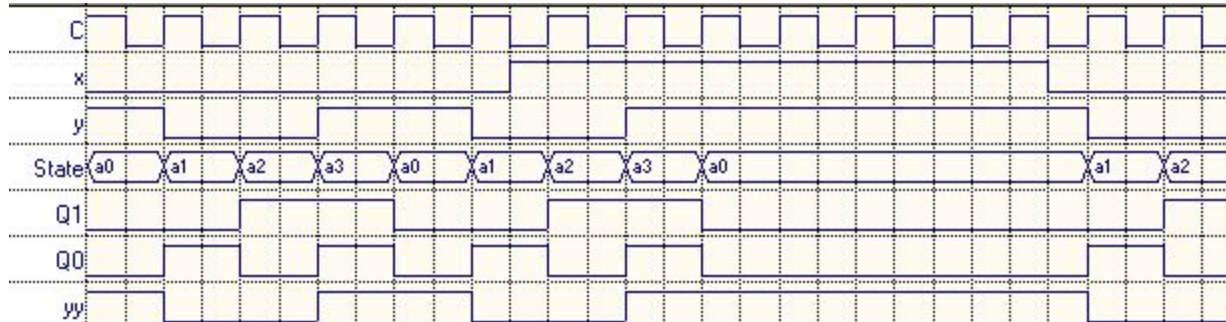
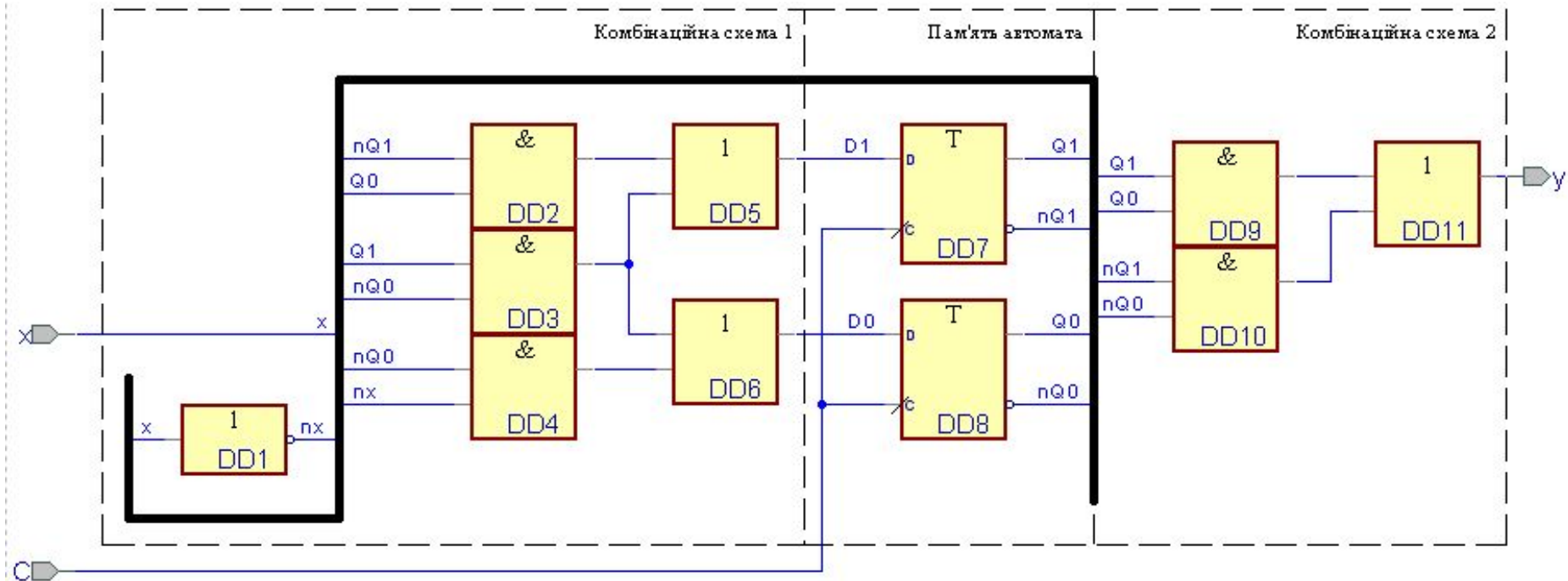


$$D_0 = Q_1 \bar{Q}_0 \vee \bar{Q}_0 \bar{x}$$

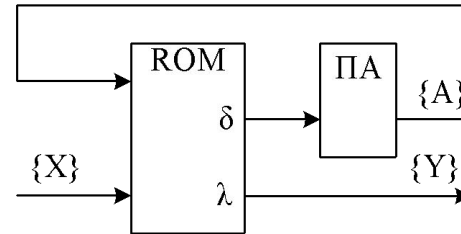
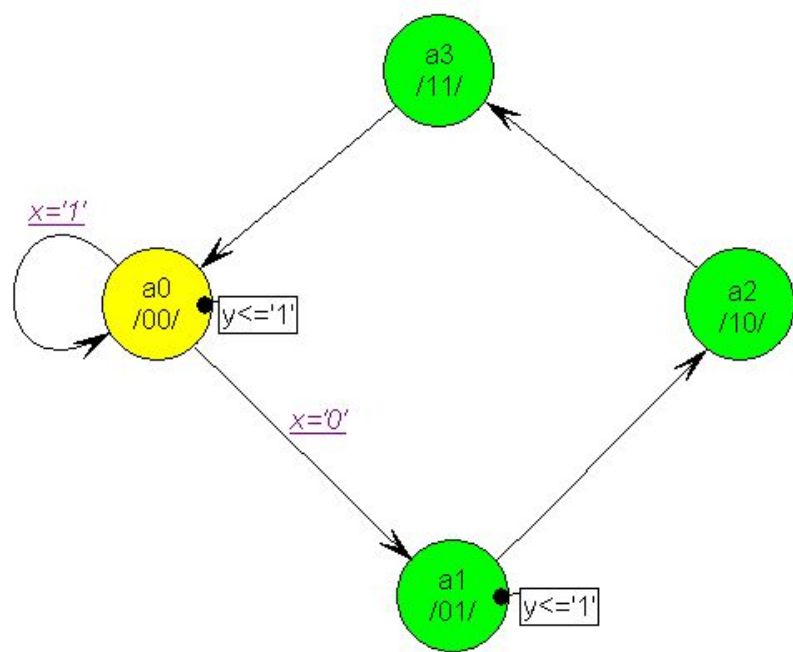


$$y = Q_1 Q_0 \vee \bar{Q}_1 \bar{Q}_0$$

# Схема автомата



# Мікропрограмний автомат



ROM - комбінаційна схема мікропрограмного автомата - постійний запам'ятовуючий пристрій

ПА - пам'ять автомата

$\delta$  - функція переходів

$\lambda$  - функція виходів

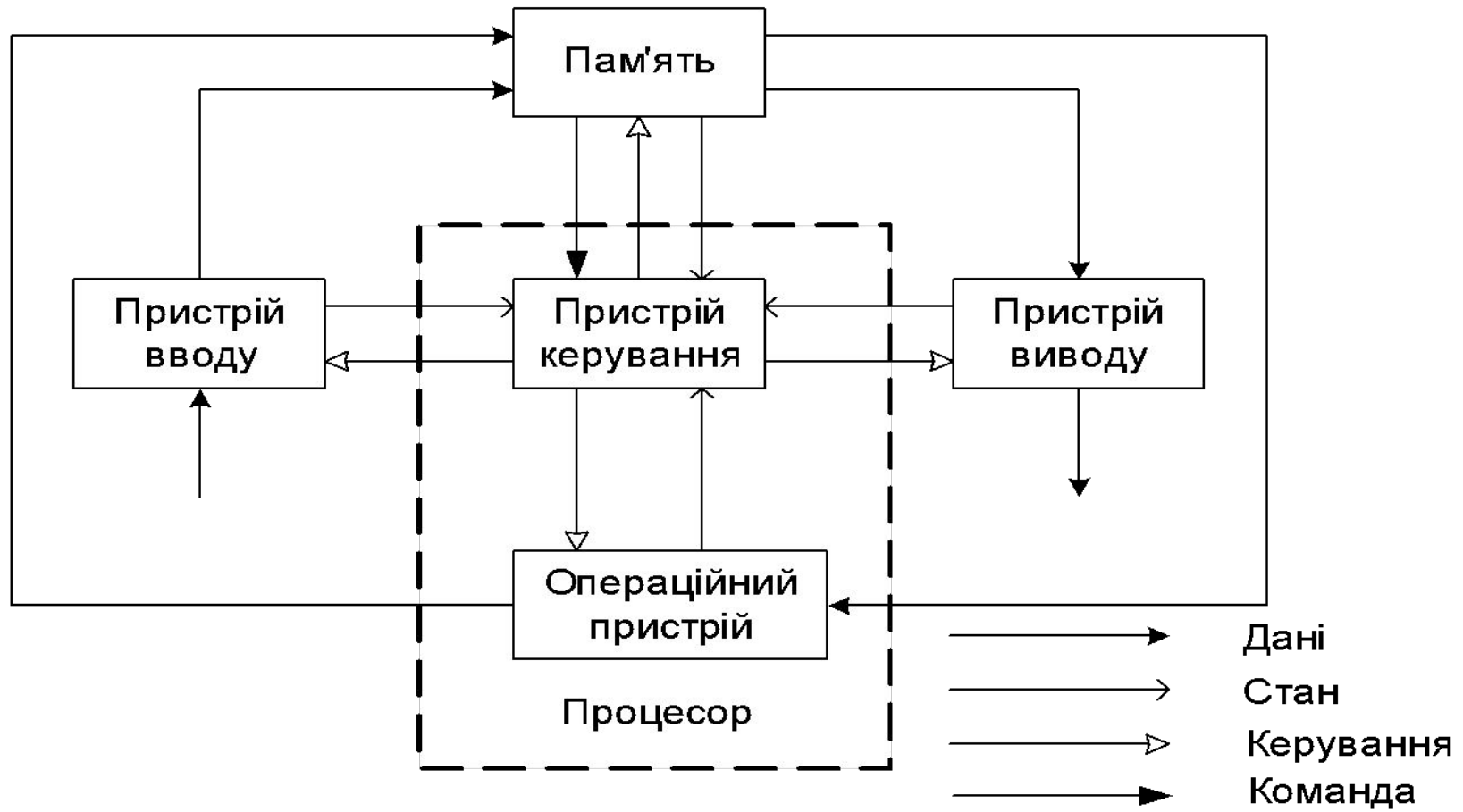
$\{X\}$  - множина вхідних сигналів

$\{Y\}$  - множина вихідних сигналів

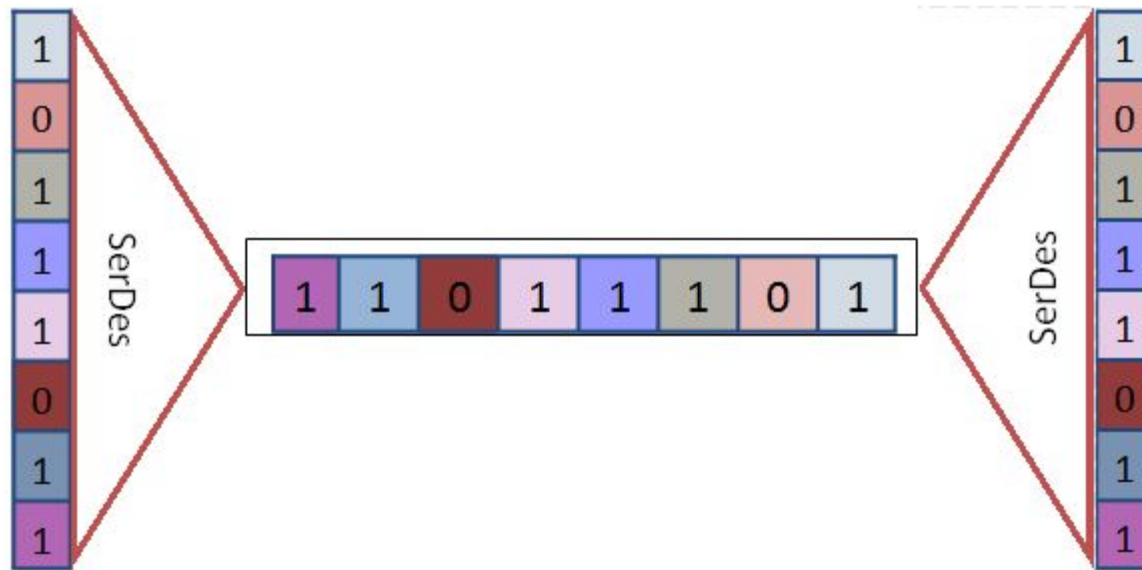
$\{A\}$  - множина внутрішніх станів

A (адреса ПЗП)	№ <sub>10</sub>	Попередній стан автомата			x	y	Сигнали збудження тригерів		Наступний стан автомата	D (дані ПЗП)
		Позначення	Код				D <sub>1</sub>	D <sub>0</sub>		
			Q <sub>1</sub>	Q <sub>0</sub>						
		a <sub>i</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	a <sub>j</sub>	
0	0	a <sub>0</sub>	0	0	0	1	0	1	a <sub>1</sub>	5
1	1	a <sub>0</sub>	0	0	1	1	0	0	a <sub>0</sub>	4
2	2	a <sub>1</sub>	0	1	0	1	1	0	a <sub>2</sub>	6
3	3	a <sub>1</sub>	0	1	1	1	1	0	a <sub>2</sub>	6
4	4	a <sub>2</sub>	1	0	0	0	1	1	a <sub>3</sub>	3
5	5	a <sub>2</sub>	1	0	1	0	1	1	a <sub>3</sub>	3
6	6	a <sub>3</sub>	1	1	0	0	0	0	a <sub>0</sub>	0
7	7	a <sub>3</sub>	1	1	1	0	0	0	a <sub>0</sub>	0

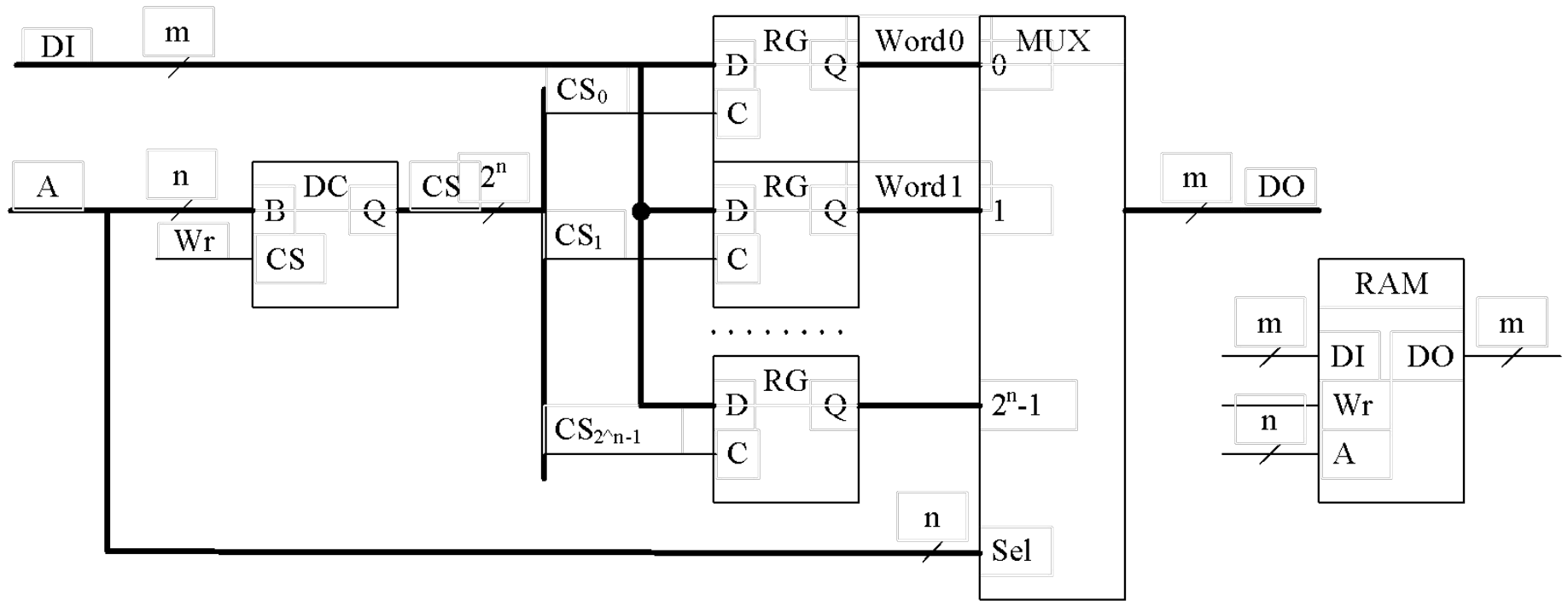
# Структура комп'ютера



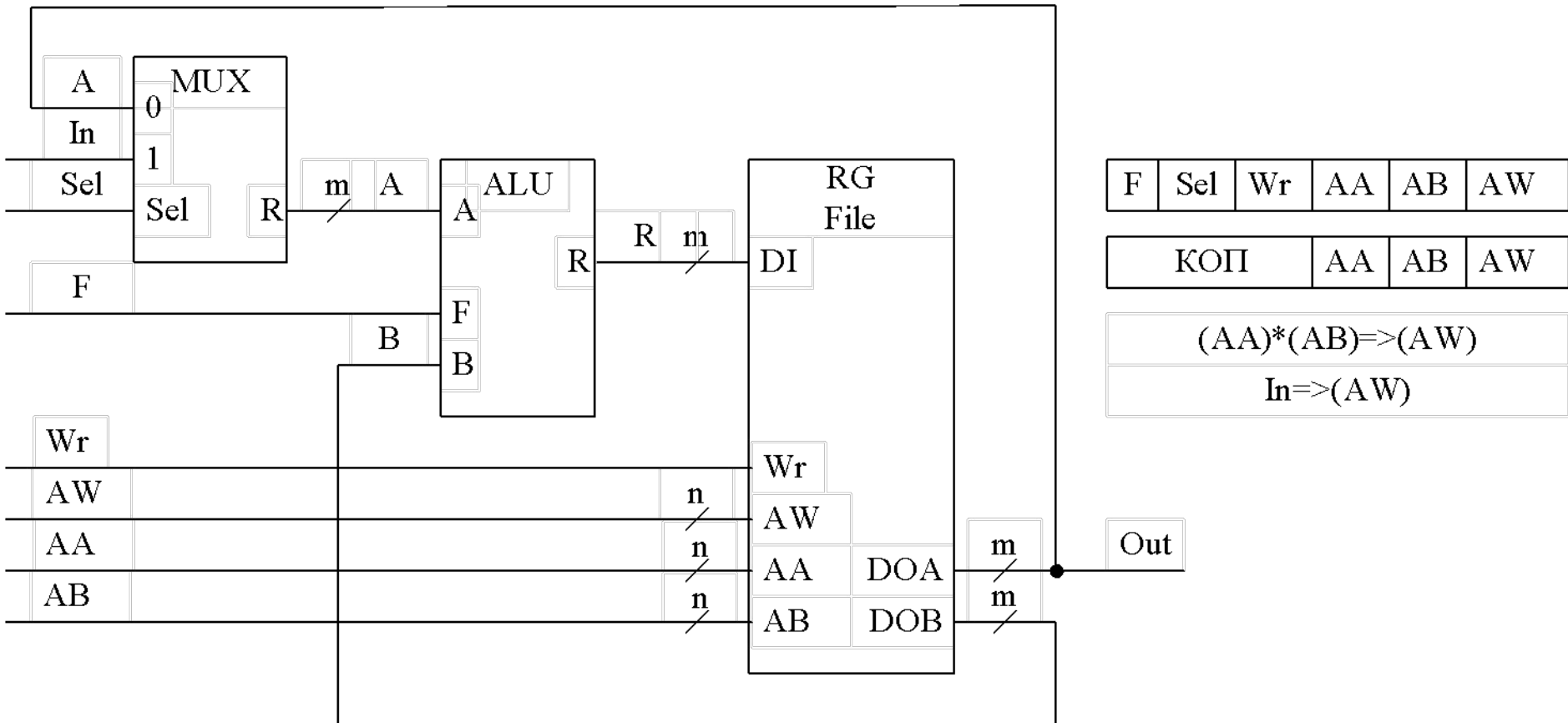
# SerDeS серілізатор-десерілізатор



# Оперативний запам'ятовуючий пристрій (ОЗП)

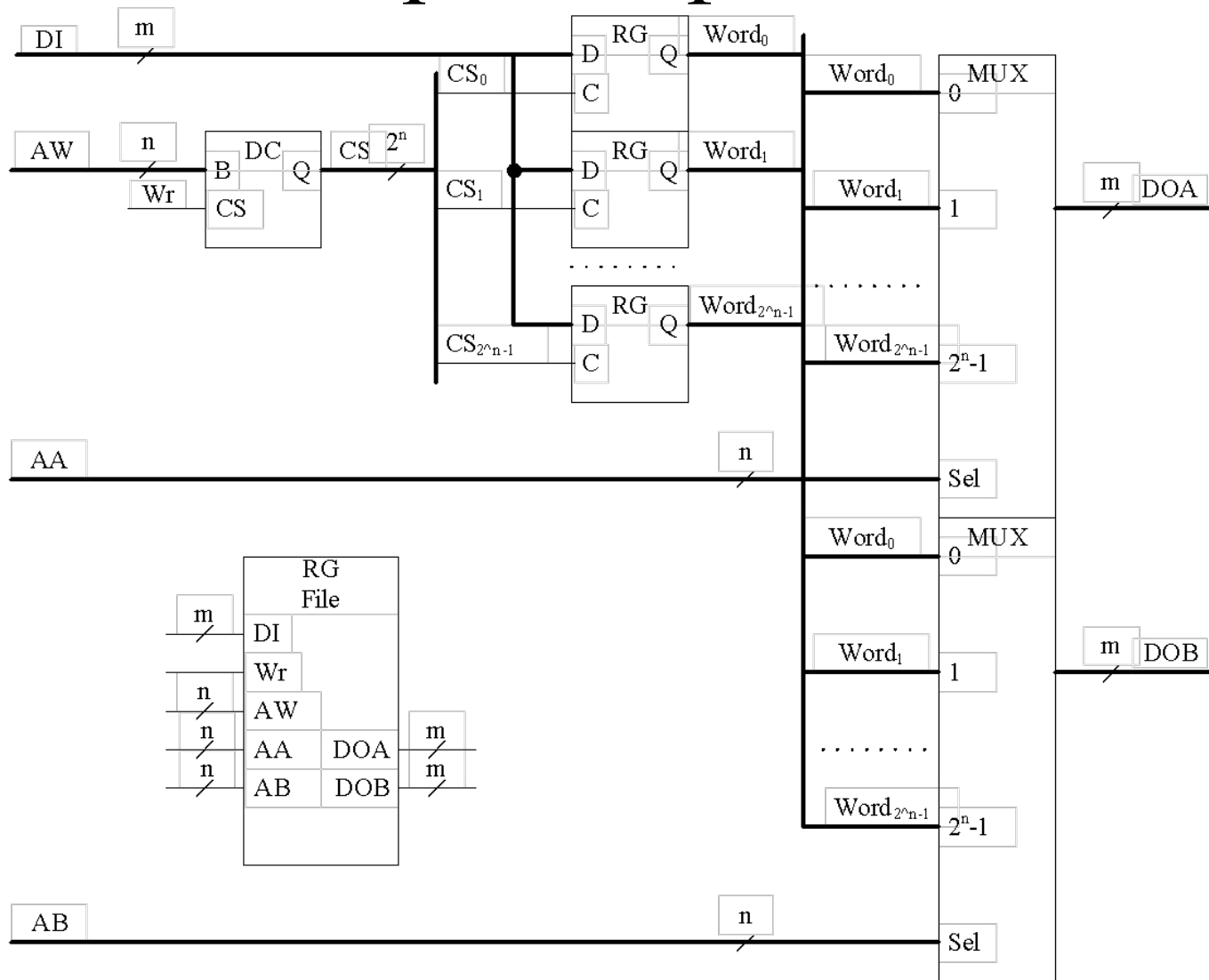


# Операційний пристрій = ALU+RG File

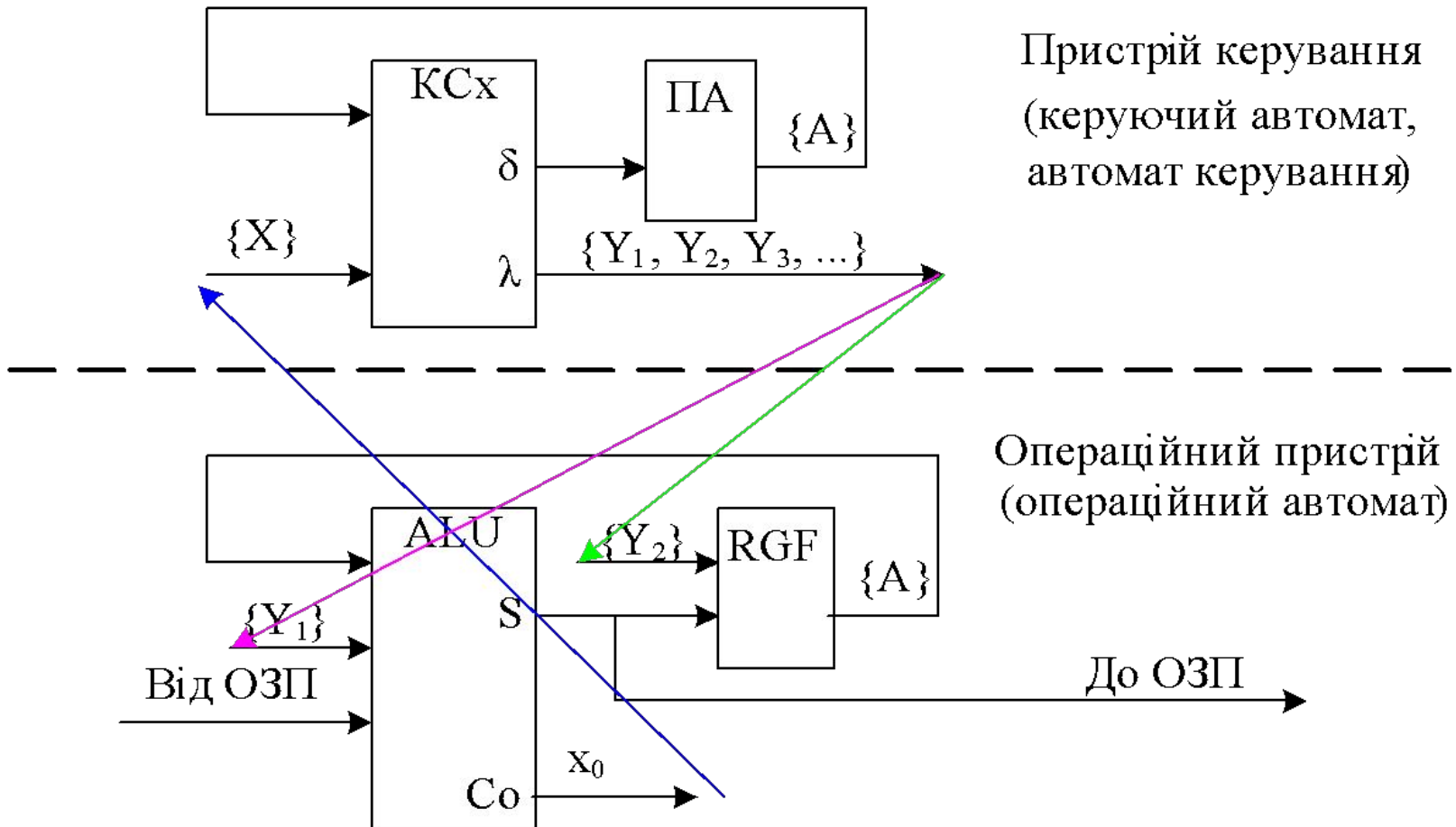




# Регістровий файл



# Процесор



Дякую за увагу!