

Регистры

Регистр – последовательное или параллельное логическое устройство, используемое для хранения n -разрядных двоичных чисел и выполнения преобразований над ними.

Элементарной ячейкой электронной памяти является триггер, способный сохранять 1 бит записанной в нем информации. Каждый разряд двоичного числа записывается в своем триггере, поэтому число триггеров в регистре определяет разрядность записываемого числа.

Регистр представляет собой упорядоченную последовательность триггеров, число которых соответствует числу разрядов в слове.

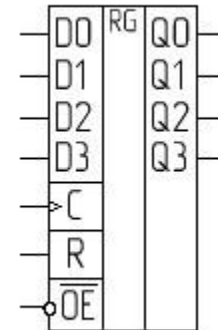
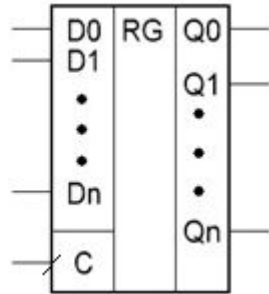
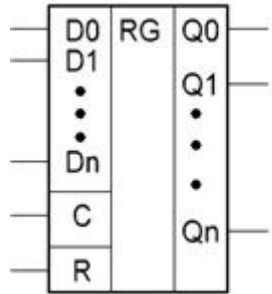
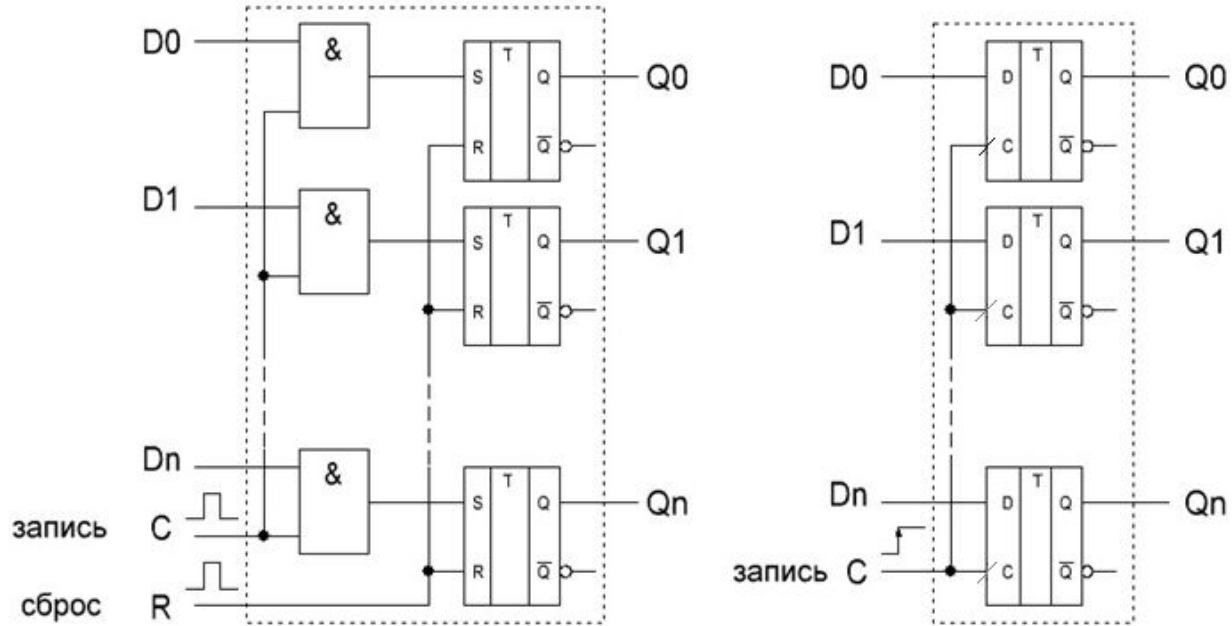
Регистр предназначен для записи, хранения и выдачи информации.

С каждым регистром обычно связано комбинационное цифровое устройство, с помощью которого обеспечивается выполнение некоторых операций над словами. Фактически любое достаточно сложное цифровое устройство можно представить в виде совокупности регистров, соединенных друг с другом при помощи комбинационных цифровых схем.

Регистры классифицируются по следующим видам:

1. **Регистры хранения** (параллельные или накопительные);
2. **Регистры сдвига** (последовательные).

Регистры хранения



а) стробируемый

б) тактируемый

Рисунок 1 - Параллельный регистр хранения это многовходовый триггер

Рисунок 2 - Типовое УГО тактируемого регистра хранения

Тактируемые регистры

Использование регистров в системах обработки информации

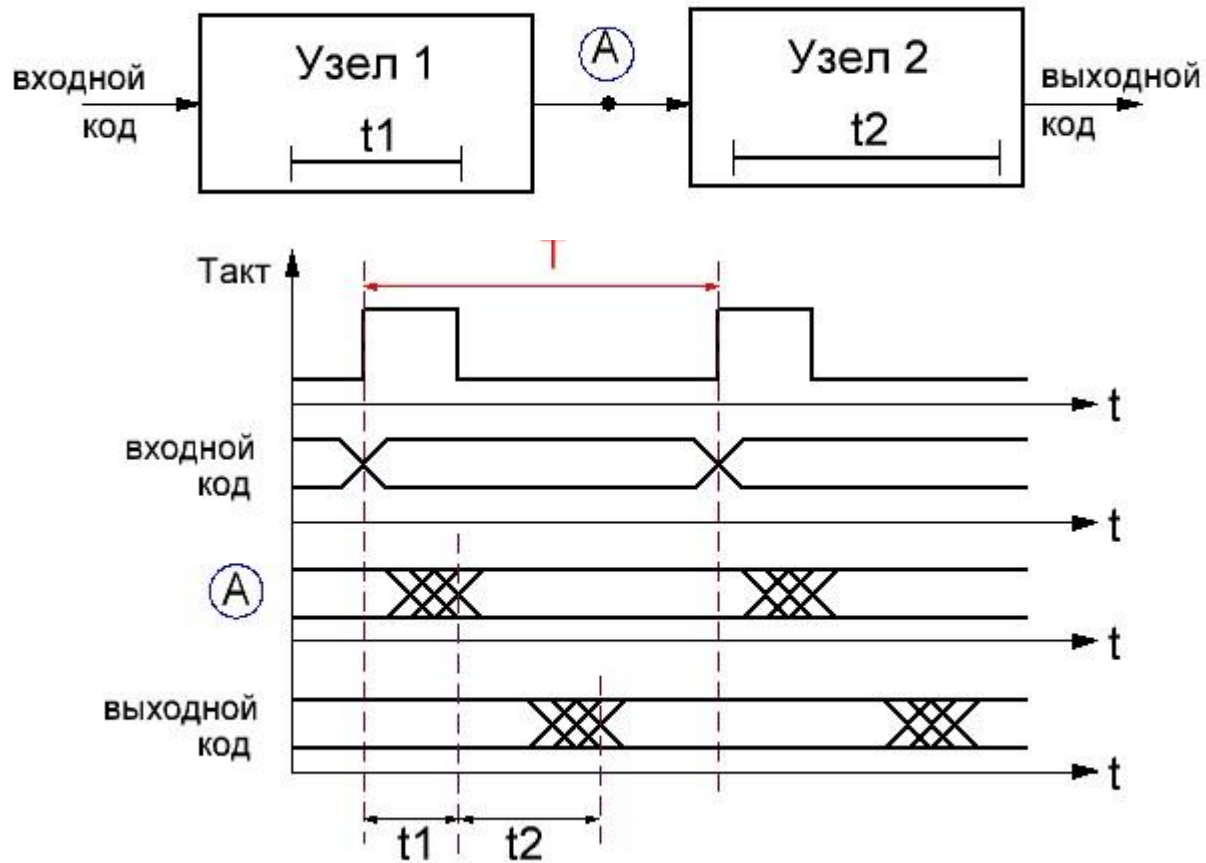


Рисунок 3 - Обычная обработка входной кодовой последовательности

Для компенсации задержки t_1 и t_2 , период следования кодовых последовательностей должен удовлетворять условию:

$$T > t_1 + t_2$$

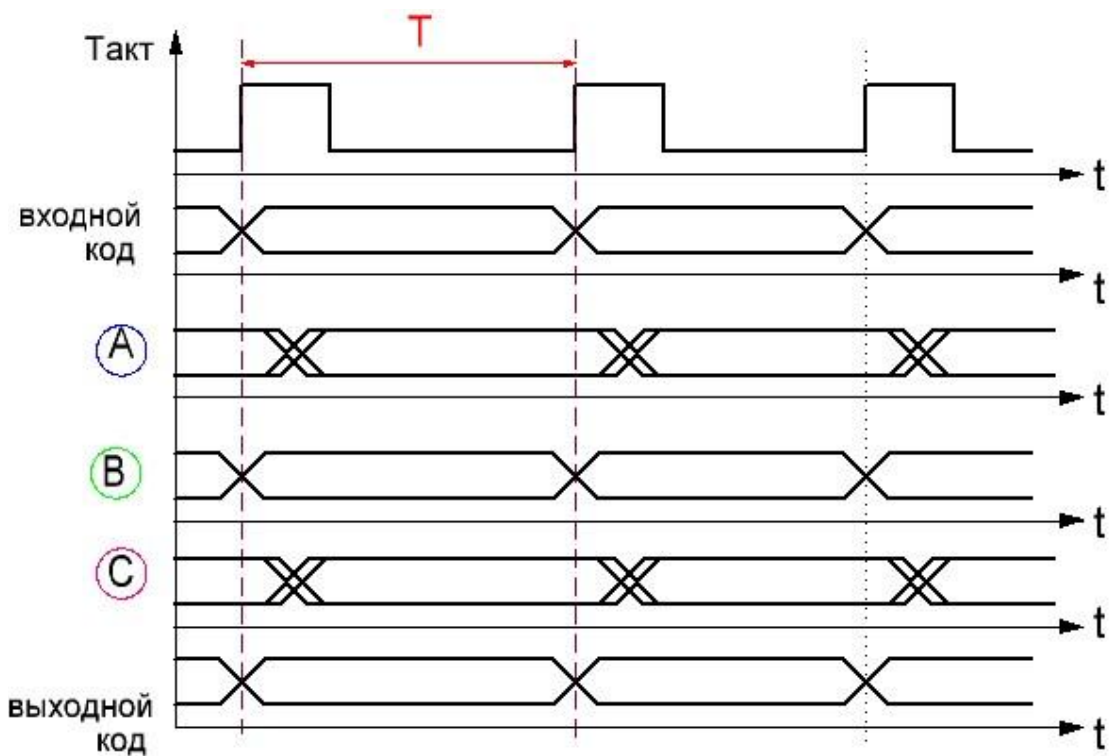
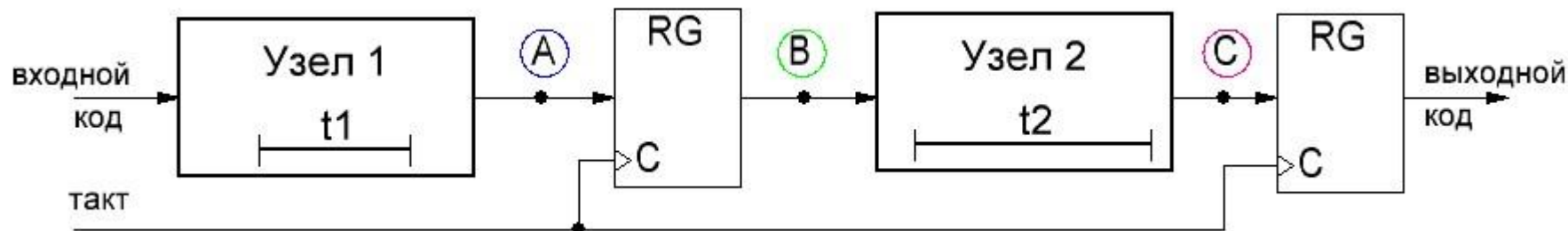


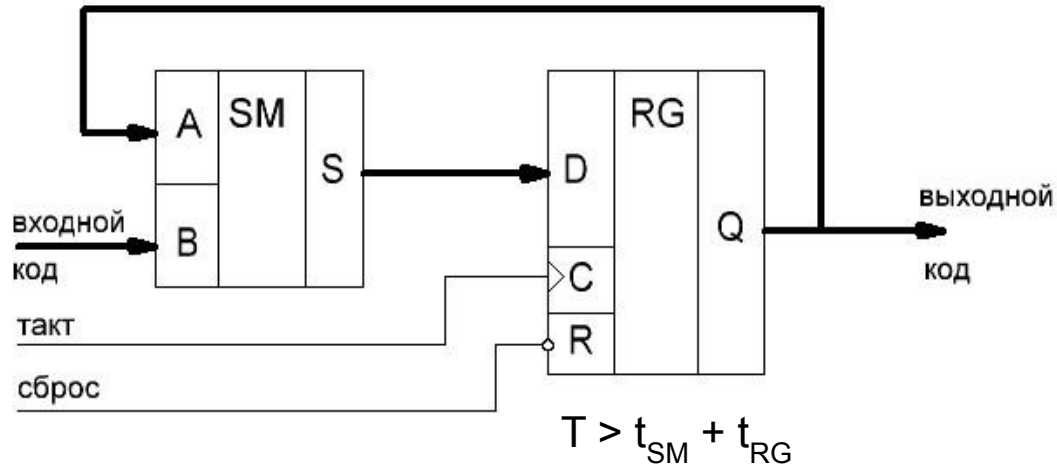
Рисунок 4 - Конвейерная обработка входной кодовой последовательности

Для компенсации задержки t_1 и t_2 , период следования тактовых импульсов T должен удовлетворять условию:

$$T > \max\{t_1, t_2\} + T_{RG}$$

Накапливающий сумматор

Накапливающий сумматор предназначен для выполнения операции вида: $Y \leftarrow Y+X$



0011 3
 0011
 0110 6
 0011
 1001 9
 0011
 1100 12
 0011
 1111 15
 0011
 1 0010 2
 0011
 0101 5
 0011
 1000 8
 0011
 1011 11
 0011
 1101 14
 0011
 1 0001 1

Особенности:

1. При переполнении разрядной сетки схема возобновляет свою работу с минимальных значений кода, но не обязательно будет повторена та же числовая последовательность кодов, что и в предыдущем цикле накопления. Например, при входном коде 3 выходная последовательность будет вида:

0, 3, 6, 9, 12, 15, 2, 5, 8, 11, 14, 1, 4, ...

2. При больших значениях входного кода (имеющего 1 в старшем разряде) схема может рассматриваться как *накапливающий вычитатель*, причём вычитаемое должно быть представлено в дополнительном коде.

Например, $15 - 3 = 12$; $15_{10} = 1111_2$; $-3_{10} = 1101_2 = +13_{10}$.

$$SM(15) + RG(13) = 1111_2 + 1101_2 = \mathbf{1} 1100_2 = 1100_2 \rightarrow 12_{10}$$

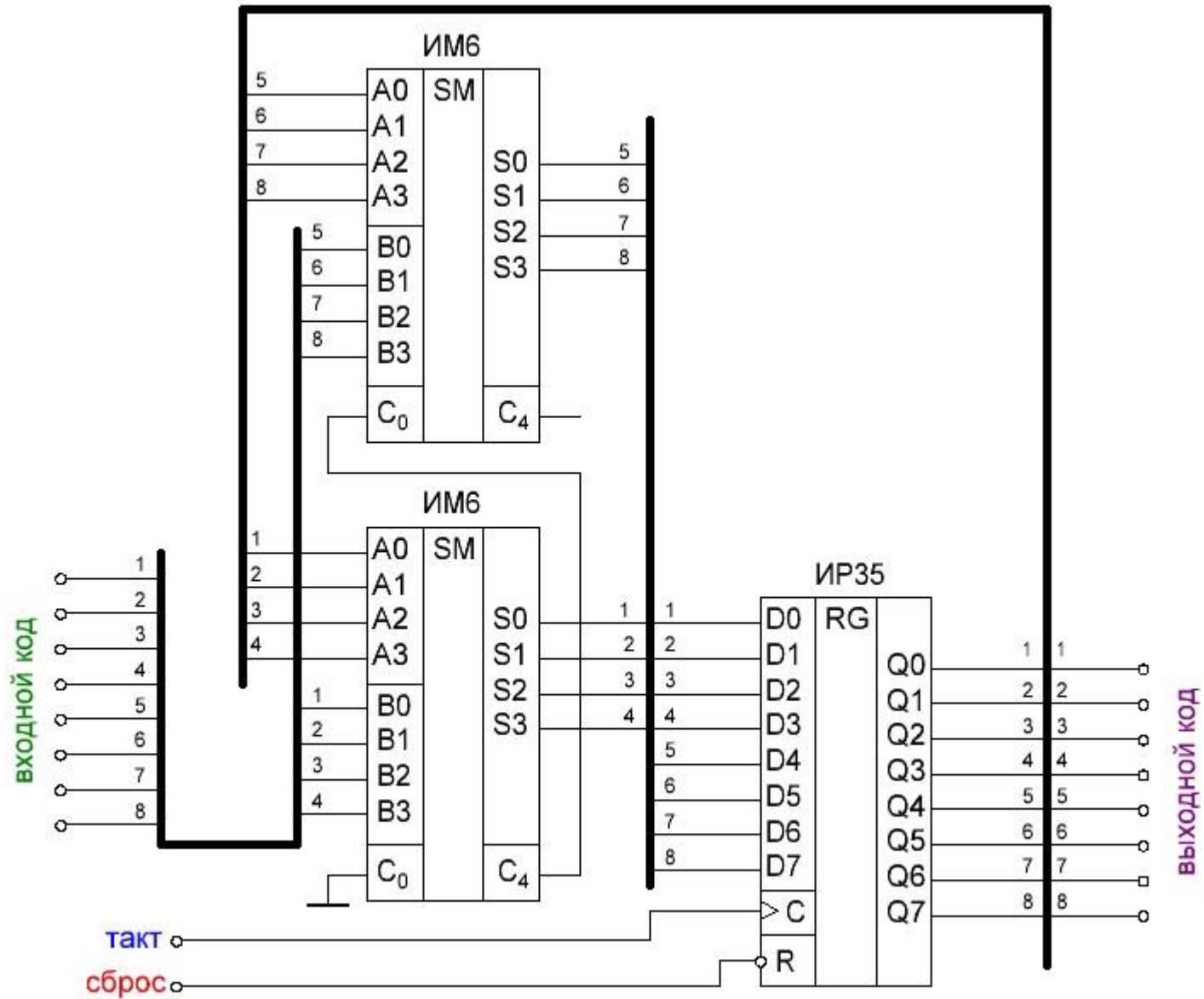


Рисунок 5 - Принципиальная схема накапливающего сумматора

Стробируемые регистры

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной.

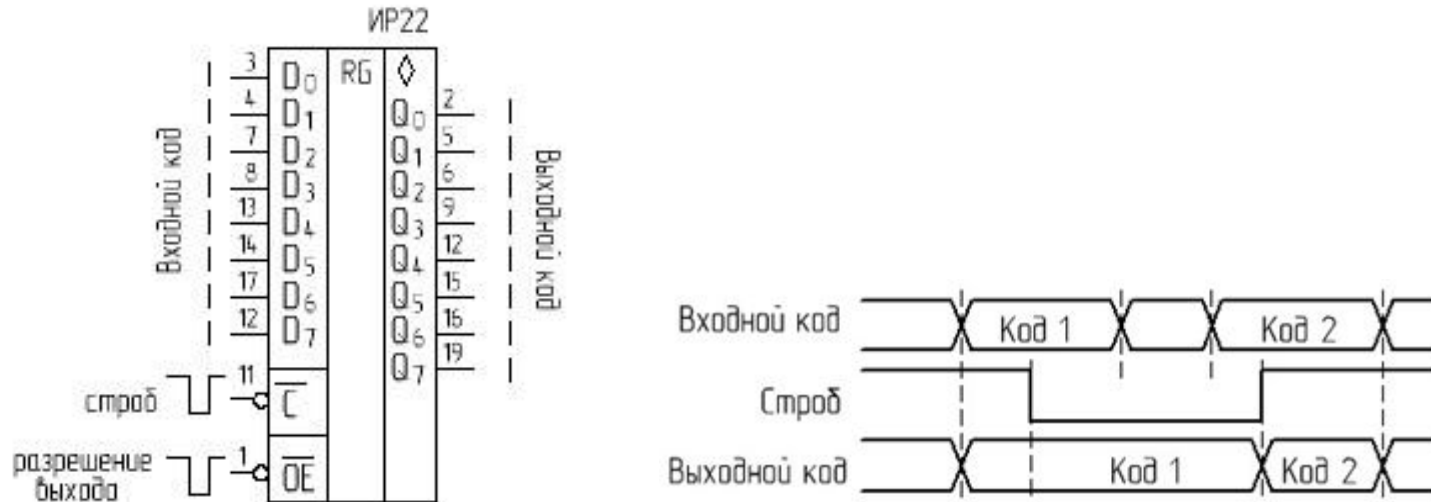


Рисунок 6 - Продление длительности входного кода с помощью регистра-

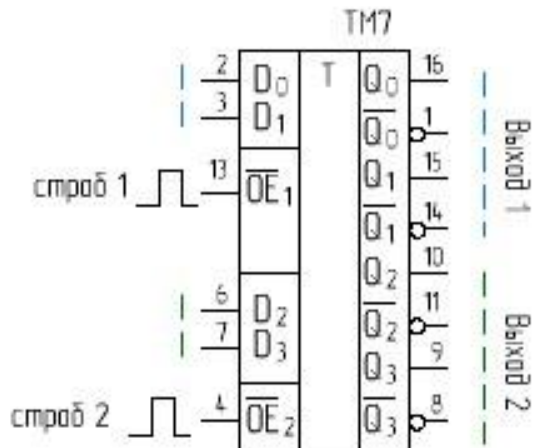


Рисунок 7 - УГО регистра TM7, срабатывающего по уровню

Регистр сдвига

Регистром сдвига называют цифровую схему, состоящую из последовательно включенных триггеров, содержимое которых можно сдвигать на один разряд влево или вправо подачей тактовых импульсов.

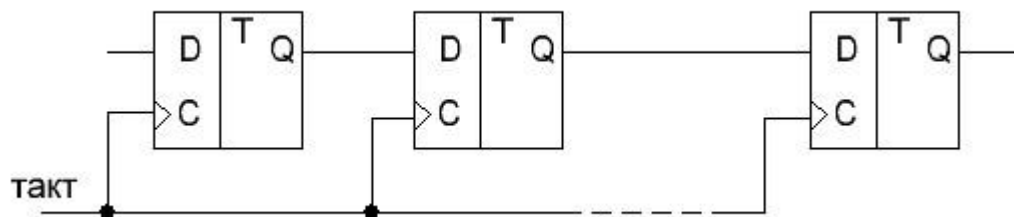
Регистры сдвига широко применяются в цифровой вычислительной технике для преобразования последовательного кода в параллельный или параллельного в последовательный, а также при построении арифметико-логических устройств. Составляется регистр сдвига из соединенных последовательно триггеров, в которые записываются разряды обрабатываемого кода.

Сдвигающие регистры делятся:

- по способу ввода-вывода информации: параллельные; последовательные; комбинированные;
- по направлению передачи информации: однонаправленные; реверсивные.

Типичными являются следующие операции:

- прием слова в регистр;
- передача слова из регистра;
- поразрядные логические операции;
- сдвиг слова влево или вправо на заданное число разрядов;
- преобразование последовательного кода слова в параллельный и обратно;



Сдвиговый регистр может рассматриваться как цифровая линия задержки, входной сигнал которой последовательно переписывается из триггера в триггер по фронту тактового сигнала

Сдвиговый регистр может быть построен на триггерах любого типа (RS-, D-, JK-), но **все они работают в режиме D-триггера.**

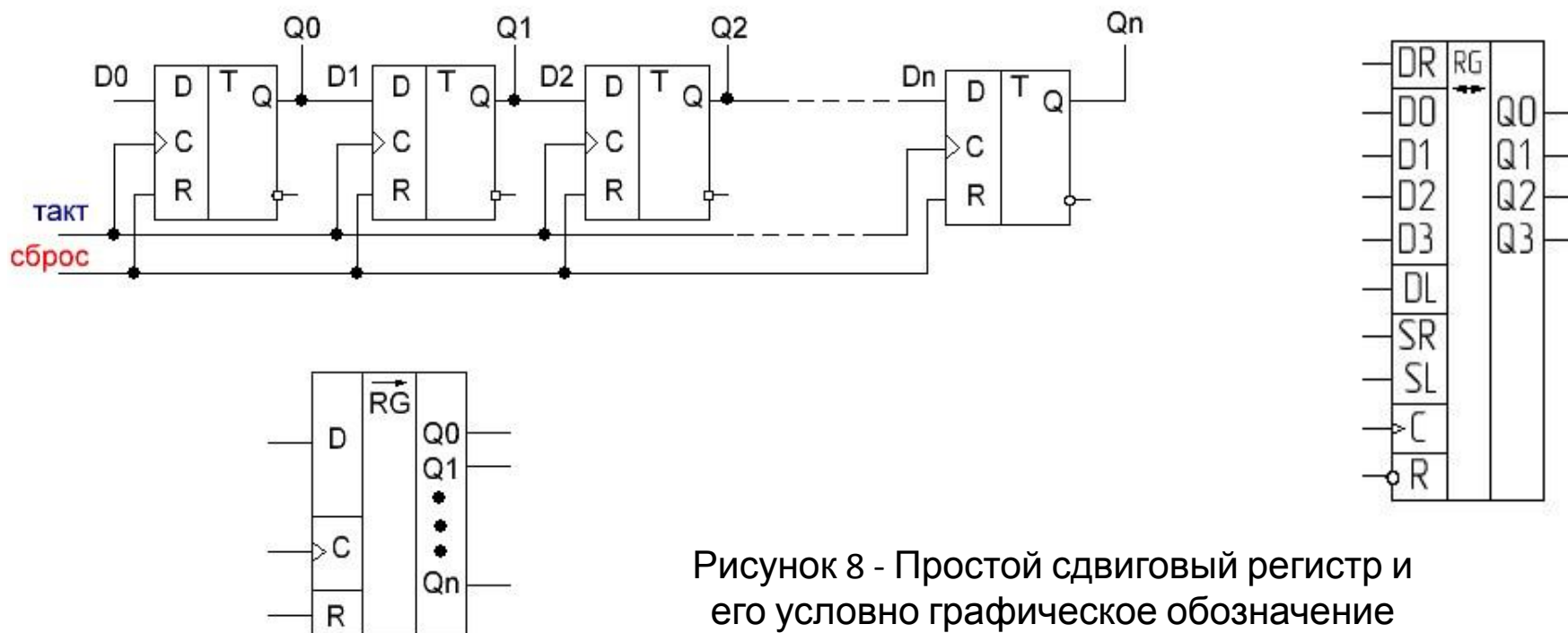
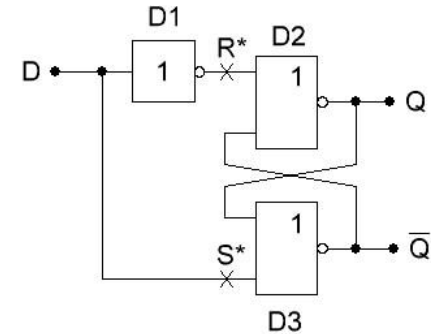


Рисунок 8 - Простой сдвиговый регистр и его условно графическое обозначение

Регистр сдвига на синхронных RS-триггерах

Синхронный RS-триггер описывается функцией переходов (возбуждения):

$$\begin{cases} Q^t = S + Q \cdot \bar{R} \\ R \cdot S = 0 \end{cases}$$



Если $S \rightarrow \bar{R} \cdot D$, тогда $Q^t = D$, т.е. это функция переходов D-триггера

условие $R \cdot S = D \cdot \bar{D} = 0$ – выполняется

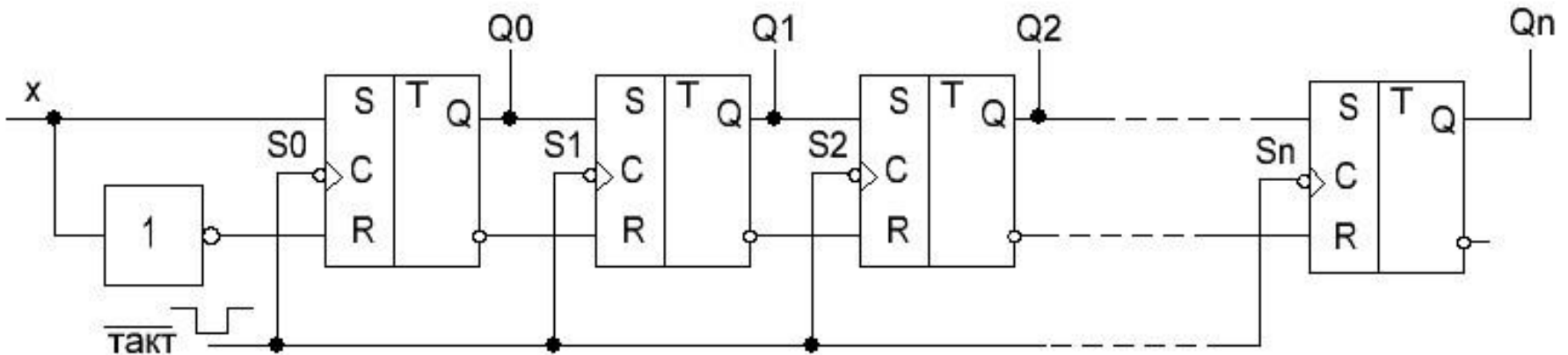


Рисунок 9 - Устройство сдвигового регистра

Сдвиговый регистр может использоваться для задержки информации X на n тактов.

Регистр IP8 – наиболее простой из регистров сдвига. Он представляет собой 8-разрядную линию задержки, так как имеет только один информационный вход, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции «2И»), и восемь параллельных выходов.

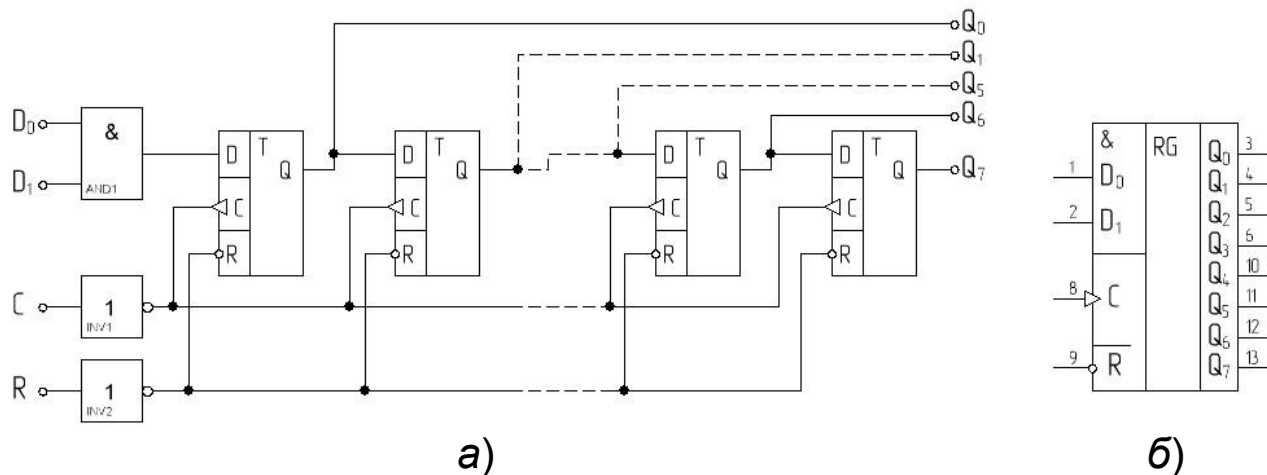


Рисунок 10 - Структурная схема (а) и условное графическое обозначение (б) регистра осуществляющий сдвиг информации вправо IP8

Входы				Выходы			
\bar{R}	C	D ₁	D ₂	Q ₀	Q ₁	...	Q ₇
0	X	X	X	0	0	...	0
1	0	X	X	Не меняются			
1	1	X	X	Не меняются			
1	0 → 1	1	1	1	Q ₀	...	Q ₆
1	0 → 1	0	X	0	Q ₀	...	Q ₆
1	0 → 1	X	0	0	Q ₀	...	Q ₆

Входы			Функция
\overline{PE}	\overline{CE}	C	
0	X	X	Параллельная запись
1	1	X	Хранение
1	X	1	Хранение
1	0	0→1	Сдвиг
1	0→1	0	Сдвиг

Регистр IP9, выполняет функцию, обратную регистру IP8.

Если IP8 преобразует входную последовательную информацию в выходную параллельную, то регистр IP9 преобразует входную параллельную информацию в выходную последовательную.

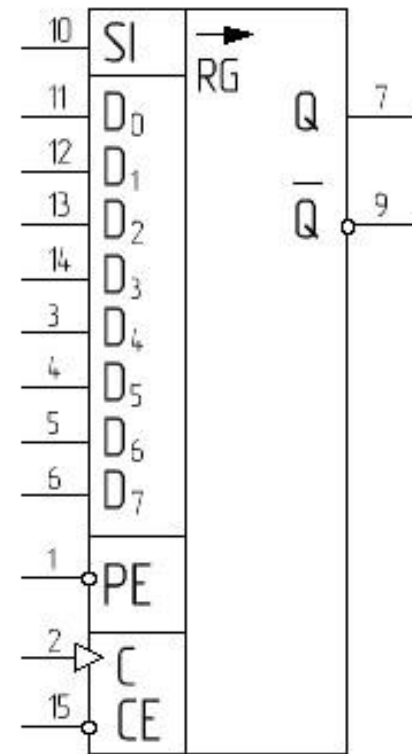
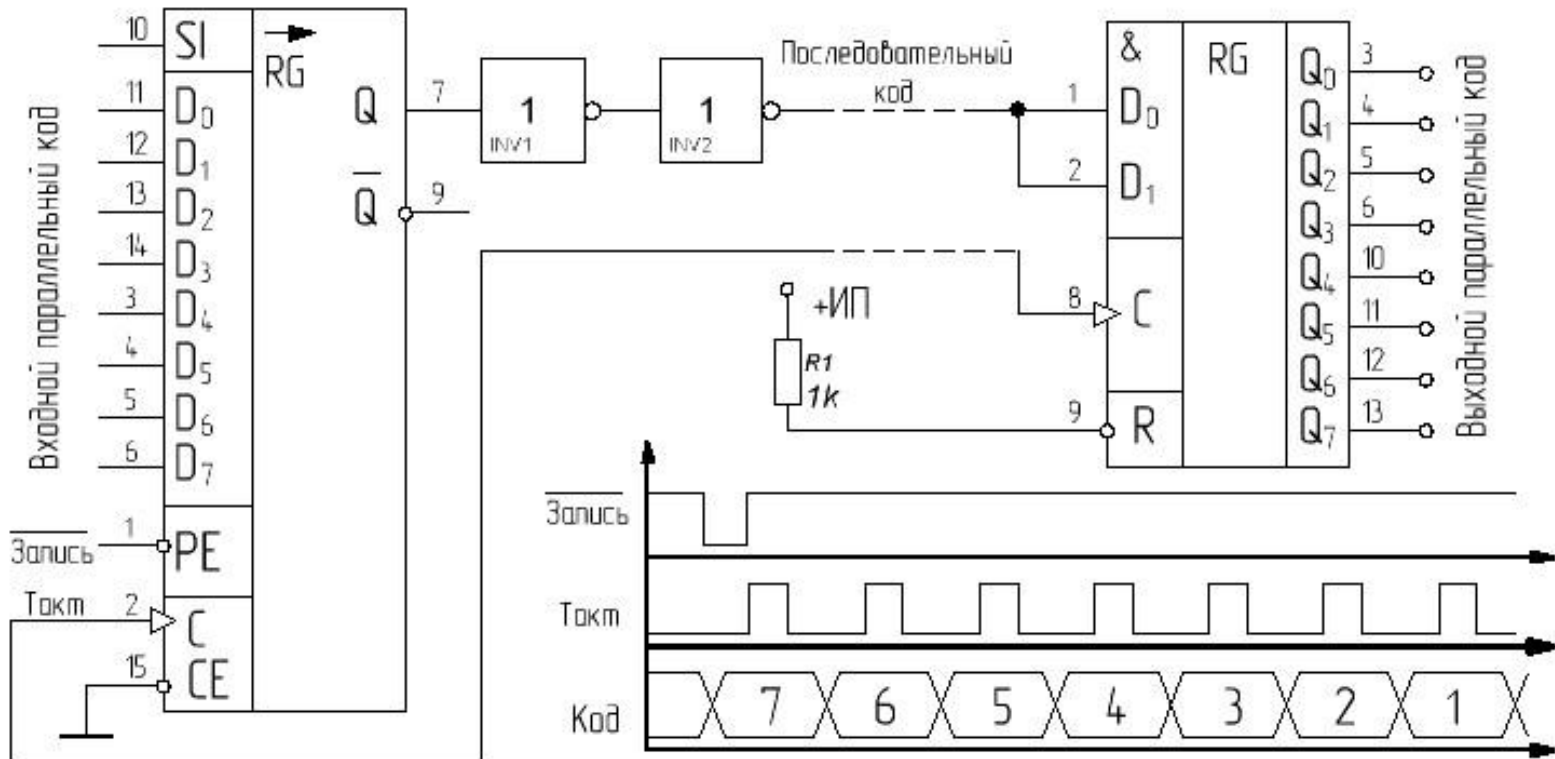


Рисунок 11 - УГО регистра сдвига IP9

Модуль последовательной передачи информации



Простейшая схема передачи цифровой информации в последовательном коде по двум линиям: информационной и синхронизирующей.

Такая передача позволяет сократить количество соединительных проводов, а также упростить защиту передаваемых данных от действия внешних электромагнитных помех, правда, ценой снижения скорости передачи.

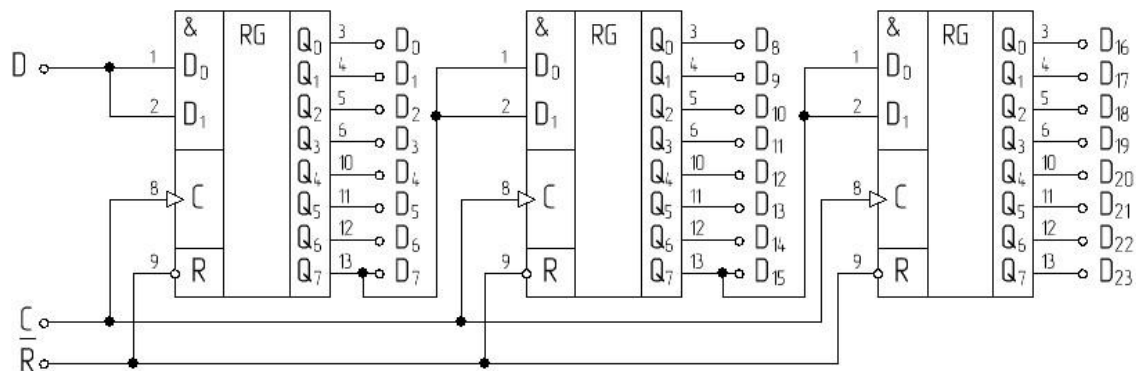


Рисунок 12 - Увеличение разрядности сдвигового регистра IP8

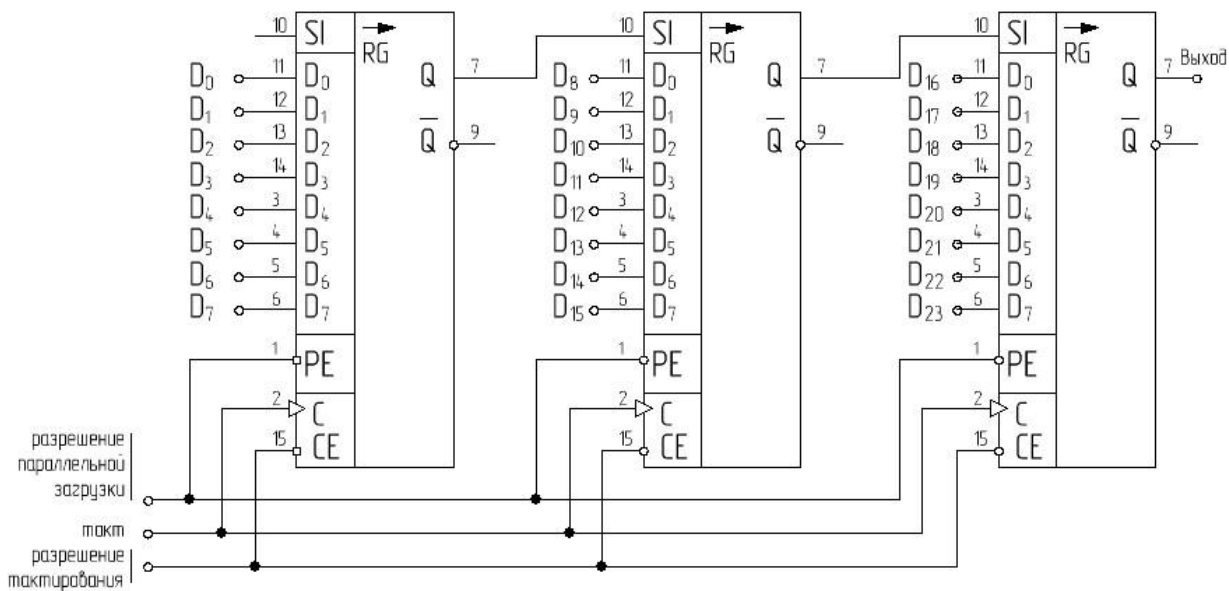


Рисунок 13 - Увеличение разрядности сдвигового регистра IP9

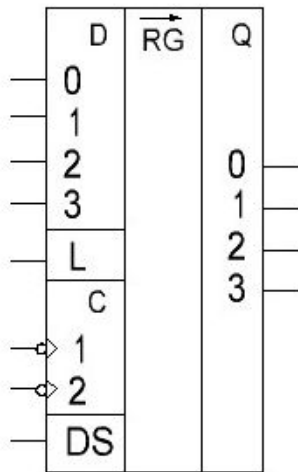
Сдвигающий регистр с синхронной параллельной записью

Для мультиплексирования функций, выполняемых регистрами, необходимо использовать дополнительные управляющие сигналы.

$L = 0$ – последовательный ввод и сдвиг

$L = 1$ – синхронная параллельная (загрузка) данных

$$\begin{cases} S_0 = DS \cdot \bar{L} + D_0 \cdot L \\ S_n = Q_{n-1} \cdot \bar{L} + D_n \cdot L, \quad n=1 \dots m-1 \\ R_n = \bar{S}_n, \quad n=0 \dots m-1 \end{cases} \quad \text{Функции возбуждения RS-триггеров}$$



ИР9

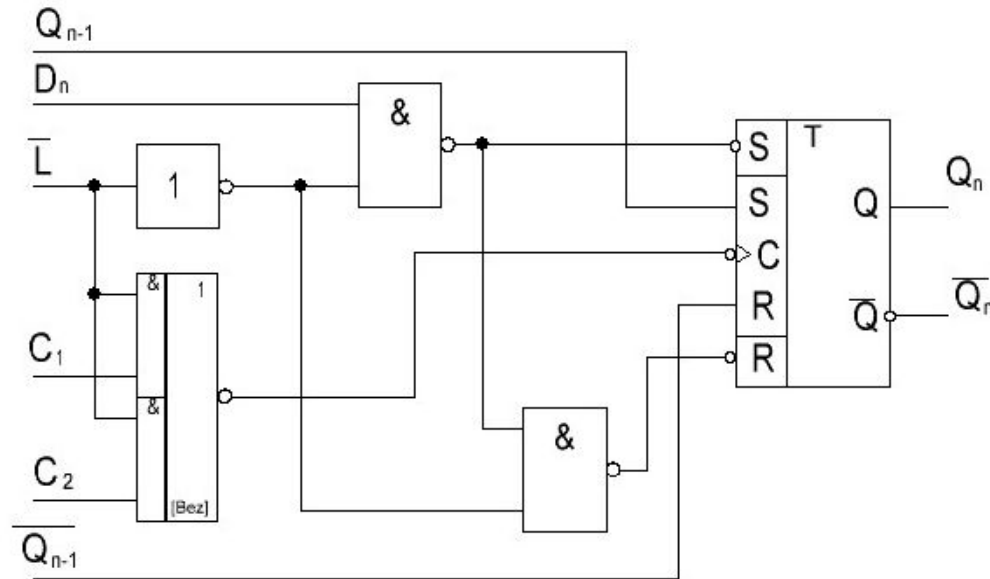
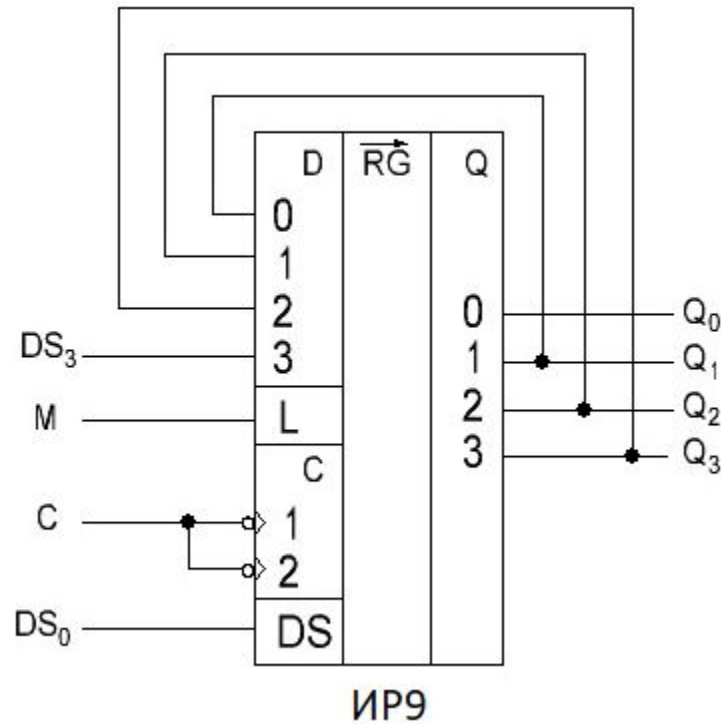


Рисунок 14 - УГО регистра ИР9 и принципиальная схема одного разряда

Реверсивный сдвигающий регистр на синхронном регистре с параллельной записью



Входы параллельной загрузки используются для сдвига данных в сторону младших разрядов $Q_0 \rightarrow Q_3$

При $M = 0$ – производится сдвиг в сторону старших разрядов

$M = 1$ – производится сдвиг в сторону младших разрядов

Линия задержки входного сигнала на регистре сдвига

Организации всевозможных линий задержек, особенно имеющих значительное количество каскадов возможно с помощью сдвиговых регистров.

Можно обеспечить задержку любого входного сигнала на целое число тактов.

Но! Надо учитывать, что длительность входного сигнала (и любого его элемента) будет также передаваться по линии задержки с точностью до одного такта.

Такие линии задержки могут применяться для сравнения нескольких последующих тактов входного сигнала, для выполнения арифметических операций с несколькими тактами входного сигнала и для других подобных целей.

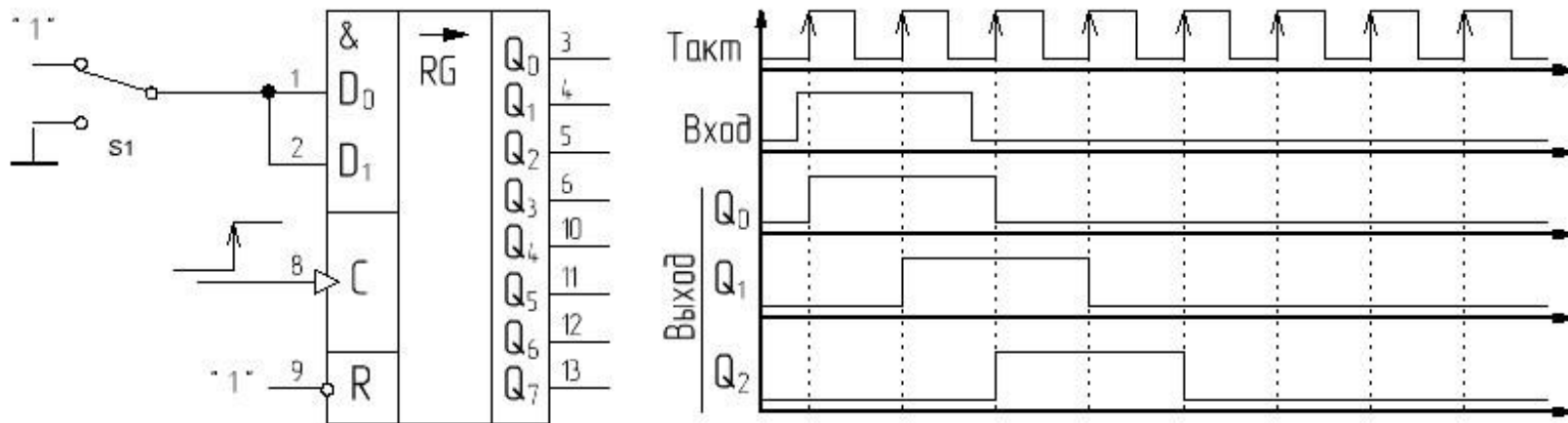


Рисунок 15 – Организация цифровой линии задержки на базе сдвигового регистра IP8

Формирователь импульсов с длительностью, задаваемой управляющим кодом

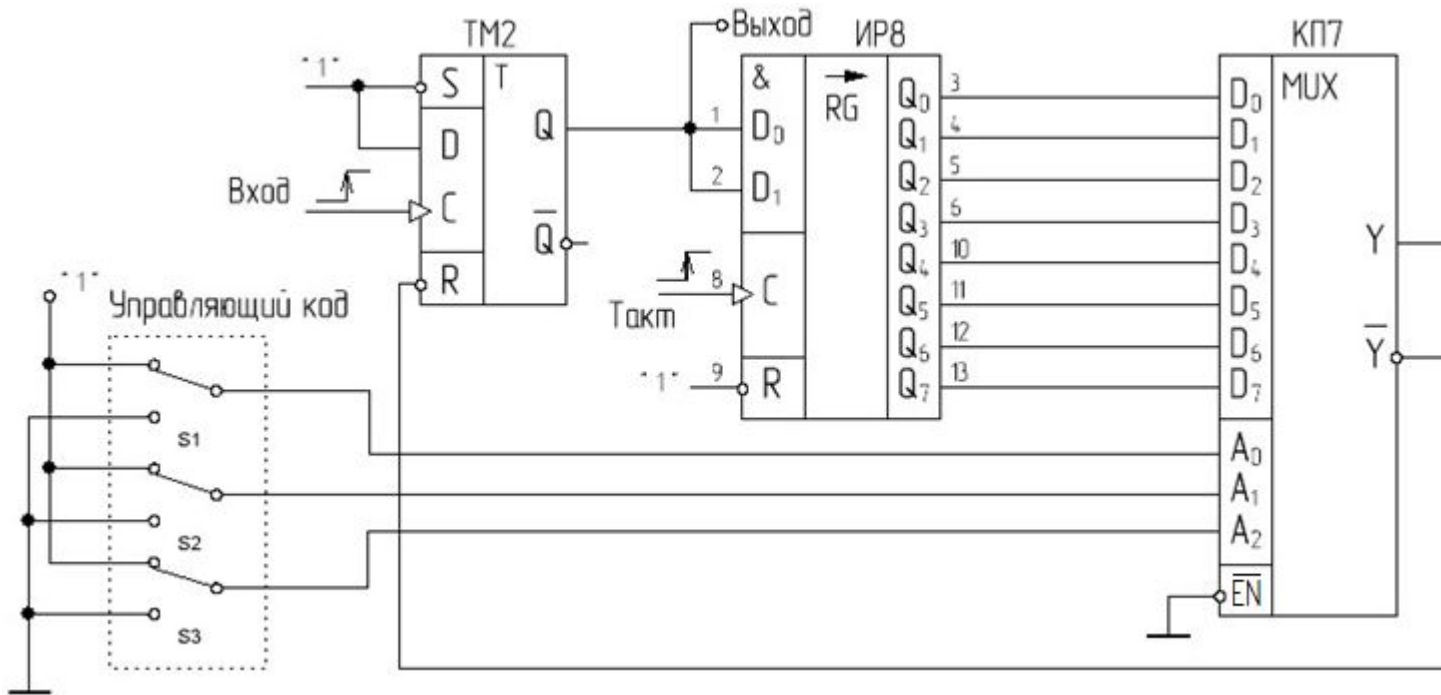


Рисунок 16 – Использование сдвигового регистра ИР8 в устройстве формирования импульсов

Длительность выходного сигнала будет определяться управляющим кодом. Погрешность установки этой длительности равна одному периоду тактового сигнала и зависит от временного сдвига между фронтом входного сигнала и фронтом ближайшего к нему тактового импульса. Чем больше длительность выходного сигнала, тем меньше относительная погрешность установки его точности.

Например, при управляющем коде 0 длительность выходного сигнала может быть от 0 до T, где T – период тактового сигнала.