

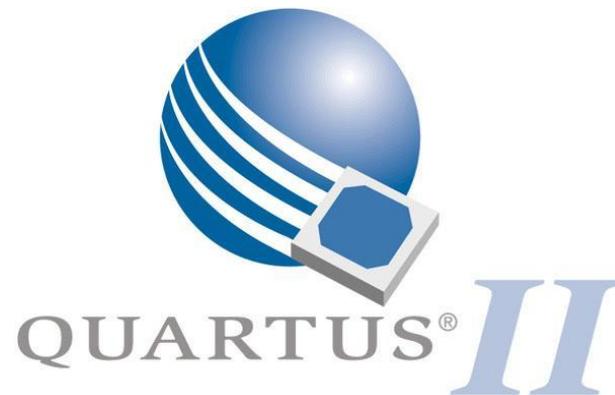
Система автоматизации проектирования Quartus II



План

- Введение в проектирование в пакете Quartus[®] II
- Схемный ввод описания проекта.
- Понятие «проект» в пакете Quartus[®] II
- Компиляция проекта
- «Single & Multi-Clock» временной анализ
- Система LogicLock[™]
- Моделирование в пакете Quartus[®] II
- Встроенный логический анализатор SignalTap II

Введение в проектирование в пакете Quartus[®] II

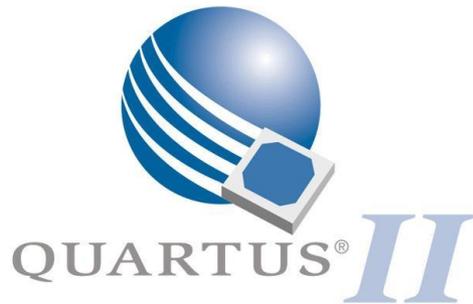


СБИС Программируемой Логики фирмы Altera

- Семейства СБИС
 - High & Medium Density FPGAs
 - Stratix, APEX II, APEX 20K, & FLEX 10K
 - Low-Cost FPGAs
 - Cyclone & ACEX 1K
 - FPGAs With Clock Data Recovery
 - Stratix GX
 - Mercury
 - CPLDs
 - MAX 7000 & MAX 3000A
 - Embedded Processor Solutions
 - Nios™, Excalibur™
 - Configuration Devices
 - EPC



Системы автоматизации проектирования фирмы Altera



– Quartus II

- Stratix, Stratix GX, Cyclone, APEX II, APEX 20K/E/C, Excalibur, & Mercury Devices
- FLEX 10KE, ACEX 1K, FLEX 6000, MAX 3000A, MAX 7000AE, & MAX 7000B Devices

– Quartus II Web Edition

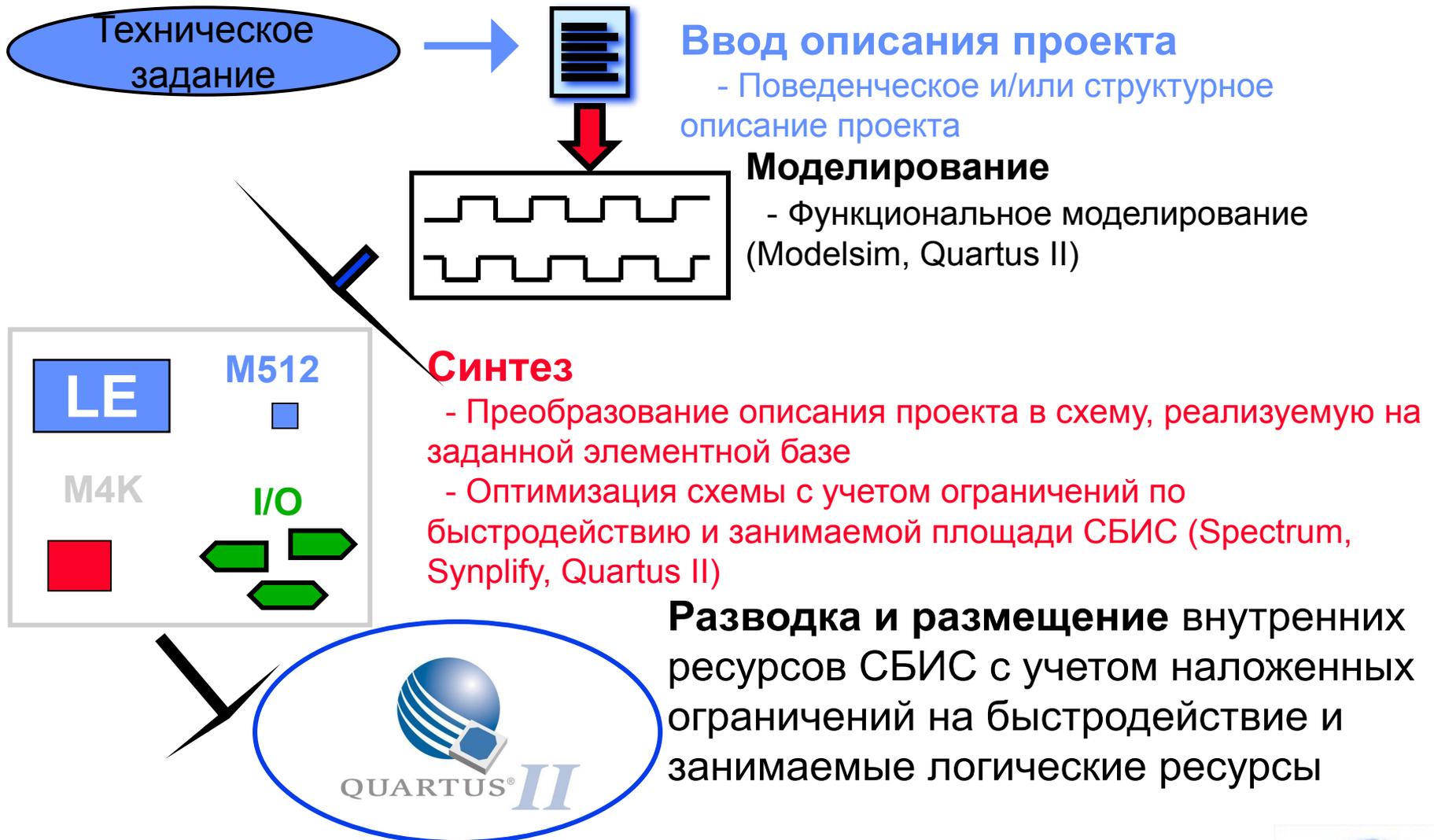
- Бесплатная версия
- Система с ограниченными возможностями



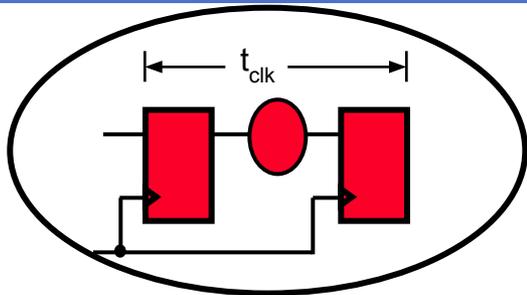
– MAX+PLUS II

- FLEX, ACEX, & MAX

Методология проектирования СБИС ПЛ

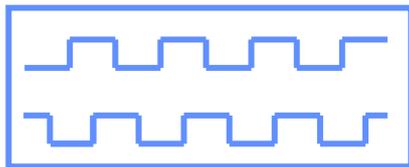


Методология проектирования СБИС ПЛ



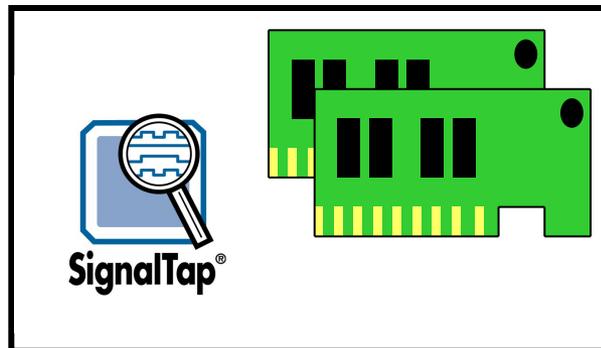
Временной анализ

- проверка соответствия созданной СБИС требованиям к быстродействию



Моделирование на вентиляльном уровне

- Временное моделирование
- проверка правильности функционирования проекта после этапов синтеза, разводки и размещения



Тестирование и отладка СБИС в составе системы
(ISP, SignalTap II)

Возможности пакета Quartus II

- Различные способы ввода поведенческих и структурных описаний проекта
- Интегрированные средства помощи для создания сложных проектов MegaWizard[®] & SOPC
- Система синтеза
- Система размещения внутренних ресурсов и разводки СБИС
- Система моделирования
- Система временного анализа и анализа потребляемой энергии
- Система программирования СБИС



Возможности пакета Quartus II

- Средства оптимизации быстродействия проекта-LogicLock™
- Система поддержки интеграции с другими средствами автоматизации проектирования-NativeLink®
- Система проектирования блоков цифровой обработки сигналов-DSP Builder
- Интегрированные средства разработки ПО для встраиваемых микроЭВМ
- Поддержка использования IP-модулей
- Встроенные средства отладки СБИС в составе системы SignalTap® II & SignalProbe™

Возможности пакета Quartus II

- Поддержка операционных систем Windows, Solaris, HP-UX, Linux
- Поддержка различных схем лицензирования (node-locked, network)

Менеджер пакета Quartus II

Меню менеджера пакета

Панель инструментов

Навигатор проекта

Окно состояния процедуры компиляции проекта

Окно процессора сообщений

The screenshot displays the Quartus II software interface with the following components:

- Menu:** File, Edit, View, Project, Assignments, Processing, Tools, Window, Help.
- Entity Hierarchy Table:**

Entity	Logic Cells	Registers	Memory
Compilation Hierarchies			
pipemult	135 (1)	88	512
raminst1	0 (0)	0	512
altsyncram:altsyncram_component	0 (0)	0	512
multinst	134 (0)	88	0
lpm_mult:lpm_mult_component	134 (0)	88	0
multcore:mult_core	134 (64)	88	0
mpar_add:padder	70 (0)	24	0
mpar_add:sub_par_add	36 (4)	24	0
lpm_add_sub:adder[3]	9 (0)	0	0
lpm_add_sub:adder[2]	8 (0)	0	0
lpm_add_sub:adder[1]	9 (0)	0	0
- Progress Table:**

Module	Progress %	Time
Processing Total	46 %	00:00:30
Initialization	100 %	00:00:00
Compiler Total	15 %	00:00:30
Database Builder	100 %	00:00:08
Logic Synthesizer	100 %	00:00:05
Filter	26 %	00:00:16
Assembler	0 %	00:00:00
Timing Analyzer	0 %	00:00:00
- Compilation Report Summary:**

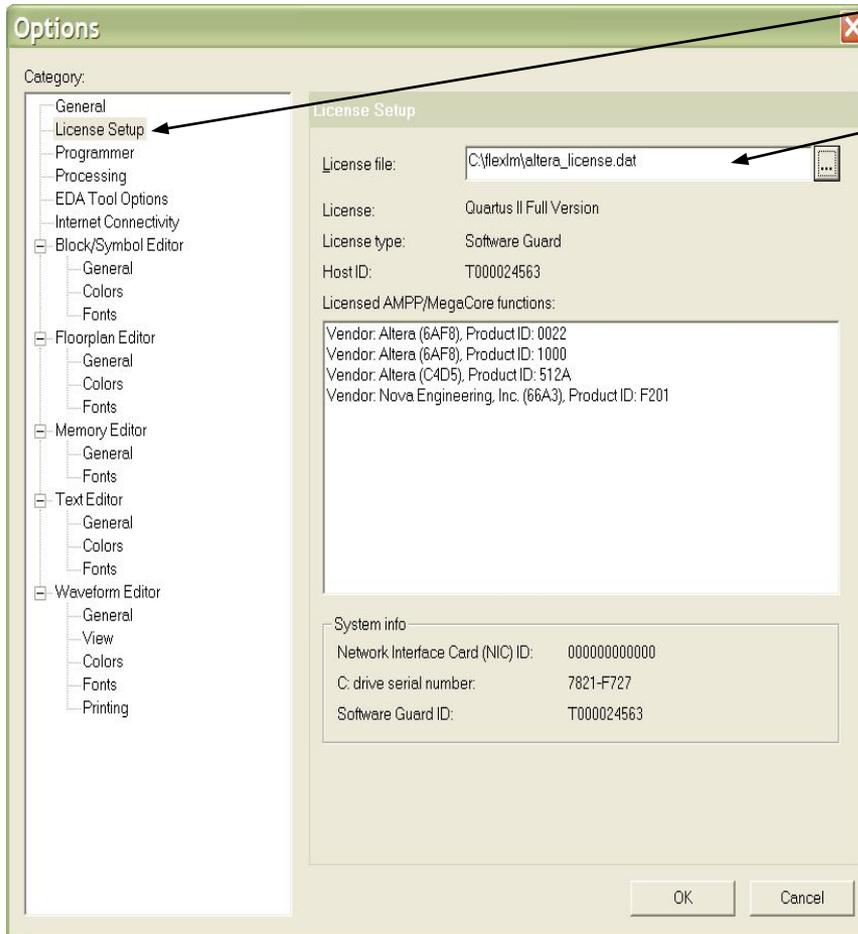
Processing status	Design not fitted
Timing requirements/analysis status	Timing not analyzed
Chip name	pipemult
Device for compilation	EP1S10F780C5
Total logic elements	134 / 10,570 (1 %)
Total pins	44 / 426 (10 %)
Total memory bits	512 / 920,448 (< 1 %)
DSP block 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 6 (0 %)
- Message Log:**
 - Found 1 design units and 1 entities in source file C:\quartus\libraries\megafuncions\mpar_add.tdf
 - Found 1 design units and 1 entities in source file C:\quartus\libraries\megafuncions\lpm_add_sub.tdf
 - Found 1 design units and 1 entities in source file C:\quartus\libraries\megafuncions\addcore.tdf
 - Found 1 design units and 1 entities in source file C:\quartus\libraries\megafuncions\acsbuffer.tdf
 - Found 1 design units and 1 entities in source file C:\quartus\libraries\megafuncions\altshift.tdf
 - Implemented 194 device resources
 - Selected device EP1S10F780C5 for design pipemult
 - Stratix EP1S10 device selected -- to obtain programming file compatible with ES labeled devices, specify EP1S10ES device
 - Compilation Report contains advance information. Specifications for device EP1S10F780C5 are subject to change. Contact Altera for information on availability. No programming file will be generated.
 - Smart compilation specified to OFF -- SignalProbe information will not be saved
 - Automatically promoted signal clk1 to use Global clock in Pin R25

Название проекта и его рабочая папка

Отчет о результатах компиляции

Настройка опций пакета Quartus II

Меню: Tools > Options...



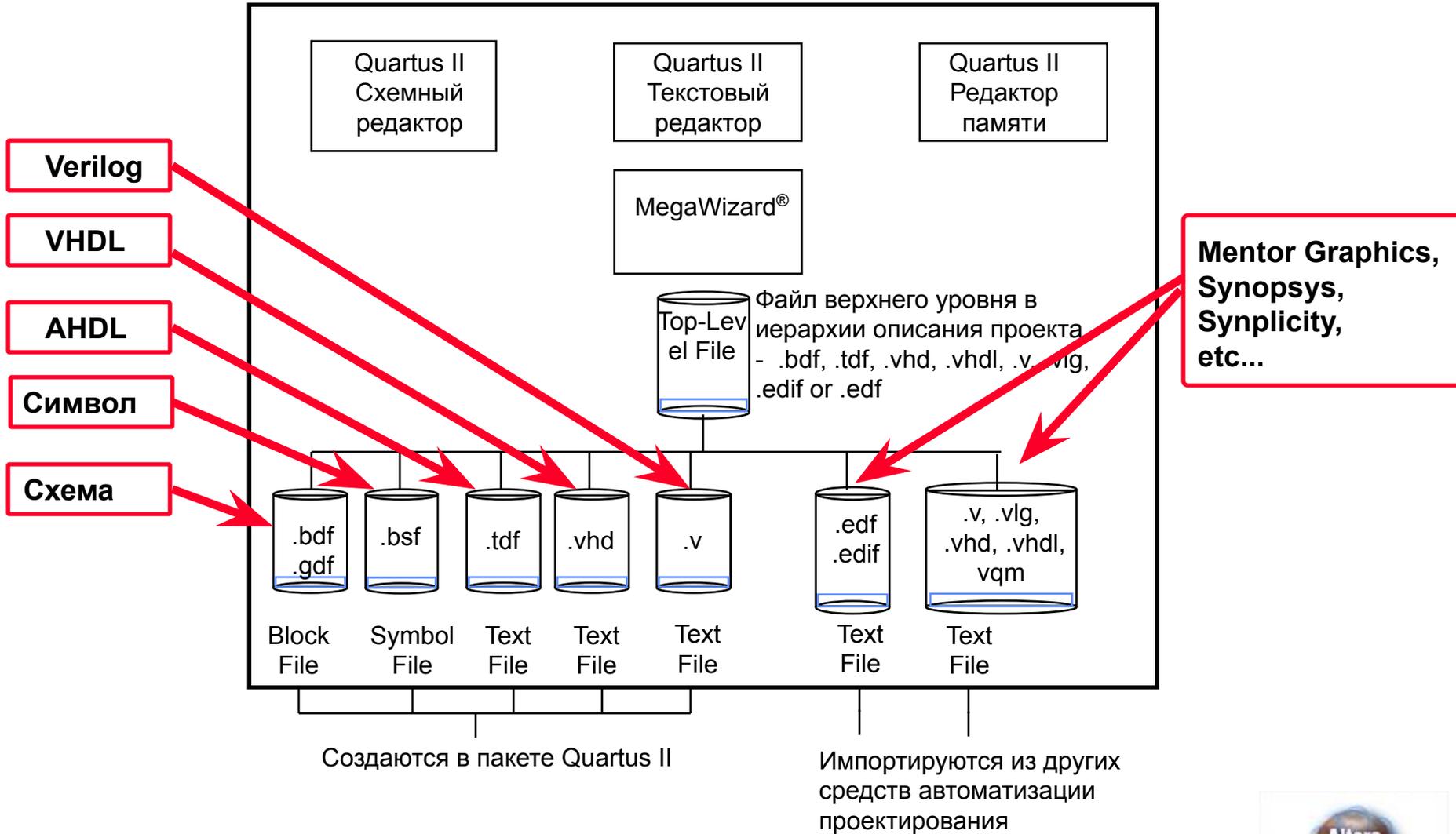
Настройка лицензии:

- Выбрать категорию **“License Setup”**
- В окне “License file” указать местоположение лицензионного файла
- Раздел “System info” указывает идентификационные параметры Вашего компьютера

Способы ввода описания проекта

- В рамках пакета Quartus II
 - Текстовый ввод (AHDL, VHDL, Verilog)
 - Редактор памяти (Hex, Mif)
 - Схемный ввод
- Возможность ввода проекта в других средствах автоматизации проектирования
 - EDIF, HDL, VQM
- Возможность использования Мегафункций и IP-модулей
- Возможность одновременного использования указанных выше способов в любом сочетании

Файлы с описанием проекта



Текстовый ввод описания проекта

■ Возможности

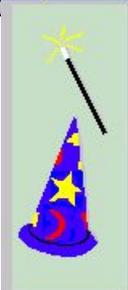
- Нумерация линий
- Использование заготовок языковых конструкций
- Отображение ключевых слов выбранными цветами
- Подсказка о необходимости сохранения файла

■ Используемые языки описания аппаратуры

- AHDL (стандартное расширение - .tdf)
- VHDL (стандартное расширение - .vhd)
- Verilog (стандартное расширение - .v)

Мастер MegaWizard

- Мастер MegaWizard облегчает процедуру настройки мегафункции и IP-модулей



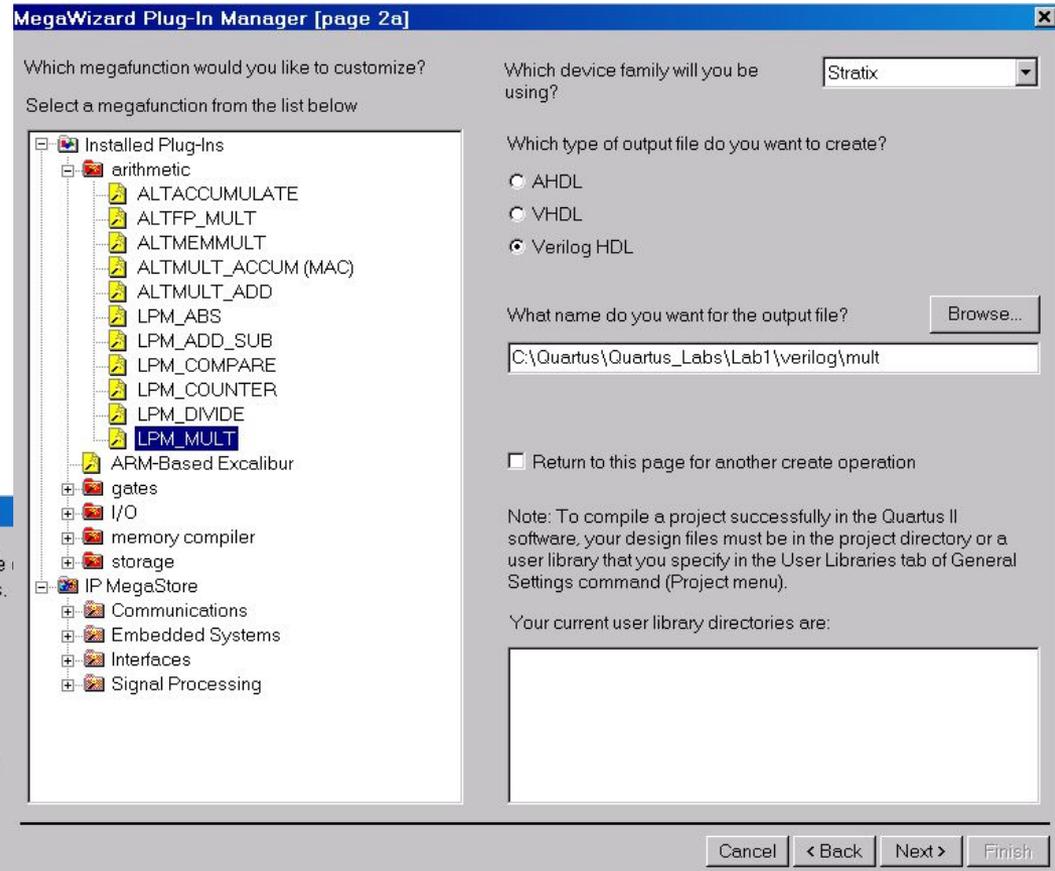
The MegaWizard Plug-In Manager helps you create files that contain custom variations of megafunctions.

Which action do you want to perform?

- Create a new custom megafunction variation
- Edit an existing custom megafunction variation
- Copy an existing custom megafunction variation

Copyright © 1991-2002 Altera Corporation

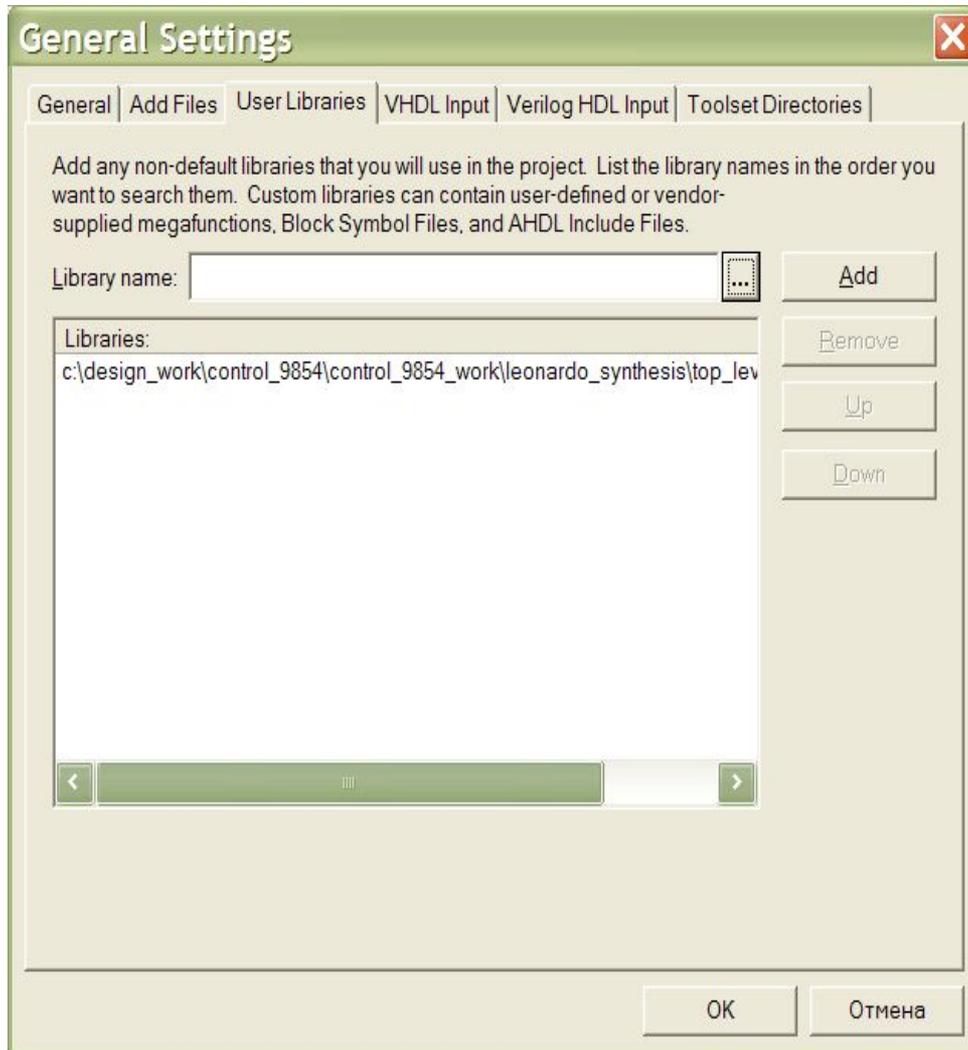
Cancel < Back Next > Finish



Базовые библиотеки пакета

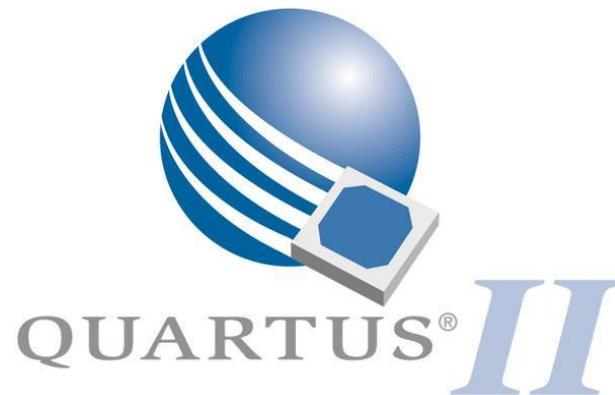
- Мегафункции, созданные фирмой Altera модули, позволяющие использовать архитектурные особенности СБИС ПЛ
 - ALTPLL, ALTLVDS, ALTDDIO...
- Библиотека стандартных параметризуемых модулей (LPMs)
 - Параметризуемые логические модули (lpm_and, lpm_decode...)
 - Параметризованные арифметические модули (LPM_ADD_SUB, LPM_COUNTER...)
- Библиотека примитивов
 - AND, OR, INPUT, DFFE
- Библиотека компонентов 74 серии
 - 161mux, 8fadd, 7400 series logic
- Дополнительные библиотеки (User Libraries)

Задание пользовательских библиотек



1. Из меню **Project** выполните команду **General Settings > User Libraries**
2. В окне "Library name" укажите путь к библиотеке и нажмите кнопку "Add"
3. Нажмите кнопку OK

Схемный ввод описания проекта в пакете Quartus® II



Схемный ввод описания проекта

- Схемный редактор интегрирован в пакет QuartusII
- При создании схемы могут использоваться:
 - Простейшие логические элементы, триггеры, выходы и другие примитивы
 - Параметризуемые модули
 - Мегафункции, созданные фирмой Altera модули
 - Ранее созданные (в текстовом или графическом редакторах) компоненты

Ввод символов в схему

The image shows the Altera Quartus II schematic editor interface. The main window displays a schematic diagram titled 'my_schematic.bdf*' with components like 'in_a', 'in_b', 'inst', 'inst2', and 'output'. A 'Symbol Tool' icon is visible in the top-left toolbar. An inset window titled 'Symbol' shows a hierarchical tree of libraries, with 'and12' selected under the 'logic' folder. The 'Name' field in the Symbol window contains 'and12'. A separate window shows a detailed graphical representation of the selected 'AND12' component.

Используя иконку панели инструментов (либо двойным щелчком в поле схемы) откройте окно «Symbol»

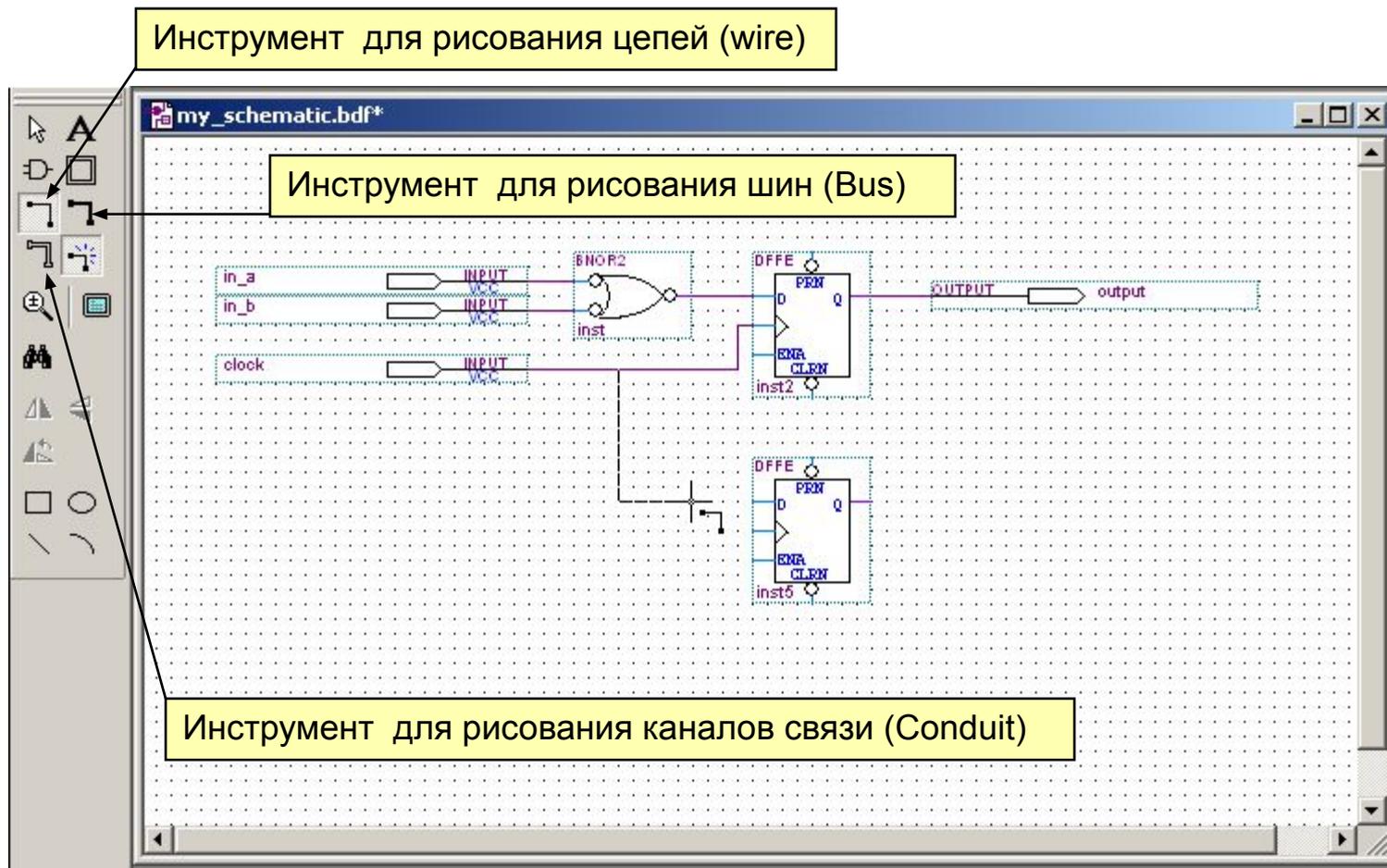
Компоненты, расположенные в рабочей папке проекта

Библиотечные компоненты пакета

Графическое изображение (символ) выбранного компонента

Имя выбранного компонента

Шины, цепи, каналы связи



Изменение имени и свойств объекта

Выберите объект, щелкните правой клавишей манипулятора, в появившемся окне выберите строку "Properties"

В окошке "Pin name(s)" задайте имя вывода.
В окошке "Default value" значение по умолчанию.

my_schematic.bdf*

in_a INPUT VCC
in_b INPUT VCC
inst 2NOR2
DFFE DFFE
clock INPUT VCC
output OUTPUT

Pin Properties

General | Format

To create multiple pins, enter a name in AHDL bus notation (for example, "name[3..0]"), or enter a comma-separated list of names.

Pin name(s): clock

Default value: VCC

OK Cancel

IC5 are preliminary and/or memory enables between source memory mem1:mem1[alts between source register sync_fifo:sync_fifo_inst[compensate_graycounter_top_glcoun[1] and destination register sync_fifo:sync_fifo_inst[dcfif

Создание символа

Откройте схемный или текстовый редактор с описанием компонента для которого будет создаваться символ

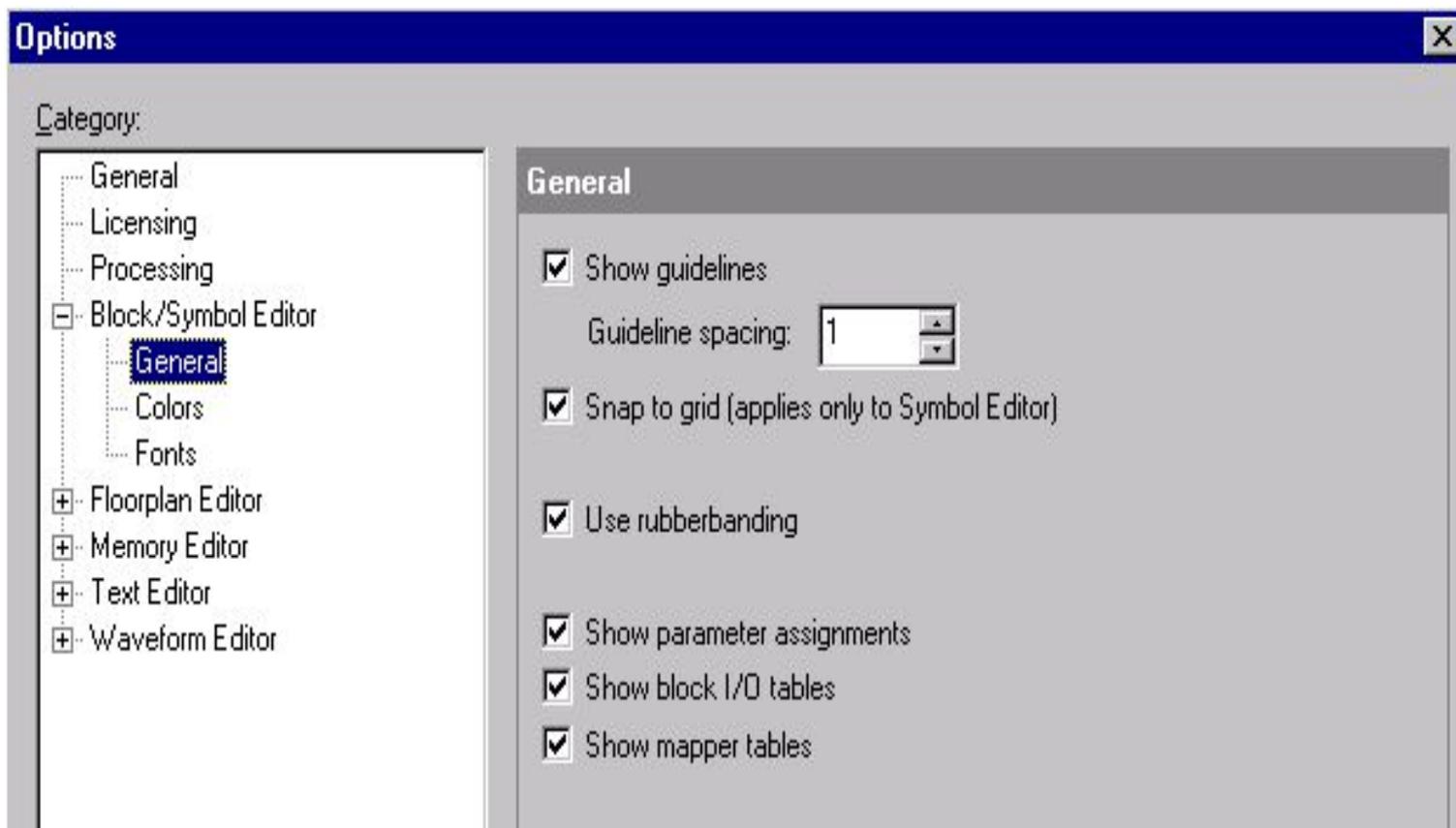
```
1 //Defines
2 `define TAPS
3
4 //Top Module
5 module decod
6   c1:
7   de
8   da
9   sh
10  ta
11  da
12
13 //Inputs
14 input c1:
15 input [17
16 input
17
18 //Outputs
19 output [1
20 output
```

Символ создается в рабочей папке проекта

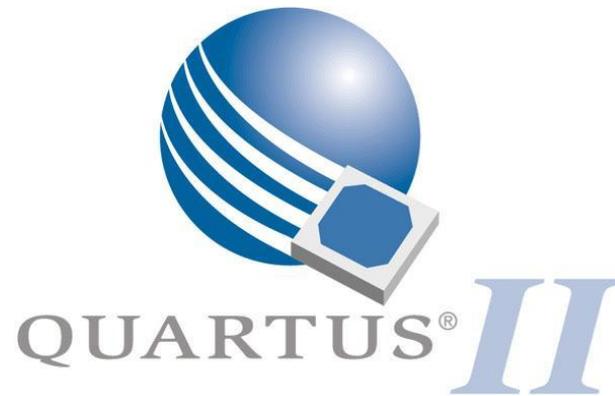
Выполните команду Меню File>Create/Update>Create Symbol for Current File

Задание опций схемного редактора

- Меню : Tools > Options



Редактор файла инициализации памяти.



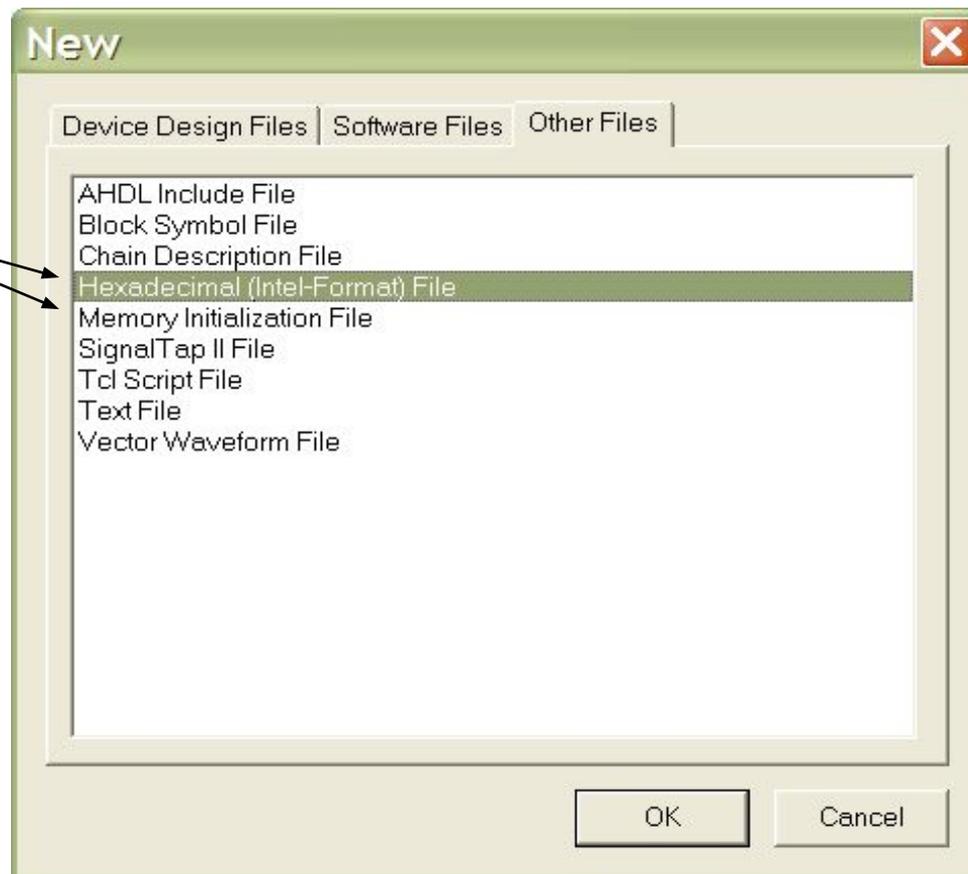
Редактор памяти

- Создание (редактирование) файла инициализации памяти в формате (.hex) или (.mif)
- Использование для создания СБИС
 - Если в проекте есть блок памяти (RAM, ROM, Dual-port RAM), то редактор памяти позволяет задать содержимое памяти, которое будет загружено при включении питания СБИС
- Использование для моделирования
 - Редактор памяти позволяет задать содержимое модуля памяти для проведения моделирования

Редактор памяти – создание нового файла

Меню : File > New > закладка Other Files

Hex формат
Mif формат



Редактор памяти – создание нового файла

- Укажите число слов (Number of Words) в модуле памяти и их размер (Word Size).

Number of Words and Word Size

Number of Words: 60

Word Size: 5

OK Cancel

Quartus II - C:\qdesigns11\tutorial\fir_filter

File Edit View Project Processing Value Tools Window Help

Compilation Hierarchies

- filtrf
 - acc:inst3
 - hvalues:inst2
 - mult:inst6
 - state_m:inst1
 - taps:inst

Hierarchies Files Design Units

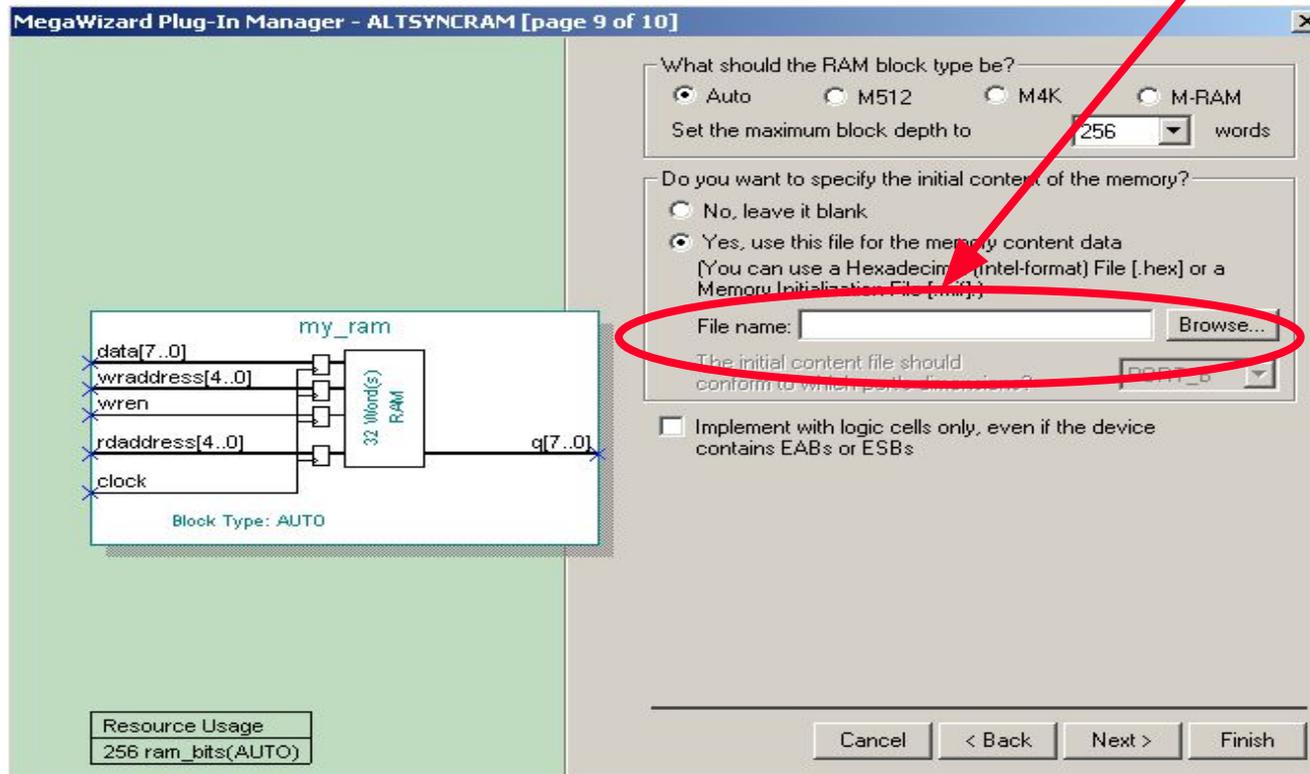
Mif2

Addr	+0	+1	+2	+3	+4	+5	+6	+7
0	0	0	0	0	0	0	0	0
8	0	0	0	0	0	0	0	0
16	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0
32	0	0	0	0	0	0	0	0
40	0	0	0	0	0	0	0	0
48	0	0	0	0	0	0	0	0
56	0	0	0	0				

Слова (ячейки)

Использование файла инициализации памяти

Укажите MIF or HEX файл



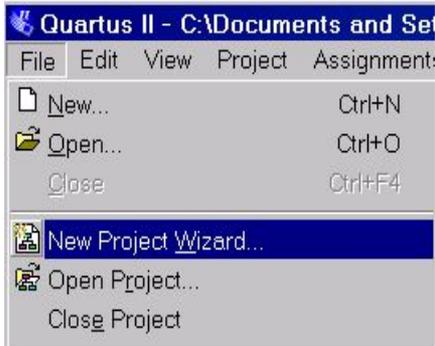
Понятие «проект» в пакете Quartus II



Проект в пакете Quartus II

- Под термином «проект» понимается набор файлов, связанных с проектируемым модулем, и библиотек.
 - Файлы могут быть:
 - Логическими – описывающими алгоритм работы модуля.
 - Вспомогательными – содержащими дополнительную информацию о проектируемом модуле
 - Проект может содержать либо несколько логических файлов, образующих иерархическое описание модуля (при этом один из логических файлов должен быть файлом верхнего уровня иерархии описаний), либо один логический файл (по умолчанию являющийся файлом верхнего уровня в иерархии описаний).
- Проект может быть создан с помощью:
 - Мастера **New Project Wizard**
 - Управляющий программ на языке tcl (test control language), созданных либо пользователем, либо в средствах автоматизации проектирования Synplify, LeonardoSpectrum

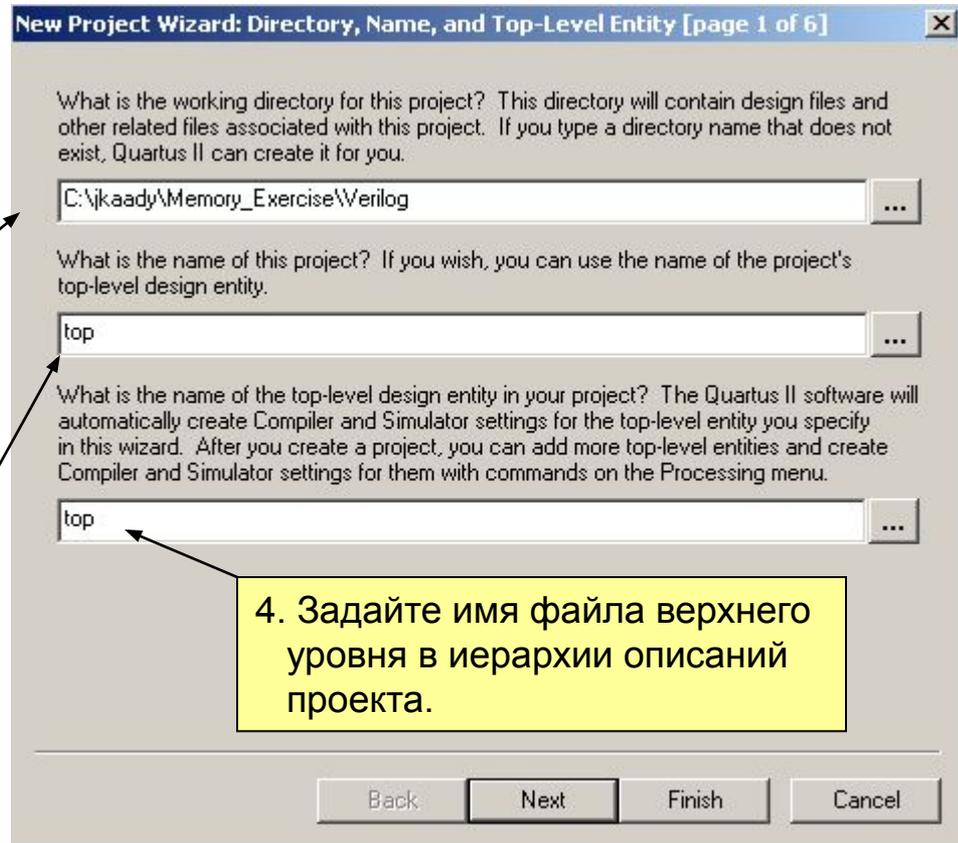
Мастер New Project Wizard - запуск



1. Для создания проекта запустите мастера «New Project Wizard» - команда File>NewProjectWizard

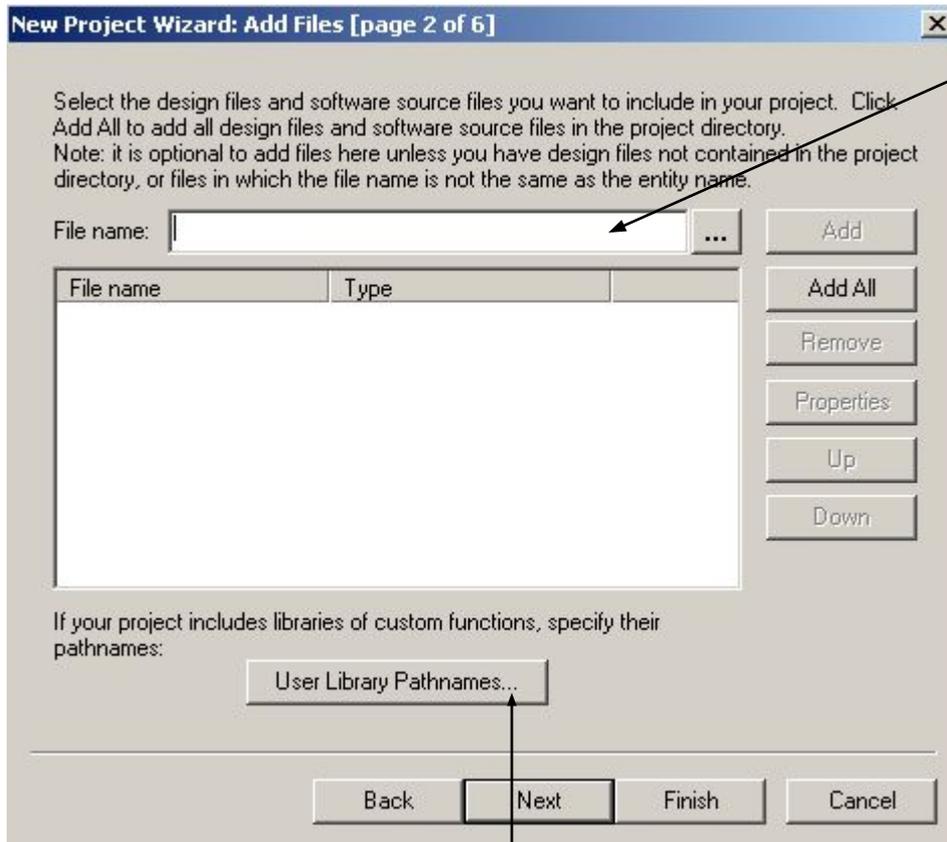
2. Укажите рабочую папку проекта

3. Задайте имя проекта. Имя может быть любым. Однако рекомендуется использовать имя, соответствующее имени файла верхнего уровня в иерархии описаний проекта.



4. Задайте имя файла верхнего уровня в иерархии описаний проекта.

Мастер New Project Wizard – добавление файлов к проекту



К проекту можно добавить файлы следующих типов:

- **Graphic (.BDF, .GDF)**
- **AHDL**
- **VHDL**
- **Verilog**
- **EDIF**

- Файлы нижних уровней в иерархии описания проекта, находящиеся в рабочей папке проекта, можно явным образом не добавлять к проекту. Они будут автоматически добавлены компилятором

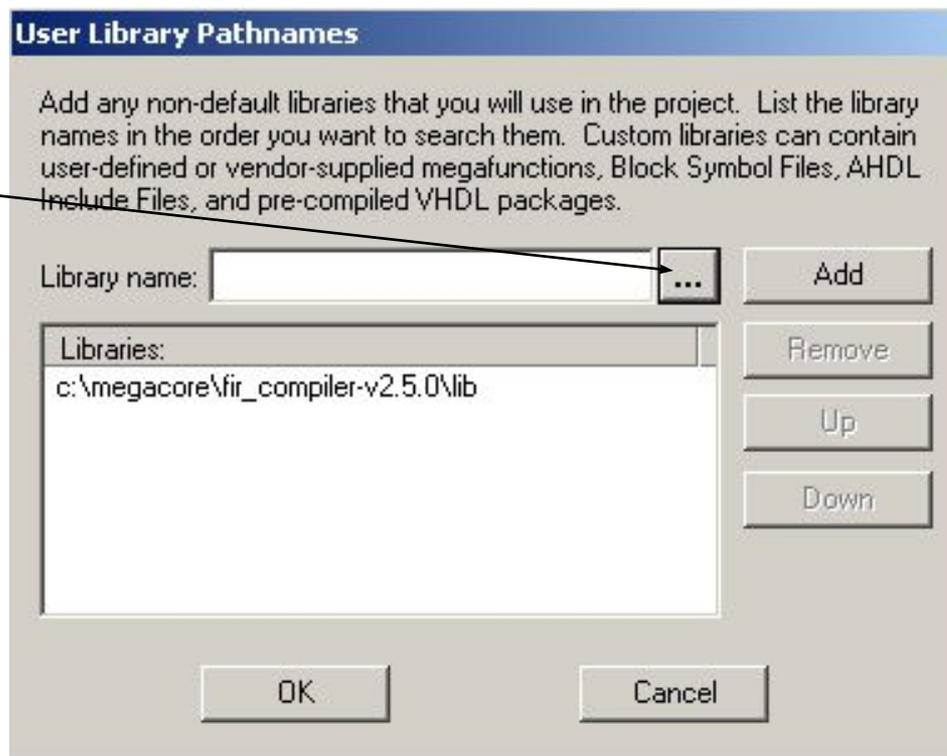
Используйте эту кнопку для указания дополнительных библиотек

Мастер New Project Wizard - задание дополнительных библиотек (User Libraries)

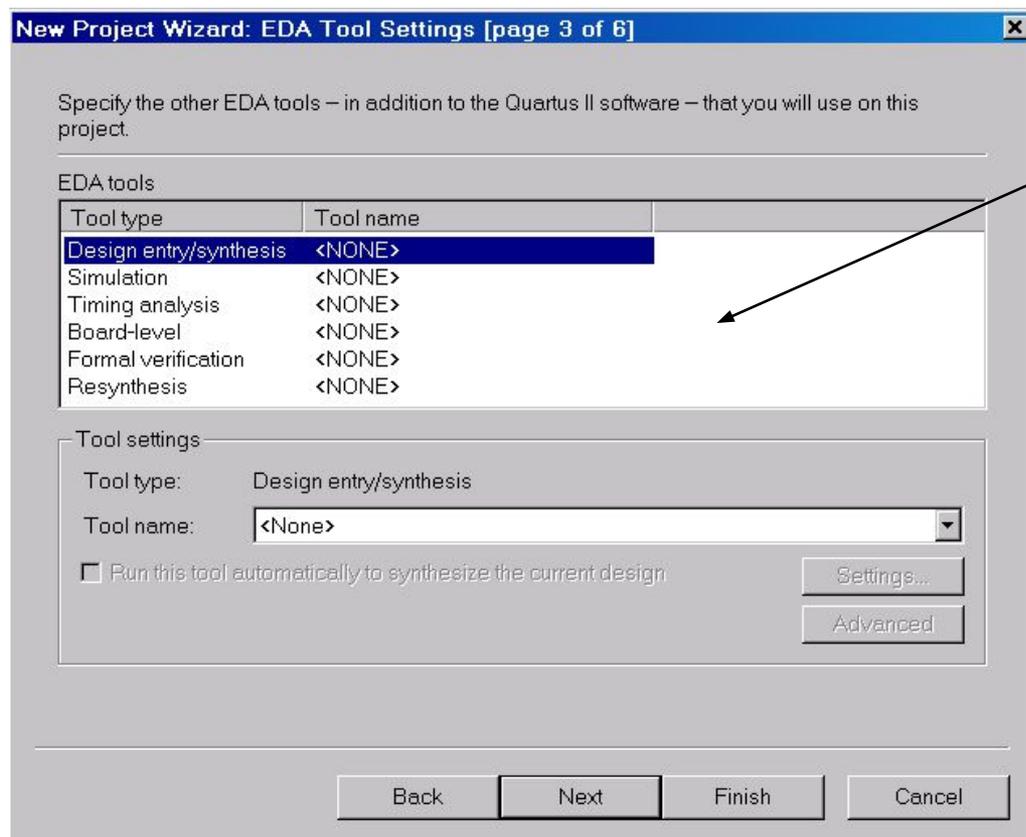
Укажите путь к библиотеке

Дополнительные библиотеки:

- Созданные Вами библиотеки
- Библиотеки модулей MegaCore®/AMPPSM
- Откомпилированные VHDL packages



Мастер New Project Wizard - Подключение дополнительных средств автоматизации проектирования (EDA Tool)



1. Выберите подключаемое средство проектирования (EDA tools) из списка.

2. Настройте используя кнопки **Settings** и **Advanced**.

Мастер New Project Wizard - выбор семейства СБИС для реализации проекта

New Project Wizard: Device Family [page 4 of 6]

Which device family do you wish to target?

Family:

Do you want to assign a specific device?

Yes

No, I want to allow the Compiler to choose a device

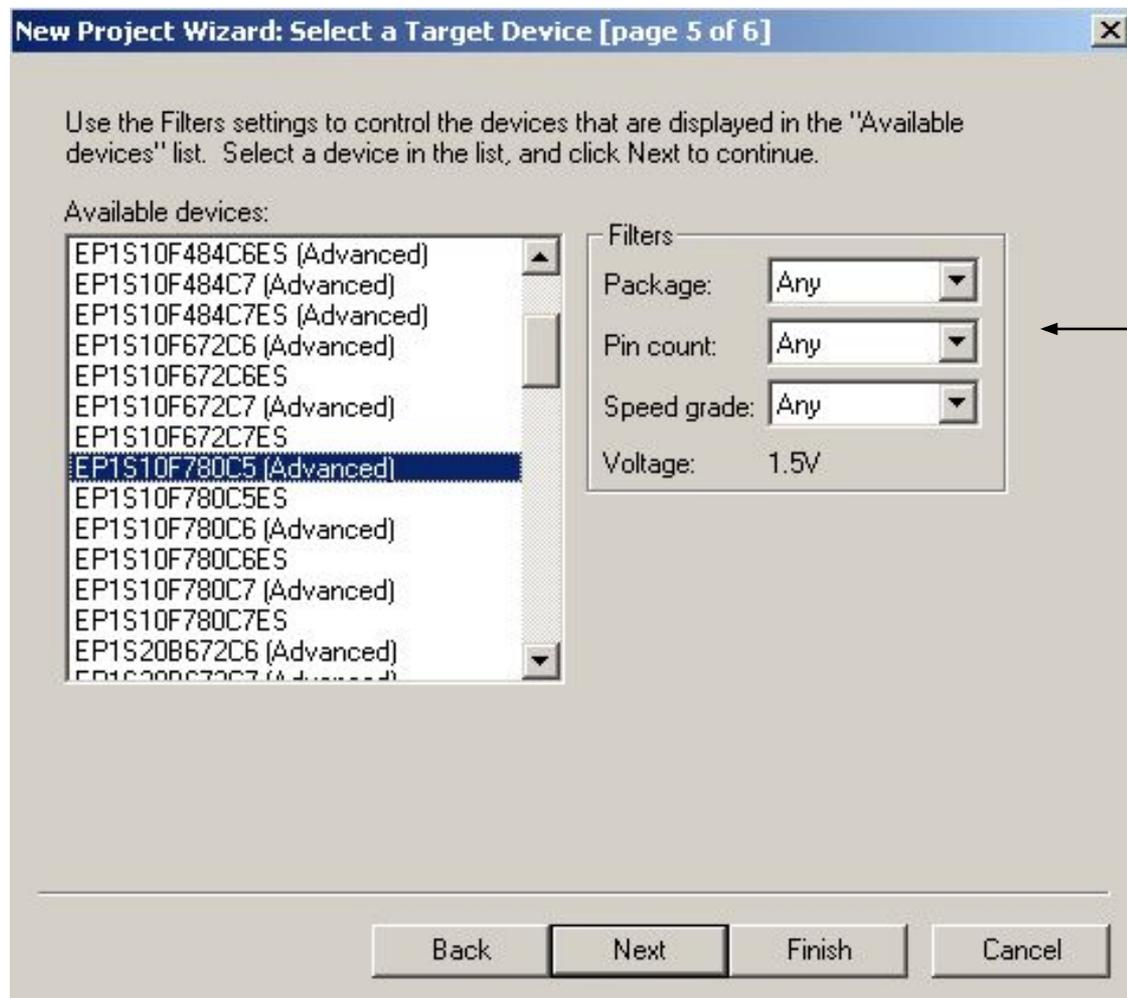
Back Next Finish Cancel

1. Выберите семейство СБИС

2. Укажите режим выбора типа СБИС:

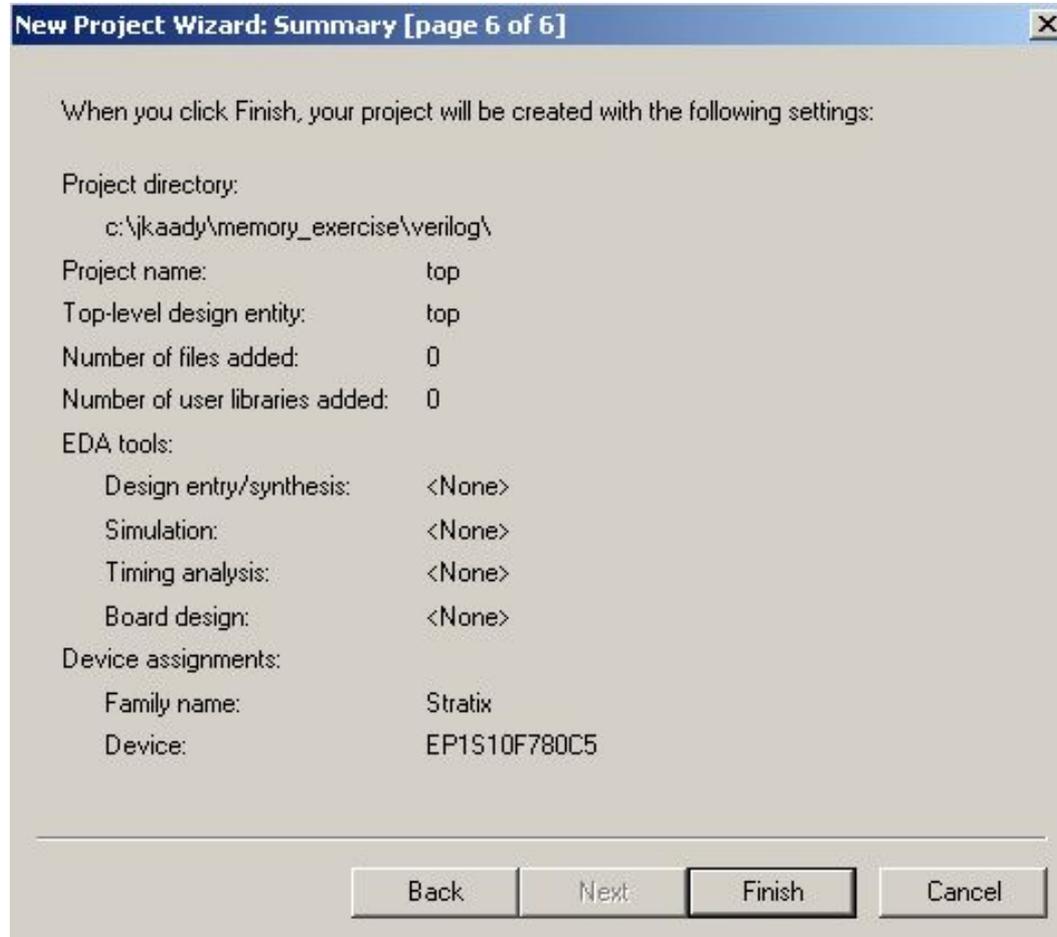
- Автоматический выбор компилятором (NO)
- непосредственное назначение типа СБИС (Yes)

Мастер New Project Wizard - назначение типа СБИС



Фильтры используются для упрощения поиска конкретной СБИС

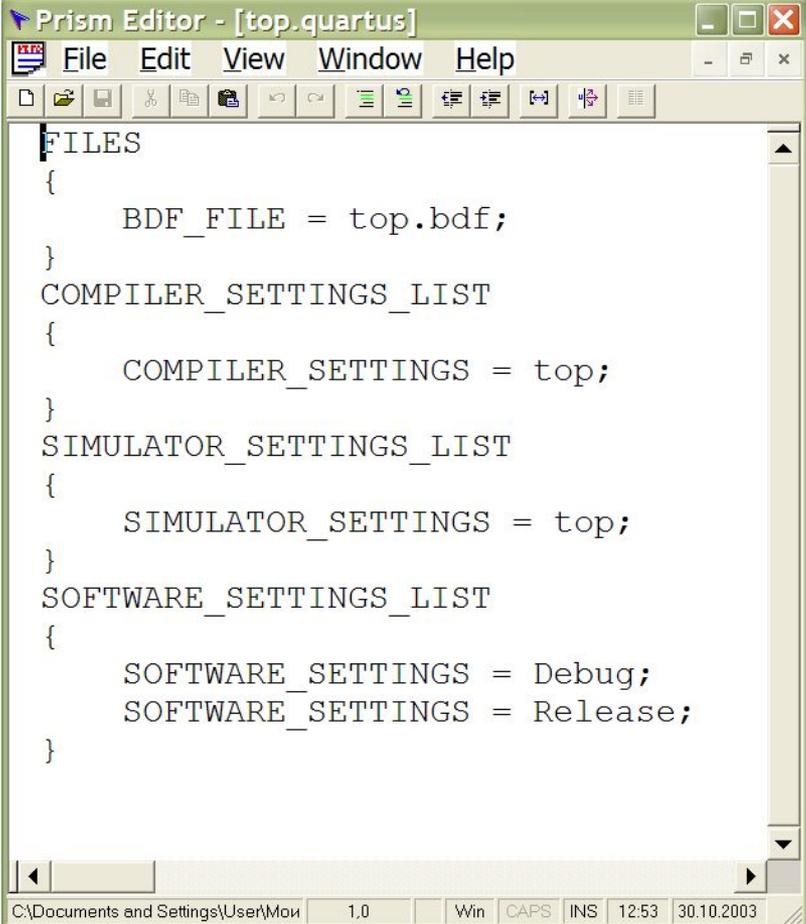
Мастер New Project Wizard - окно с результатами сделанных установок



Проверьте результаты сделанных установок и нажмите кнопку FINISH

Project Configuration File

- Автоматически генерируется мастером **New Project Wizard**
- Имя, задаваемое по умолчанию – **<имя проекта.quartus>**
- Хранит конфигурацию проекта
- Может редактироваться в текстовом редакторе

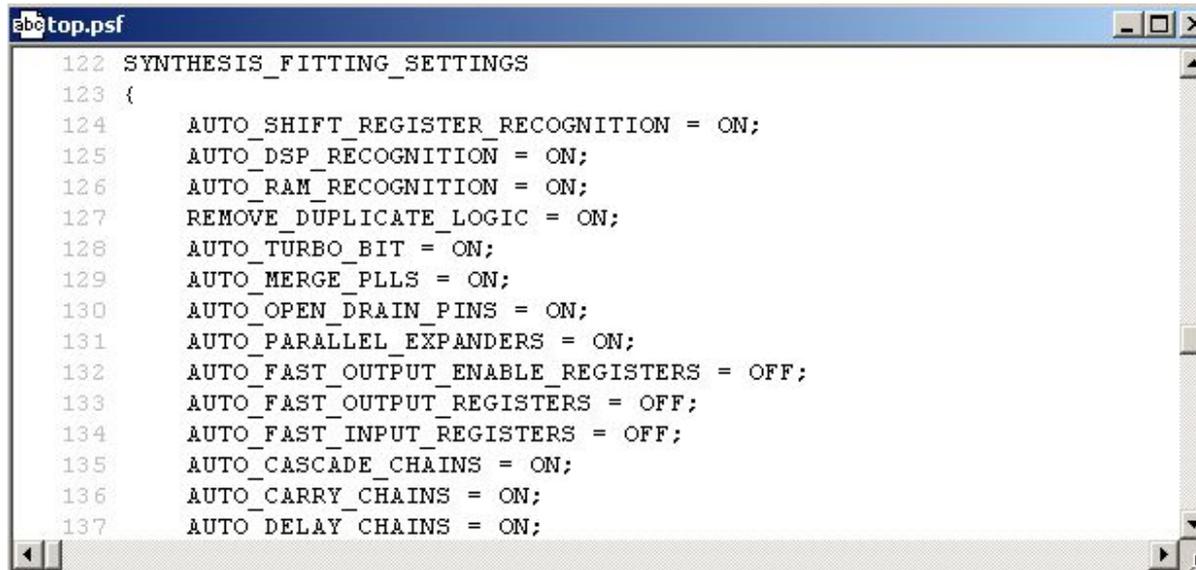


```
Prism Editor - [top.quartus]
File Edit View Window Help
FILES
{
    BDF_FILE = top.bdf;
}
COMPILER_SETTINGS_LIST
{
    COMPILER_SETTINGS = top;
}
SIMULATOR_SETTINGS_LIST
{
    SIMULATOR_SETTINGS = top;
}
SOFTWARE_SETTINGS_LIST
{
    SOFTWARE_SETTINGS = Debug;
    SOFTWARE_SETTINGS = Release;
}
```

C:\Documents and Settings\User\Мои 1.0 Win CAPS INS 12:53 30.10.2003

Файл с установками проекта - *.PSF (Project Settings File)

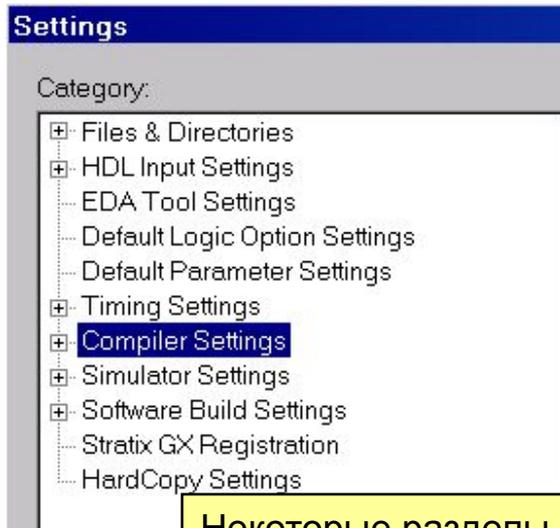
- Автоматически генерируется мастером **New Project Wizard**
- Имя, задаваемое по умолчанию - <имя проекта.psf>
- Хранит установки проекта
- Может редактироваться в текстовом редакторе



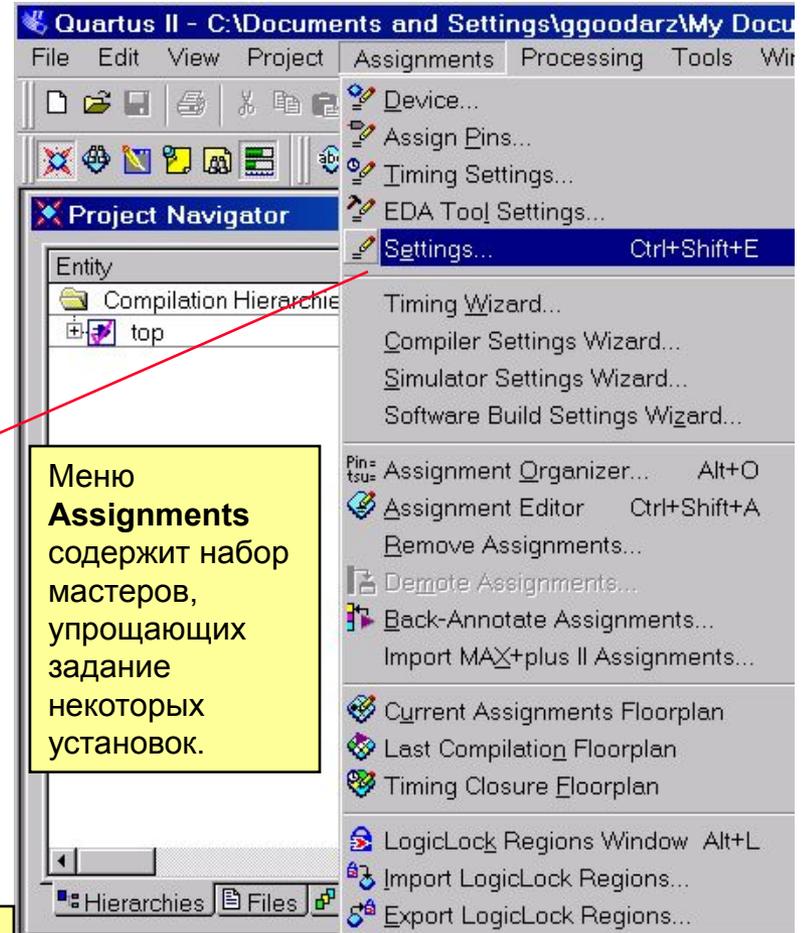
```
top.psf
122 SYNTHESIS_FITTING_SETTINGS
123 {
124     AUTO_SHIFT_REGISTER_RECOGNITION = ON;
125     AUTO_DSP_RECOGNITION = ON;
126     AUTO_RAM_RECOGNITION = ON;
127     REMOVE_DUPLICATE_LOGIC = ON;
128     AUTO_TURBO_BIT = ON;
129     AUTO_MERGE_PLLS = ON;
130     AUTO_OPEN_DRAIN_PINS = ON;
131     AUTO_PARALLEL_EXPANDERS = ON;
132     AUTO_FAST_OUTPUT_ENABLE_REGISTERS = OFF;
133     AUTO_FAST_OUTPUT_REGISTERS = OFF;
134     AUTO_FAST_INPUT_REGISTERS = OFF;
135     AUTO_CASCADE_CHAINS = ON;
136     AUTO_CARRY_CHAINS = ON;
137     AUTO_DELAY_CHAINS = ON;
```

Изменение установок проекта

- Меню настроек «Assignments Menu» позволяет получить доступ ко всем настройкам и установкам проекта.
- Для задания установок проекта следует открыть окно установок: меню **Assignments -> Settings**

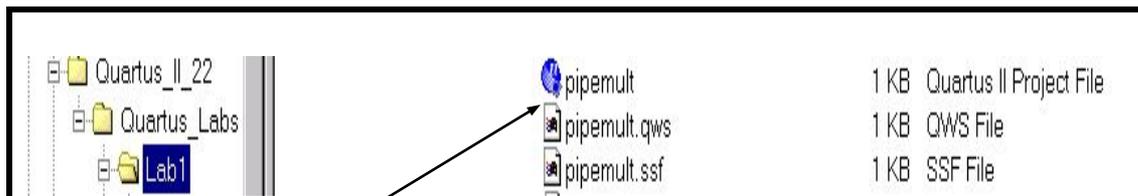
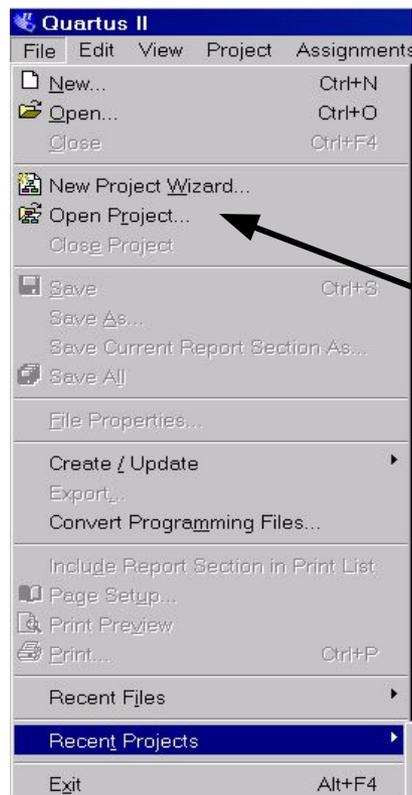


Некоторые разделы окна **Setting** могут быть вызваны прямо из меню **Assignments**.



Меню **Assignments** содержит набор мастеров, упрощающих задание некоторых установок.

Как открыть проект?



Двойным щелчком манипулятора по символу файла с расширением **.quartus** запустите пакет **Quartus II**. При этом будет автоматически загружен выбранный проект.

ИЛИ

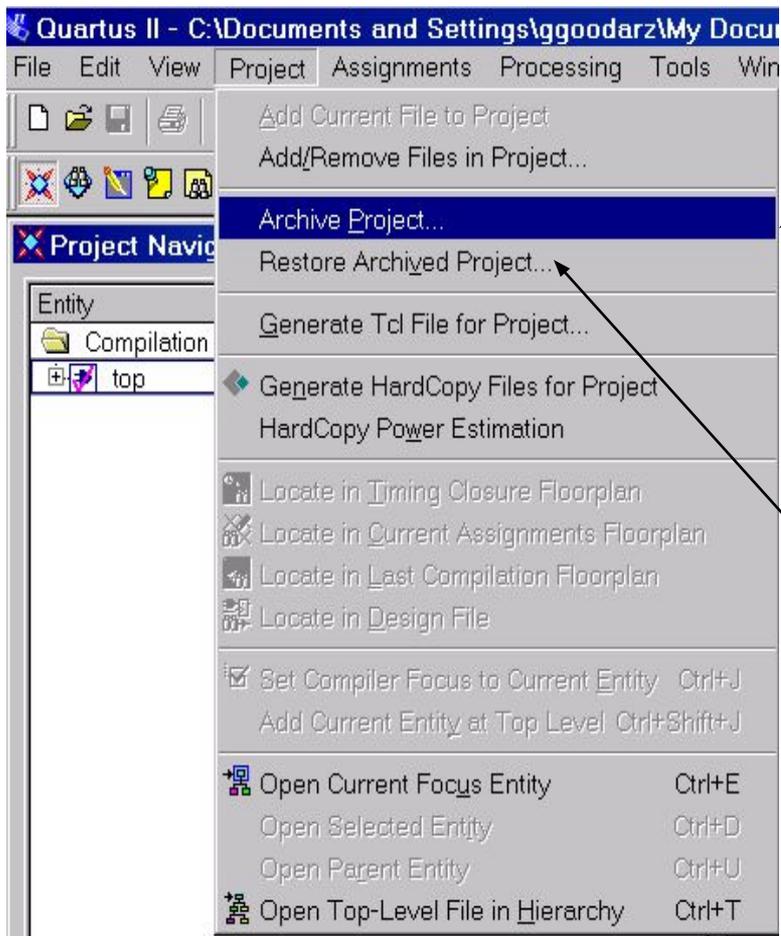
В меню **File** пакета Quartus II выберите **Open Project**

ИЛИ

В меню **File** пакета Quartus II в разделе **Recent Projects** выберите проект из списка тех проектов, которые открывали в последнее время.

- 1 C:\Documents and Settings\ggoodarz\My Documents\Quartus_II_22\Quartus_Labs\Mem_Exercise_ver2\Verilog\top
- 2 C:\Documents and Settings\ggoodarz\My Documents\Quartus_II_22\Quartus_Labs\Lab1\pipemult
- 3 C:\quartus2.2\stratix_exercises\module3\top
- 4 c:\quartus2.2\stratix_exercises\module3\verilog\top
- 5 c:\quartus2.2\stratix_exercises\module3\leonardo\ver1\top

Архивация и восстановление проекта «Archive & Restore»



При выполнении команды
меню: Project >Archive Project
создаются:

1. Файл - <имя проекта>.qar
-сжатый архивный файл с проектом
2. Файл - <имя проекта>.qarlog
-файл с отчетом о результатах архивирования

При выполнении команды
Меню: Restore Archived Project
восстанавливается архивированный проект

Навигатор проекта «Project Navigator»

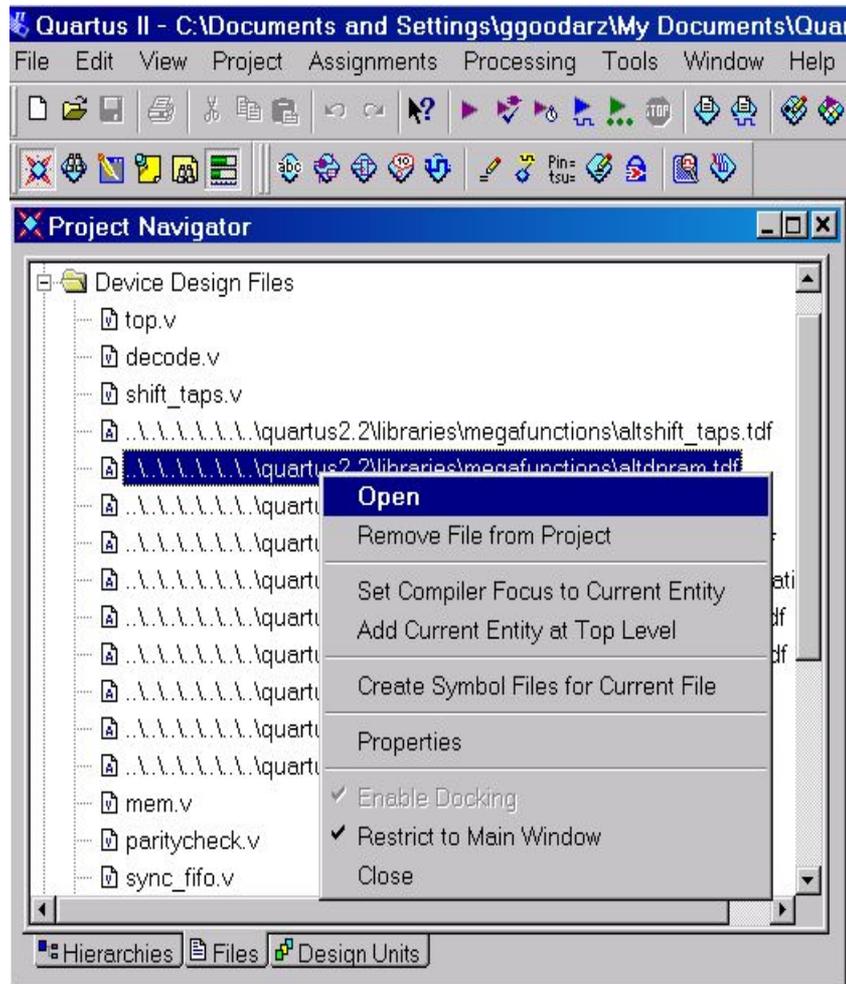


Закладка «Hierarchies» навигатора проекта

Entity	Logic Cells	Registers	Memory Bits	D:
Compilation Hierarchies				
top	193 (2)	147	580656	0
sync_fifo:sync_fifo_inst	155 (0)	127	4608	0
dcfifo:dcfifo_component	155 (10)	127	4608	0
paritycheck:paritycheck	6 (6)	n	n	n
mem:mem1	0 (0)			
altsyncram:altsyncram_c...	0 (0)			
decode:decode1	30 (23)			
shift_taps:shift1	7 (0)			

- Отображает иерархию проекта «Hierarchy View»
- Навигатор может быть использован для выполнения установок для всего проекта и индивидуальных установок для каждого из модулей проекта
 - Для вызова меню настройки выберите модуль проекта и щелкните правой клавишей манипулятора

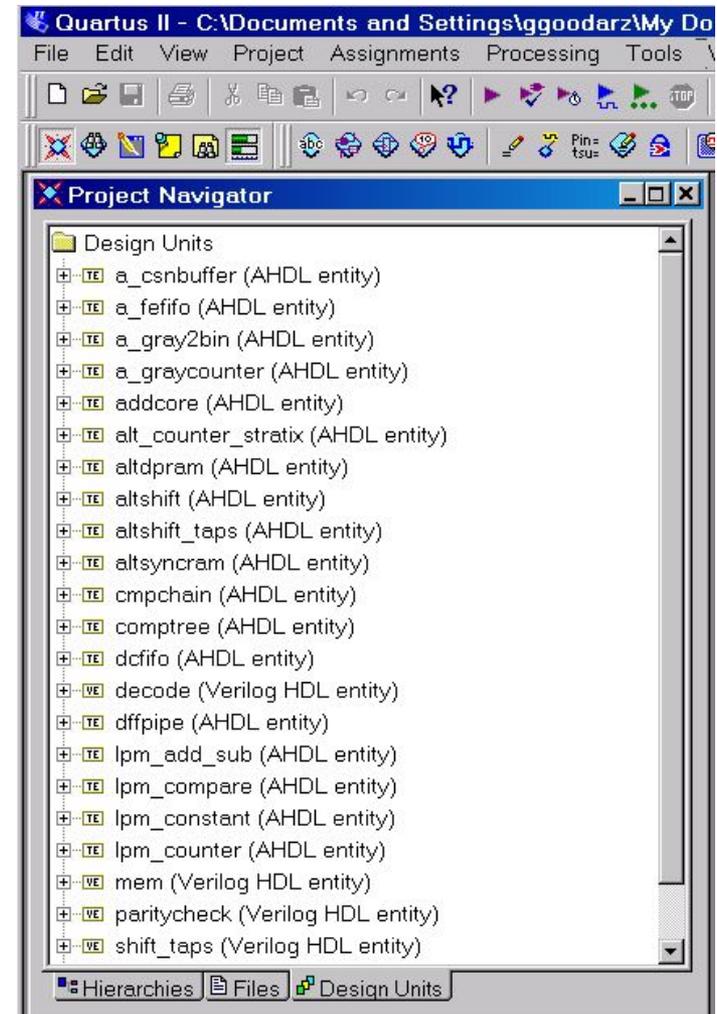
Закладка «Files» навигатора проекта



- Отображает папки
 - Device Design Files (логические файлы проекта)
 - Software Files (файлы с программами)
 - Other Files (вспомогательные файлы проекта)
- Имеет меню для работы с файлами (для вызова меню выберите файл и щелкните правой клавишей манипулятора)

Закладка «Design Units» навигатора проекта

- Отображает все компоненты проекта
- Использованный способ описания проекта и язык описания
- Файл с описанием компонента

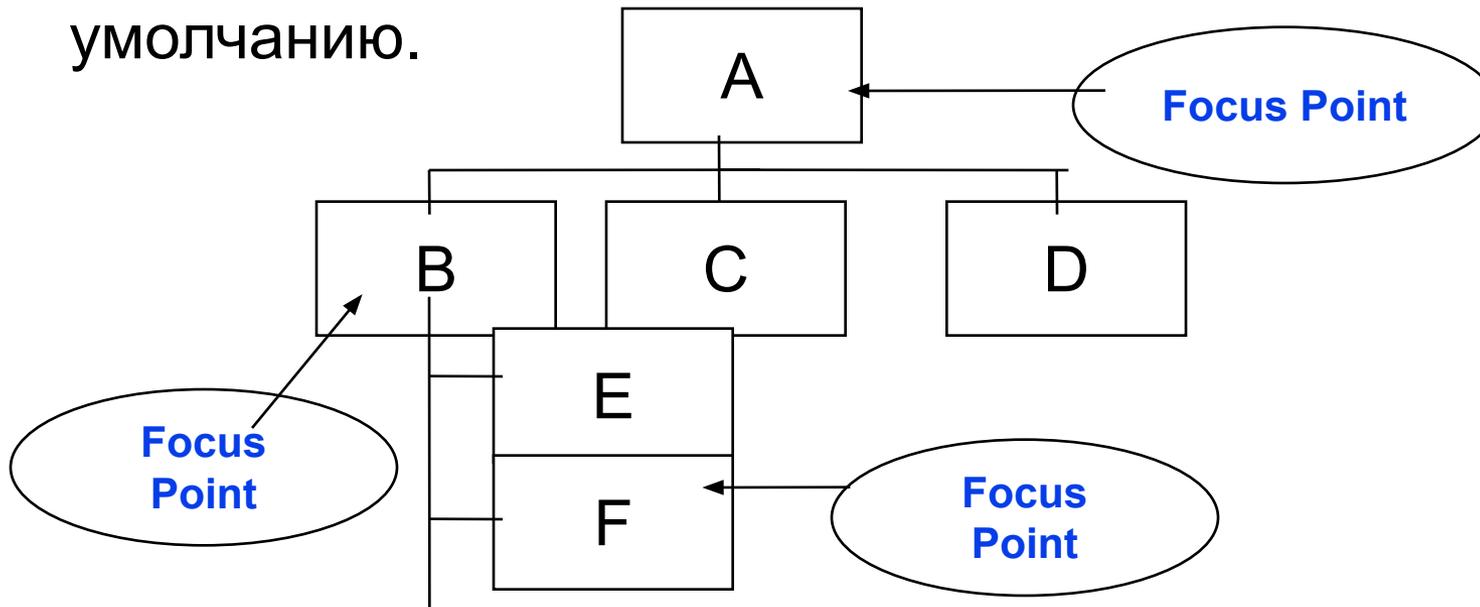


Компиляция проекта в пакете Quartus II



Что такое объект компиляции «Focus Points»?

- Компонент в иерархии описаний проекта, который будет компилироваться так, как если бы он был компонентом верхнего уровня в иерархии описаний.
- Файл верхнего уровня в иерархии описания проекта (Top-level entity) является объектом компиляции по умолчанию.

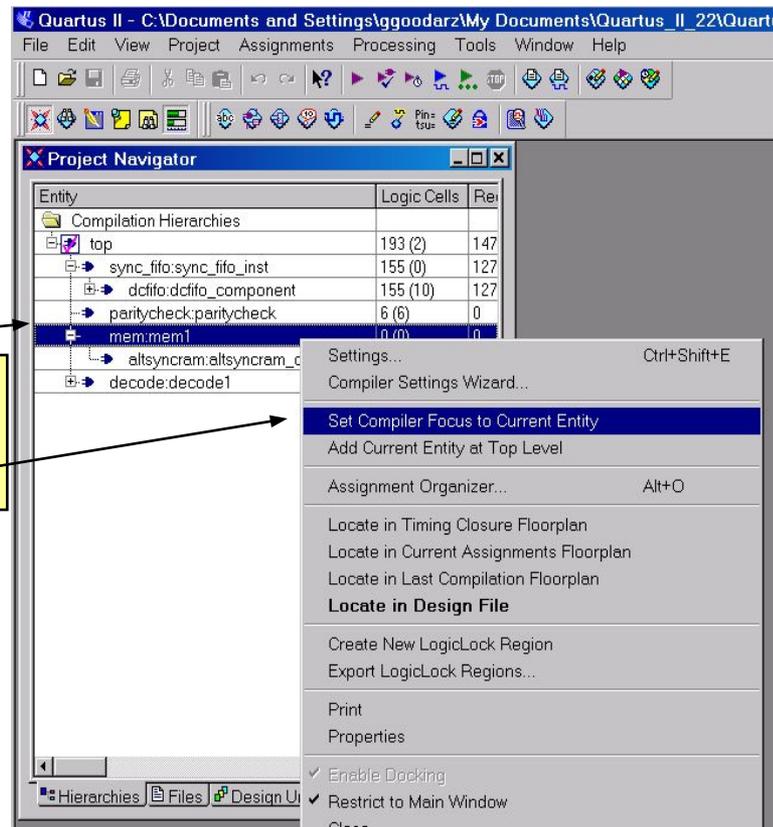
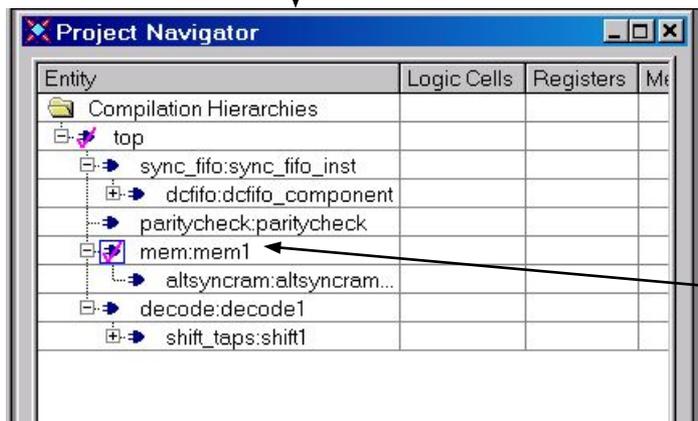


Объект компиляции «Focus Points»

■ Навигатор проекта

- После выполнения команды **Processing>Start> Start Analysis & Elaboration** отображает иерархию проекта
- Может быть использован для установки объектов компиляции

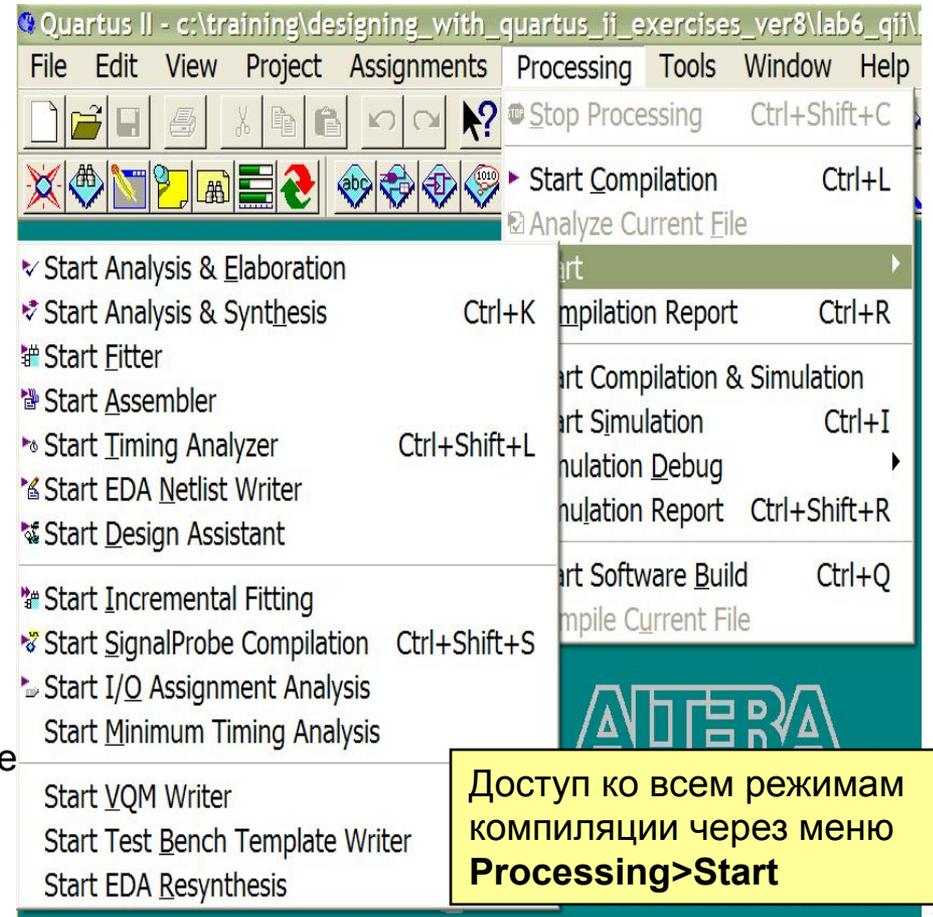
Выберите компонент
Нажмите правую клавишу манипулятора
Выберите команду **Set Compiler Focus to Current Entity**



Этот знак показывает, что данный компонент выбран как объект компиляции

Режимы компиляции

- Полная компиляция (Start Compilation)
 - Полная компиляция, включая сборку СБИС
- Start Analysis & Elaboration
 - Проверка синтаксиса и построение базы данных объекта компиляции
- Start Analysis & Synthesis
 - Проверка синтаксиса, построение базы данных, синтез, оценка быстродействия объекта компиляции
- Start Timing Analysis
 - Только оценка быстродействия объекта компиляции
- Start Design Assistant
 - Запуск «помощника в проектировании»
- Start SignalProbe
 - Запуск компиляции в режиме SignalProbe
- Stop – остановка процесса компиляции



Окно состояния (Status) и окно сообщений (Message)



Запустите полную компиляцию проекта, появятся:
Окно состояния компиляции; Окно сообщений.

Module	Progress %	Time
Processing Total	100 %	00:02:13
Initialization	100 %	00:00:00
Compiler Total	100 %	00:02:12
Database Builder	100 %	00:00:14
Logic Synthesizer	100 %	00:00:06
Filter	100 %	00:01:50
Assembler	100 %	00:00:00
Timing Analyzer	100 %	00:00:00

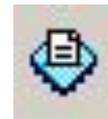
Processing Time

Total pins 114 / 426 (26 %)
Total memory bits 580,656 / 920,448 (63 %)
DSP block 9-bit elements 0 / 48 (0 %)
Total PLLs 0 / 6 (0 %)
Device for timing analysis EP1S10F780C6

Design top: Full compilation was successful. 0 errors, 2 warnings

- **Окно состояния** отображает процесс выполнения этапов компиляции
- **Окно сообщений** отображает :
 - Информационные сообщения (синий символ) - **informational**,
 - Предупреждения (желтый символ) - **warning**
 - Сообщения о ошибках (красный символ) - **error messages**

Отчет о компиляции (Compilation Report)



Flow Status: Successful - Thu Oct 30 11:41:26 2003

Compiler Setting Name	pipemult
Top-level Entity Name	pipemult
Family	Stratix
Device	EP1S10F780C5
Total logic elements	134 / 10,570 (1 %)
Total pins	44 / 426 (10 %)
Total memory bits	512 / 920,448 (< 1 %)
DSP block 9-bit elements	0 / 48 (0 %)
Total PLLs	0 / 6 (0 %)
Total DLLs	0 / 2 (0 %)

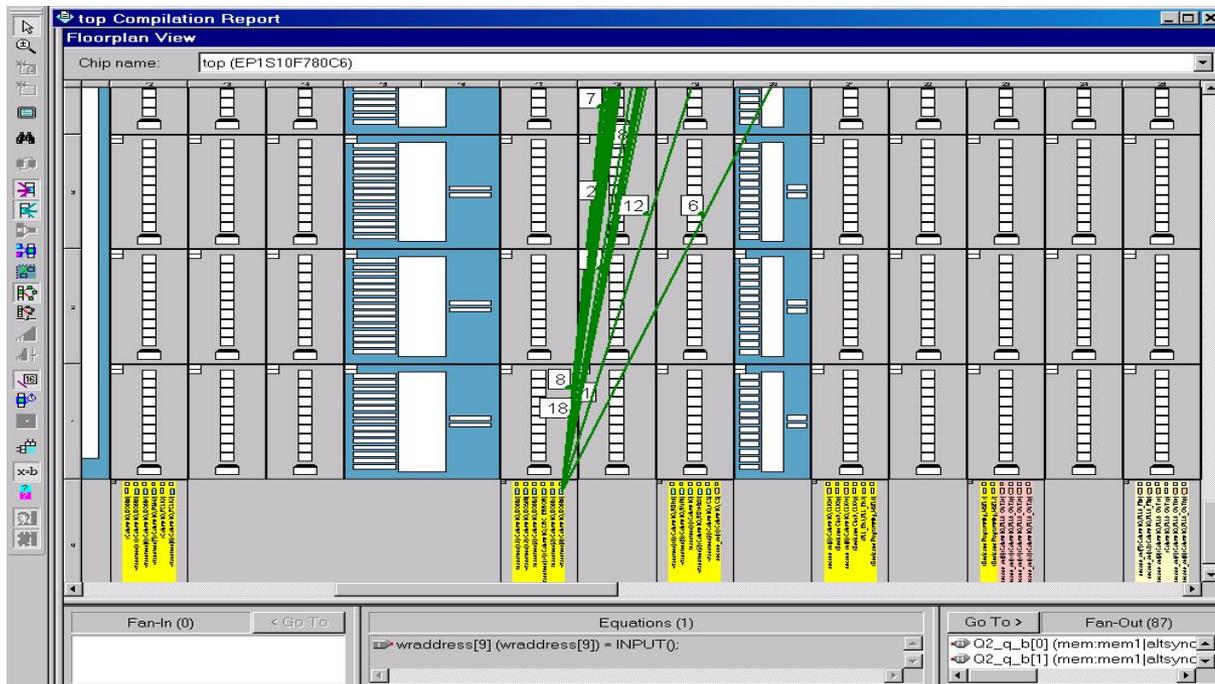
Окно отчета появляется автоматически после окончания компиляции.

Оно содержит:

- сводную информацию (**Summary**)
- детальную информацию, разбитую на отдельные разделы.

Редактор топологии (Floorplan)

- Редактор топологии позволяет:
 - Осуществлять текущие назначения (current assignments)
 - Отображать результаты последней компиляции (Last compilation)
 - Оптимизировать временные параметры (timing closure)

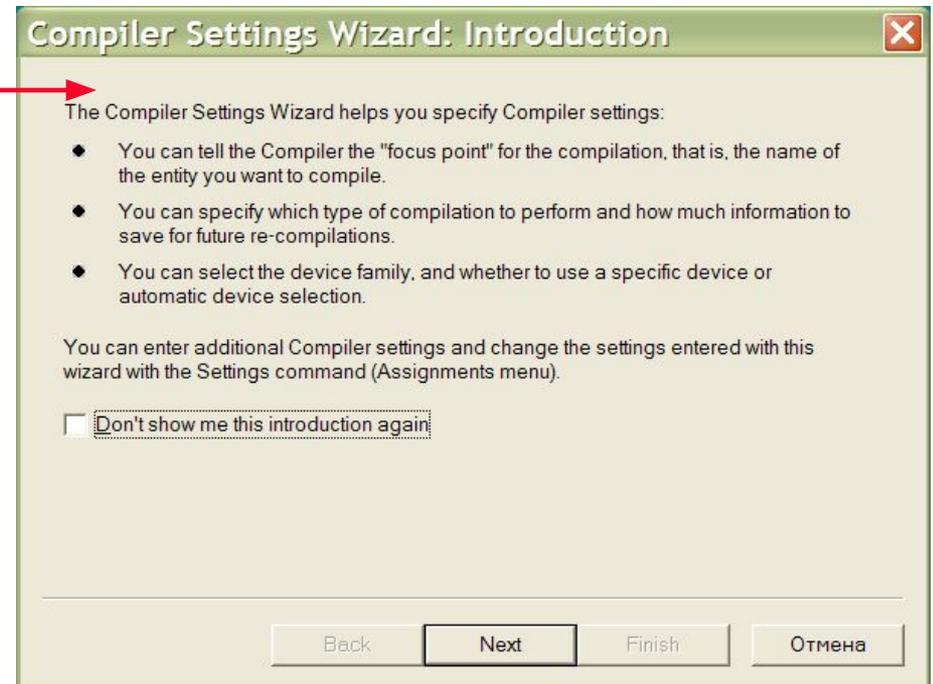
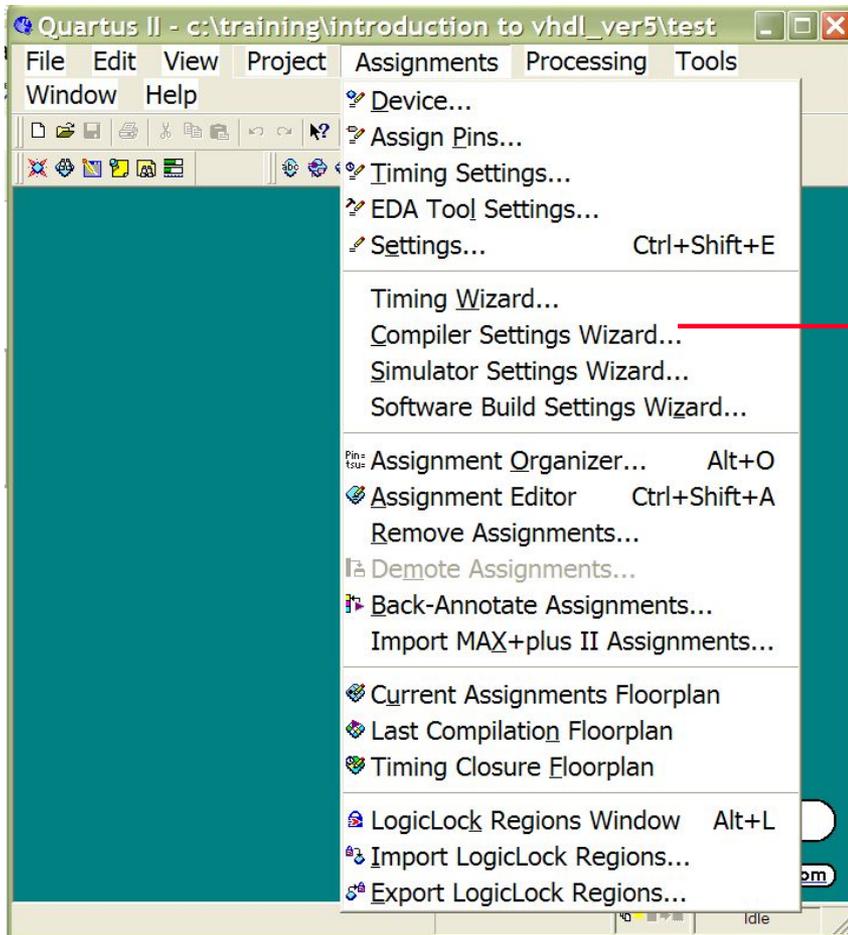


Установки компилятора «Compiler Settings»

Редактирование установок компилятора «Compiler Settings»

- Прежде всего необходимо проверить синтаксис и построить базу данных для объекта компиляции (**Processing>Start> Start Analysis & Elaboration**)
- Для редактирования установок компилятора используется:
 - Мастер Compiler Settings (упрощает задание некоторых, базовых, установок)
 - Окно Setting (вызывается меню **Assignments> Settings> Compiler settings**) позволяет задать все установки компилятора, включая
 - Выбор, установка, задание параметров СБИС
 - Назначение выводов «Pin Assignments»
 - Настройка системы логического синтеза «Synthesis Logic Options»
 - Задание требований по быстродействию «Timing Requirements»

Мастер - Compiler Settings(1)



Мастер - Compiler Settings (2,3)

Compiler Settings Wizard: Entity and Settings Na...

Which entity do you want to compile? You can compile a complete hierarchy by specifying a top-level design entity name, or compile only a portion of a hierarchy by specifying a lower-level entity, as the "focus point." If you specify a lower-level entity, include its full hierarchical pathname.

Focus point:

Which Compiler settings do you wish to edit? You can type a new name to create new settings, or select an existing name from the drop-down list. Altera recommends using a name that includes the focus point name.

Settings name:

Back Next Finish Отмена

Задайте объект компиляции
(**focus point**)
и имя установки для данного
объекта компиляции
(**settings name**)

Compiler Settings Wizard: Compilation Mode [pag... X]

What are your goals for compilation speed versus disk space usage?

Normal compilation/less disk space

Smart compilation/more disk space. The Compiler will save extra data to make future re-compilations run faster.

Do you want to save disk space by reducing the number of node names available when you enter assignments, simulate, etc.?

Yes

No

Back Next Finish Отмена

- Скорость компиляции или сокращение используемого объема диска (Speed vs. disk space usage)?
- Сокращать число доступных для наблюдения узлов (Reduce node names)?

Мастер - Compiler Settings (4,5)

The image shows two screenshots of the 'Compiler Settings Wizard' software. The first screenshot, titled 'Compiler Settings Wizard: Device Family [page 3 ...]', asks 'Which device family do you wish to target?' and has a dropdown menu with 'APEX20KE' selected. Below it, it asks 'Do you want to assign a specific device?' with radio buttons for 'Yes' (selected) and 'No, I want to allow the Compiler to choose a device'. The second screenshot, titled 'Compiler Settings Wizard: Select a Target Device...', shows a list of 'Available devices' with 'EP20K30EFC144-1' selected. To the right of the list are 'Filters' for Package, Pin count, Speed grade, and Voltage (set to 1.8V). A red arrow points from the 'Next' button in the first window to the 'Available devices' list in the second window. Two yellow callout boxes with black text provide instructions: 'Задайте семейство СБИС (Family)' and 'Задайте тип СБИС (Device)'.

Задайте семейство СБИС (Family)

Задайте тип СБИС (Device)

Мастер - Compiler Settings (результаты установок)

Сохранить файл в формате VQM

Compiler Settings Wizard: Incremental Synthesis ...

Do you want to save a node-level netlist into a persistent source file (Verilog Quartus Mapping File)?

No

Yes, save it as the following file name:

Back Next Finish Отмена

Compiler Settings Wizard: Summary [page 6 of 6]

When you click Finish, the following Compiler settings will be saved and will become your current settings:

Settings name:	test
Focus point:	test
Speed/disk usage goal:	Normal
Reduce node names:	Yes
Device family:	APEX20KE
Target device:	EP20K30EFC144-1
Incremental synthesis:	No

Back Next Finish Отмена

Окно с результатами установок.

Окно Settings - редактирование установок компилятора

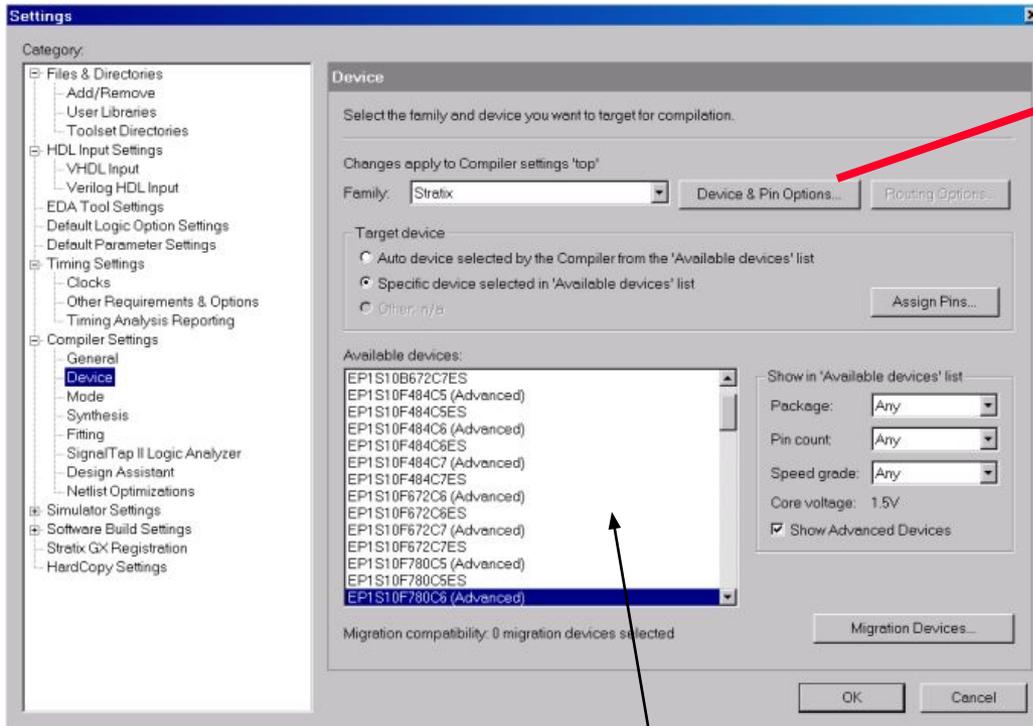
Для редактирования установок и настроек компилятора выберите меню: **Assignments > Settings > Compiler Settings**

The screenshot shows the Quartus II interface with the 'Settings' dialog box open. The 'Assignments > Settings > Compiler Settings' menu path is highlighted with a red arrow. The 'Settings' dialog box is titled 'Settings' and has a 'Category:' list on the left. The 'Compiler Settings' category is expanded, and the 'General' sub-category is selected. The 'General' tab is active, showing a message: 'You can select an existing group of Compiler settings to use. You can also select the entity you want to compile as the "Compilation focus."' Below this message, there are two dropdown menus: 'Current Compiler settings:' with 'top' selected, and 'Compilation focus:' with 'top' selected. A 'Save As...' button is next to the first dropdown. Below these are 'Available Compiler settings:' and a table with columns 'Settings name', 'Focus', and 'Device'. The table contains one entry: 'top', 'top', and 'EP1S10...'. A 'Delete' button is to the right of the table. At the bottom of the dialog are 'OK' and 'Cancel' buttons.

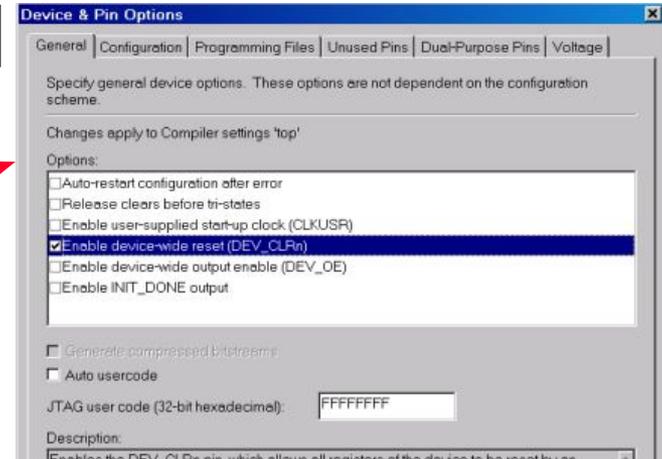
Settings name	Focus	Device
top	top	EP1S10...

Окно Settings - выбор, установка, задание параметров СБИС

Выберите меню: Assignments > Settings > Compiler Settings > Device



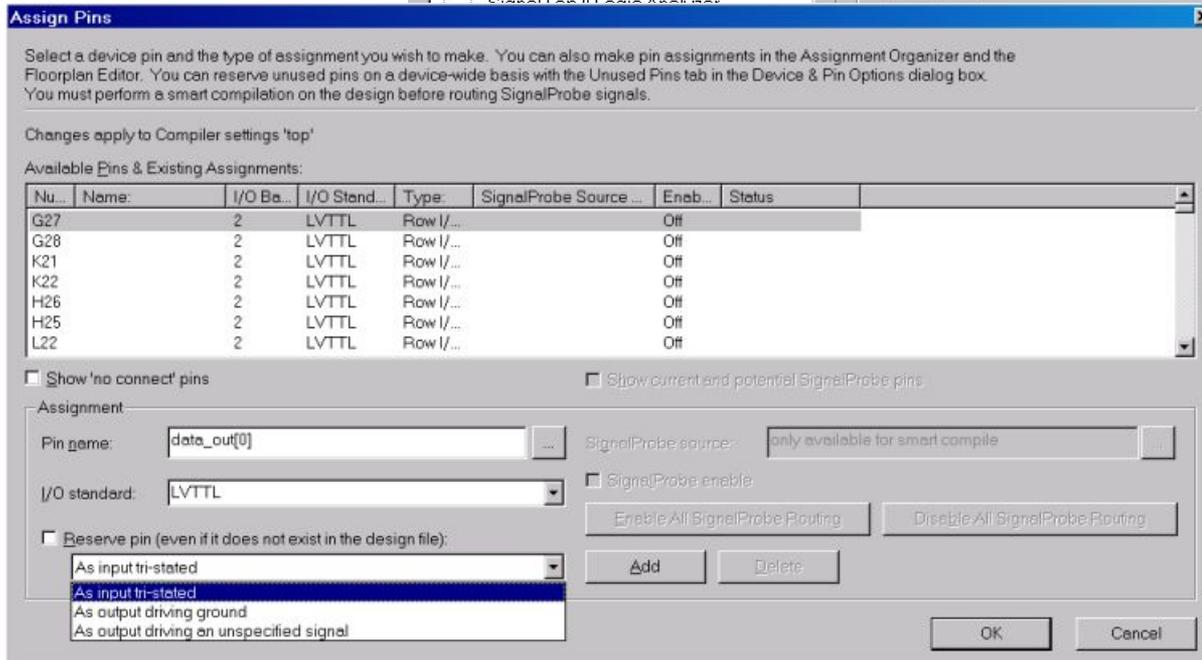
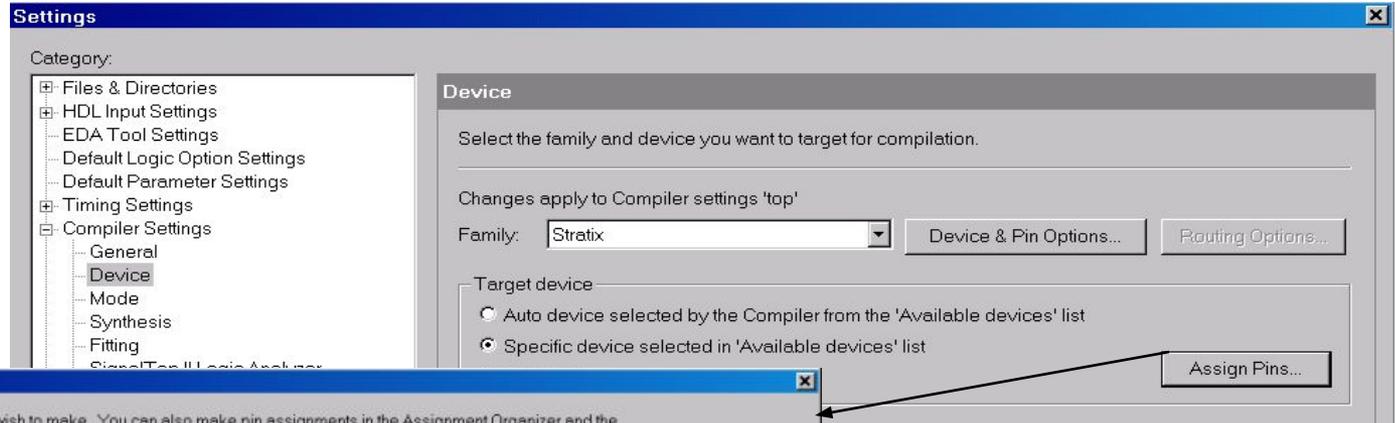
В окне Available devices задайте тип СБИС



Параметры (Device and Pin Options):

- Общие «**General**»
- Конфигурации «**Configuration**»
- Файла программирования «**Programming files**»
- Неиспользованных выводов «**Unused Pins**»
- Выводов двойного назначения «**Dual Purpose Pins**»
- Напряжения питания «**Voltage**»

Окно Settings - назначение выводов «Assign Pins»

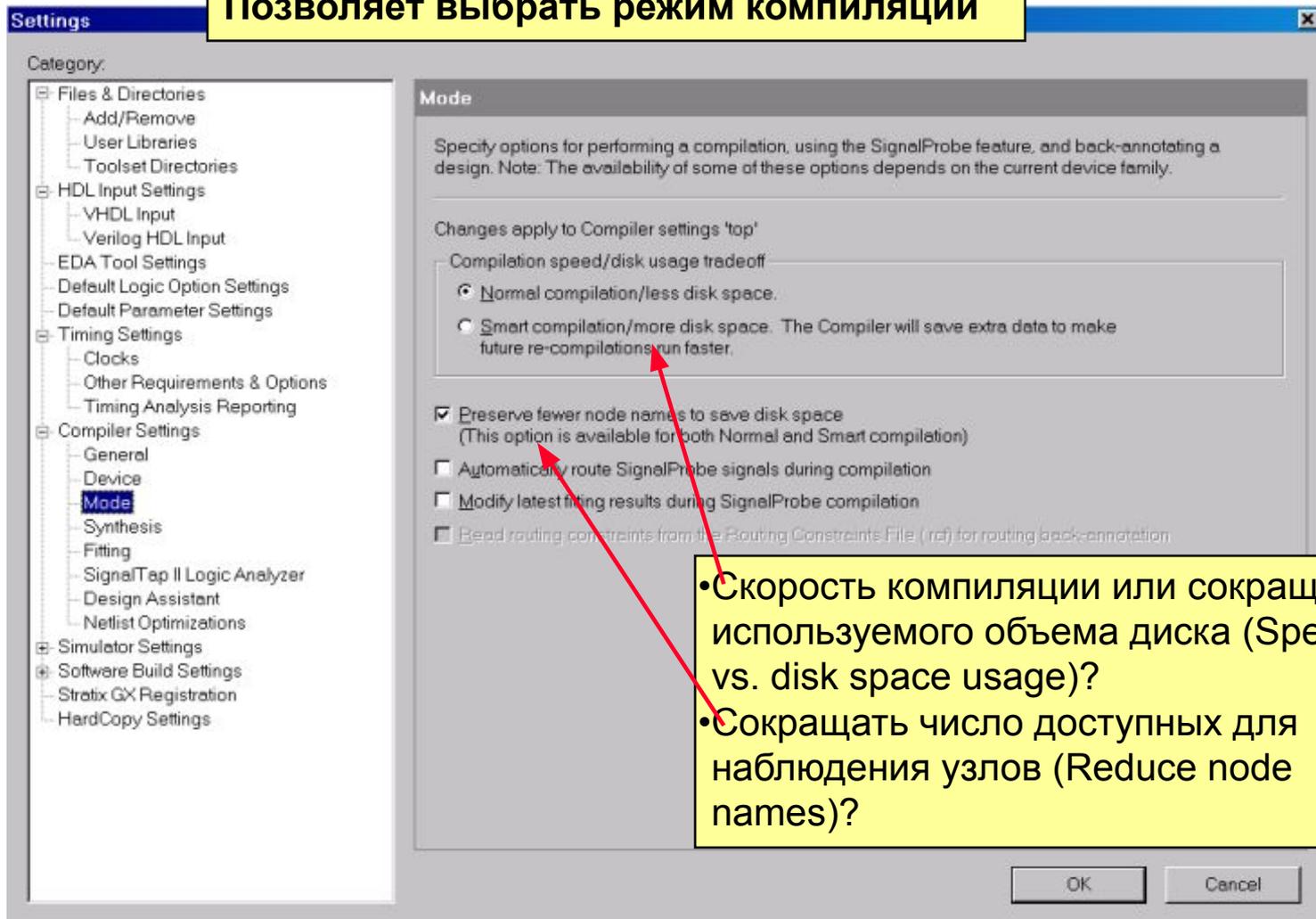


Кнопка **Assign Pin** позволяет сделать следующие основные назначения:

- Номер и имя вывода
- Стандарт ввода/ вывода «I/O standards»
- Резервирование выводов «Reserve pins»

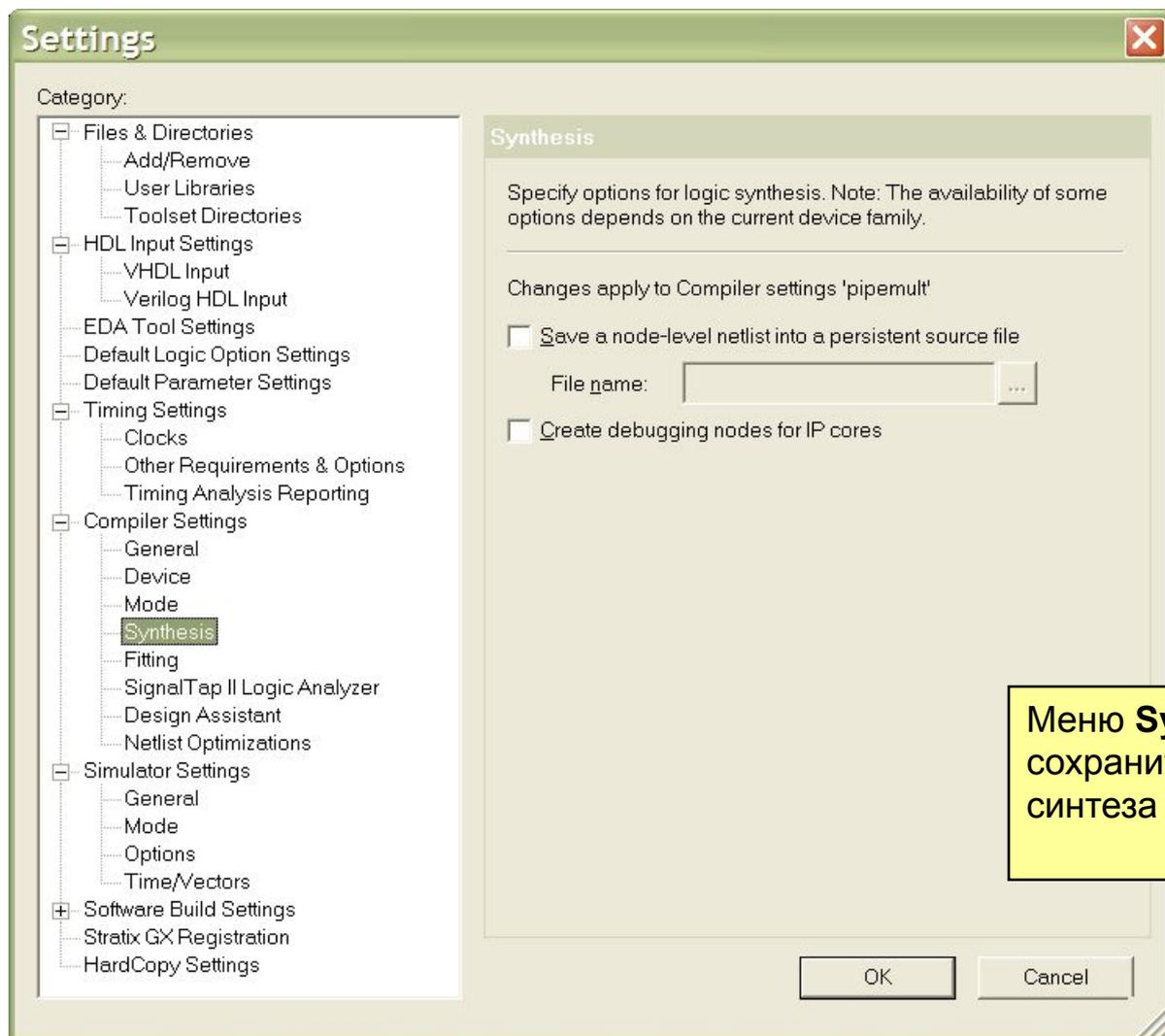
Окно Settings - меню «Mode»

Позволяет выбрать режим компиляции



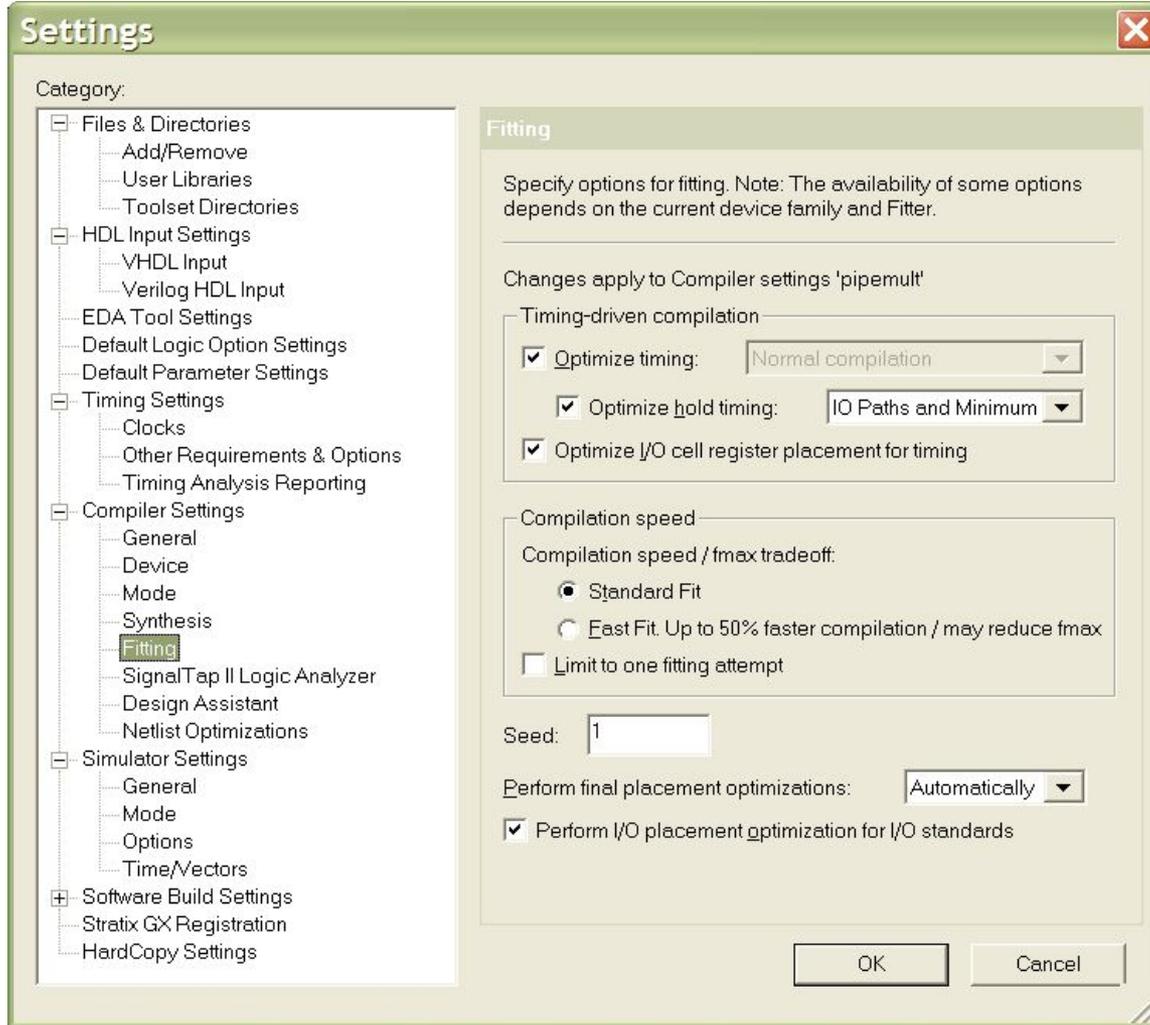
- Скорость компиляции или сокращение используемого объема диска (Speed vs. disk space usage)?
- Сокращать число доступных для наблюдения узлов (Reduce node names)?

Окно Settings - меню «Synthesis»



Меню **Synthesis** позволяет сохранить файл с результатами синтеза (* .vqm)

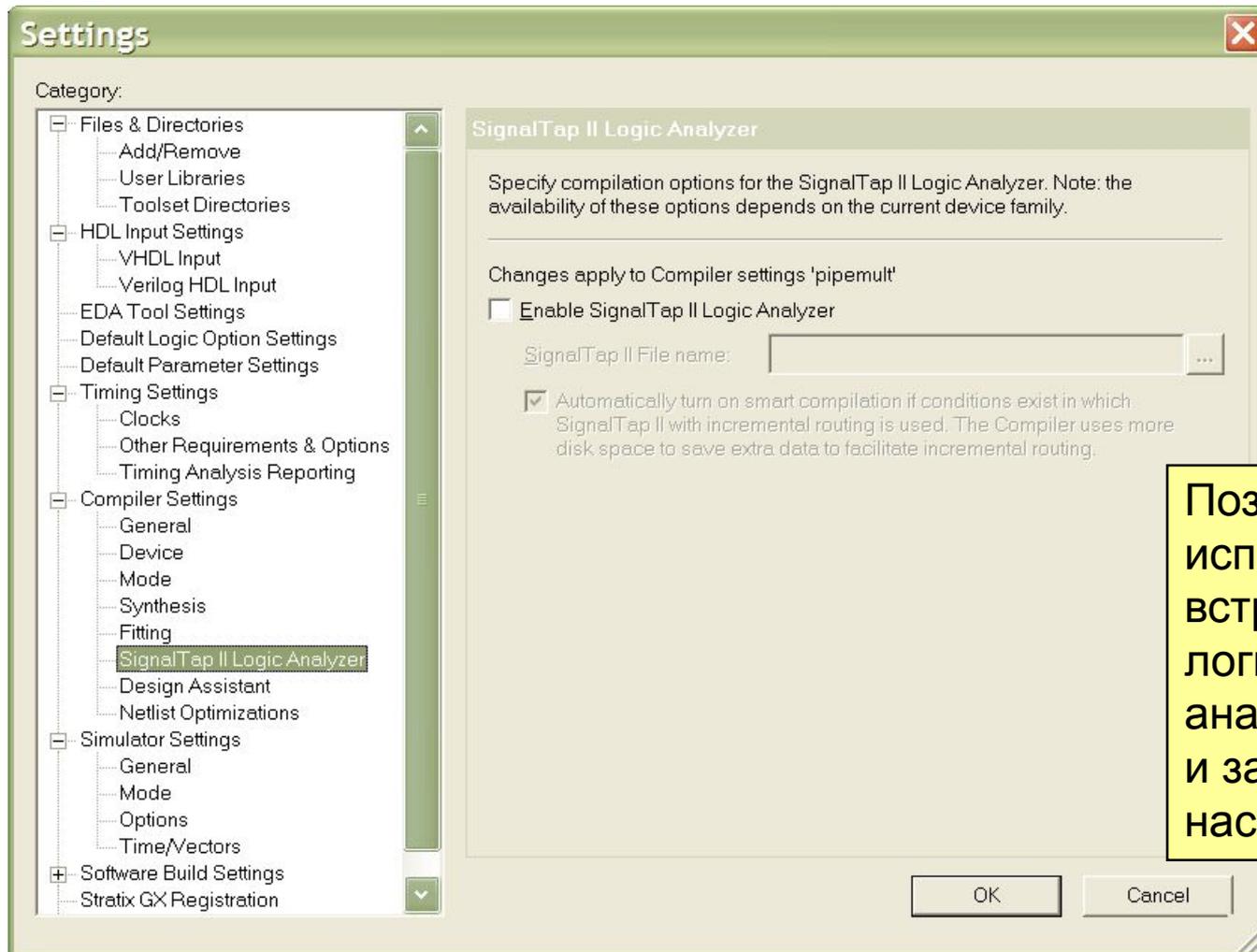
Окно Settings - меню «Fitting»



Меню **Fitting** позволяет:

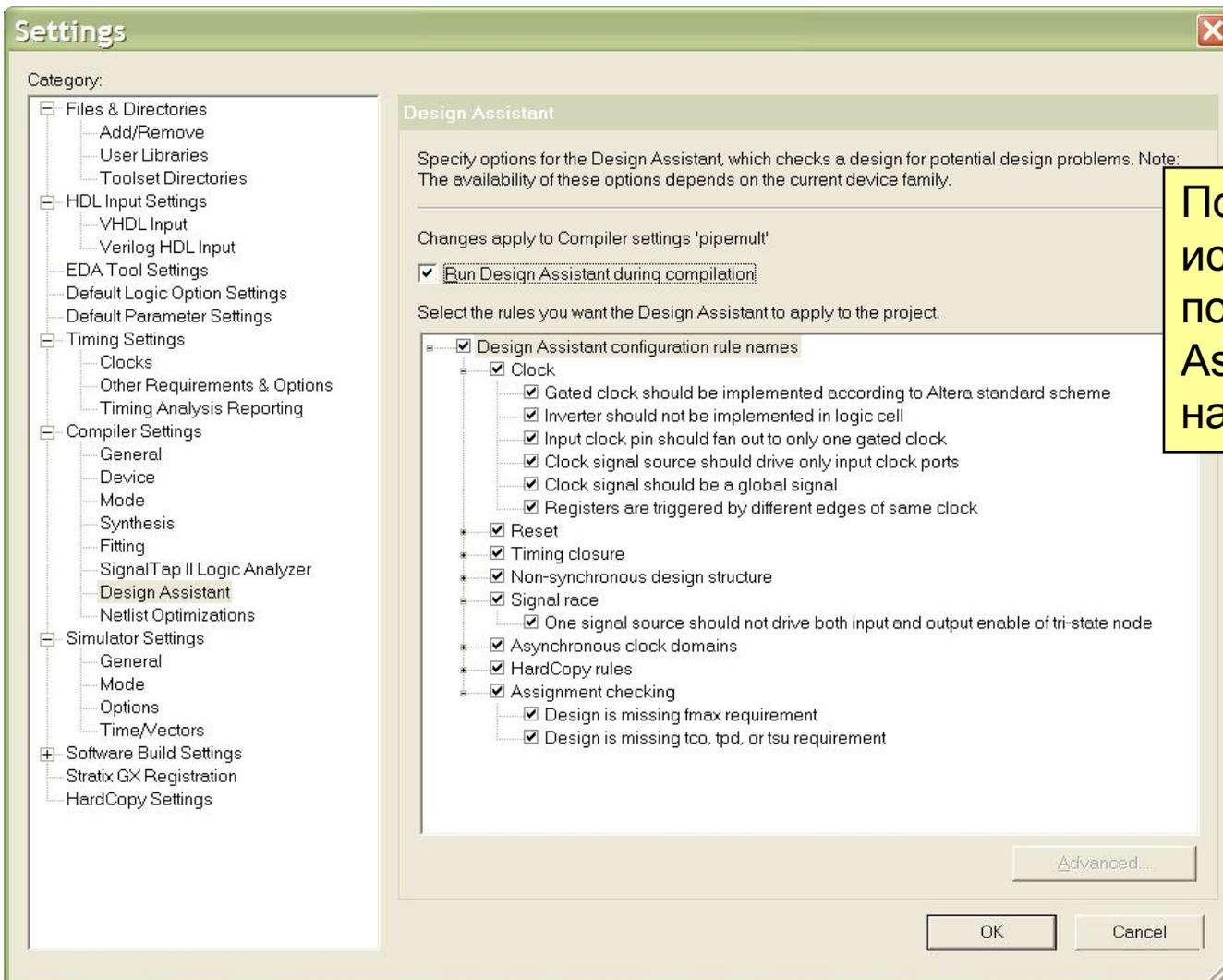
- оптимизировать временные параметры внутри СБИС «**Optimize timing**»
- оптимизировать временные параметры элементов ввода/вывода «**Optimize I/O register placement for timing**»
- варьировать параметром «Seed»
- Устанавливать режим оптимизации размещения внутренних ресурсов при размещении проекта

Окно Settings - меню «SignalTapII»



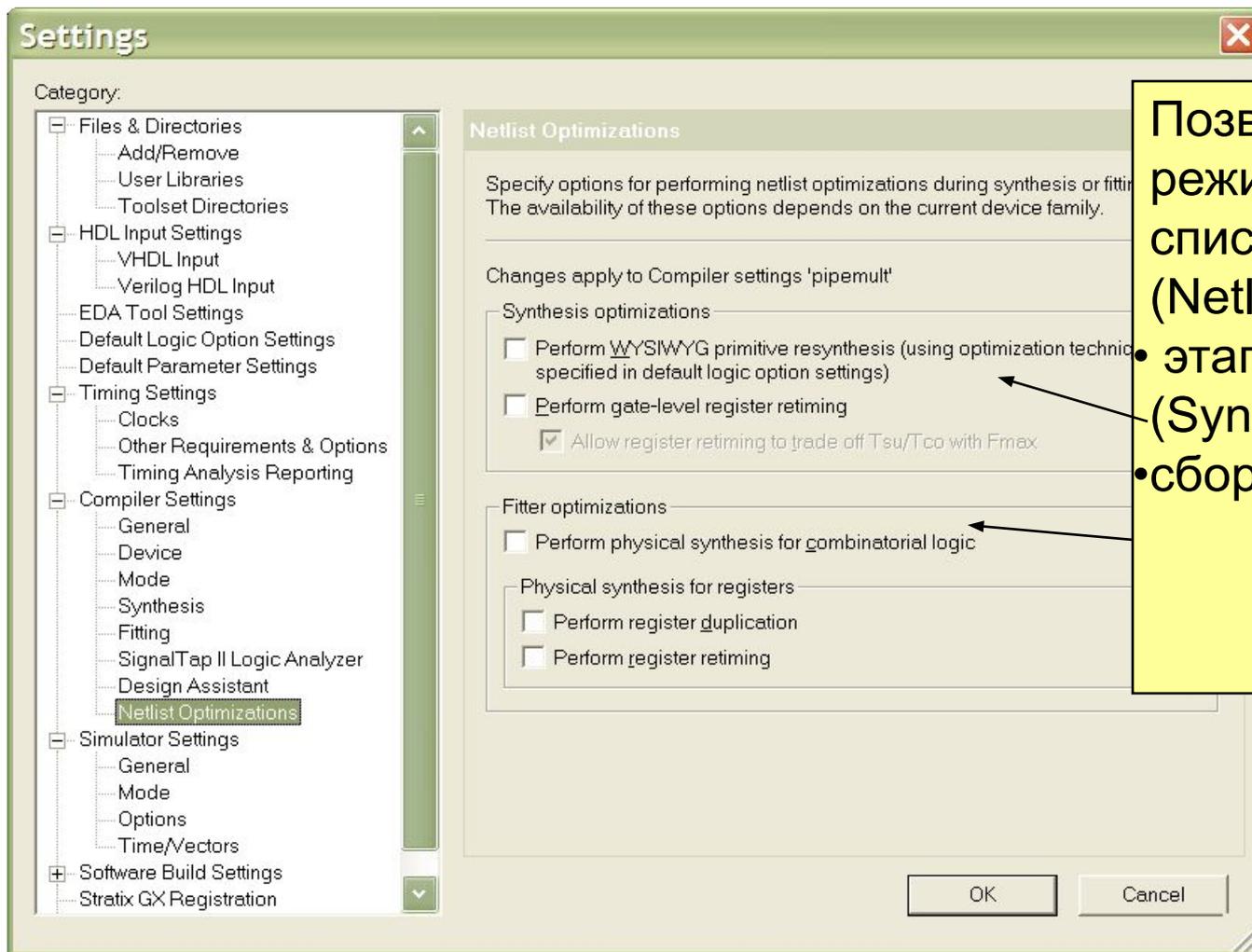
Позволяет разрешить использование встроенного логического анализатора SignalTapII и задать файл с его настройками

Окно Settings - меню «SignalTapII»



Позволяет разрешить использование помощника Design Assistant и задать его настройки

Окно Settings - меню «Netlist optimizations»

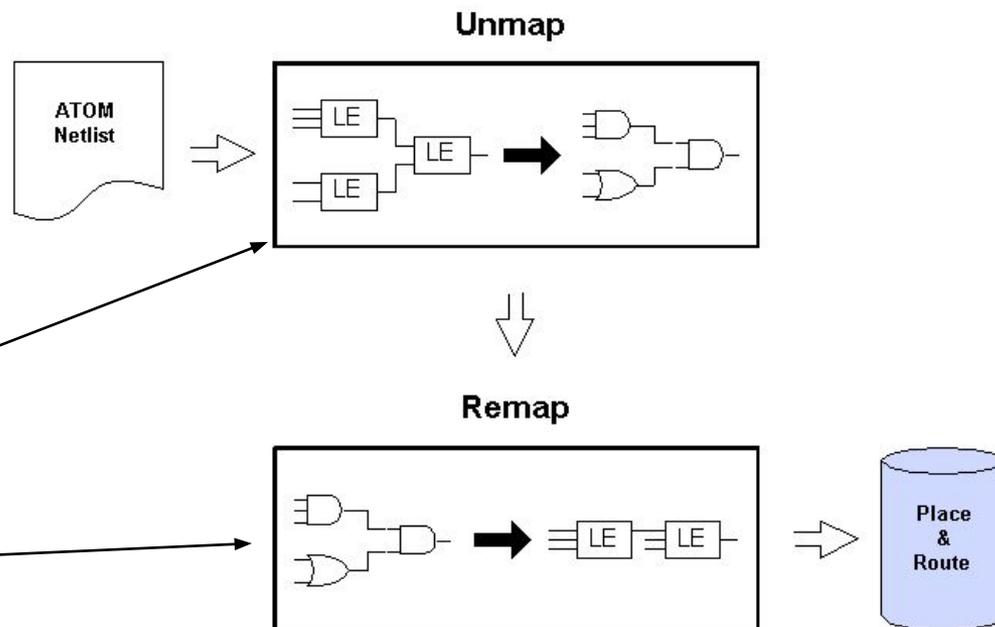


Позволяет задать режимы оптимизации списков соединений (Netlist) на:

- этапе синтеза (Synthesis) проекта
- сборки (Fitting) СБИС

Повторный синтез примитивов WYSIWYG (WYSIWYG Primitive Resynthesis)

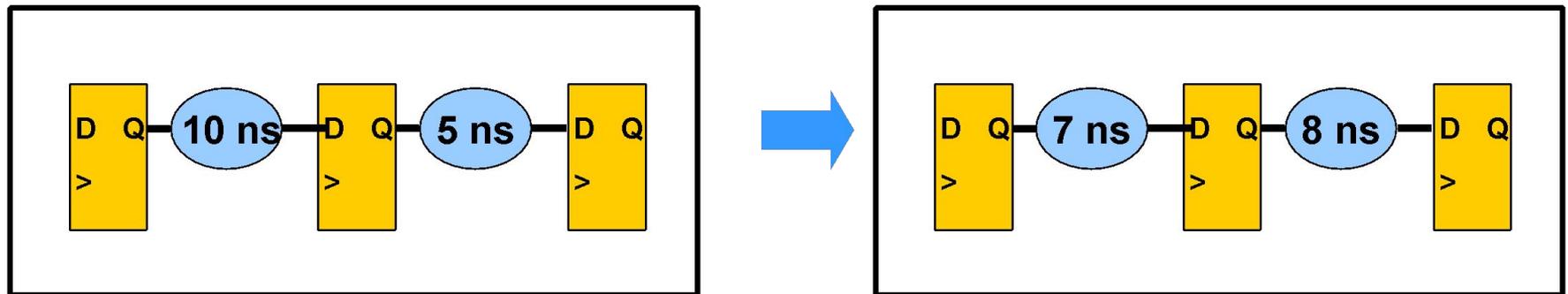
- Используется со списком соединений в формате Atom, полученном во внешних системах автоматизации проектирования
- Преобразует примитивы (логические элементы выбранного семейства СБИС) до уровня вентилей и, затем, собирает их обратно в примитивы.
- Опция недоступна при использовании синтеза, интегрированного в пакет QuartusII.



Коррекция временных соотношений (Gate-level Register Retiming)

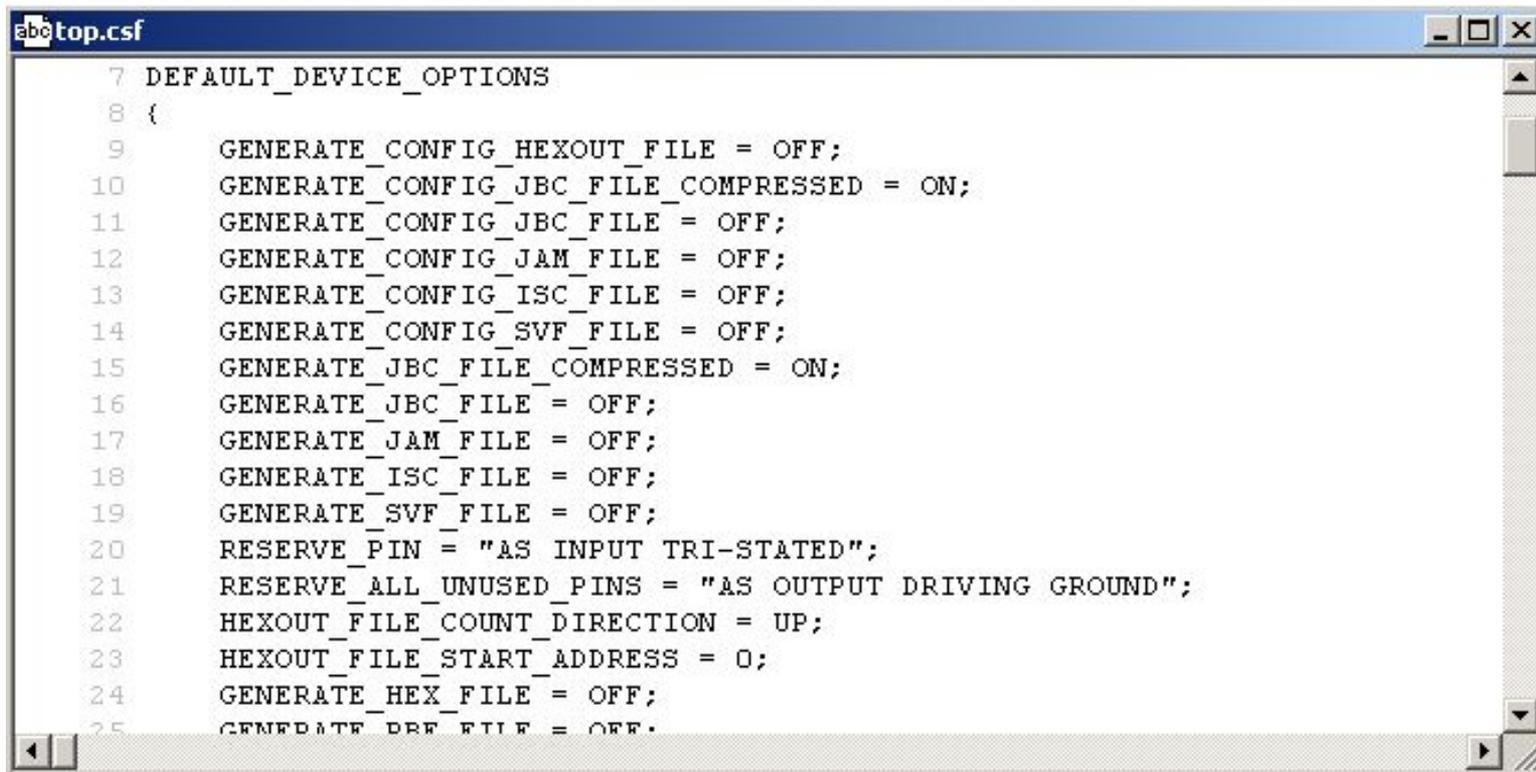
Опция, осуществляя изменения на вентиляльном уровне, позволяет:

- Перемещать регистры сквозь комбинационные схемы с тем, чтобы выровнять временную диаграмму.
- Выравнивать критические (Critical) и некритические (Non-critical) цепи распространения сигналов.



Файл с установками компилятора - .CSF (Compiler Settings File)

- Содержит установки компилятора
- Имя файла <имя объекта компиляции>.csf
- Может редактироваться в любом текстовом редакторе



```
abc_top.csf
7  DEFAULT_DEVICE_OPTIONS
8  {
9      GENERATE_CONFIG_HEXOUT_FILE = OFF;
10     GENERATE_CONFIG_JBC_FILE_COMPRESSED = ON;
11     GENERATE_CONFIG_JBC_FILE = OFF;
12     GENERATE_CONFIG_JAM_FILE = OFF;
13     GENERATE_CONFIG_ISC_FILE = OFF;
14     GENERATE_CONFIG_SVF_FILE = OFF;
15     GENERATE_JBC_FILE_COMPRESSED = ON;
16     GENERATE_JBC_FILE = OFF;
17     GENERATE_JAM_FILE = OFF;
18     GENERATE_ISC_FILE = OFF;
19     GENERATE_SVF_FILE = OFF;
20     RESERVE_PIN = "AS INPUT TRI-STATE";
21     RESERVE_ALL_UNUSED_PINS = "AS OUTPUT DRIVING GROUND";
22     HEXOUT_FILE_COUNT_DIRECTION = UP;
23     HEXOUT_FILE_START_ADDRESS = 0;
24     GENERATE_HEX_FILE = OFF;
25     GENERATE_DRF_FILE = OFF;
```

Редактор назначений «Assignment Editor»



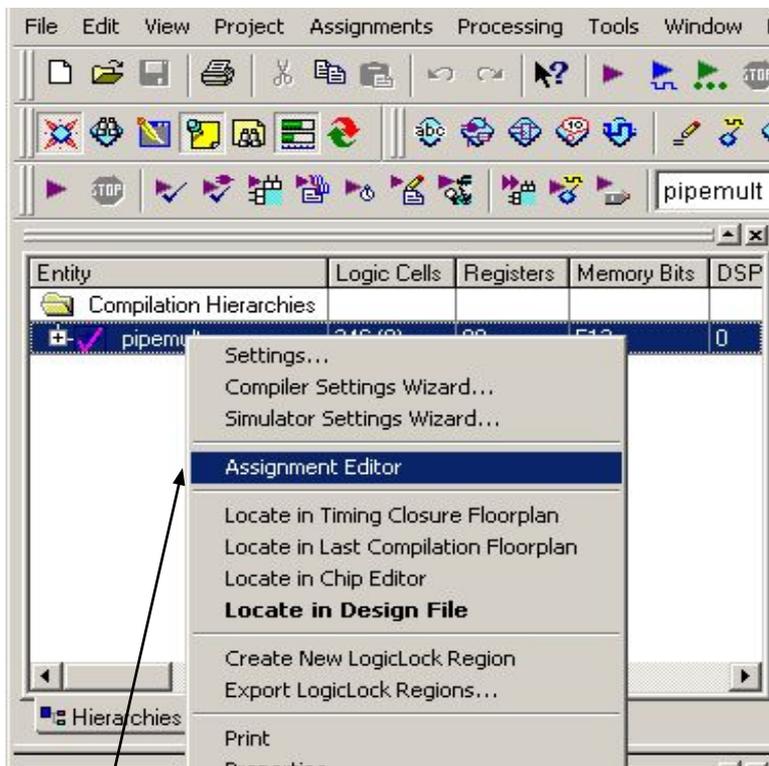
Редактор Assignment Editor

- Заменяет Assignment Organizer
- Поддерживает все семейства СБИС
- Позволяет использовать Clipboard (CTRL-C, CTRL-V & CTRL-X)
- Provides Spreadsheet Assignment Entry & Display

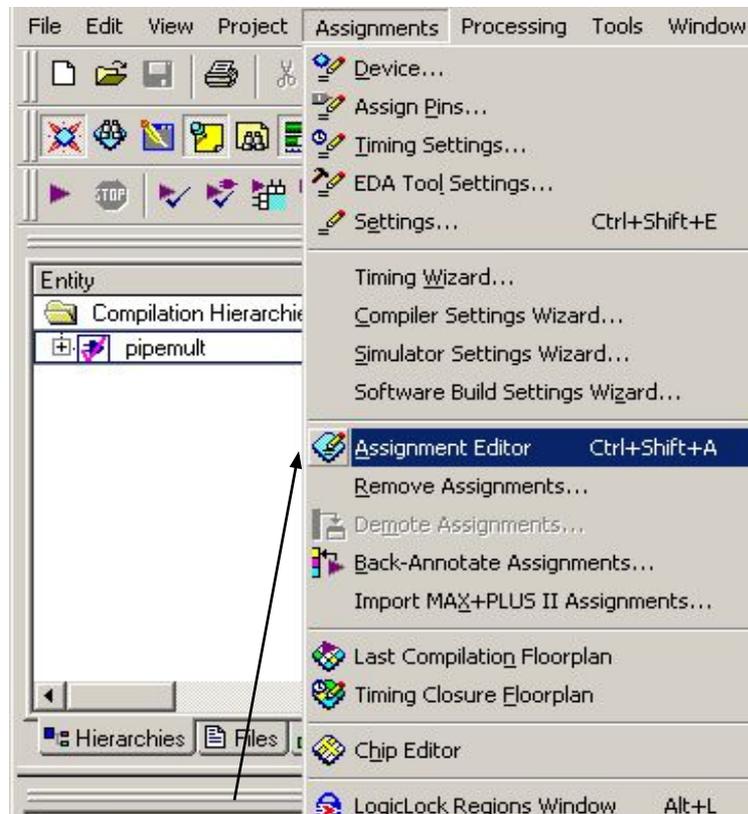
The screenshot shows the Assignment Editor window with a spreadsheet view. The spreadsheet has columns for Source Name (From), Destination Name (To), Option, Value, Settings File, Enabled, and Comment. A context menu is open over the 'Option' column, listing actions like Cut, Copy, Paste, Clear Cell Contents, Delete Rows, and Select All. Green callout boxes highlight features: 'Контекстно-зависимое меню' (Context-sensitive menu), 'Содержимое колонок можно сортировать' (Column content can be sorted), 'Позволяет запрещать отдельные назначения' (Allows disabling individual assignments), and 'Отображает имя файла, в котором хранятся настройки' (Displays the file name where settings are stored).

	Source Name (From)	Destination Name (To)	Option	Value	Settings File	Enabled	Comment
1	clk	clkx2	Multicycle	2	filtref.esf	Yes	
2		clk	Clock Settings	clocka	filtref.esf	Yes	
3		clkx2	Clock Settings	clockb	filtref.esf	Yes	
4		yn_out	Current Strength	Strength 16mA	filtref.esf	Yes	
5		yvalid	Min Strength		filtref.esf	Yes	
6		yn_out	Series		filtref.esf	Yes	
7		d	GTL+		filtref.csf	Yes	
8		yn_out		2.5 V	filtref.csf	Yes	
9		yvalid	LVTTL		filtref.csf	Yes	
10		d	IOBANK_1		filtref.csf	Yes	
11		yn_out	IOBANK_2		filtref.csf	Yes	
12		yvalid	Pin_A5		filtref.csf	Yes	
13	<<new>>	<<new>>					

Запуск редактора Assignments Editor



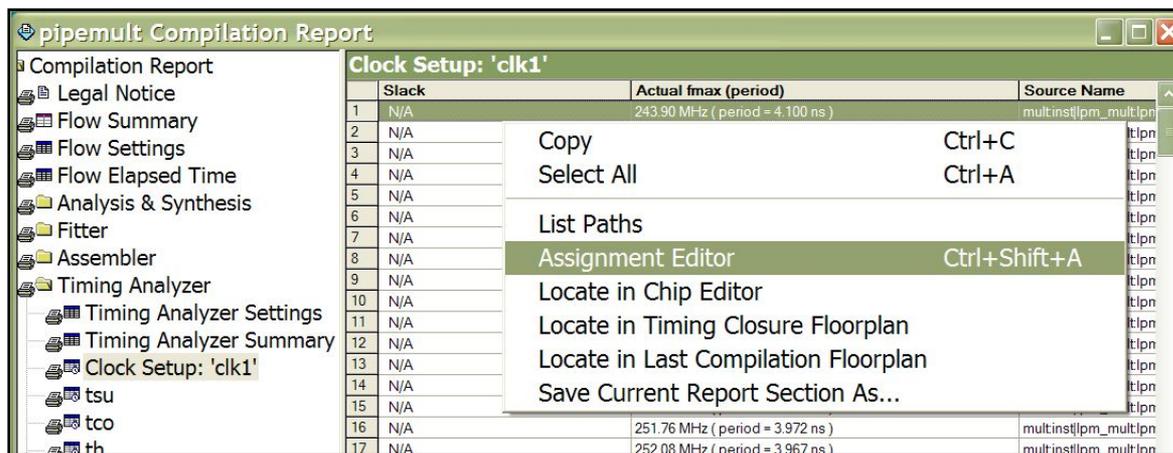
- Выделите модуль в навигаторе проекта (закладка **Hierarchies**),
- нажмите правую клавишу манипулятора и в появившемся меню выберите **Assignment Editor**



Выполните команду
Assignments => Assignment Editor

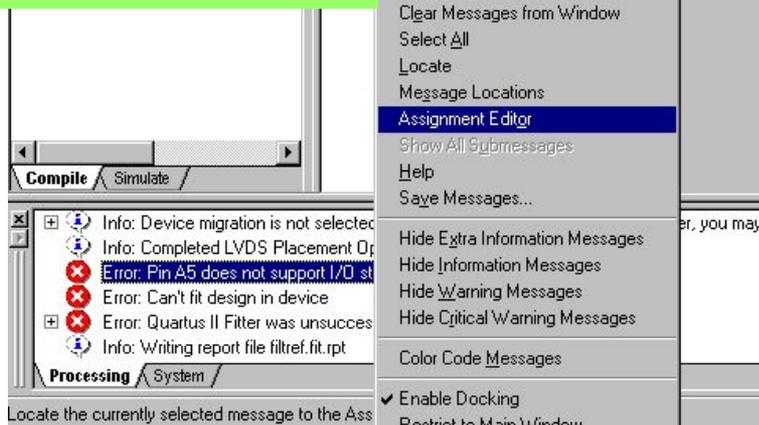
Запуск редактора Assignments Editor

- Редактор назначений также можно запустить из:
 - окна результатов временного анализа (Timing Report),
 - окна сообщений (Messages)...



	Slack	Actual fmax (period)	Source Name
1	N/A	243.90 MHz (period = 4.100 ns)	multinst pm_mult pn
2	N/A		tlpn
3	N/A		tlpn
4	N/A		tlpn
5	N/A		tlpn
6	N/A		tlpn
7	N/A		tlpn
8	N/A		tlpn
9	N/A		tlpn
10	N/A		tlpn
11	N/A		tlpn
12	N/A		tlpn
13	N/A		tlpn
14	N/A		tlpn
15	N/A		tlpn
16	N/A	251.76 MHz (period = 3.972 ns)	multinst pm_mult pn
17	N/A	252.08 MHz (period = 3.967 ns)	multinst pm_mult pn

Выделите строку, нажмите правую клавишу манипулятора и в появившемся меню выберите **Assignment Editor**



Assignment Editor (Закладка Category)

- Позволяет выбрать категорию назначения
- Закладка может быть свернута или скрыта

The screenshot shows the 'Assignment Editor' window with the 'Category' tab selected. The 'Locations' list includes: Pin, I/O Bank, Edge, LAB, Logic cell, M512, M4K, M-RAM, DSP block, DSP block multiplier, PLL, SERDES receiver, SERDES transmitter, Custom region, and I/O Standard. The 'Node Filter' section is empty. The 'Information' section contains text about pin assignments. The 'Edit' section has a checked checkbox and an empty text field. The table below shows the current pin assignments.

	Name	Location	I/O Bank	I/O Standard	General Function	Special Function	Reserved	SignalProbe Sour...	SignalPro
1	Pin_K11	Pin_K11	4	LVTTTL	Column I/O	nWS			
2	Pin_K13	Pin_K13	4	LVTTTL	Dedicated Clock	CLK12p			
3	Pin_K14	Pin_K14	9	LVTTTL	Column I/O	PLL5_OUT1p			
4	Pin_K15	Pin_K15	9	LVTTTL	Column I/O	PLL5_OUT1n			
5	Pin_K16	Pin_K16	10	LVTTTL	Column I/O	PLL5_OUT3p			
6	Pin_K17	Pin_K17	3	LVTTTL	Dedicated Clock	CLK14p			
7	Pin_K18	Pin_K18	2	LVTTTL	Column I/O	PLL5_OUT1p			



Assignment Editor (закладка Node Filter)

- Позволяет осуществлять фильтрацию отображаемых узлов
- Позволяет отображать информацию о назначениях только для выбранных узлов

The screenshot shows the 'Assignment Editor' window with the 'Node Filter' tab selected. The 'Category' list on the left includes: All, Locations, Pin, I/O Bank, Edge, LAB, Logic cell, M512, M4K, M-RAM, DSP block, DSP block multiplier, PLL, SERDES receiver, SERDES transmitter, Custom region, and I/O Standard. The 'Node Filter' section has a search box and buttons for 'Check All', 'Uncheck All', and 'Delete All'. An information box states: 'This category displays all pin assignments for the target device family. Pin assignments assign node and entities to pins or regions on the device. For additional pin assignment options, go to the Assign Pins dialog box.' Below this is an 'Edit:' field with a dropdown menu. The main table displays the following data:

	Name	Location	I/O Bank	I/O Standard	General Function	Special Function	Reserved	SignalProbe Sour...	SignalPro
1	Pin_K11	Pin_K11	4	LVTTTL	Column I/O	nWS			
2	Pin_K13	Pin_K13	4	LVTTTL	Dedicated Clock	CLK12p			
3	Pin_K14	Pin_K14	9	LVTTTL	Column I/O	PLL5_OUT1p			
4	Pin_K15	Pin_K15	9	LVTTTL	Column I/O	PLL5_OUT1n			
5	Pin_K16	Pin_K16	10	LVTTTL	Column I/O	PLL5_OUT3p			
6	Pin_K17	Pin_K17	3	LVTTTL	Dedicated Clock	CLK14p			
7	Pin_K18	Pin_K18	2	LVTTTL	Column I/O	PLL5_OUT1n			

Assignment Editor (закладка Information)

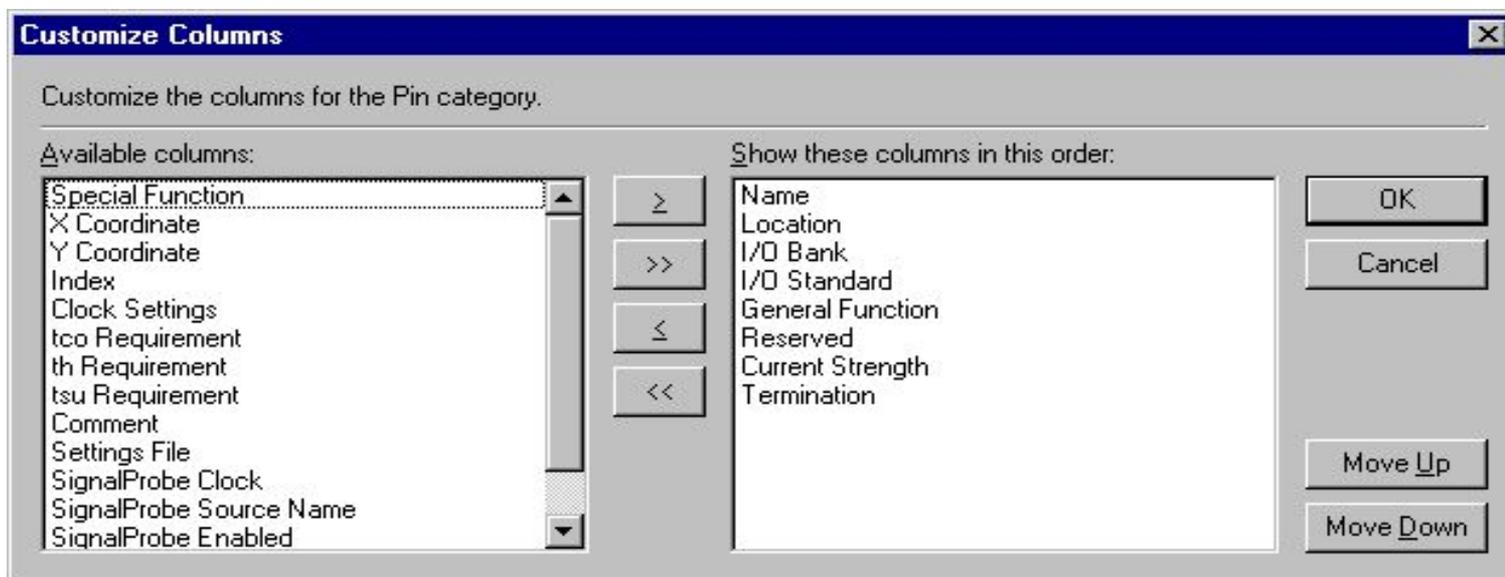
- Отображает информацию о выбранной категории или ячейке
- Закладка может быть свернута или скрыта

The screenshot shows the 'Assignment Editor' window with the 'Information' tab selected. The 'Category' list on the left includes 'All', 'Locations', 'Pin', 'I/O Bank', 'Edge', 'LAB', 'Logic cell', 'M512', 'M4K', 'M-RAM', 'DSP block', 'DSP block multiplier', 'PLL', 'SERDES receiver', 'SERDES transmitter', 'Custom region', and 'I/O Standard'. The 'Node Filter' section is empty. The 'Information' pane contains the text: 'This category displays all pin assignments for the target device family. Pin assignments assign node and entities to pins or regions on the device. For additional pin assignment options, go to the Assign Pins dialog box.' Below this is an 'Edit:' field with a dropdown menu. The main table displays the following data:

	Name	Location	I/O Bank	I/O Standard	General Function	Special Function	Reserved	SignalProbe Sour...	SignalPro
1	Pin_K11	Pin_K11	4	LVTTTL	Column I/O	nWS			
2	Pin_K13	Pin_K13	4	LVTTTL	Dedicated Clock	CLK12p			
3	Pin_K14	Pin_K14	9	LVTTTL	Column I/O	PLL5_OUT1p			
4	Pin_K15	Pin_K15	9	LVTTTL	Column I/O	PLL5_OUT1n			
5	Pin_K16	Pin_K16	10	LVTTTL	Column I/O	PLL5_OUT3p			
6	Pin_K17	Pin_K17	3	LVTTTL	Dedicated Clock	CLK14p			
7	Pin_K18	Pin_K18	2	LVTTTL	Column I/O	PLL5_OUT1n			

Assignment Editor – настраиваемый набор столбцов

- Каждая категория имеет собственный настраиваемый набор столбцов
- Категория Pin включает общие временные назначения (Timing Assignments)
- Для каждой категории предусмотрен столбец для комментариев - 'Comment'



Assignment Editor (динамическая проверка назначений)

- Система динамической проверки назначений (Dynamic Checking of Assignments) обеспечивает:
 - Проверку допустимости назначений в процессе их ввода
 - Отображение цветом статуса назначения

	Source Name (From)	Destination Name (To)	Option	Value	Settings File	Enabled
1	clk	clkx2	Multicycle	2	filtref.esf	Yes
2	clk	clk	Clock Settings	clocka	filtref.esf	Yes
3	clkx2	clkx2	Clock Settings	clockb	filtref.esf	Yes
4	yvalid	yvalid	Current Strength	Min Strength	filtref.esf	Yes
5	taps:inst Select_...	taps:inst Select_...	Fast Output Enable Register	On	filtref.esf	Yes
6	fred2	fred2	Fast Output Register	On	filtref.esf	Yes
7	yn_out	yn_out	I/O Standard	2.5 V	filtref.csf	Yes
8	yvalid	yvalid	I/O Standard	LVDS	filtref.csf	Yes
9	d	d	Location	IOBANK_1	filtref.csf	Yes
10	yn_out	yn_out	Location	IOBANK_2	filtref.csf	Yes
11	clk	clk	Location		filtref.csf	Yes
12	clkx2	clkx2	Location		filtref.csf	Yes
13	d[0]	d[0]	Location		filtref.csf	Yes
14	d[1]	d[1]	Location		filtref.csf	Yes
15	d[2]	d[2]	Location		filtref.csf	Yes
16	d[3]	d[3]	Location		filtref.csf	Yes
17	d[4]	d[4]	Location		filtref.csf	Yes
18	<<new>>	<<new>>	<<new>>			Yes

Серый – назначение запрещено

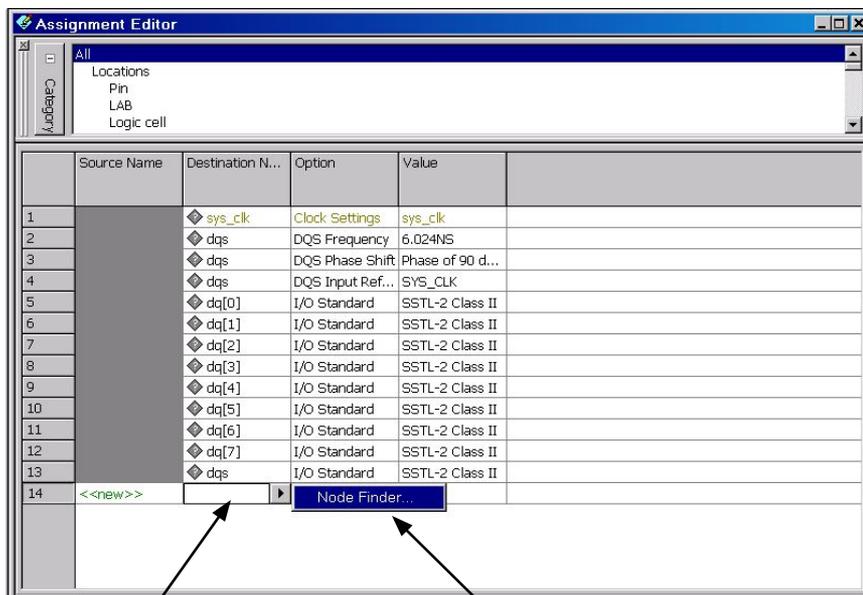
Черный – назначение активно

Желтый – предупреждение, назначение нельзя применить

красный – назначение неполное

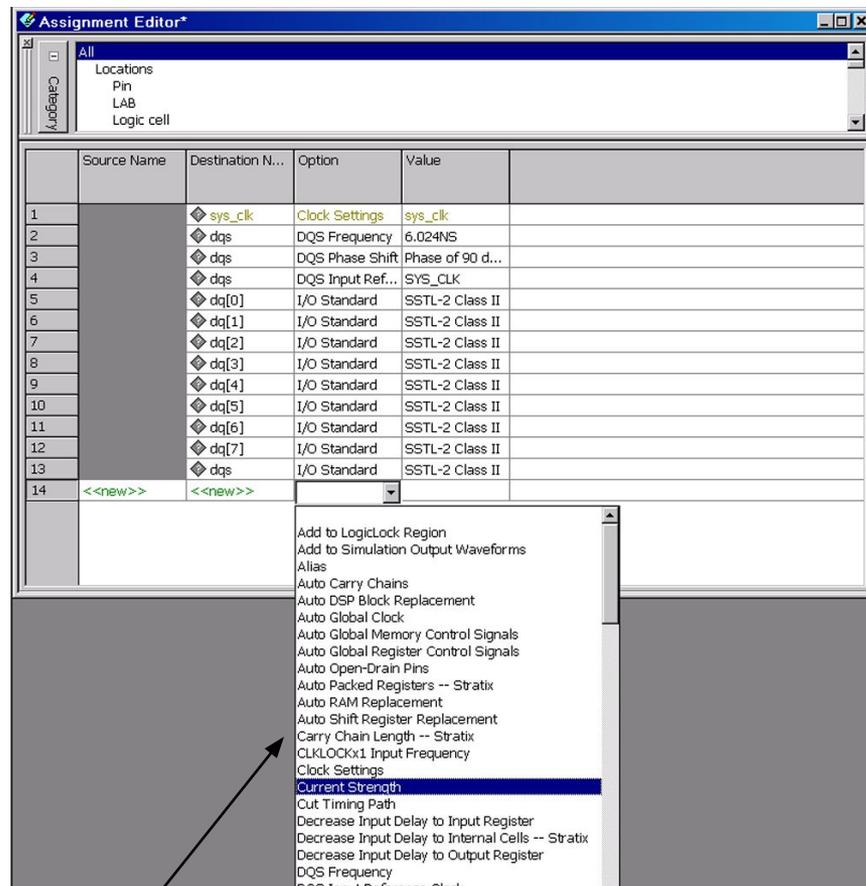
Зеленый – можно задать новое назначение

Assignment Editor (задание назначений)



Добавить новый узел

Запустить систему поиска узлов (Node Finder)



Ввести назначение (контекстно-зависимое меню отображает применимые назначения)

Система поиска узлов (Node Finder)



При поиске используйте групповые символы (wildcards)

Используйте программу фильтрации (Filter) для выбора отображаемых узлов

Список узлов, найденных программой фильтрации в указанном модуле и в компонентах более низкого уровня иерархии.

Named: data* Filter: Pins: all Customize... Start Stop OK Cancel

Look: |top| Include subtities

Nodes Found:

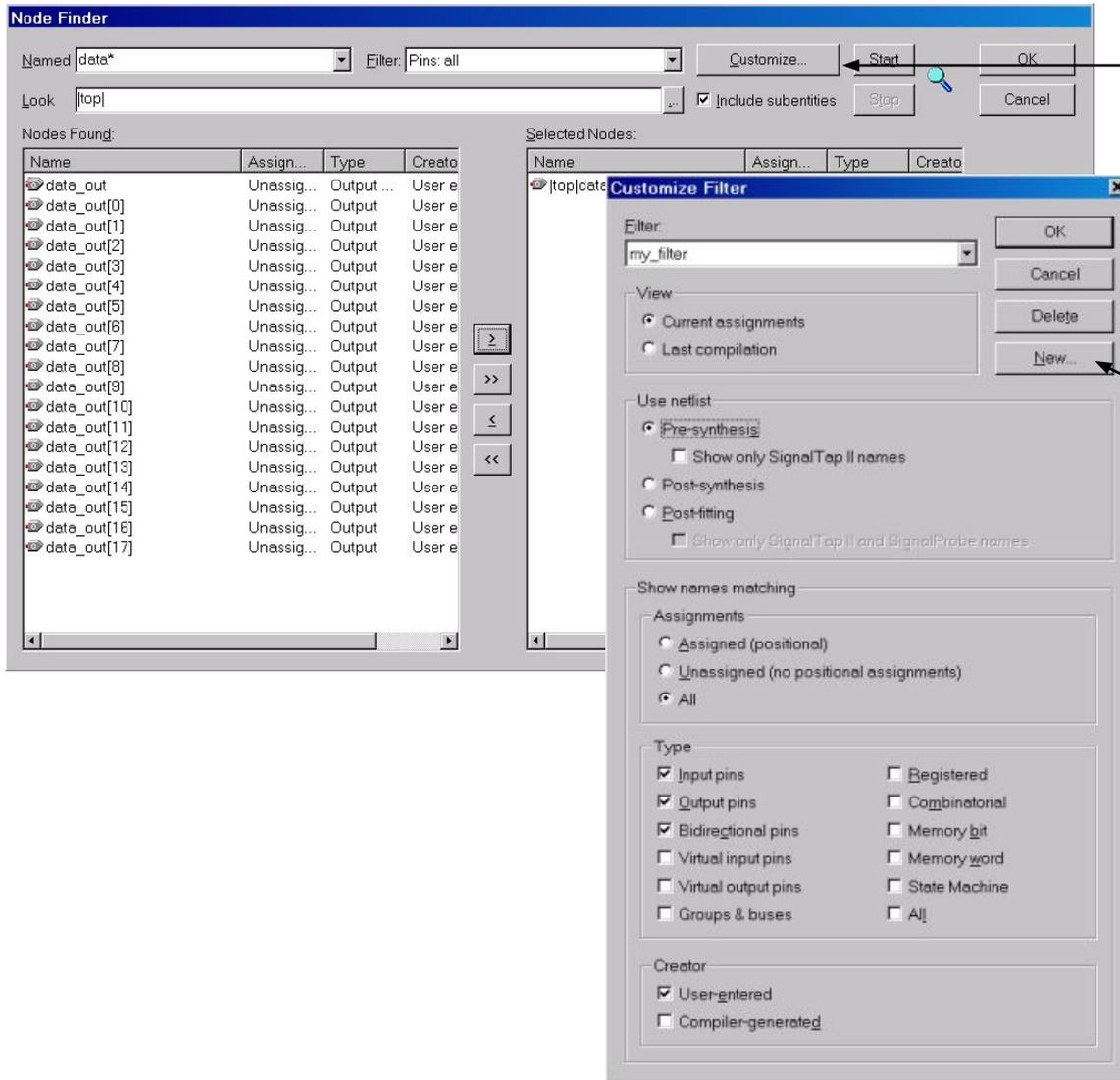
Name	Assign...	Type	Creato
data_out	Unassig...	Output ...	User e
data_out[0]	Unassig...	Output	User e
data_out[1]	Unassig...	Output	User e
data_out[2]	Unassig...	Output	User e
data_out[3]	Unassig...	Output	User e
data_out[4]	Unassig...	Output	User e
data_out[5]	Unassig...	Output	User e
data_out[6]	Unassig...	Output	User e
data_out[7]	Unassig...	Output	User e
data_out[8]	Unassig...	Output	User e
data_out[9]	Unassig...	Output	User e
data_out[10]	Unassig...	Output	User e
data_out[11]	Unassig...	Output	User e
data_out[12]	Unassig...	Output	User e
data_out[13]	Unassig...	Output	User e
data_out[14]	Unassig...	Output	User e
data_out[15]	Unassig...	Output	User e
data_out[16]	Unassig...	Output	User e
data_out[17]	Unassig...	Output	User e

Selected Nodes:

Name	Assign...	Type	Creato
top data_out[0]	Unassig...	Output	User e

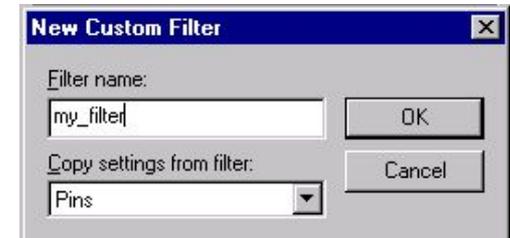
Выберите искомые узлы и с помощью стрелок перенесите их в правое окно (Selected Nodes)

Настройка маски фильтрации



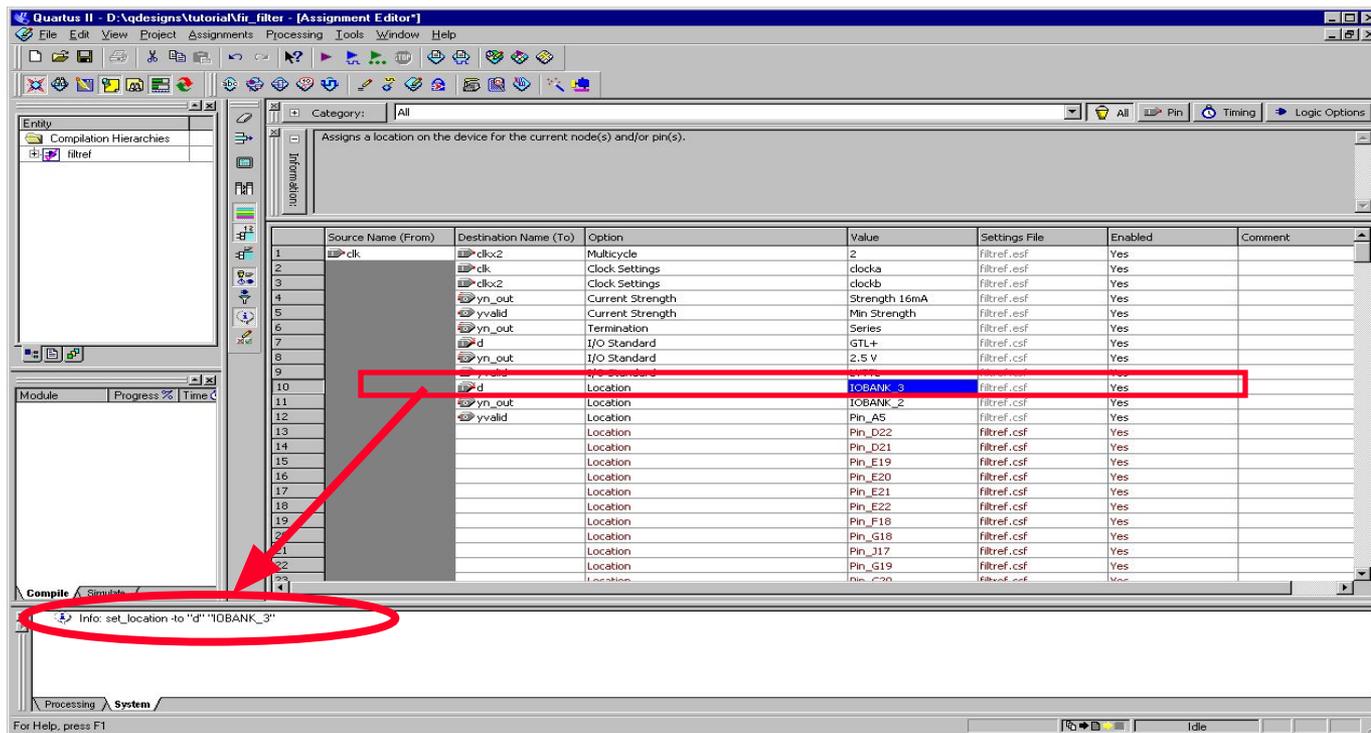
Выберите клавишу настроить (Customize). Появится окно настройки программы фильтрации.

Нажмите кнопку New. Появится окно задания новой настройки



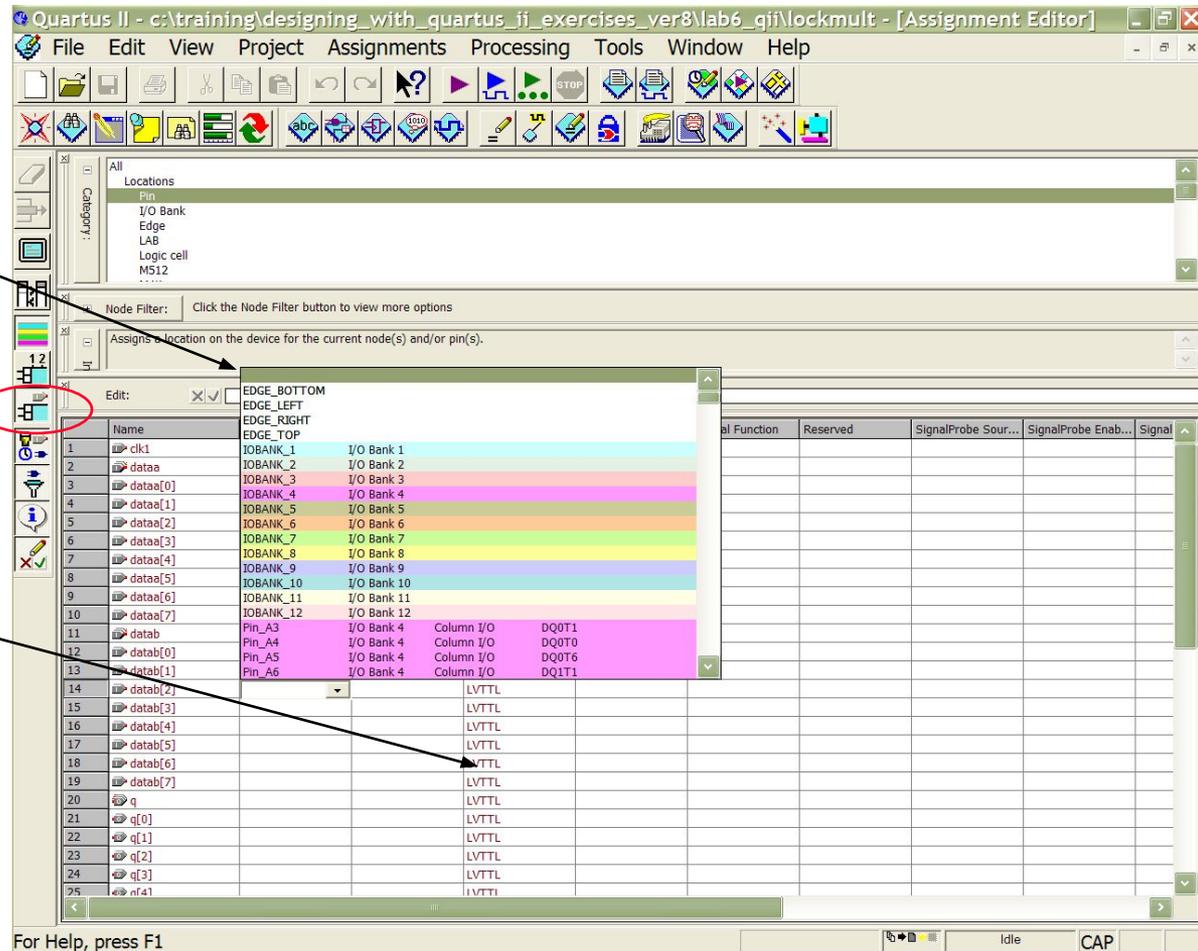
Assignment Editor (создание TCL файлов)

- При вводе назначения соответствующая Tcl команда отображается в окне сообщений (закладка System). Команду можно скопировать для создания управляющего TCL файла
- Команда: меню File => Export Command автоматически создает Tcl файл с командами для всех назначений



Assignment Editor (назначение выводов)

- Позволяет отобразить все выводы проекта
- Для каждого вывода можно задать банк и/или номер вывода микросхемы
- Для каждого вывода можно задать стандарт ввода\вывода



Assignment Editor (назначение выводов)

- Позволяет отобразить все выводы СБИС и их свойства
- Для каждого вывода можно задать стандарт ввода\вывода

Quartus II - c:\training\designing_with_quartus_ii_exercises_ver8\lab6_qii\lockmult - [Assignment Editor]

File Edit View Project Assignments Processing Tools Window Help

Locations

Pin

I/O Bank

Edge

LAB

Logic cell

M512

Node Filter: Click the Node Filter button to view more options

Specifies the I/O standard of a pin. Different device families support different I/O standards, and restrictions apply to placing pins with different I/O standards together. For detailed information, refer to the device family data sheet and to Application Note 117 (Using Selectable I/O Standards in Altera Devices). This option is ignored if it is applied to anything other than a pin or a top-level design

Edit: LVTTTL

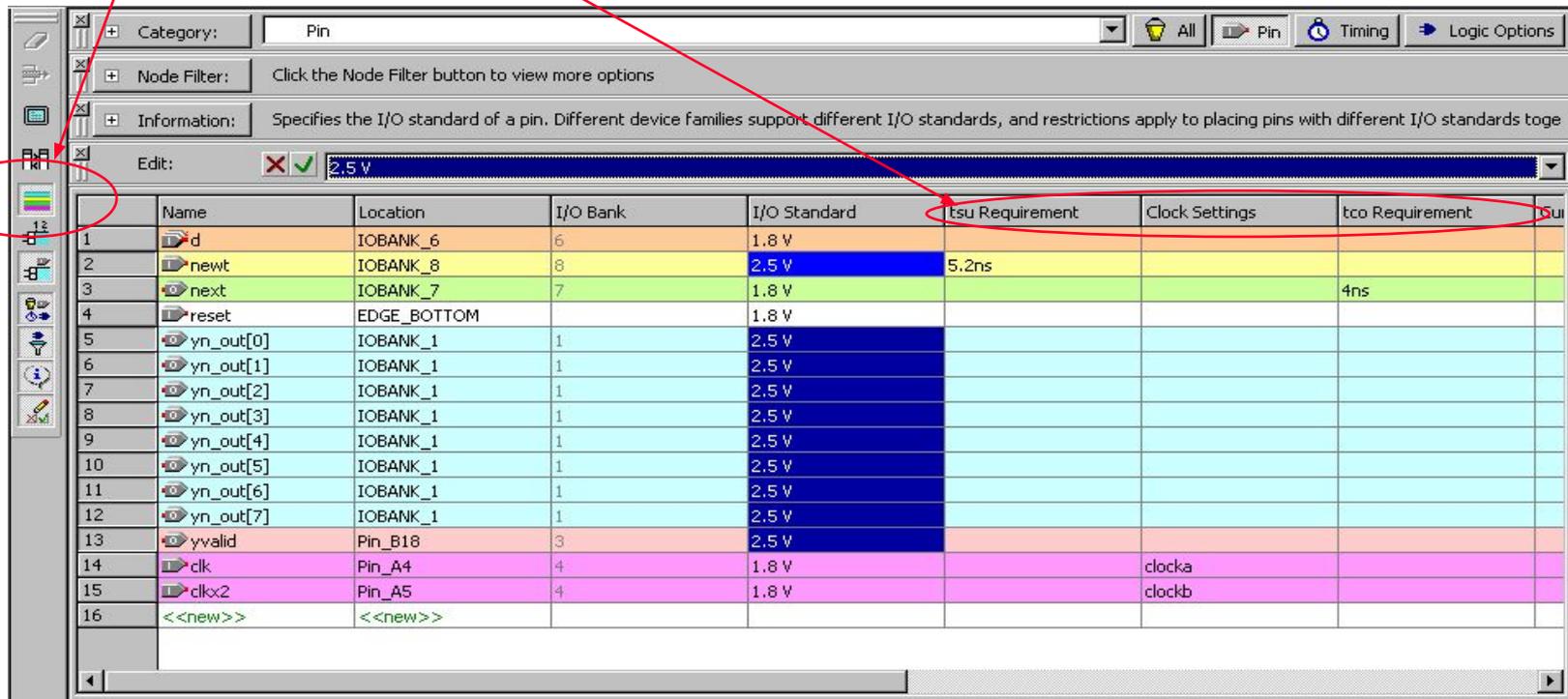
Name	Location	I/O Bank	I/O Standard	General Function	Special Function	Reserved	SignalProbe Sour...	SignalProbe Enab...	Signal
1	Pin_G27	2	Row I/O	0	DIFFIO_RX21p				
2	Pin_G28	2	0	0	DIFFIO_RX21n				
3	Pin_K21	2	1.5 V	0	DIFFIO_TX21p				
4	Pin_K22	2	1.5-V HSTL Class I	0	DIFFIO_TX21n				
5	Pin_H26	2	1.8 V	0	DIFFIO_RX20p/R...				
6	Pin_H25	2	1.8-V HSTL Class I	0	DIFFIO_RX20n/R...				
7	Pin_L22	2	2.5 V	0	DIFFIO_TX20p				
8	Pin_L21	2	3.3-V PCML	0	DIFFIO_TX20n				
9	Pin_H27	2	CTT	0	DIFFIO_RX19p				
10	Pin_H28	2	Differential LVPECL	0	DIFFIO_RX19n				
11	Pin_L23	2	GTL+	0	DIFFIO_TX19p				
12	Pin_L24	2	HyperTransport	0	DIFFIO_TX19n				
13	Pin_J25	2	LVCMOS	0	DIFFIO_RX18p				
14	Pin_J26	2	LVDS	0	DIFFIO_RX18n				
15	Pin_L20	2	LVTTTL	0	DIFFIO_TX18p				
16	Pin_L19	2	SSTL-18 Class I	0	DIFFIO_TX18n				
17	Pin_J27	2	SSTL-2 Class I	0	DIFFIO_RX17p				
18	Pin_J28	2	SSTL-2 Class II	Row I/O	DIFFIO_RX17n				
19	Pin_M22	2	SSTL-3 Class I	Row I/O	DIFFIO_TX17p				
20	Pin_M21	2	SSTL-3 Class II	Row I/O	DIFFIO_TX17n				
21	Pin_K26	2	Row I/O	Row I/O	DIFFIO_RX16p				
22	Pin_K25	2	Row I/O	Row I/O	DIFFIO_RX16n				
23	Pin_M24	2	Row I/O	Row I/O	DIFFIO_TX16p				
24	Pin_M23	2	Row I/O	Row I/O	DIFFIO_TX16n				
25	Pin_K27	2	Row I/O	Row I/O	DIFFIO_RX15p				

For Help, press F1

Idle

Assignment Editor (назначение выводов)

- Для каждого вывода можно вывести столбцы с заданными временными параметрами
- Позволяет включить\выключить отображение каждого банка ввода\вывода своим цветом



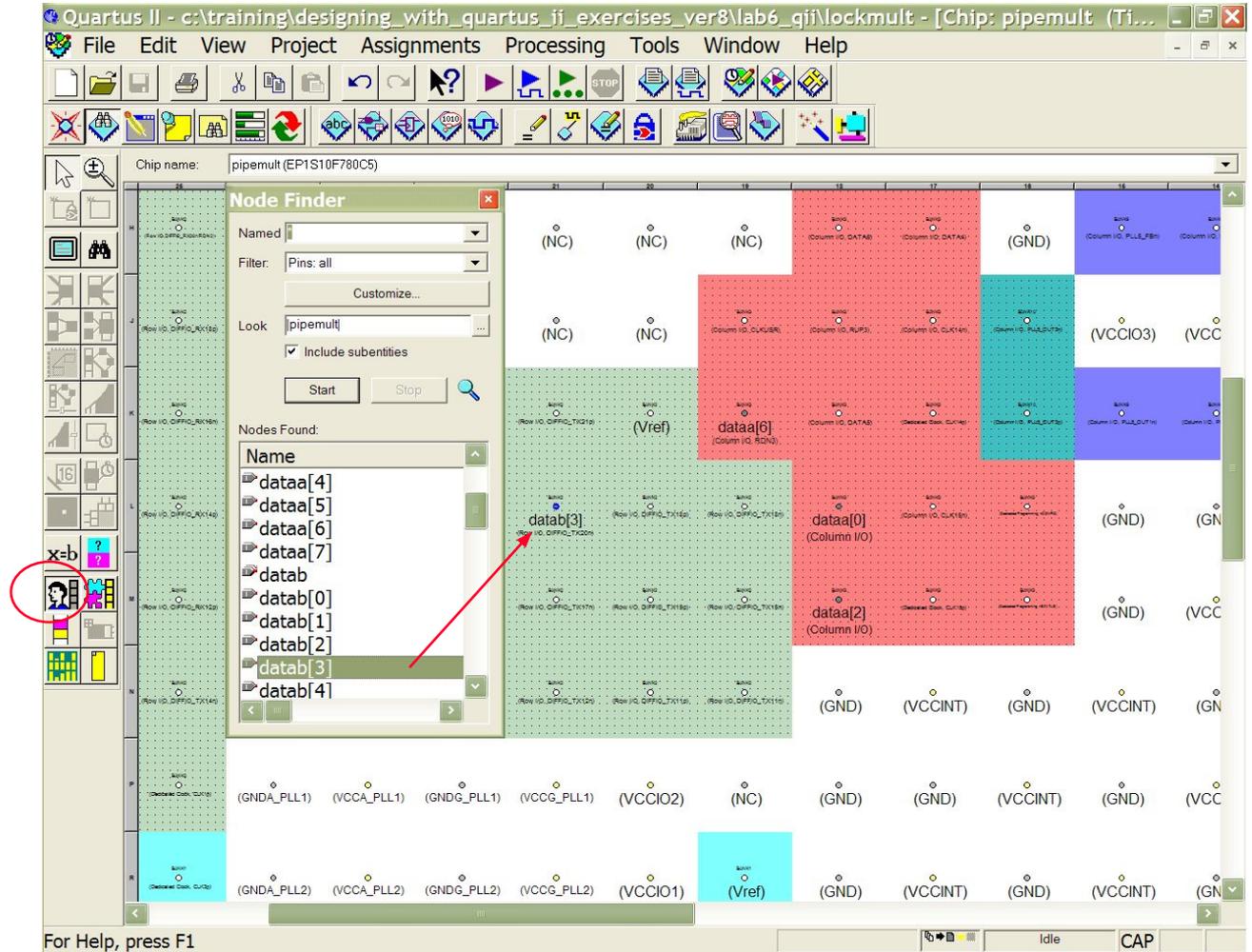
The screenshot shows the Assignment Editor window with the following settings:

- Category: Pin
- Node Filter: Click the Node Filter button to view more options
- Information: Specifies the I/O standard of a pin. Different device families support different I/O standards, and restrictions apply to placing pins with different I/O standards together
- Edit: 2.5 V

	Name	Location	I/O Bank	I/O Standard	t _{su} Requirement	Clock Settings	t _{co} Requirement	Out
1	d	IOBANK_6	6	1.8 V				
2	newt	IOBANK_8	8	2.5 V	5.2ns			
3	next	IOBANK_7	7	1.8 V			4ns	
4	reset	EDGE_BOTTOM		1.8 V				
5	yn_out[0]	IOBANK_1	1	2.5 V				
6	yn_out[1]	IOBANK_1	1	2.5 V				
7	yn_out[2]	IOBANK_1	1	2.5 V				
8	yn_out[3]	IOBANK_1	1	2.5 V				
9	yn_out[4]	IOBANK_1	1	2.5 V				
10	yn_out[5]	IOBANK_1	1	2.5 V				
11	yn_out[6]	IOBANK_1	1	2.5 V				
12	yn_out[7]	IOBANK_1	1	2.5 V				
13	yvalid	Pin_B18	3	2.5 V				
14	clk	Pin_A4	4	1.8 V		clocka		
15	clkx2	Pin_A5	4	1.8 V		clockb		
16	<<new>>	<<new>>						

Назначение выводов с использованием редактора разводки СБИС

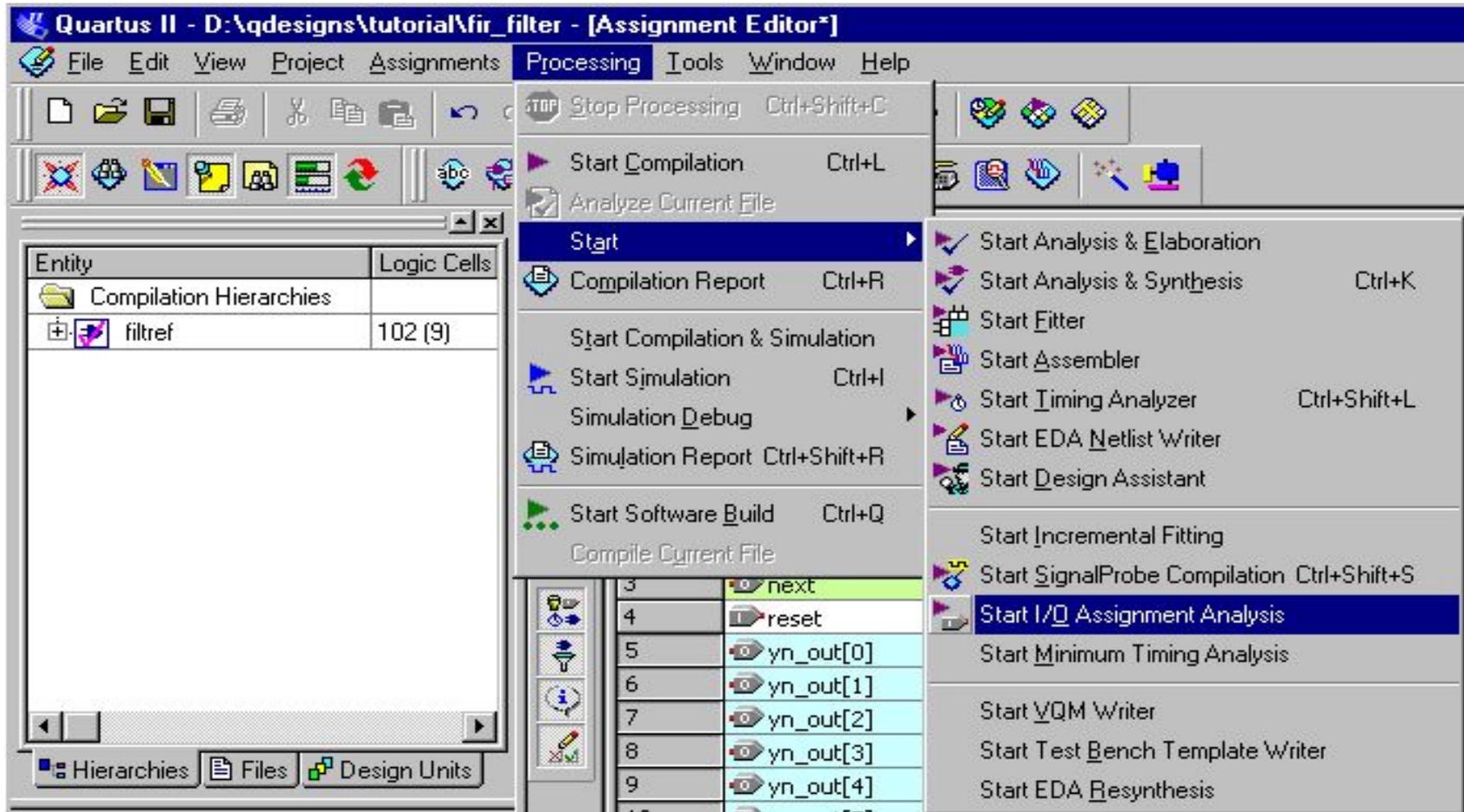
- Перетащите вывод из системы поиска узлов (Node Finder) в редактор разводки СБИС (Floorplan)



Анализ назначений выводов

- Позволяет быстро проверить допустимость сделанных назначений
 - Не требует полной перекомпиляции проекта и даже не требует наличия всего проекта (для анализа достаточно Verilog Module Pin Declaration или VHDL Entity Statement или CSF File)
 - Анализ проводится с помощью графического интерфейса или с помощью командной строки
- Проверку осуществляется в специальном режиме (Pin-Checker Mode) работы системы размещения ресурсов СБИС (Fitter)
 - Быстрое выполнение (~ 1 мин)
 - Результаты отображаются в отчете о компиляции
 - В файле Pin Out указывается пользовательское назначение или назначение компилятора
 - Проверяются все назначения (проверка не оканчивается при обнаружении ошибочного назначения)

Запуск анализа назначений выводов



Файл для хранения назначений - .ESF (Entity Settings File)

- Все заданные назначения хранятся в файле <имя объекта>.esf
- Файл будет автоматически создан пакетом Quartus II
- В рабочей папке проекта может быть несколько файлов <имя объекта>.esf.

Анализ временных параметров СБИС «Timing Analysis»



Особенности

- В пакет Quartus II встроен статический временной анализатор
- Временной анализ одноктактной синхронизации
 - f_{max} (максимальная тактовая частота)
 - T_{su} время предустановки (setup time) ,
 - T_h – время удержания (hold time),
 - T_{co} – задержка тактовая частота - выход (clock-to-out time)
- Временной анализ многотактной (Multi-clock) синхронизации
 - Позволяет проводить анализ при наличии нескольких синхросигналов,
 - Используется принцип анализа временных зазоров (Slack analysis)
- Временной анализ осуществляется автоматически после компиляции.

Раздел результатов временного анализа

The screenshot shows the Quartus II software interface. The left pane displays a project tree with the 'Timing Analyzer' folder selected. The main window shows the 'Flow Summary' window with the following data:

Flow Status	Successful - Sat Nov 01 18:30:19 2003
Compile	
Top level	
Family	
Device	EP1S10F780C5
Total logic elements	134 / 10.570 (1 %)
Total pins	44 / 426 (10 %)
Total memory bits	512 / 920.448 (< 1 %)
DSP blocks	
Total PL	
Total DL	

Below the Flow Summary window, the 'Timing Analyzer Messages' window is open, displaying the following information:

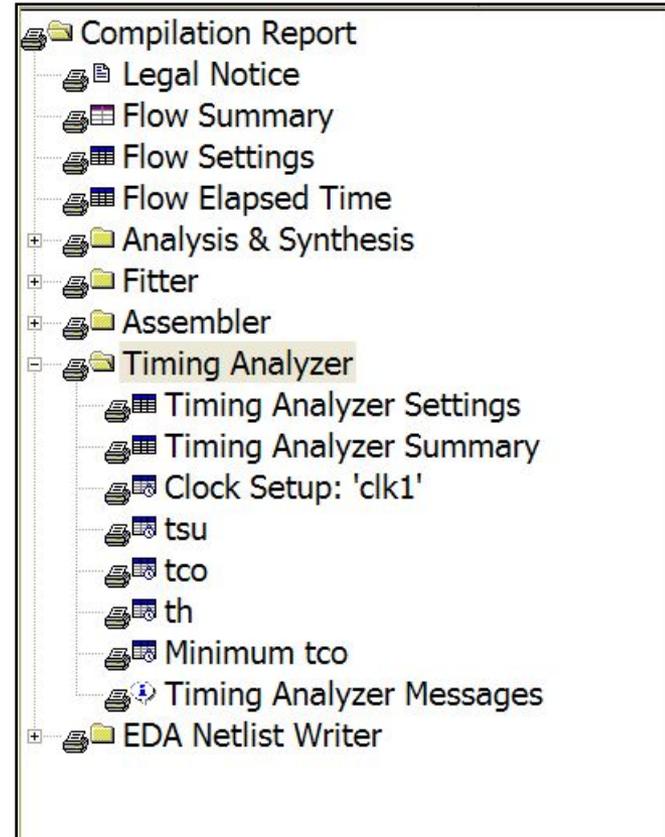
- Info: Running Quartus II Timing Analyzer
- Info: Command: quartus_tan -lower_priority -import_settings_files=off -report_settings_files=off lockmult -c
- Warning: Found pins functioning as undefined clocks and/or memory enables
- Info: Clock clk1 has internal fmax of 244.56 Mhz between source register multinst1[pm_multlpm_mult_component]multcore:mult_core[mpar_add_padder[mpar_add_sub_par_add]lpm_add_sub:adder[0]]
- Info: tsu for memory ram:inst1[altsyncram:altsyncram_component]ram_block[0][15]~porta_address_reg4 (data pin = wraddress[4], clock pin = clk1) is 0.360 ns
- Info: tco from clock clk1 to destination pin q[8] through memory ram:inst1[altsyncram:altsyncram_component]ram_block[0][15]~portb_address_reg0 is 9.491 ns
- Info: th for register multinst1[pm_multlpm_mult_component]multcore:mult_core[decoder_node[1][3] (data pin = datab[1], clock pin = clk1) is 0.427 ns
- Info: Minimum tco from clock clk1 to destination pin q[6] through memory ram:inst1[altsyncram:altsyncram_component]ram_block[0][15]~portb_address_reg4 is 8.870 ns
- Info: Quartus II Timing Analyzer was successful. 0 errors, 1 warning
- Info: Writing report file pipemulttan.rpt
- Info: *****
- Info: Running Quartus II EDA Netlist Writer

Two yellow callout boxes with red arrows point to specific elements in the interface:

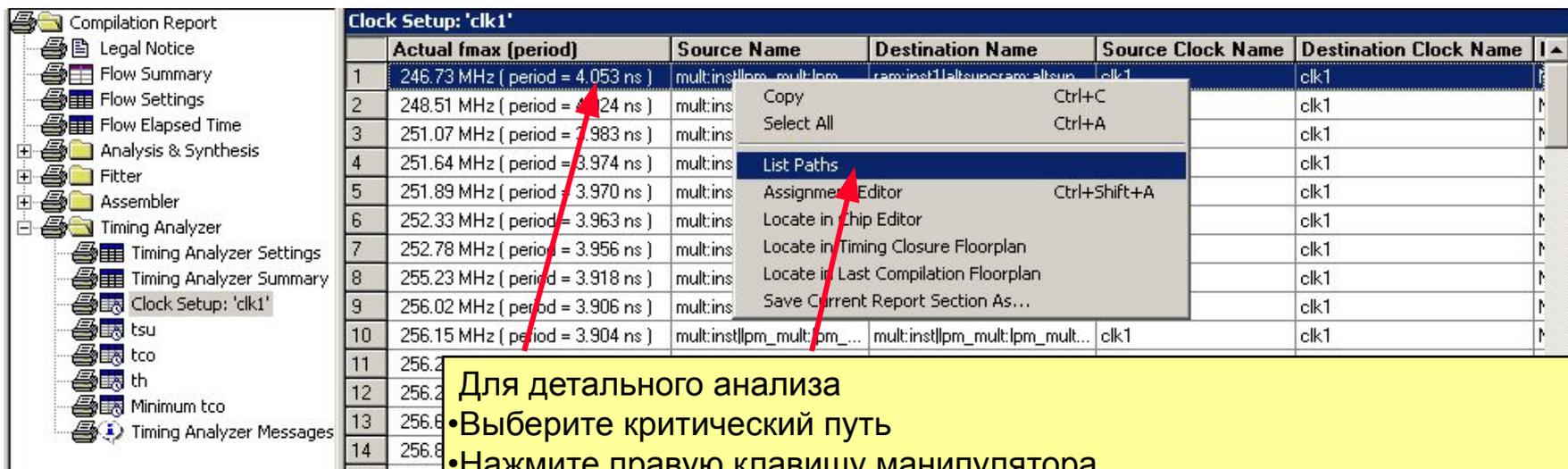
- The first callout points to the 'Timing Analyzer' folder in the project tree, containing the text: **Папка с результатами временного анализа**
- The second callout points to the 'Timing Analyzer Messages' window, containing the text: **Максимальная тактовая частота (fmax) для всех тактовых сигналов также отображается в окне сообщений**

Результаты временного анализа

- Результаты временного анализа, находятся в папке с отчетом о компиляции
 - Установки системы временного анализа
 - Результаты временного анализа суммарно
 - Таблица результатов анализа для тактового сигнала
 - Задержки передачи данных от входа до выхода СБИС - tpd (Pin to Pin Delays)
 - Времена предустановки сигналов на входах СБИС -tsu (Input Setup Times)
 - Времена удержания сигналов на входах СБИС - th (Input Hold Times)
 - Задержки от тактового импульса до появления сигнала на выходе СБИС - tco (Clock to Out Delays)



Анализ критического пути распространения сигнала (выбор пути для детального анализа)



The screenshot displays the Timing Analyzer interface. On the left is a tree view with the following items: Compilation Report, Legal Notice, Flow Summary, Flow Settings, Flow Elapsed Time, Analysis & Synthesis, Filter, Assembler, Timing Analyzer, Timing Analyzer Settings, Timing Analyzer Summary, Clock Setup: 'clk1', tsu, tco, th, Minimum tco, and Timing Analyzer Messages. The main window shows a table titled "Clock Setup: 'clk1'". The table has columns: Actual fmax (period), Source Name, Destination Name, Source Clock Name, and Destination Clock Name. A context menu is open over the table, with "List Paths" selected. A red arrow points from the text box below to the "List Paths" option in the menu.

	Actual fmax (period)	Source Name	Destination Name	Source Clock Name	Destination Clock Name
1	246.73 MHz (period = 4.053 ns)	mult:instlpm_mult:lpm...	raminst1altupram:altup...	clk1	clk1
2	248.51 MHz (period = 4.024 ns)	mult:ins		clk1	clk1
3	251.07 MHz (period = 3.983 ns)	mult:ins		clk1	clk1
4	251.64 MHz (period = 3.974 ns)	mult:ins		clk1	clk1
5	251.89 MHz (period = 3.970 ns)	mult:ins		clk1	clk1
6	252.33 MHz (period = 3.963 ns)	mult:ins		clk1	clk1
7	252.78 MHz (period = 3.956 ns)	mult:ins		clk1	clk1
8	255.23 MHz (period = 3.918 ns)	mult:ins		clk1	clk1
9	256.02 MHz (period = 3.906 ns)	mult:ins		clk1	clk1
10	256.15 MHz (period = 3.904 ns)	mult:instlpm_mult:lpm...	mult:instlpm_mult:lpm...	clk1	clk1
11	256.2				
12	256.2				
13	256.6				
14	256.8				

Для детального анализа

- Выберите критический путь
- Нажмите правую клавишу манипулятора
- В появившемся окне выберите List Paths
- В окне сообщений появится детальная информация о выбранном критическом пути

Отображение критического пути в редакторе топологии СБИС

	Actual fmax (period)	Source Name	Destination Name
1	246.73 MHz (period = 4.053 ns)	mult:inst1 pm_mult:lpn_...	ram:inst1 altsyncram:altsyn...
2	248.51 MHz (period = 4.024 ns)	mult:inst1 pm_mult:lpn_...	ram:inst1 altsyncram:altsyn...
3	251.07 MHz (period = 3.983 ns)	mult:inst1 pm_mult:lpn_...	ram:inst1 altsyncram:altsyn...
4	251.64 MHz (period = 3.974 ns)	mult:inst1 pm_mult:lpn_...	ram:inst1 altsyncram:altsyn...
5	251.89 MHz (period = 3.970 ns)	nr	
6	252.33 MHz (period = 3.963 ns)	nr	
7	252.78 MHz (period = 3.956 ns)	nr	
8	255.23 MHz (period = 3.918 ns)	nr	
9	256.02 MHz (period = 3.906 ns)	nr	
10	256.15 MHz (period = 3.904 ns)	nr	
11	256.21 MHz (period = 3.903 ns)	nr	
12	256.28 MHz (period = 3.902 ns)	nr	

•В окне укажите интересующий критический путь.
 •Нажмите правую клавишу манипулятора
 •В появившемся меню выберите Locate in Last Compilation Floorplane

ИЛИ

•В окне процессора сообщений выберите интересующий критический путь.
 •Нажмите правую клавишу манипулятора
 •В появившемся меню выберите Locate



Отображение критического пути в редакторе топологии СБИС

Quartus II - C:\training\Lab1_QII_22\pipemult - [pipemult Compilation Report:2]

File Edit View Project Assignments Processing Tools Window Help

Compilation Report
Legal Notice
Project Settings
Results for "pipemult" Comp
Summary
Compiler Settings
Messages
Hierarchy
Logic Options
Synthesis Section
Device Options
Equations
Floorplan View
Pin-Out File
Resource Section
Timing Analyses
Processing Time

Floorplan View
Chip name: pipemult (EP1S10F780C5)

Максимальная задержка распространения сигнала между регистрами в критическом пути

3.511 ns

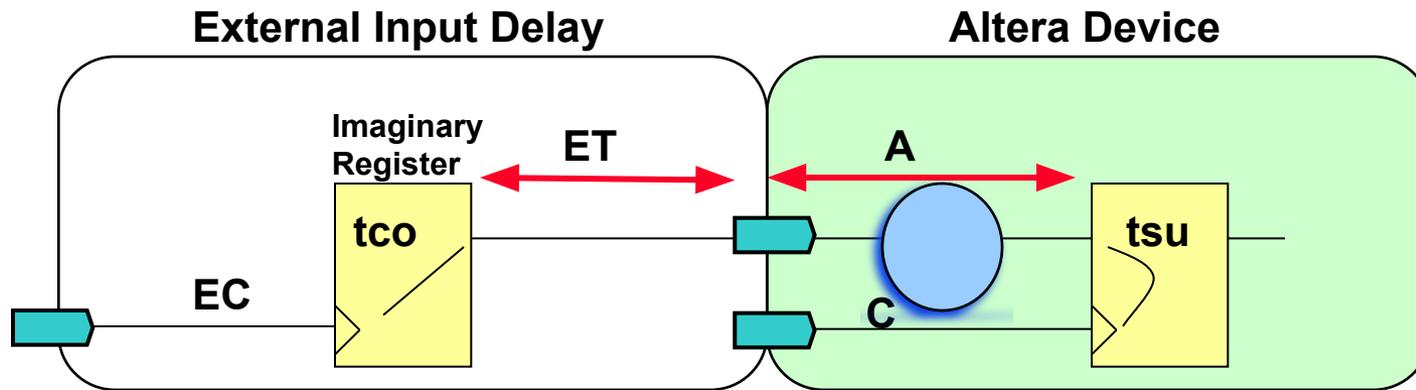
Clock clk1 has internal fmax of 252.78 MHz between source register multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|drop_bits_node[1][1] and destination register multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|mpar_add_node[1][1]

- + Longest register to memory delay is 3.511 ns
 - 1: + IC(0.000 ns) + CELL(0.000 ns) = 0.000 ns; Loc. = LC_X31_Y24_N0; REG Node = 'multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|drop_bits_node[1][1]'
 - 2: + IC(1.175 ns) + CELL(0.341 ns) = 1.516 ns; Loc. = LC_X27_Y25_N5; COMB Node = 'multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|mpar_add_node[1][1]'
 - 3: + IC(0.000 ns) + CELL(0.060 ns) = 1.576 ns; Loc. = LC_X27_Y25_N6; COMB Node = 'multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|mpar_add_node[1][1]'
 - 4: + IC(0.000 ns) + CELL(0.060 ns) = 1.636 ns; Loc. = LC_X27_Y25_N7; COMB Node = 'multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|mpar_add_node[1][1]'
 - 5: + IC(0.000 ns) + CELL(0.365 ns) = 2.001 ns; Loc. = LC_X27_Y25_N8; COMB Node = 'multinst|pm_mult|pm_mult_component|multcore:mult_core|mpar_add|padder|mpar_add.sub_par_add|mpar_add_node[1][1]'
 - 6: + IC(1.238 ns) + CELL(0.272 ns) = 3.511 ns; Loc. = M512_X26_Y24; MEM Node = 'ram:inst1|altsyncram:altsyncram_component|ram_block[0][8]~porta_datain_reg0'
- Total cell delay = 1.098 ns
- Total interconnect delay = 2.413 ns
- Smallest clock skew is -0.179 ns
- + Micro clock to output delay of source is 0.156 ns
- + Micro setup delay of destination is 0.110 ns

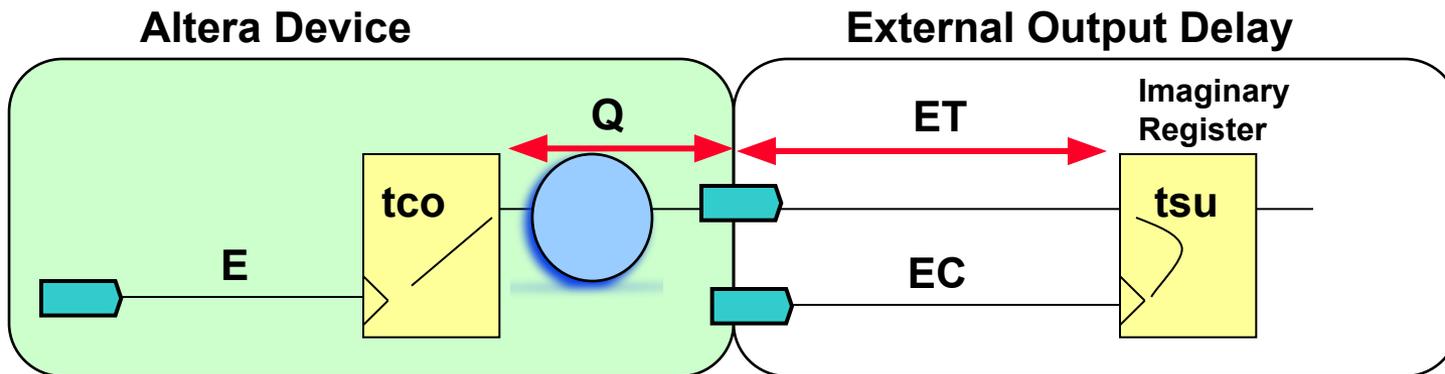
Processing System

For Help, press F1

Максимальная тактовая частота с учетом внешних задержек - System fmax (Модели внешних задержек)



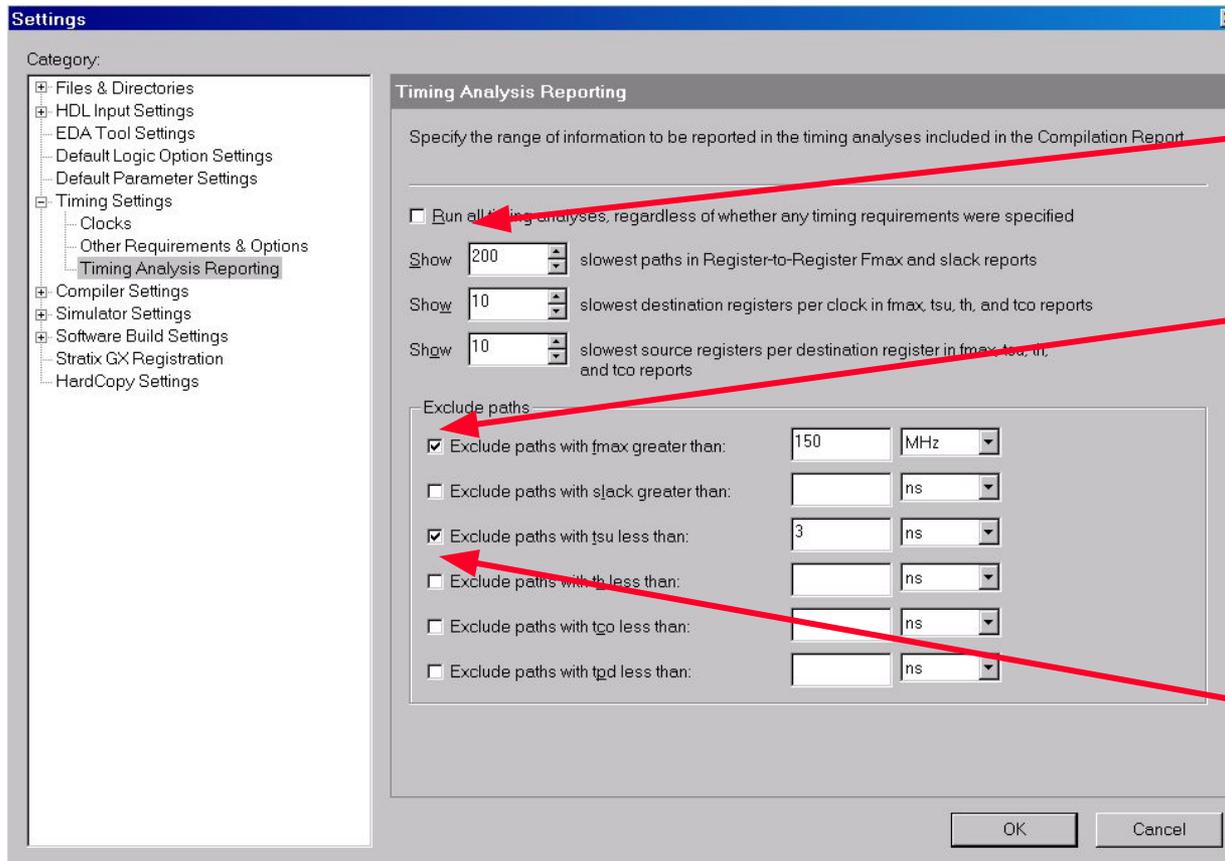
$$\text{External Input Delay} = ET + tco + EC$$



$$\text{External Output Delay} = ET + tsu - EC$$

Управление объемом информации, отображаемым в результатах временного анализа (Timing Analysis Reporting).

Команда Assignments > Settings > Timing Settings > Timing Analysis Reporting



Отображать 200 критических путей

Отображать критические пути с максимальной тактовой частотой меньше 150 МГц

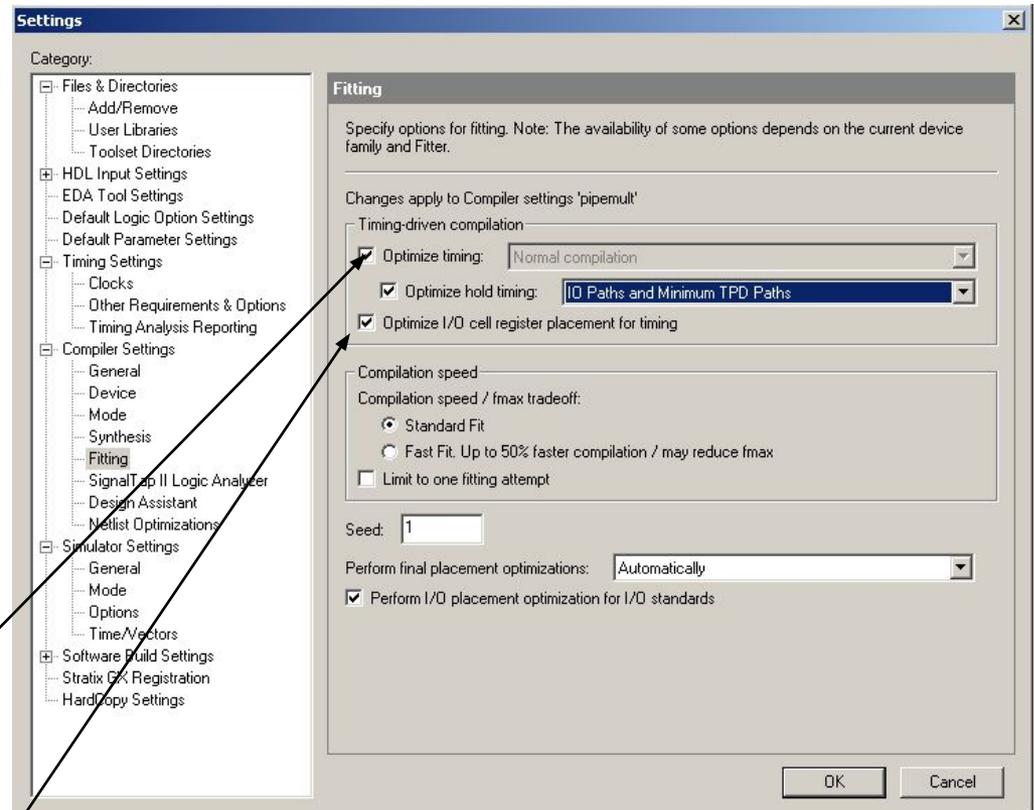
Отображать пути сигналов, имеющие tsu более чем 3 ns

Установка требований к временным параметрам (Timing Assignments)

- Пакет позволяет задать требования для пяти параметров:
 - Максимально допустимой частоте работы - f_{max} .
 - Необходимому времени предустановки сигналов на входах СБИС относительно фронта тактового сигнала - t_{su} .
 - Требуемому времени удержания сигналов на входах СБИС относительно фронта тактового сигнала – t_{hold} .
 - Задержки от фронта тактового сигнала на входе СБИС до появления данных на ее выходах – t_{co} .
 - Задержки распространения сигналов от входов до выходов СБИС - t_{pd} .
- Назначение требований может быть осуществлено глобально (для всей СБИС), либо индивидуально (для каждого конкретного вывода или группы выводов). Второй способ является более предпочтительным.

Компиляция с доминированием установленных временных параметров (Timing Driven Compilation)

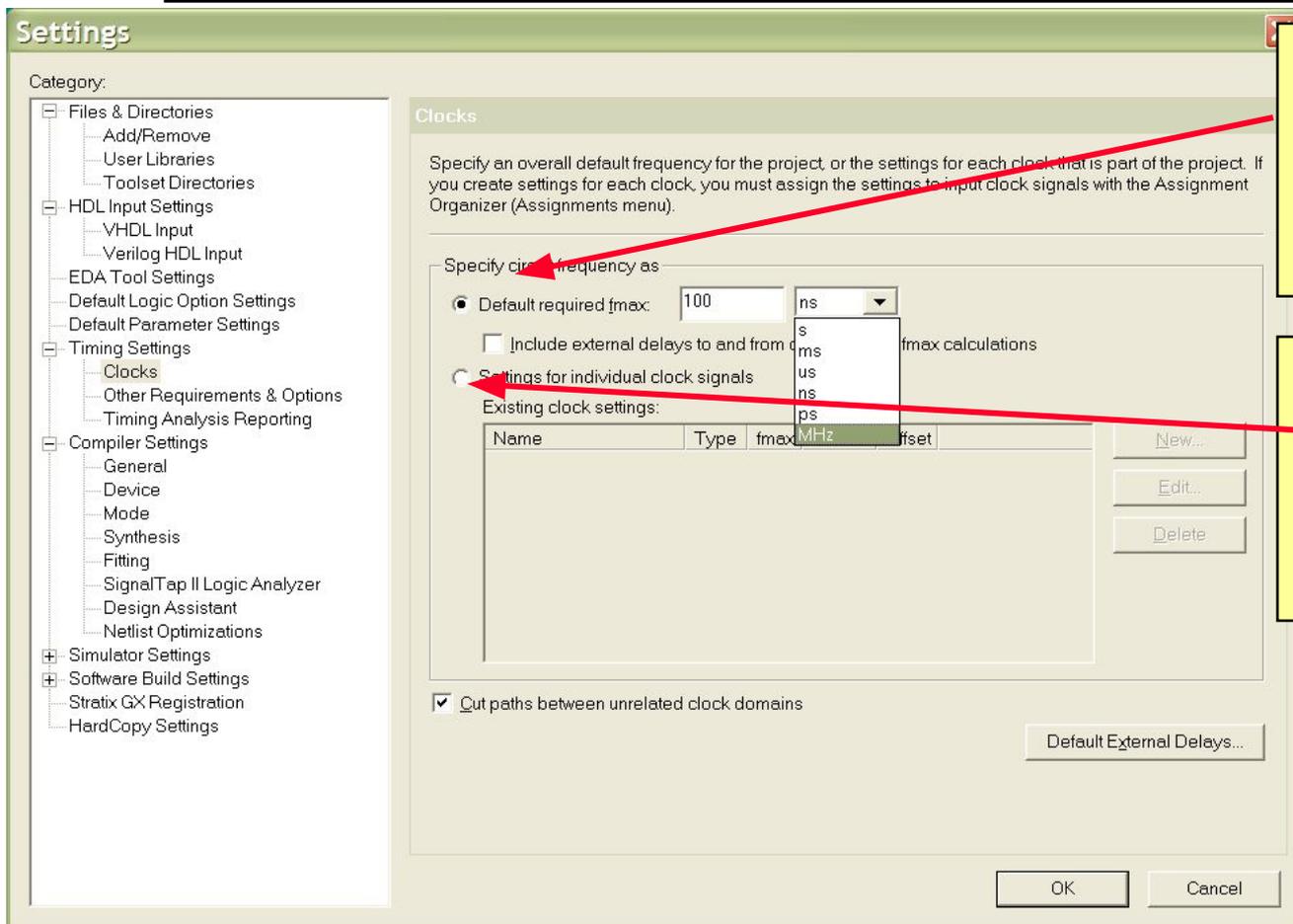
- Данный режим компиляции, Timing Driven Compilation (TDC), понуждает компилятор так располагать логические элементы, чтобы удовлетворить заданным требованиям к временным параметрам СБИС.
- Для установки режима выполните команду – **Assignments>Settings>Compiler Settings>Fitting**
- Существует две настройки:
 - **Optimize Timing** – позволяет оптимизировать критические пути внутри СБИС.
 - **Optimize I/O cell register placement for timing** – позволяет автоматически использовать триггеры в элементах ввода вывода СБИС.



Отметим, что указанные настройки часто противоречат друг другу

Глобальная установка требований к временным параметрам (задание максимальной тактовой частоты)

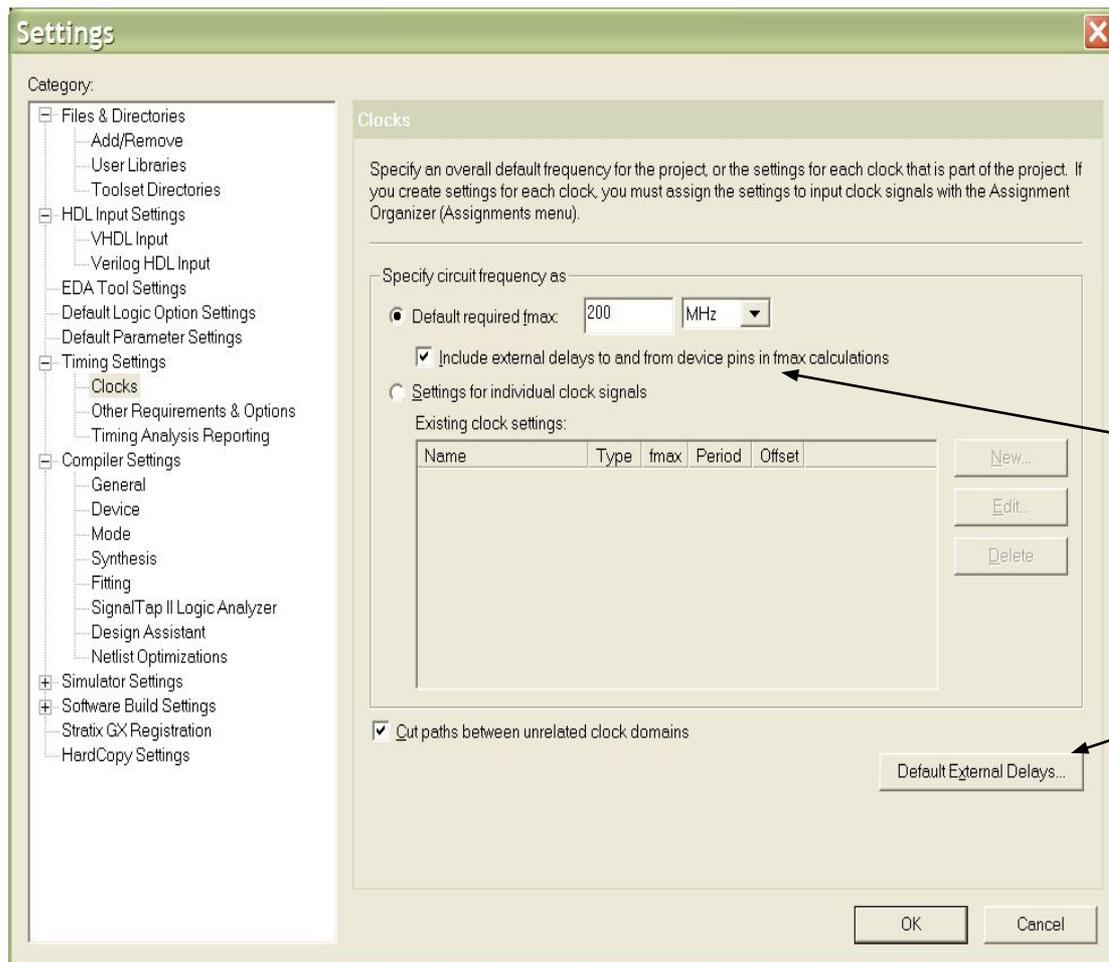
Выполните команду Assignments > Settings > Timing Settings>Clocks



Глобальная установка требуемой максимальной тактовой частоты для проекта, имеющего один тактовый сигнал.

Для проекта, имеющего несколько тактовых сигналов, следует установить требования к максимальной частоте для каждого из них.

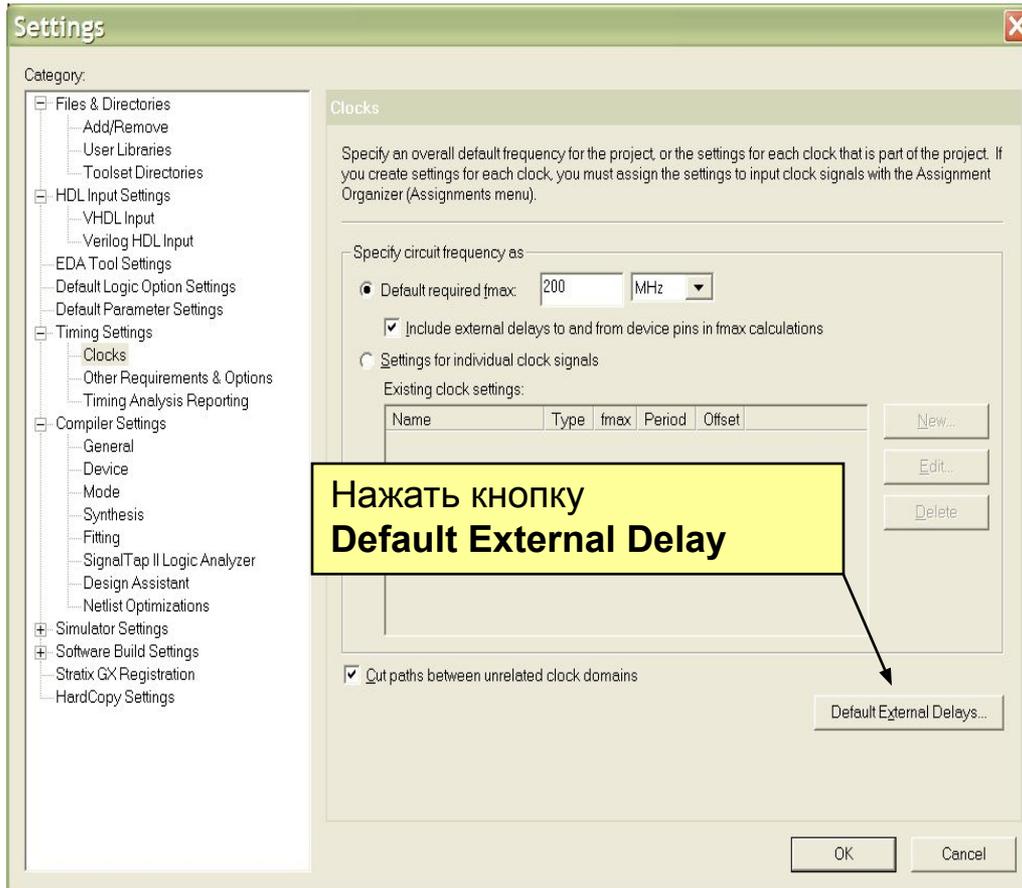
Максимальная тактовая частота с учетом внешних задержек - System fmax



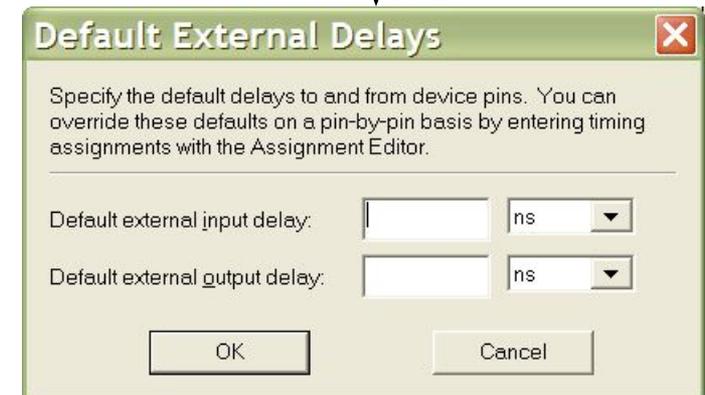
Для анализа тактовой частоты с учетом внешних задержек, следует:

- Выполнить команду **Assignments > Settings > Timing Settings**
- Установить опцию **Include external Delay to and from pins in Fmax calculations**
- Задать значение задержек

Установка внешних задержек



В появившемся окне задать значения задержек



Индивидуальная установка требований к временным параметрам

- Параметры t_{su} (setup time), t_h (hold time), t_{co} (clock-to-out) могут устанавливаться индивидуально для каждого вывода СБИС.
- Существует два режима задания этих параметров:
 - Для всех цепей, связанных с входом (Single point)
 - Точка-точка (Point-to-point)

Пример: назначение требований к параметру Setup

Category:
Custom region
I/O Standard
Reserve Pin
Timing
Multicycle
tco
t

Mode Filter:
Show assignments for specific nodes:

Information: Specifies the maximum acceptable clock setup time for the input (data) pin. The setup time is the length of time

Edit: [X] [v] tsu Requirement

	Source Name (From)	Destination Name (To)	Option	Value
1		dataa[0]	tsu Requirement	3ns
2	<<new>>	<<new>>		

Context Menu:
Clock Settings
Cut Timing Path
Enable Multicycle
Enable Multicycle Hold
Enable Source Multicycle
Enable Source Multicycle Hold
External Input Delay
External Output Delay
Inverted Clock
Minimum tco Requirement
Minimum tpd Requirement
Multicycle
Multicycle Hold
Not a Clock
Source Multicycle
Source Multicycle Hold
tco Requirement
th Requirement
tpd Requirement
tsu Requirement

выберите раздел Timing

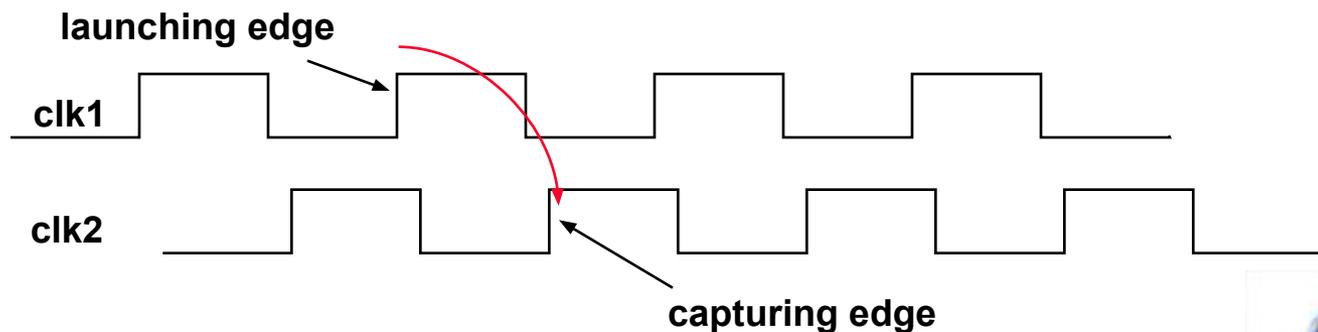
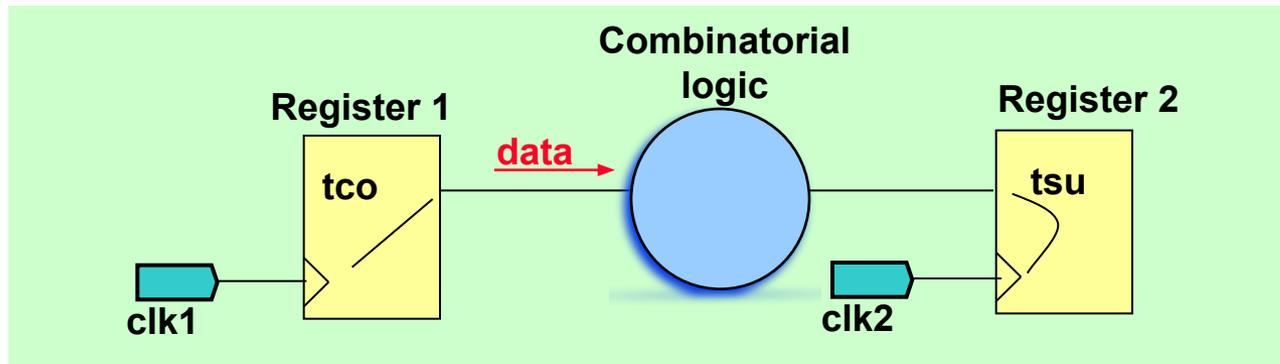
Используйте источник цепи (From) для задания в назначении в режиме point-to-point

Введите имя вывода для которого устанавливается требования к параметру tsu

Выберите tsu Requirement из контекстно-зависимого меню

Режим - Multi-Clock Frequency Analysis

- Позволяет анализировать временные параметры проекта, содержащего цепи передачи сигналов между регистрами, синхронизируемыми различными тактовыми сигналами.
- По умолчанию в пакете Quartus II считается, что независимые тактовые сигналы имеют одинаковую частоту и одинаковый активный фронт.



Резерв времени между двумя тактовыми частотами

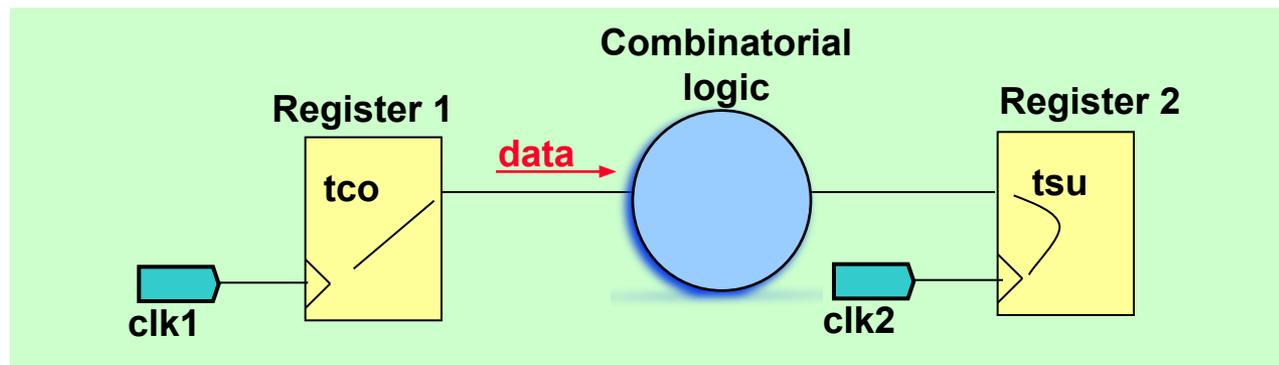
- Понятие «резерв времени» (Slack) используется для того, чтобы отслеживать задержку сигнала между регистром1 и регистром2

Положительный резерв времени (Positive Slack)

- Время поступления сигнала из регистра1 будет удовлетворять требуемому времени предустановки сигнала на входе регистра2 до прихода фронта синхросигнала на регистр2.

Отрицательный резерв времени (Negative Slack)

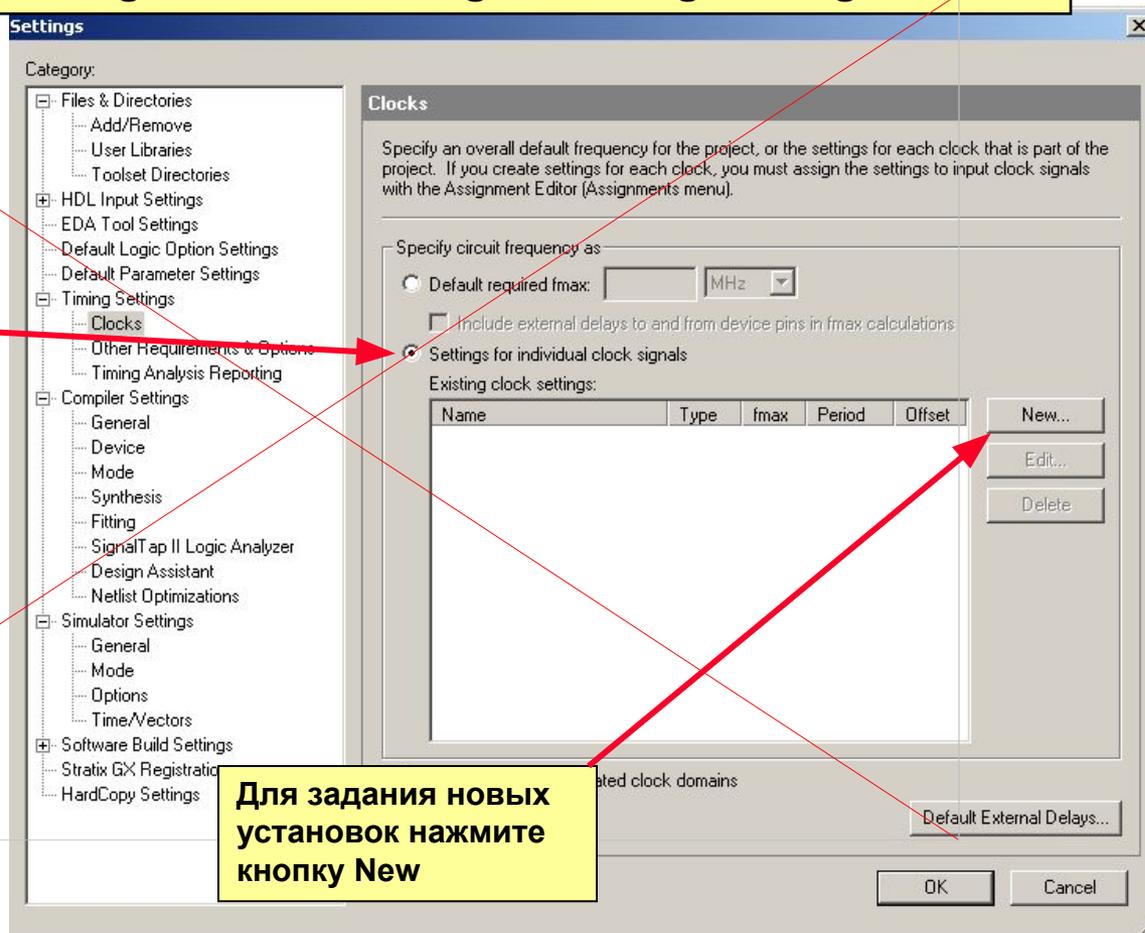
- Время поступления сигнала из регистра1 не будет удовлетворять требуемому времени предустановки сигнала на входе регистра2 до прихода фронта синхросигнала на регистр2.



Задание тактовых сигналов

Меню Assignments > Settings > Timing Settings > Clocks

Отметьте опцию управляющую заданием тактовых сигналов



Для задания новых установок нажмите кнопку New

Задание базового тактового сигнала (Base Clocks)

Settings

Category:

- Files & Directories
 - Add/Remove
 - User Libraries
 - Toolset Directories
- HDL Input Settings
 - VHDL Input
 - Verilog HDL Input
- EDA Tool Settings
- Default Logic Option Settings
- Default Parameter Settings
- Timing Settings
 - Clocks
 - Other Requirements & Options
 - Timing Analysis Reporting
- Compiler Settings
 - General
 - Device

Clocks

Specify an overall default frequency for the project, or the settings for each clock that is part of the project. If you create settings for each clock, you must assign the settings to input clock signals with the Assignment Editor (Assignments menu).

Specify circuit frequency as

Default required fmax: [] ns

Include external delays to and from device pins in fmax calculations

Settings for individual clock signals

Existing clock settings:

Name	Type	fmax	Period
------	------	------	--------

New...
Edit...
Delete

Default External Delays...

New Clock Settings

Clock settings name: base

Relationship to other clock settings

Independent of other clock settings

Required fmax: 200 MHz Resulting period:

Duty Cycle (%): 50

Include external delays to and from device pins in fmax calculations

Based on: [] Derived Clock Requirements...

OK Cancel

Задайте имя установки

Для базового тактового сигнала выберите данную опцию

Установите требуемую fmax и скважность (Duty Cycle)

Нажмите кнопку OK

Задание вторичного тактового сигнала (Derived Clocks)

Settings

Category:

- Files & Directories
 - Add/Remove
 - User Libraries
 - Toolset Directories
- HDL Input Settings
 - VHDL Input
 - Verilog HDL Input
- EDA Tools
- Default Settings
- Timing Settings
 - Clocks
 - Other Requirements & Options
 - Timing Analysis Reporting
- Compiler Settings
 - General
 - Device
 - Mode
- Simulation
- Source
- Structure
- Hardware

Нажмите кнопку New

Specify an overall default frequency for the project, or the settings for each clock that is part of the project. If you create settings for each clock, you must assign the settings to input clock signals with the Assignment Editor (Assignments menu).

ns

Settings for individual clock signals

Existing clock settings:

Name	Type	fmax	Period
base	absolute	200.0 MHz	5.000 ns

New...
Edit...
Delete

Задайте имя создаваемой установки для вторичного тактового сигнала

device pins in fmax calculation

Для вторичного тактового сигнала выберите данную опцию и укажите имя установки базового сигнала

Нажмите на кнопку Derived Clock Requirements

New Clock Settings

Clock settings name:

Relationship to other clock settings

Independent of other clock settings

Required fmax: MHz Resulting period:

Duty Cycle (%):

Include external delays to and from device pins in fmax calculations

Based on:

OK Cancel

Default External Delays...
OK Cancel

Задание требований к параметрам вторичного тактового сигнала (Derived Clocks)

Установите соотношение тактовых частот базового и вторичного тактовых сигналов и сдвиг фаз между ними. Вторичный тактовый сигнал может быть инвертированным базовым сигналом.

Derived Clock Requirements

Specify the timing requirements for derived clock settings 'derived'

Absolute timing requirements

Clock settings name: base

Required fmax: 200.0 MHz

Resulting period: 5.000 ns

Include delays to/from pins: Off

Multiply base absolute clock fmax by: 3

Divide base absolute clock fmax by: 4

Duty cycle: 50

Resulting fmax: 150.060024 MHz

Resulting period: 6.664 ns

Offset from base absolute clock fmax: ns

Invert base clock

OK Cancel

Settings

Category:

- Files & Directories
 - Add/Remove
 - User Libraries
 - Toolset Directories
- HDL Input Settings
 - VHDL Input
 - Verilog HDL Input
- EDA Tool Settings
- Default Logic Option Settings
- Default Parameter Settings
- Timing Settings
 - Clocks
 - Other Requirements & Options
 - Timing Analysis Reporting
- Compiler Settings
 - General
 - Device
 - Mode
 - Synthesis
 - Fitting
 - SignalTap II Logic Analyzer
 - Design Assistant
 - Netlist Optimizations
- Simulator Settings
 - General
 - Mode
 - Options
 - Time/Vectors
- Software Build Settings
 - Stratix GX Registration
 - HardCopy Settings

Clocks

Specify an overall default frequency for the project, or the settings for each clock that is part of the project. If you create settings for each clock, you must assign the settings to input clock signals with the Assignment Editor (Assignments menu).

Specify circuit frequency as

Default required fmax: ns

Include external delays to and from device pins in fmax calculations

Settings for individual clock signals

Existing clock settings:

Name	Type	fmax	Period
base	absolute	200.0 MHz	5.000 ns
derived	derived	150.015001 MHz	6.666 ns

New... Edit... Delete

Cut paths between unrelated clock domains

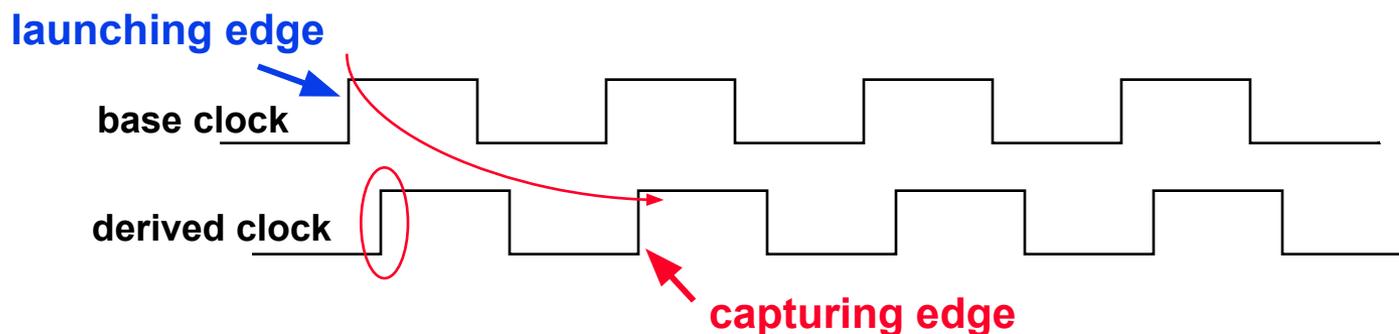
Default External Delays...

OK Cancel

Нажмите кнопку **OK**.

Многотактовая синхронизация

- Сигнал, время распространения которого от регистра к регистру превышает длительность одного такта тактового сигнала – сигнал с многотактовой синхронизацией
- Объявление сигнала с многотактовой синхронизацией позволяет системе анализа временных параметров (Timing Analyzer) анализировать время прихода этого сигнала в течений нескольких периодов тактового сигнала



Установка многотактовой синхронизации (Multi-Cycle Assignment)

Assignments > Assignment Editor...

1) Выберите категорию **Timing**

2) Укажите имя тактового сигнала (нажмите правую клавишу манипулятора, выберите **edit cell** и запустите **node finder**)

	Source Name (From)	Destination Name (To)	Option	Value
1		clk1	Multicycle	
2	<<new>>	<<new>>	<<new>>	

3) Выберите **Multicycle** из контекстно-зависимого меню

4) Задайте число тактов

Система LogicLock



Система LogicLock (общие понятия)

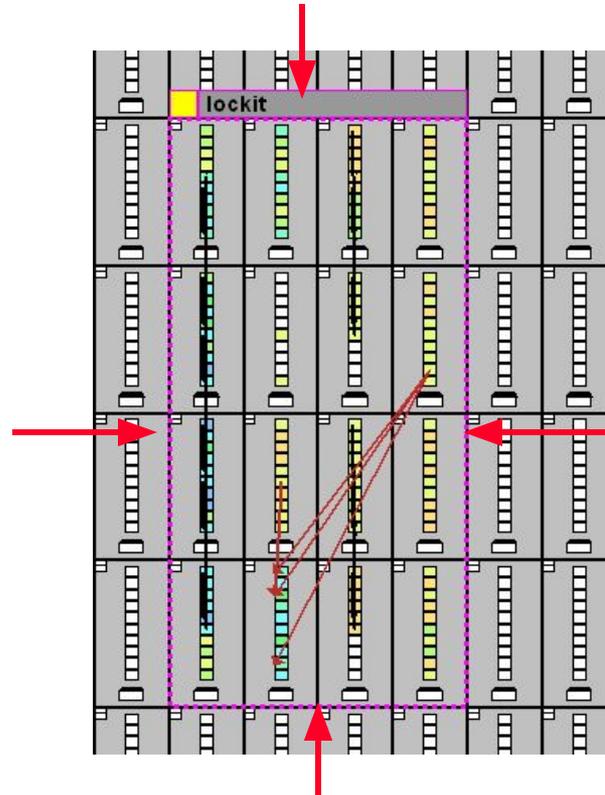
- Система *LogicLock* упрощает блочно-иерархический подход к проектированию, обеспечивая возможность разработки и оптимизации каждого блока в отдельности с привязкой его к выделенной зоне физических ресурсов СБИС.
- Система *LogicLock* позволяет реализовать:
 - Модульную процедуру проектирования (Modular Design Flow)
 - Командно-ориентированную процедуру проектирования (Team-Based Design flow)
 - Процедуру проектирования последовательного наращивания функций (Incremental Design Flow)
- *Зона LogicLock* – набор параметров, определяющий прямоугольную зону физических ресурсов на СБИС.
- *Привязка* модулей (entities), узлов (nodes) или критических путей распространения сигналов (paths) к зоне LogicLock вынуждает компилятор размещать указанные логические ресурсы компактно в выделенной зоне физических ресурсов СБИС.

Цели использования системы LogicLock

- Цели использования:
 - На этапе оптимизации отдельного модуля
 - Достижение максимальной производительности. Что обеспечивается компактным размещением логических ресурсов в выделенной зоне физических ресурсов СБИС
 - На этапе интеграции модулей в проект верхнего уровня иерархии
 - Сохранение достигнутого уровня быстродействия модуля. Что обеспечивается возможностью фиксации как размещения логических ресурсов в выделенной зоне физических ресурсов, так и результатов трассировки соединений. И возможностью их экспорта в проект верхнего уровня иерархии описаний
 - При реализации процедуры проектирования с последовательным наращиванием функций
 - Минимизация времени перекомпиляции всего проекта и сохранения достигнутого уровня быстродействия как исходного проекта, так и добавляемого модуля. Что достигается путем фиксации размещения логических ресурсов и результатов трассировки соединений исходного проекта и возможностью экспорта результатов размещения логических ресурсов и результатов трассировки добавляемого модуля в исходный проект.

Оптимизация быстродействия модуля

- Размещение связанных логических ресурсов в непосредственной близости друг от друга (в рамках заданной зоны) позволяет добиваться максимального быстродействия (максимальной тактовой частоты работы) модуля



Поддержка семейств СБИС и систем проектирования

- Поддерживаемые семейства СБИС
 - Stratix
 - Stratix GX
 - Cyclone
 - APEX II
 - All APEX 20K
 - Excalibur
- Поддерживаемые средства проектирования
 - Любые средства проектирования, обеспечивающие формирование списка соединений в формате .edf или .vqm с использованием АТОМ примитивов
 - Synplify
 - LeonardoSpectrum
 - FPGA Express

Окно зон LogicLock (LogicLock Regions Window)

ВЫЗОВ ОКНА **LogicLock Region Window** :
Assignments=>LogicLock Region Window

ИЛИ

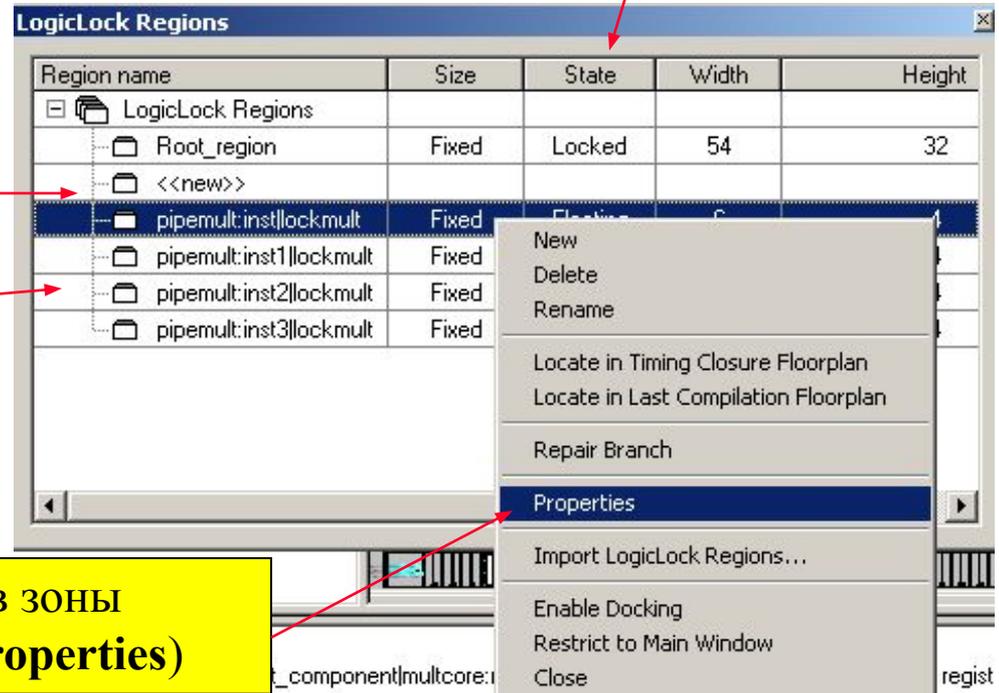
Иконка  на панели инструментов

Параметры созданных зон

Создать новую зону

Созданные зоны

Открыть окно свойств зоны
(**LogicLock Region Properties**)

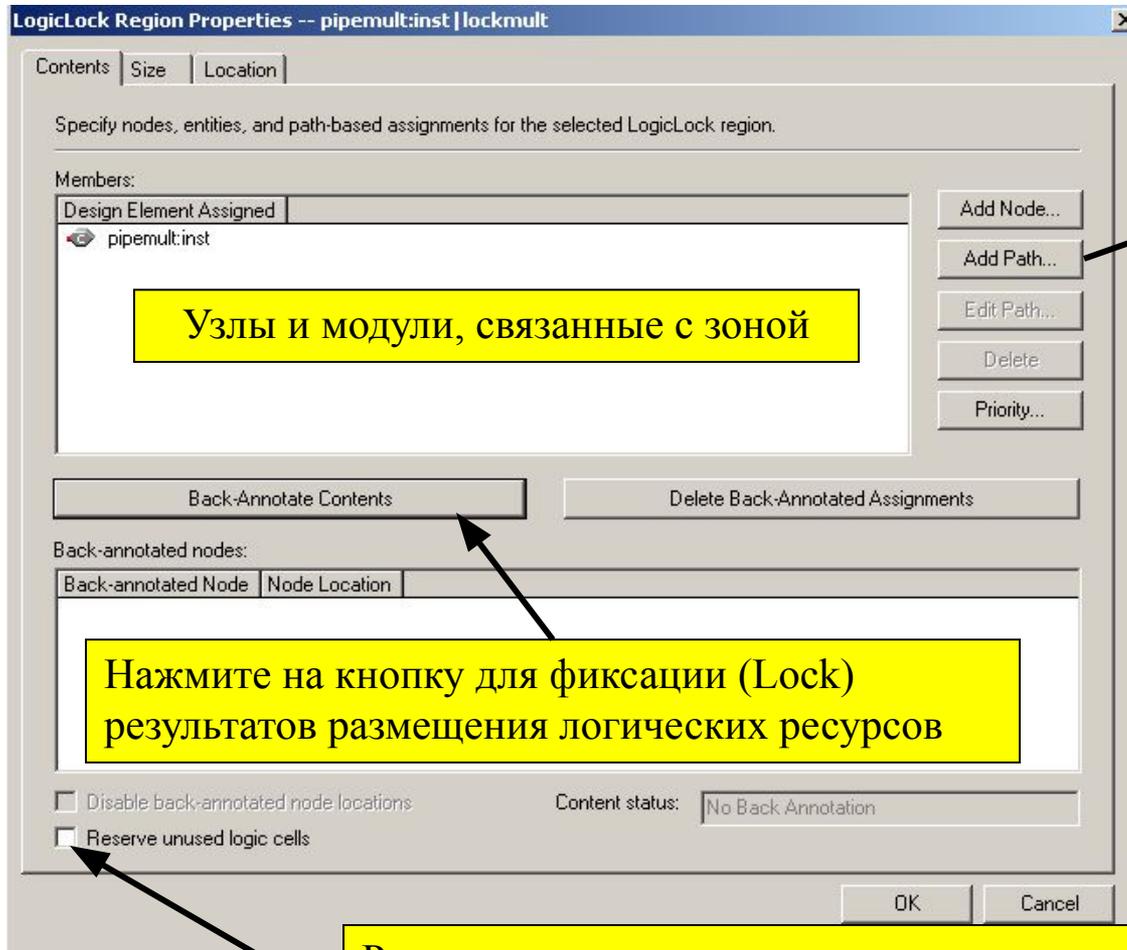


The screenshot shows the 'LogicLock Regions' window with a table of regions. A context menu is open over the 'pipemult:inst1|lockmult' region, with 'Properties' selected.

Region name	Size	State	Width	Height
LogicLock Regions				
Root_region	Fixed	Locked	54	32
<<new>>				
pipemult:inst lockmult	Fixed	Locked	54	32
pipemult:inst1 lockmult	Fixed	Locked	54	32
pipemult:inst2 lockmult	Fixed	Locked	54	32
pipemult:inst3 lockmult	Fixed	Locked	54	32

- New
- Delete
- Rename
- Locate in Timing Closure Floorplan
- Locate in Last Compilation Floorplan
- Repair Branch
- Properties**
- Import LogicLock Regions...
- Enable Docking
- Restrict to Main Window
- Close

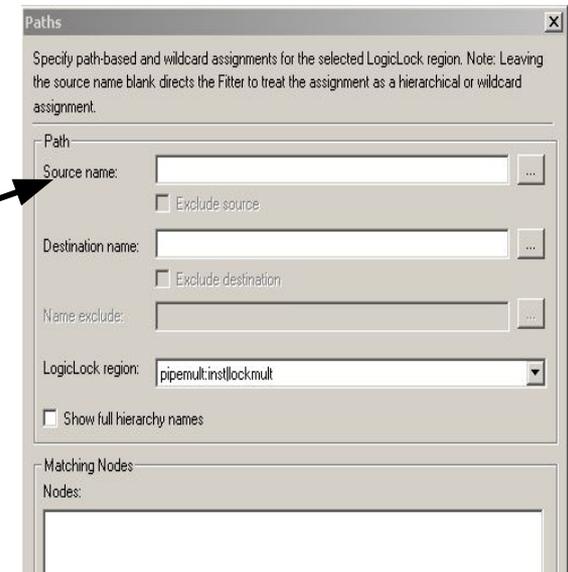
Окно LogicLock Region Properties (закладка Contents)



Узлы и модули, связанные с зоной

Нажмите на кнопку для фиксации (Lock) результатов размещения логических ресурсов

Резервирование неиспользованных физических ресурсов зоны

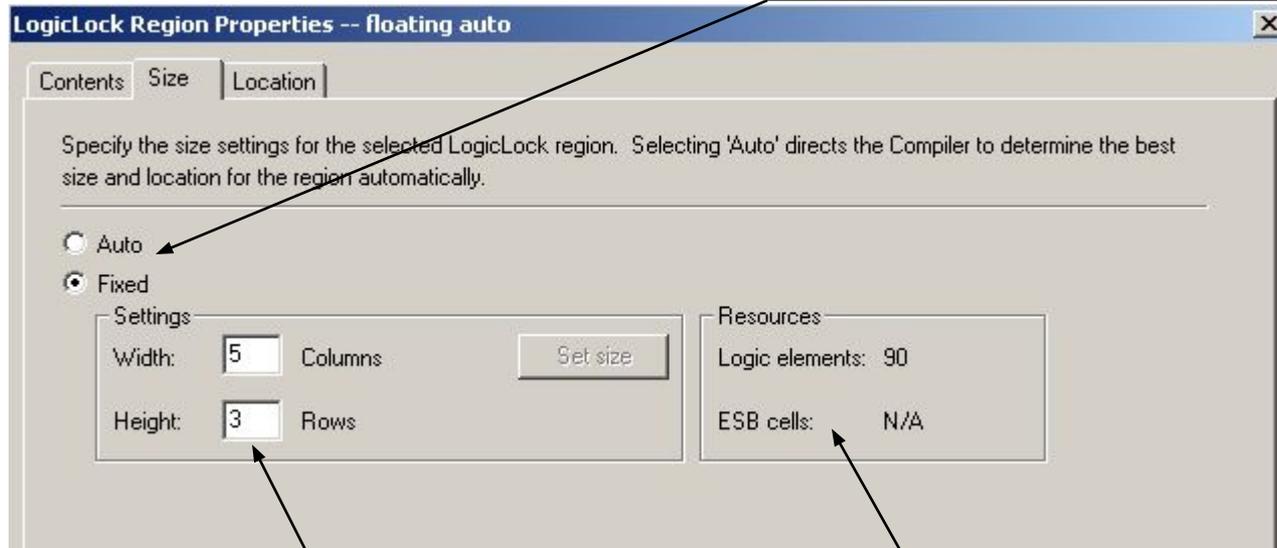


Окно задания критических путей распространения сигналов для связи их с зоной LogicLock

Окно LogicLock Region Properties (закладка Size)

Задание типа размера:

- Auto – размер, определяемый компилятором
- Fixed - размер, задаваемый пользователем

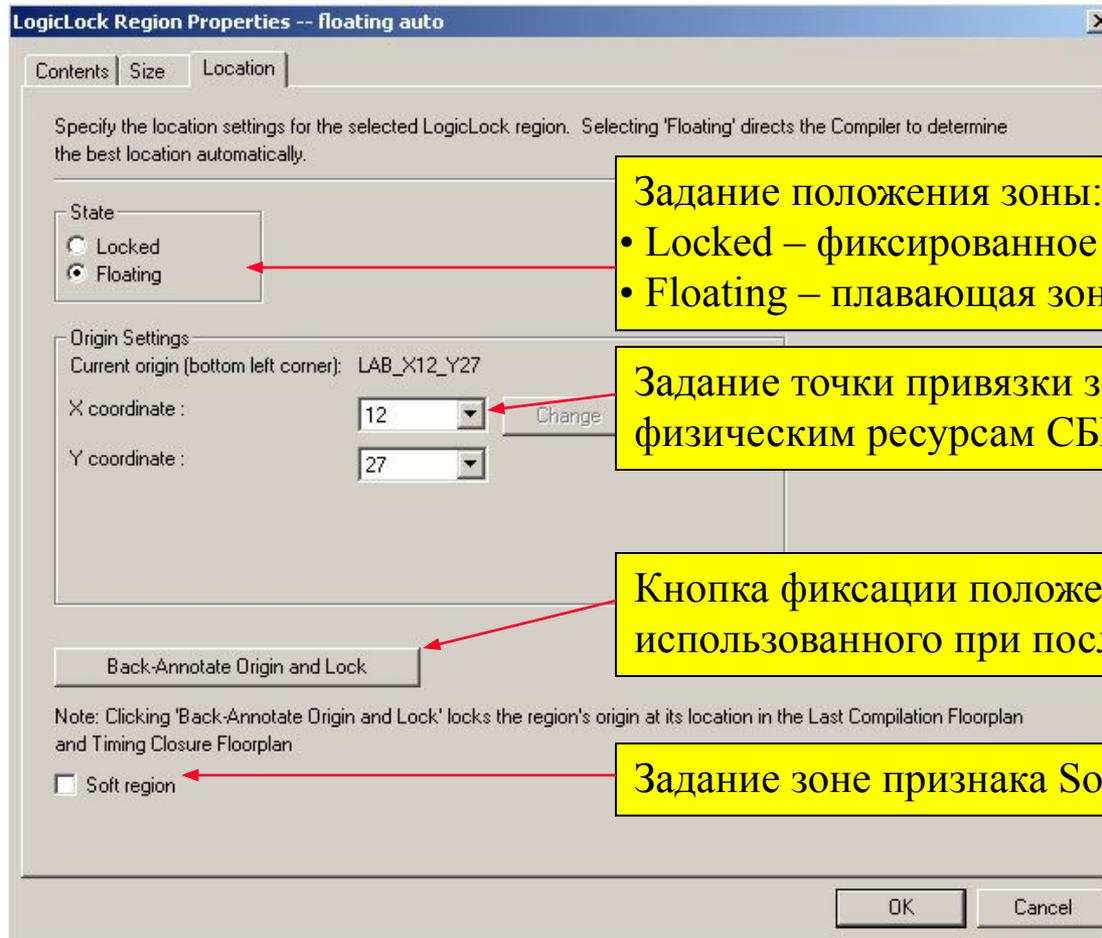


Задание размера:

- Width – ширина (колонок)
- Height - высота (строк)

Физические ресурсы зоны

Окно LogicLock Region Properties (закладка Location)



Задание положения зоны:

- Locked – фиксированное положение
- Floating – плавающая зона

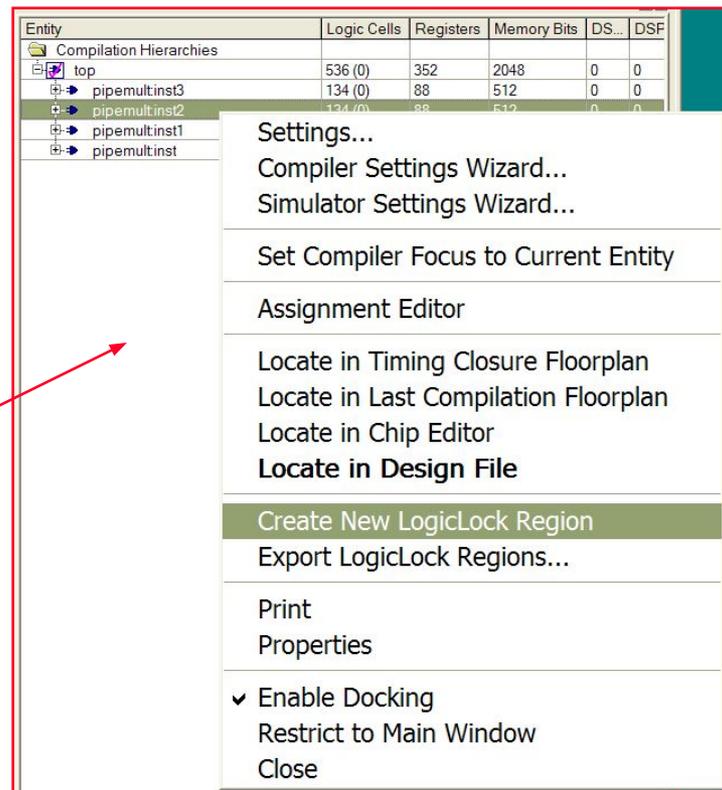
Задание точки привязки зоны к физическим ресурсам СБИС

Кнопка фиксации положения зоны, использованного при последней компиляции

Задание зоне признака Soft

Создание зон LogicLock и связывание их с логическими ресурсами

- Способы создания зон LogicLock
 - Использование строки <new> в окне LogicLock Regions
 - Использование иконки  в редакторе размещения внутренних ресурсов СБИС (Timing Closure Floorplane)
- Способы связывания логических ресурсов с зоной LogicLock
 - Перетащить модуль из окна отображения иерархии проекта в окно LogicLock Regions
 - Перетащить модуль из окна отображения иерархии проекта в редактор размещения внутренних ресурсов СБИС (Timing Closure Floorplane)
- Создание зоны и одновременное связывание с логическими ресурсами проекта
 - В окне иерархического отображения проекта выделить логический ресурс (модуль), нажать правую клавишу манипулятора, и в появившемся контекстно-зависимом меню выбрать команду **Create New LogicLock region**



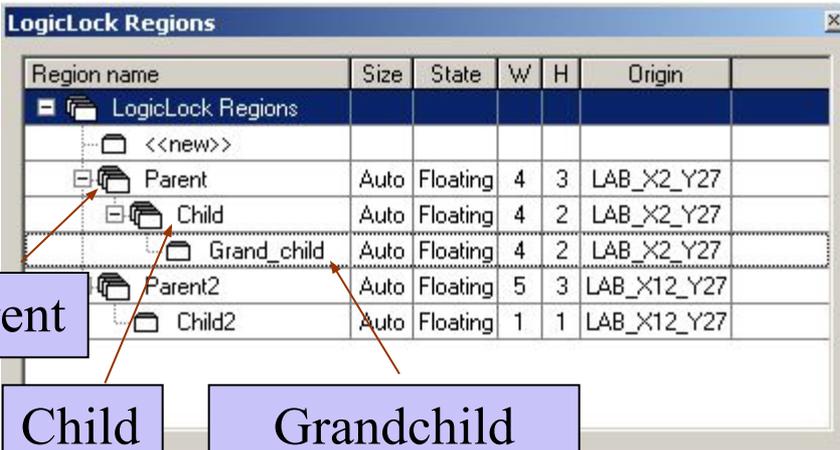
Типы зон LogicLock

The screenshot shows the LogicLock tool interface for a chip named 'top (EP1S10F780C5)'. The interface displays three different LogicLock zones, each with a specific configuration and user assignment:

- Zone 1 (Left):** Labeled 'Floating Auto'. It is a light green area with a blue vertical bar. A yellow box above it says 'Создать зону' (Create zone), with a red arrow pointing to the 'Create Zone' icon in the toolbar.
- Zone 2 (Middle):** Labeled 'Floating Fixed'. It is a light green area with a blue vertical bar and a central orange vertical bar. A yellow box below it says 'Floating Fixed'.
- Zone 3 (Right):** Labeled 'Locked Fixed'. It is a light green area with a blue vertical bar. A yellow box below it says 'Locked Fixed'.

The toolbar on the left contains various icons for creating and managing LogicLock zones. A red circle highlights the 'Create Zone' icon (top left) and the 'Assign User' icon (bottom left, labeled 'x=b'). A yellow box at the bottom of the screenshot says 'Отображение пользовательских назначений' (Display user assignments), with a red arrow pointing to the 'Assign User' icon.

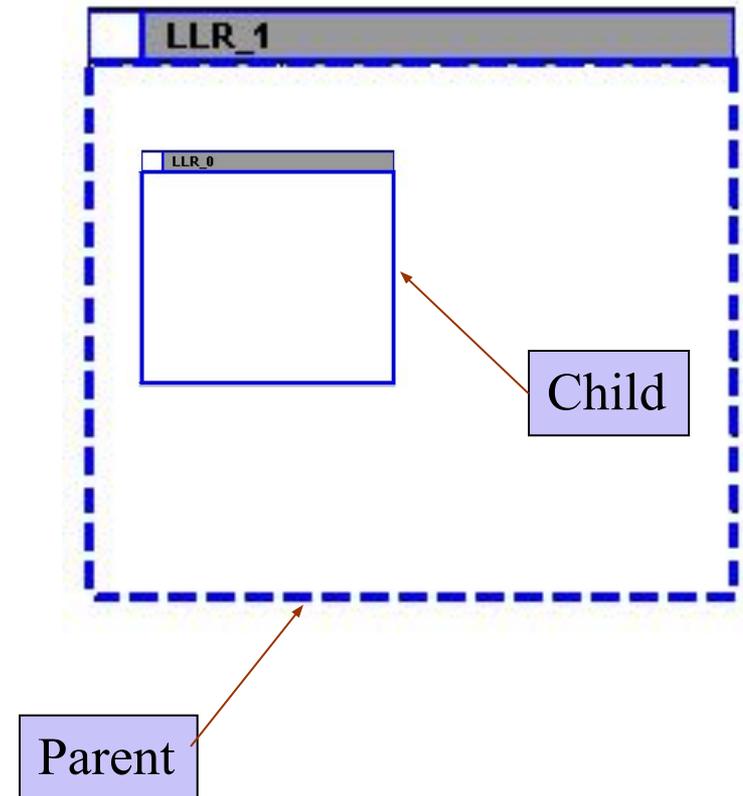
Иерархия зон (Parent and Children Regions)



The screenshot shows a window titled "LogicLock Regions" with a tree view on the left and a table on the right. The tree view shows a hierarchy: LogicLock Regions > <<new>> > Parent > Child > Grand_child. The table lists the following regions:

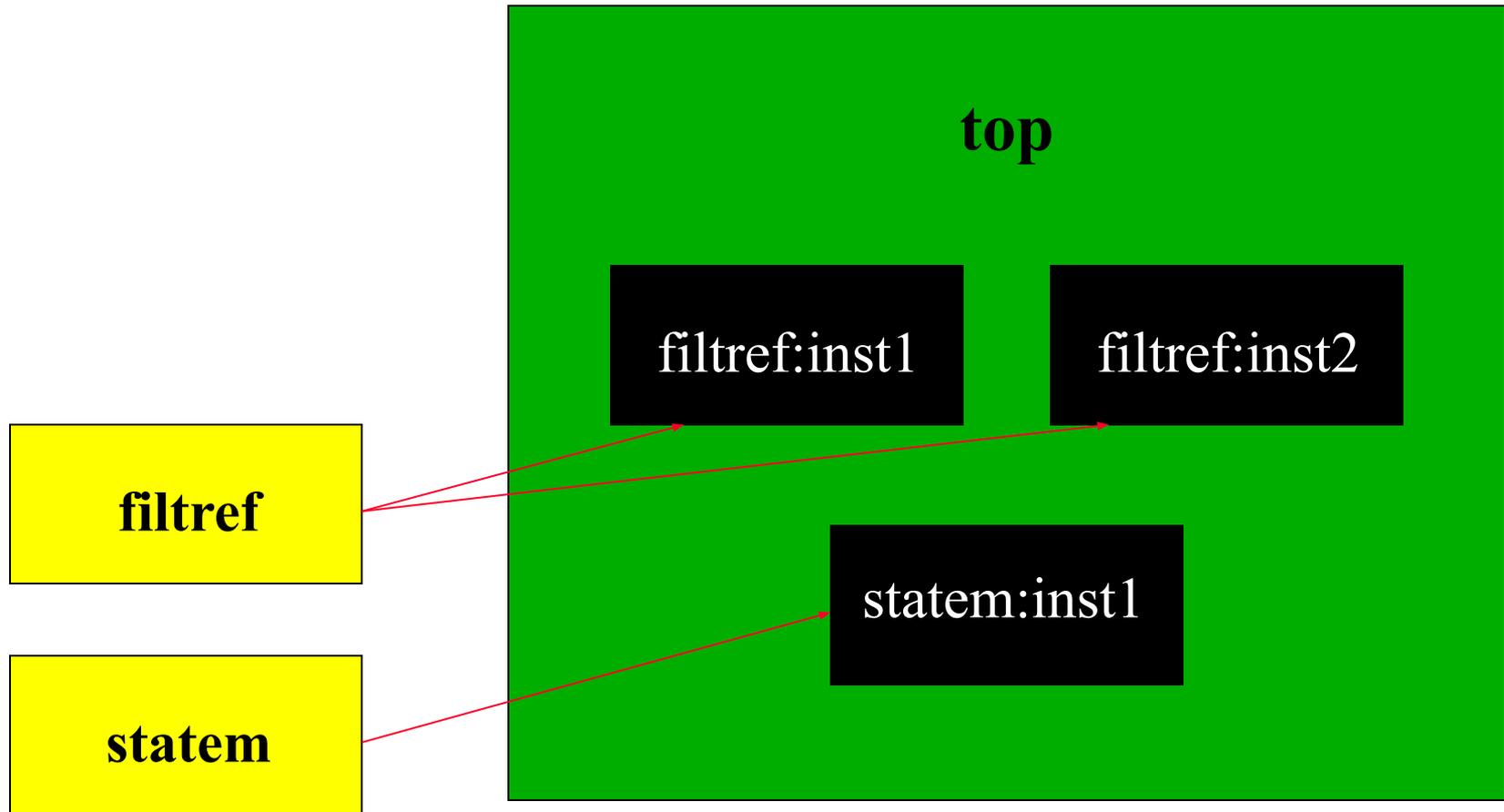
Region name	Size	State	W	H	Origin
LogicLock Regions					
<<new>>					
Parent	Auto	Floating	4	3	LAB_X2_Y27
Child	Auto	Floating	4	2	LAB_X2_Y27
Grand_child	Auto	Floating	4	2	LAB_X2_Y27
Parent2	Auto	Floating	5	3	LAB_X12_Y27
Child2	Auto	Floating	1	1	LAB_X12_Y27

Three callout boxes with arrows point to the "Parent", "Child", and "Grandchild" entries in the tree view.



- Зоны Child должны размещаться внутри зоны Parent
- зоны Child могут быть Float (Locked) и Auto (Fixed) относительно зоны Parent (в зависимости от ее типа).
- Допускается многоуровневая иерархия зон (т.е. grandchildren)

Блочнo-иерархическое проектирование

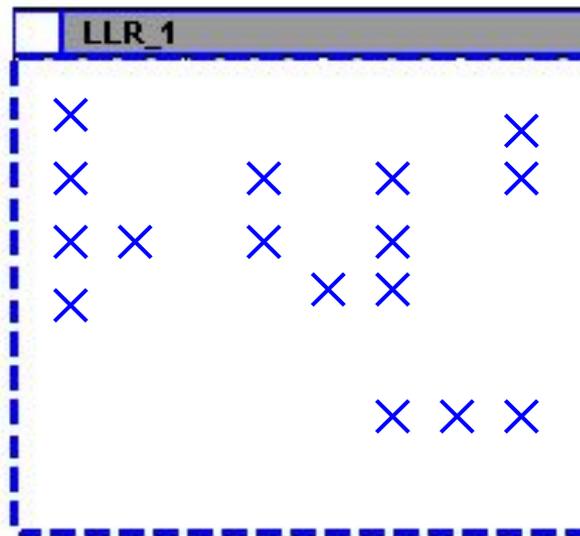


Этапы процедуры проектирования

- Реализовать декомпозицию проекта – выделить набор модулей проекта
- Проектирование модулей нижнего уровня иерархии
 - Проектирование и оптимизация модуля `filtref`
 - Создать проект для модуля `filtref`
 - Отладить модуль
 - Оптимизировать аппаратные затраты
 - Оптимизировать быстродействие с использованием зоны `logicLock`
 - Зафиксировать результаты размещения логических ресурсов
 - Экспортировать результаты размещения логических ресурсов (файлы `filtref.esf` и `filtref.vqm`)
 - Проектирование и оптимизация модуля `statem` (аналогично модулю `filtref`)
- Проектирование модуля верхнего уровня в иерархии проекта
 - Создать проект `top`
 - Скопировать файлы `filtref.esf`, `filtref.vqm`, `statem.esf`, `statem.vqm` в рабочую папку проекта `Top`.
 - Импортировать модули `filtref` и `statem` в проект `top`.
 - Осуществить компиляцию проекта `Top`

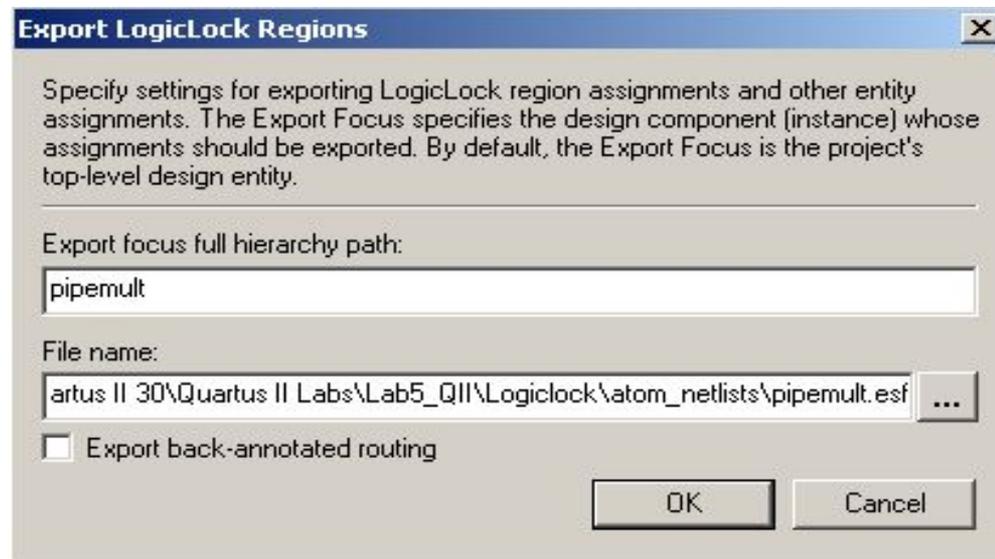
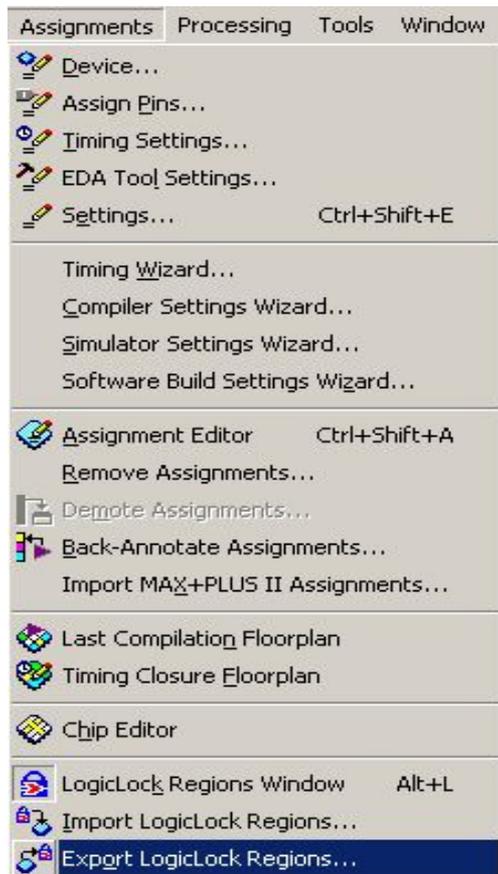
Фиксация результатов размещения логических ресурсов (Back-Annotating Contents)

- Фиксация результатов размещения логических ресурсов позволяет (но в общем случае не гарантирует) сохранить достигнутый уровень быстродействия модуля при его интеграции в модуль более высокого уровня в иерархии описаний проекта.
- Положение модуля, для которого осуществлена фиксация результатов размещения логических ресурсов, может оставаться плавающим.



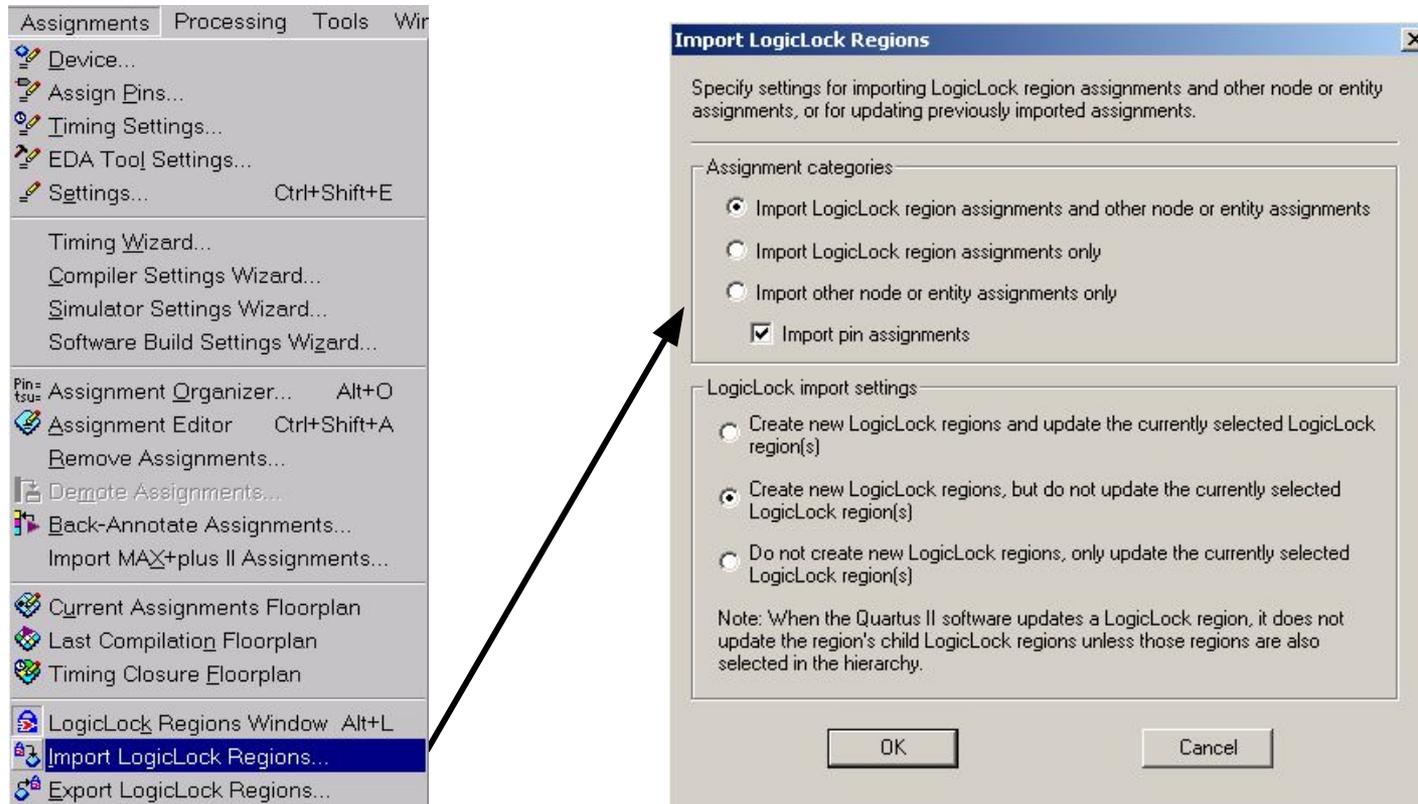
Экспорт зоны logicLock и результатов размещения логических ресурсов

- Позволяет передать информацию о зоне logicLock и о зафиксированных результатах размещения логических ресурсов модуля в другой проект
- Создается файл .esf



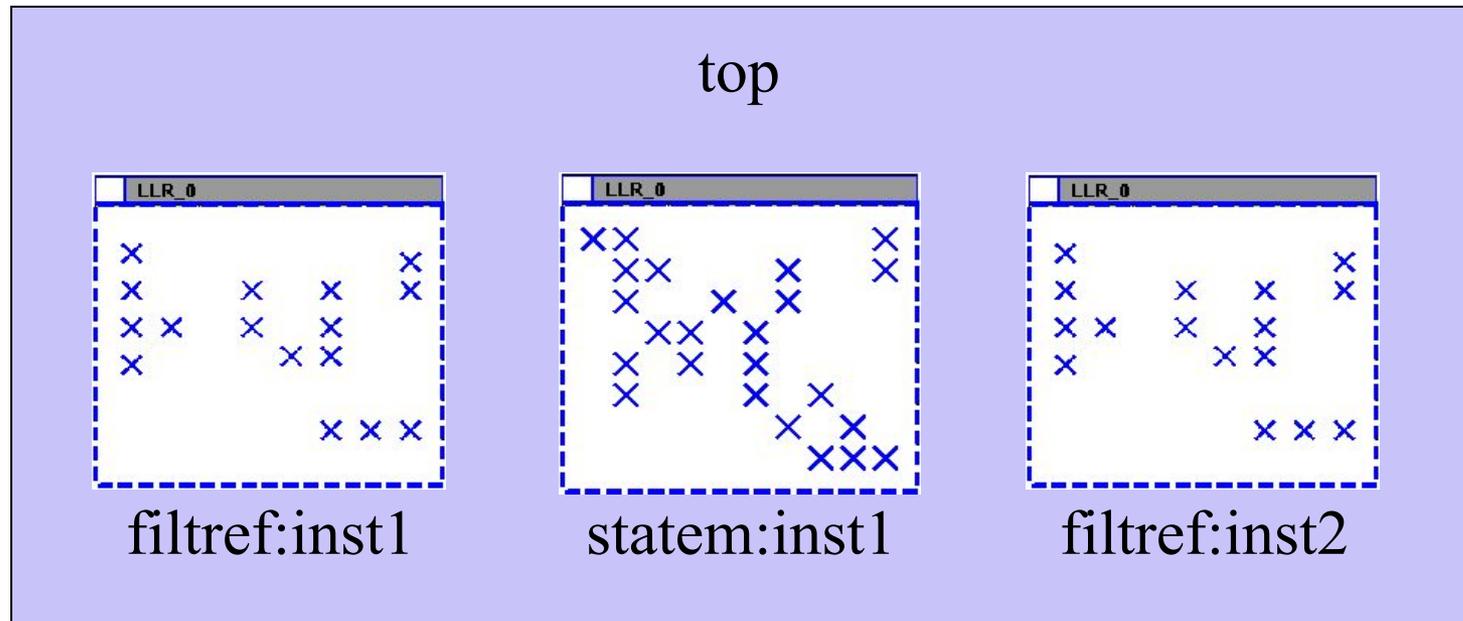
Импорт зоны logicLock и результатов размещения логических ресурсов

- Позволяет получить информацию о зоне logicLock и о зафиксированных результатах размещения логических ресурсов для модуля нижнего уровня иерархии
- Читается файл .esf



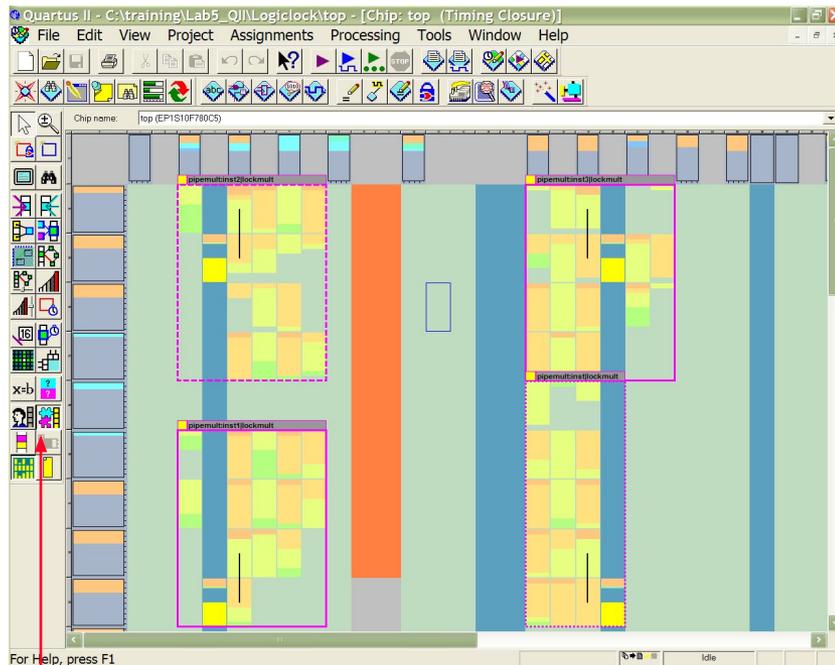
Результат импортирования модулей

- Все импортированные зоны имеют плавающее положение (floating origin). После импортирования положение может быть зафиксировано (lock)
- Взаимное расположение логических ресурсов внутри модулей сохранено, что позволяет (но не гарантирует) сохранить достигнутый ранее уровень быстродействия отдельных модулей.

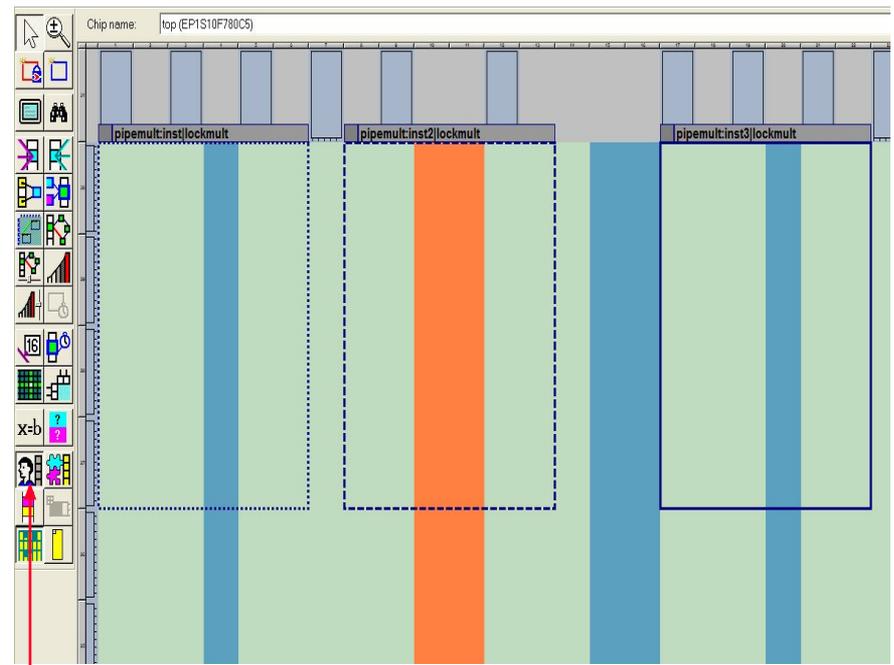


Отображение в редакторе размещения внутренних ресурсов (Timing Closure Floorplan)

- Редактор размещения внутренних ресурсов позволяет отображать как текущие назначения, так и результат последней компиляции



результат последней компиляции



текущие назначения

Моделирование в пакете Quartus II



Возможные методы моделирования

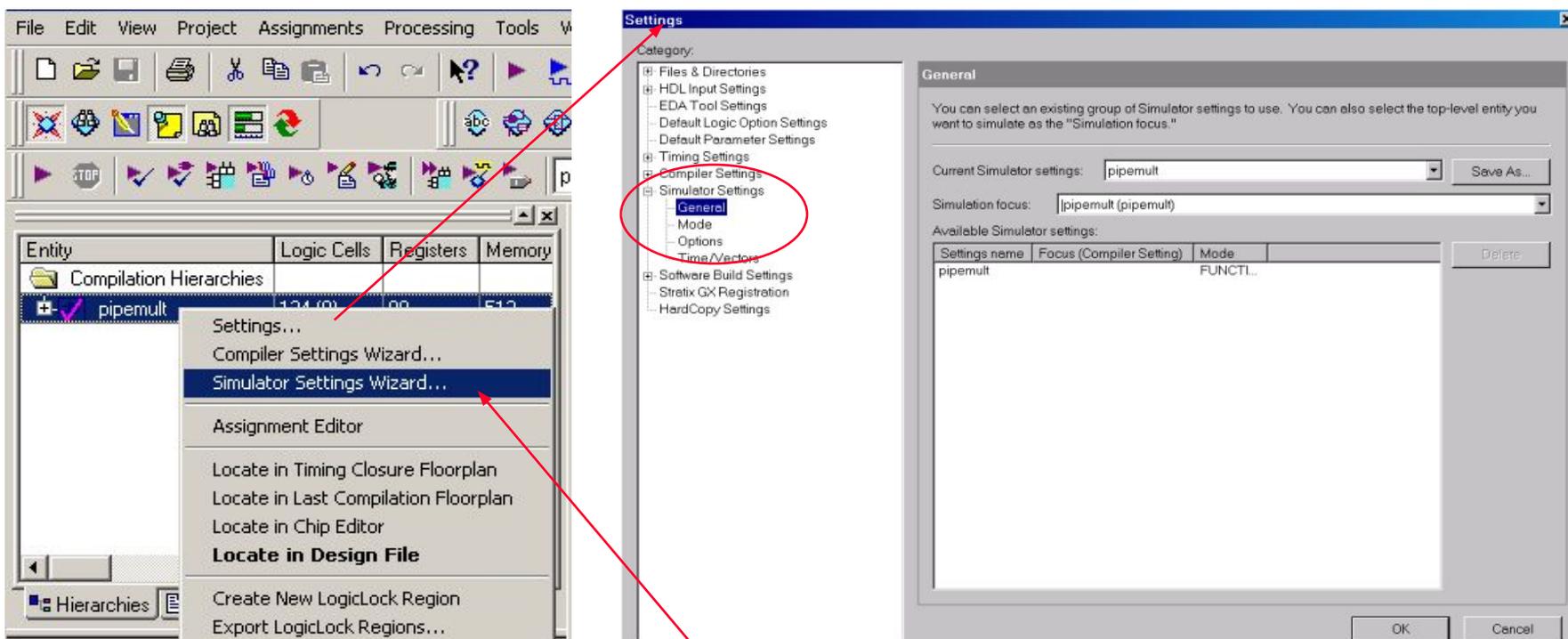
- *Ввод временных диаграмм в пакете QuartusII (Waveform entry)*
 - .vwf (vector waveform file) – файл редактора временных диаграмм пакета Quartus II
 - .vec (vector file) – векторный файл, использовавшийся в пакете MAX+PLUS II, поддерживается для обратной совместимости пакетов
 - .tbl (table file) – табуляционный файл, используемый для импортирования временных диаграмм, созданных в пакете MAX+PLUS II (.scf), в пакет Quartus II
- Создание тестовых воздействий на языке Tcl/TK
- Использование систем моделирования сторонних производителей (Modelsim, ActivHDL...)
 - Создание тестов на языках Verilog/VHDL

Поддерживаемые уровни сигналов

- Система моделирования пакета QuartusII поддерживает 9 уровней сигнала
 - 1 Forcing '1'
 - 0 Forcing '0'
 - X Forcing unknown
 - U Uninitialized
 - Z High impedance
 - H Weak '1'
 - L Weak '0'
 - W Weak unknown
 - DC Don't Care

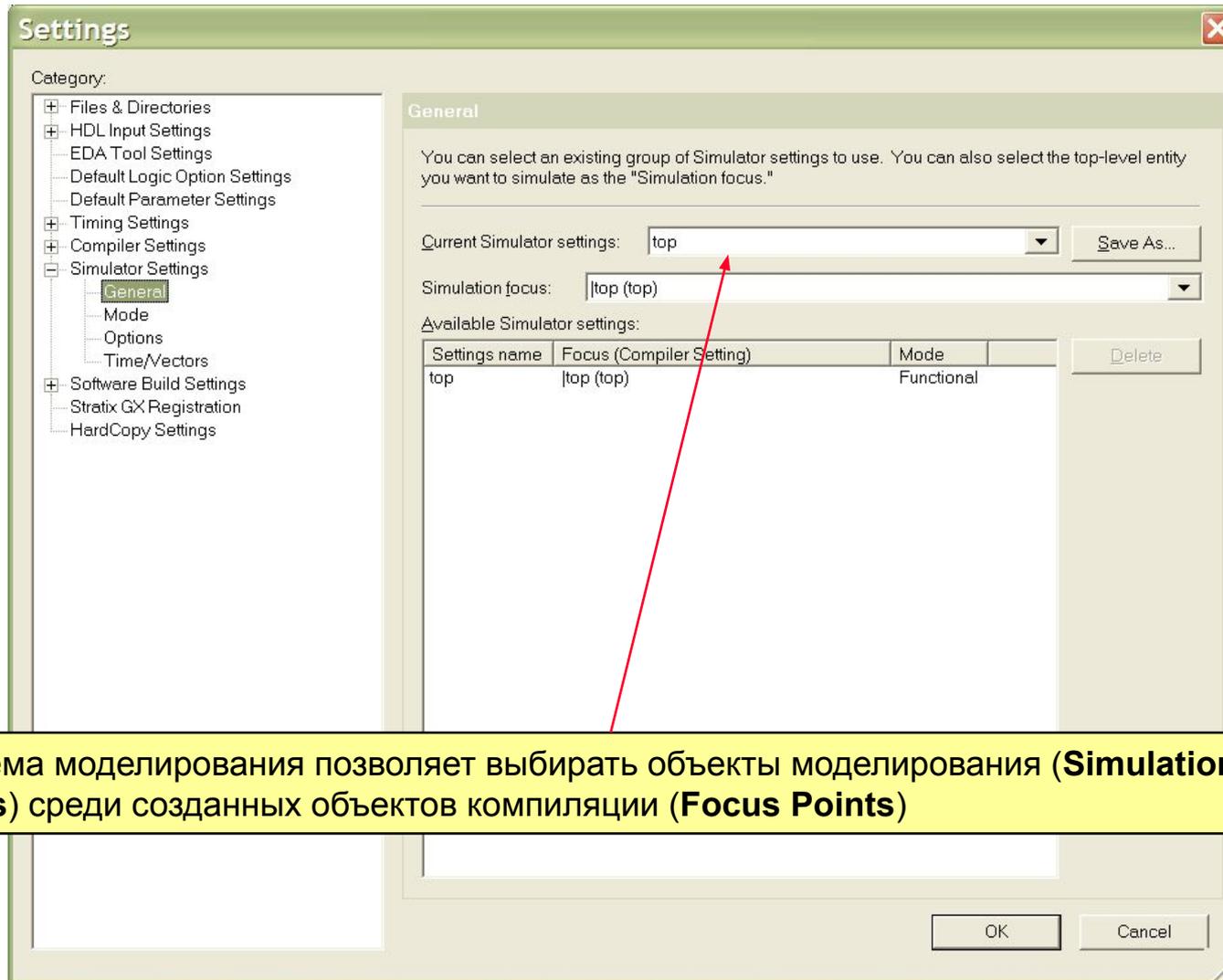
Задание параметров моделирования (Simulator Settings)

- Параметры позволяют задать тип и режимы моделирования
- Quartus II позволяет сохранять набор заданных параметров (настройку) моделирования



Для задания параметров моделирования может быть использован мастер **Simulator Setting Wizard**

Задание параметров моделирования (выбор объекта моделирования)



Система моделирования позволяет выбирать объекты моделирования (**Simulation Focus**) среди созданных объектов компиляции (**Focus Points**)

Задание параметров моделирования (настроек - Time/Vectors)

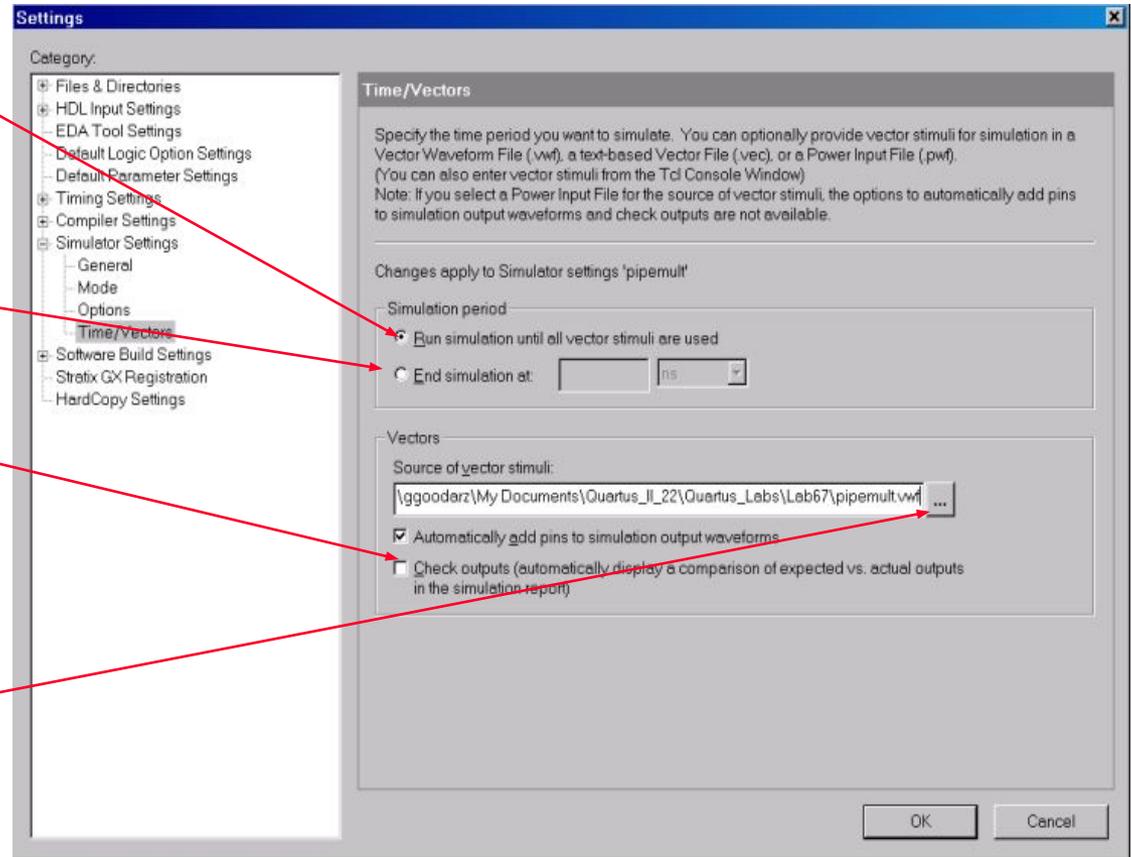
Меню **Assignment>setting>Simulator Settings>Time/Vector**

Время моделирования ограничивается длиной файла с тестовым воздействием

Время моделирования

Отображает результат сравнения теста и результаты моделирования

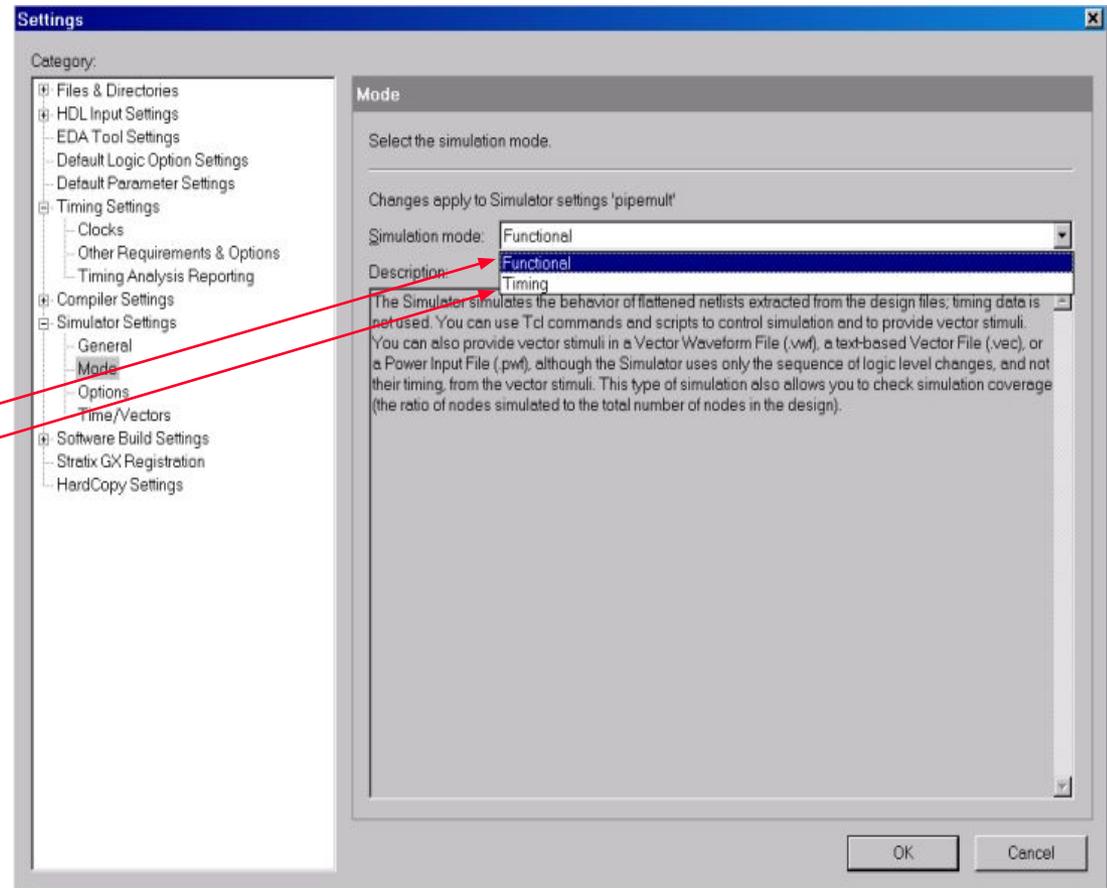
Задание файла с тестовыми воздействиями



Задание параметров моделирования (режим моделирования - Mode)

Меню **Assignment>setting>Simulator Settings>Mode**

- Определены два режима моделирования
 - Функциональное
 - Временное



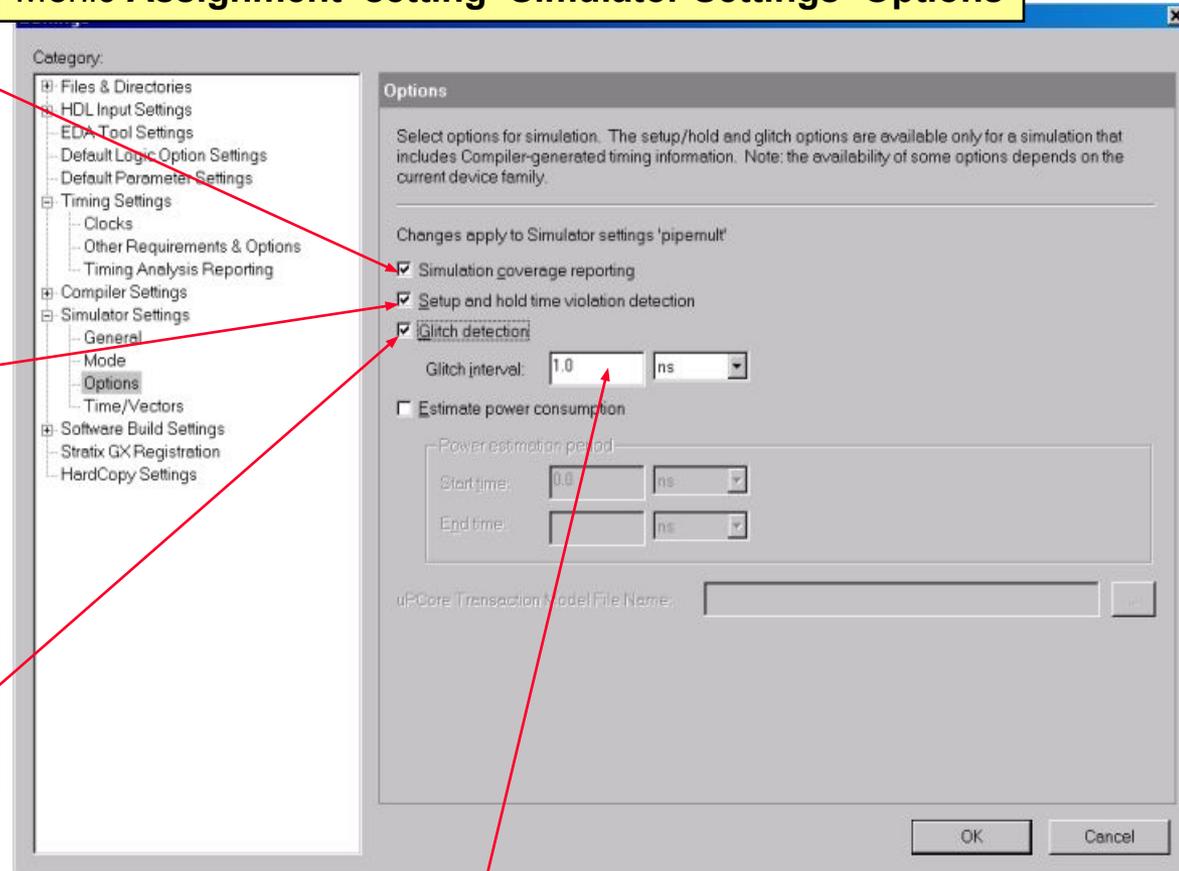
Задание параметров моделирования (дополнительные параметры моделирования - Options)

Указывать процент покрытия тестом всех возможных изменений сигналов проекта

Добавить в окно сообщений отчет о нарушениях времени предустановки и удержания сигнала на входе триггера (setup,hold)

Проводить анализ сбоев (glitches) и отображать его результаты в окне сообщений

Меню **Assignment>setting>Simulator Settings>Options**



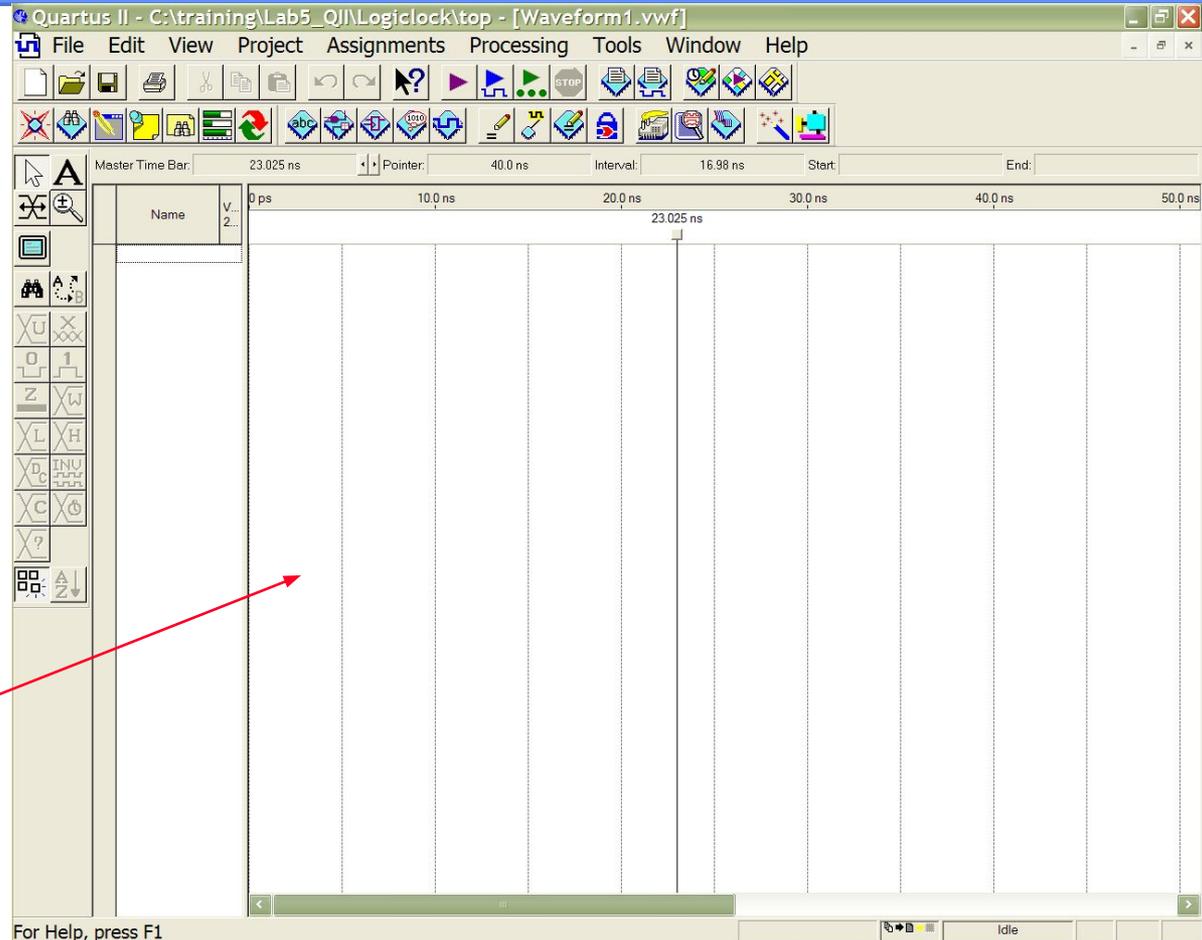
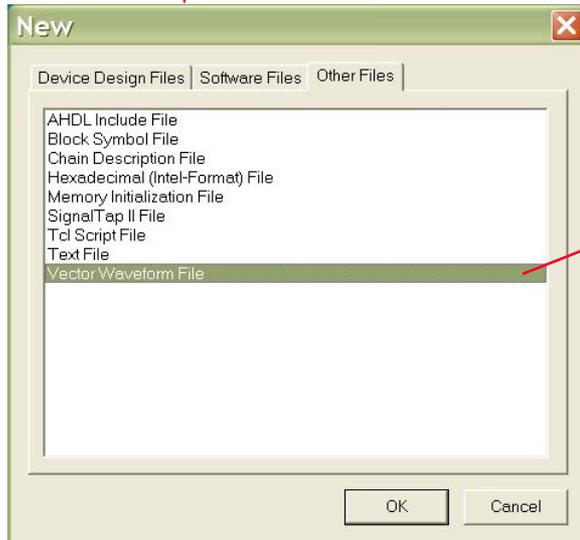
Временной интервал, определяющий сбой (Glitch)

Создание файла с временными диаграммами (.VWF)

Создание файла временных диаграмм

■ Создание файла:

- File=>new
- В окне New:
 - Зкладка Others
 - Тип файла – Vector Waveform File

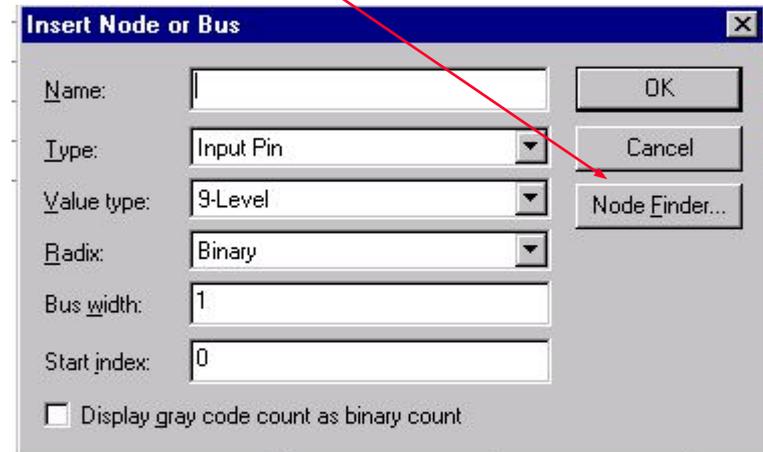


Ввод узлов (Nodes)

■ Команда Edit=> Insert Node or Bus

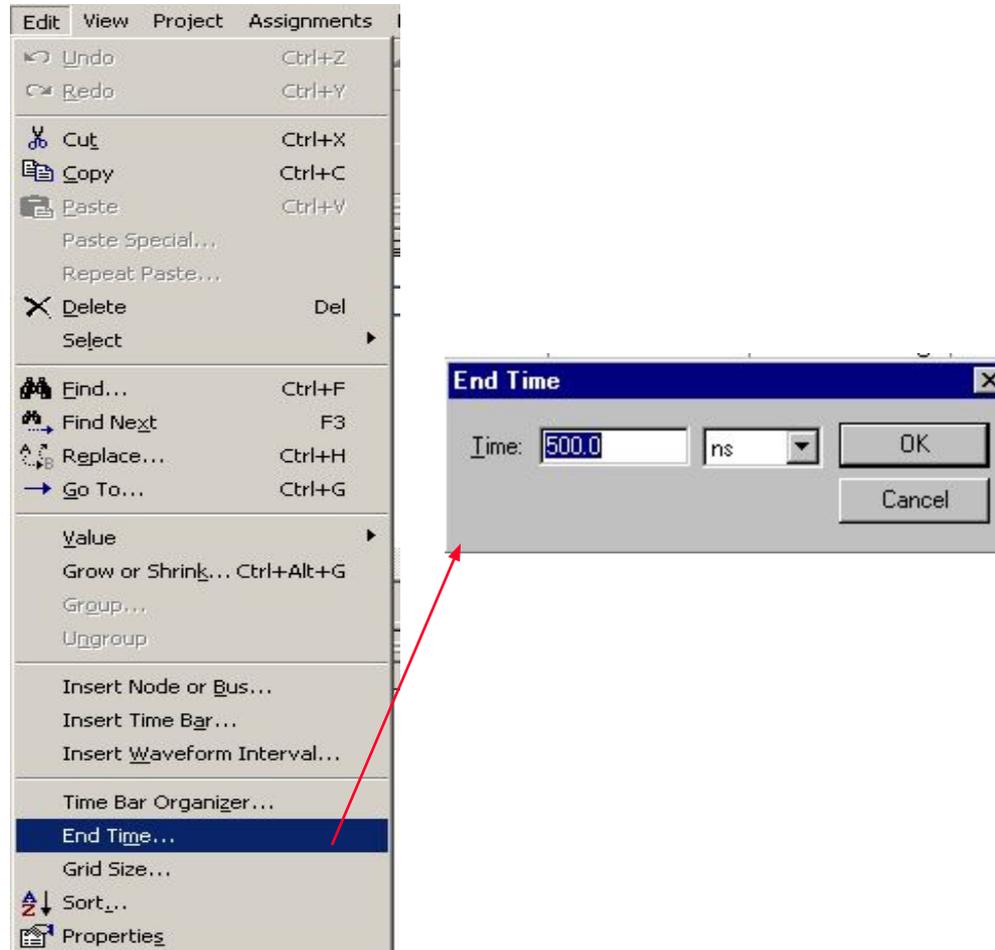


Выберите узлы с помощью системы Node Finder



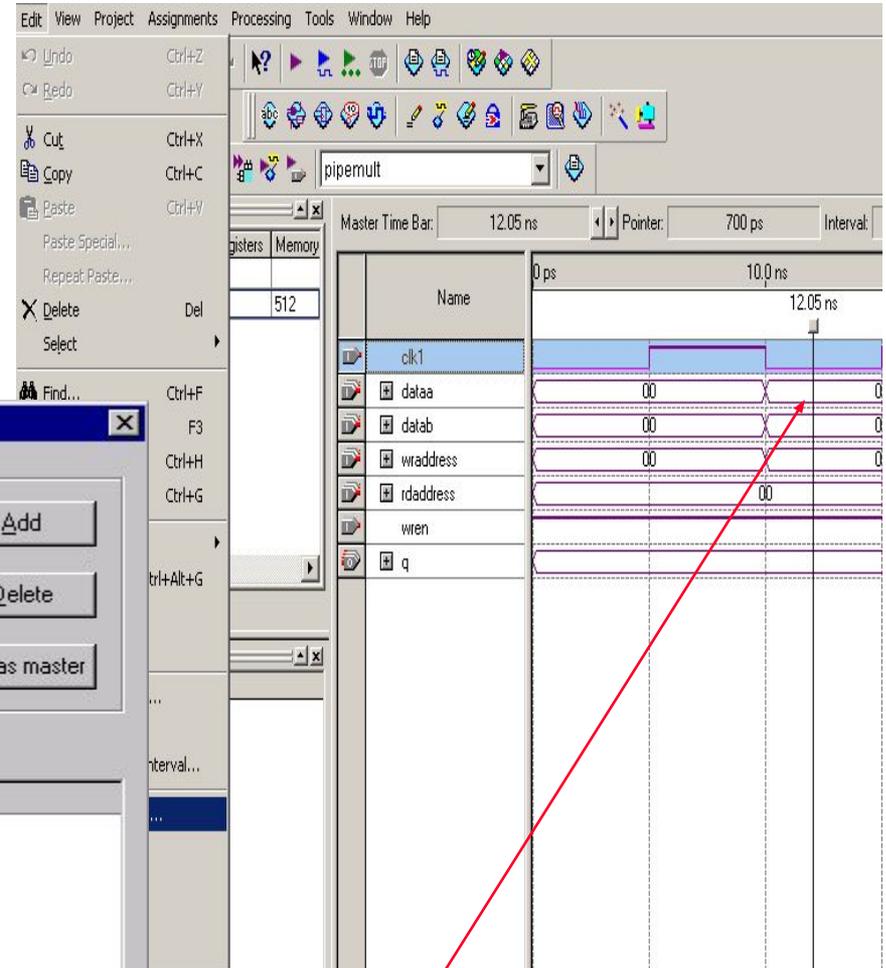
Задание длительности моделирования

- Выполните команду **Edit=>End Time**



Ввод временных меток (Time Bars)

- Только одна временная метка (**time bar**) может быть основной (**master**)
- Временные метки (**Time bars**) могут иметь абсолютную временную привязку (**absolute**) или относительную – относительно основной временной метки (**relative to master**).



Задание временной метки (time bar)

Задание основной временной метки (master time bar)

Временная метка (Time Bar)

Ввод временной диаграммы входного сигнала (Stimulus Waveform)

- Выделите участок временной диаграммы, который необходимо изменить
- Замените значение (я) на выделенном участке требуемым значением.

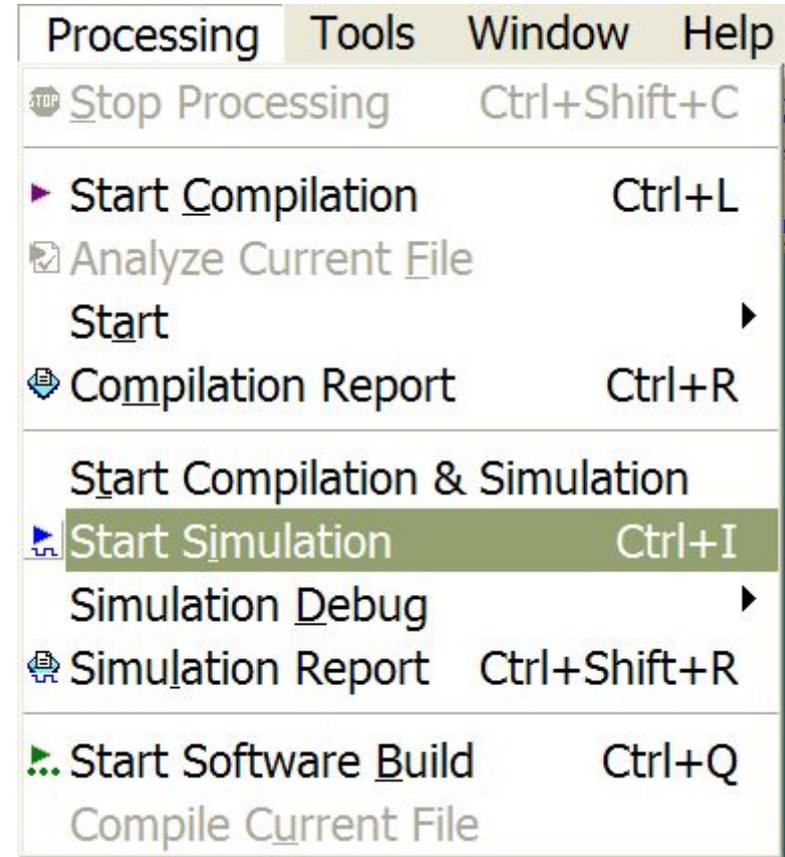
Выделенный участок временной диаграммы

Выберите новое значение

Соответствующие иконки на панели инструментов

Запуск моделирования

- Для запуска системы моделирования могут использоваться следующие команды:
 - Processing => Start Compilation & Simulation
 - Processing => Start Simulation
 - Иконка  на панели инструментов



Отчет о результатах моделирования (Simulator Report)



The screenshot shows the simulator's main window with a menu bar (File, Edit, View, Window, Help) and a toolbar. Two yellow callout boxes highlight the menu items: "Отчет о результатах моделирования" (Simulator Report) and "Обобщенные результаты" (Summary). The left pane shows a tree view of the report structure, with "Summary" selected. The right pane displays the "Summary" table.

	Option	Setting
1	Simulation Start Time	0 ps
2	Simulation End Time	100.0 ns
3	Simulation Coverage	20.00 %
4	Number of transitions	274
5	Power estimation start time	0 ps
6	Power estimation end time	100.0 ns
7	Total Internal Power	132.77 mW
8	Total Standby Internal Power	112.50 mW
9	Total Logic Element Internal Power	1.62 mW
10	Total IO Buffer Internal Power	1.96 mW
11	Total M512 RAM Internal Power	0.68 mW
12	Total Clocktree Internal Power	16.01 mW
13	Total GXB Power	0.00 mW
14	Total IO Power	28.95 mW
15	Total IO Buffer Power	28.95 mW
16	Total Power	161.72 mW

Отчет о результатах моделирования (отображение временной диаграммы)

Откройте отчет о результатах моделирования

Выберите Simulation Waveform для отображения временных диаграмм с результатом моделирования

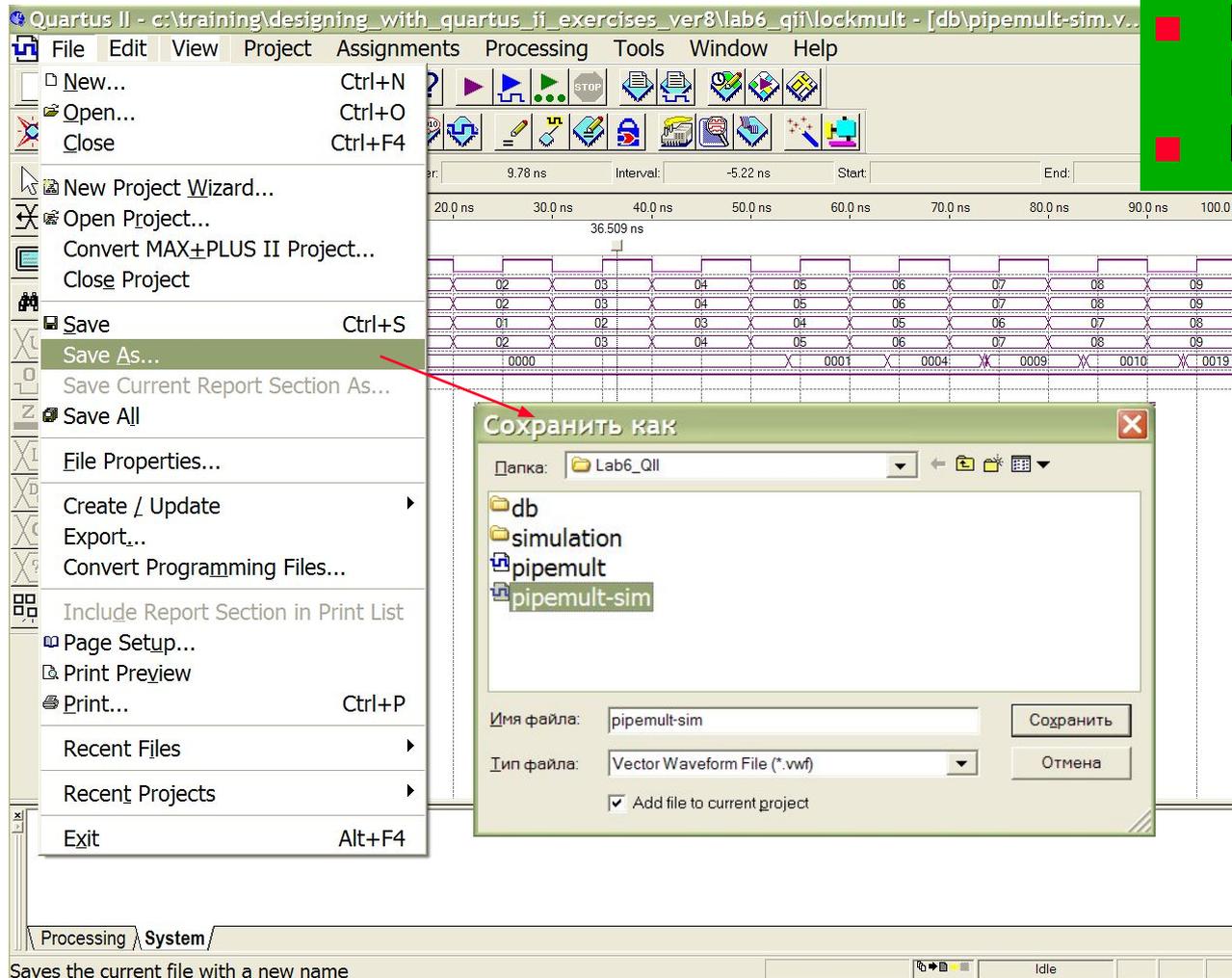
Simulation Waveforms

Master Time Bar: 12.05 ns Pointer: 83 ps Interval: -11.97 ns Start: End:

Name	Value
clk1	0 ps
dataa	00 01 02 03 04
datab	00 01 02 03 04
wraddress	00 01 02 03 04
rdaddress	00 01 02 03
wren	XXXX X 0000 X 0001
q	

Results of modeling

Сохранение временной диаграммы с результатами моделирования

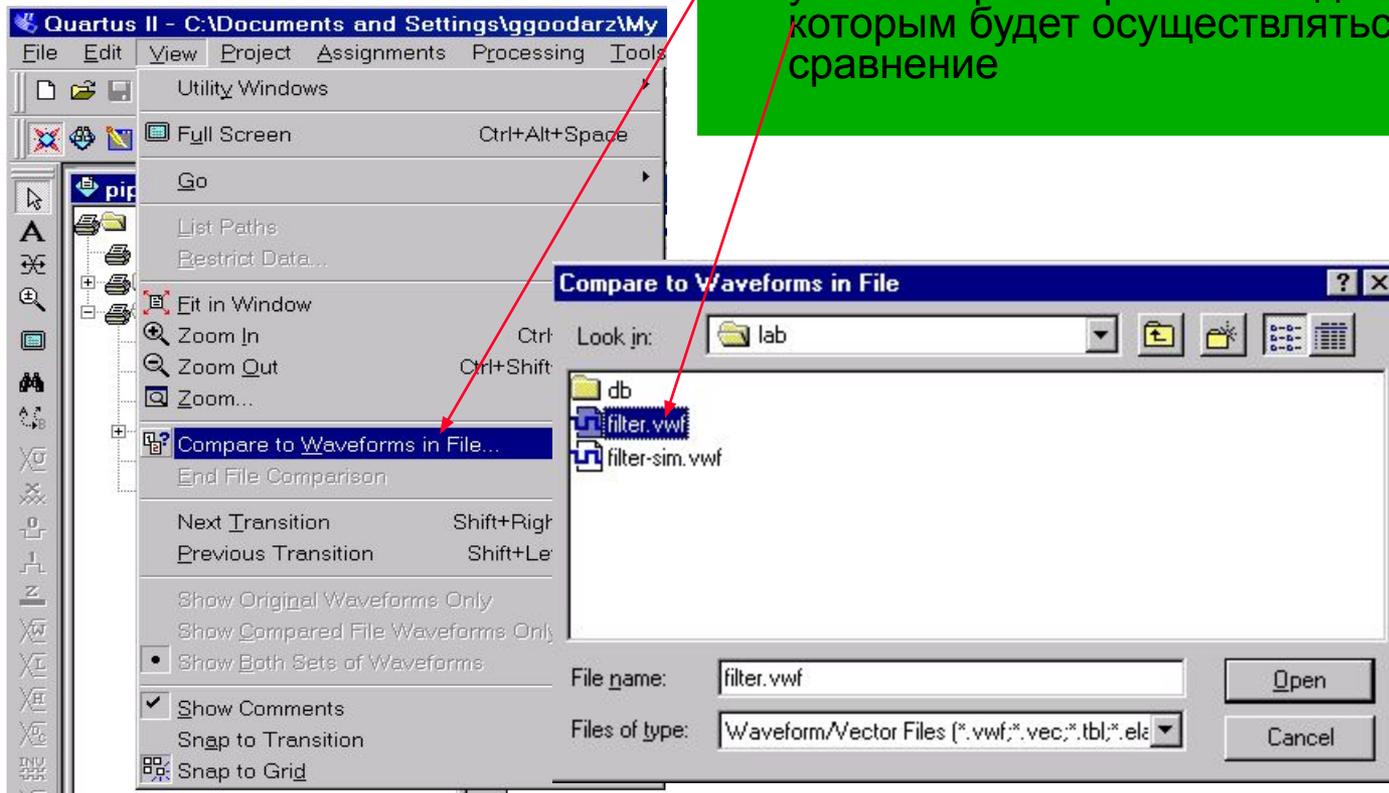


- Выполните команду File=>save As
- Введите имя файла

Saves the current file with a new name

Сравнение временных диаграмм

- Откройте файл в редакторе временных диаграмм (или временную диаграмму с результатами моделирования),
- выполните команду **View => Compare to Waveforms**,
- укажите файл временных диаграмм с которым будет осуществляться сравнение



Результат сравнения временных диаграмм

Quartus II - c:\training\designing

File Edit View Project Ass

Utility Windows

Full Screen Ctrl+Alt+Space

Fit in Window Ctrl+W

Zoom In Ctrl+Space

Zoom Out Ctrl+Shift+Space

Zoom...

Compare to Waveforms in File...

End File Comparison

Next Transition Shift+Right Arrow

Previous Transition Shift+Left Arrow

Show Original Waveforms Only Ctrl+1

Show Compared File Waveforms Only Ctrl+2

Show Both Sets of Waveforms Ctrl+3

Show Comments

Snap to Transition

Snap to Grid

q[1]

q[0]

wren

Error: Current vector source file c:\training\designing_with_quartus_ii_exercises_ver8\lab6_qin\pipemult-sim.vwf does not match compared vector source file C:\training\Designing_with_Quartus_II_Exercises...

Error: Logic level(s) do not match expected level(s)

Error: Logic level 0001 does not match expected logic level 0000 for node q at time 15.0 ns

Processing System/

When comparing files, show waveforms from both files

Команда окончания сравнения

Можно отобразить

- исходную временную диаграмму
- Временную диаграмму с которой осуществляется сравнение
- Обе одновременно

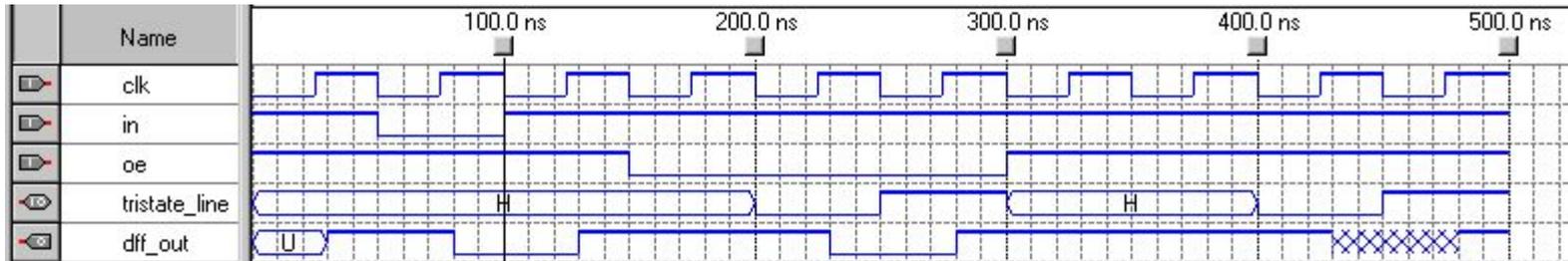
Временные диаграммы совпадают

Временные диаграммы отличаются

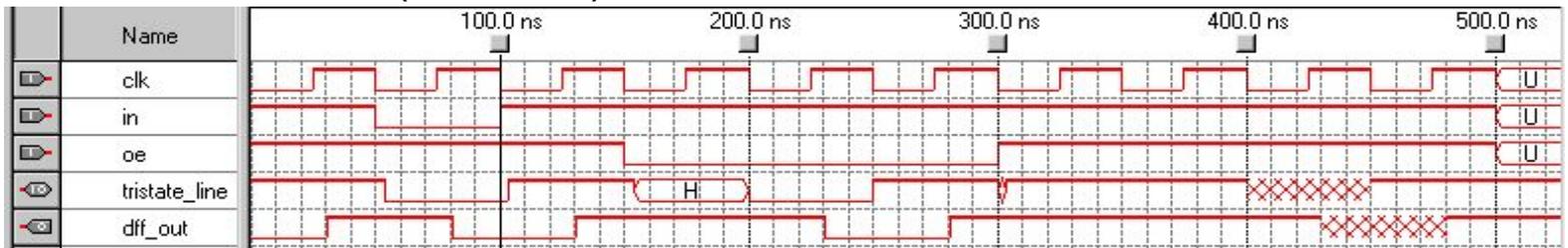
В окне сообщений отображаются результаты сравнения

Результат сравнения временных диаграмм

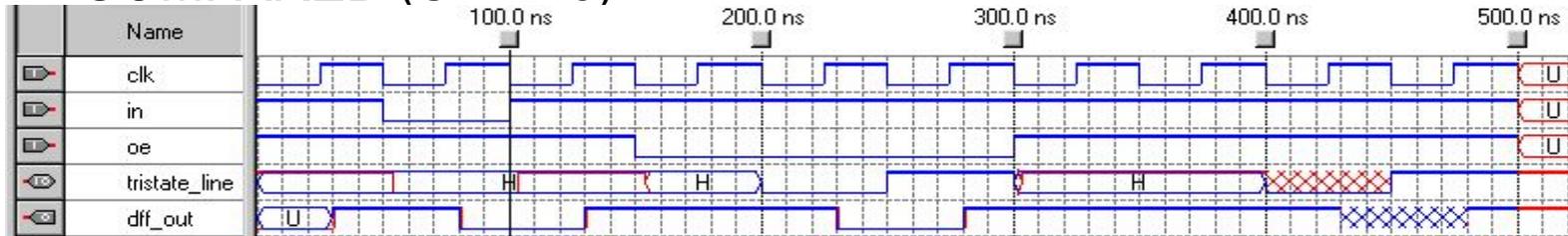
■ ORIGINAL (CTRL+1)



■ ACTUAL (CTRL+2)



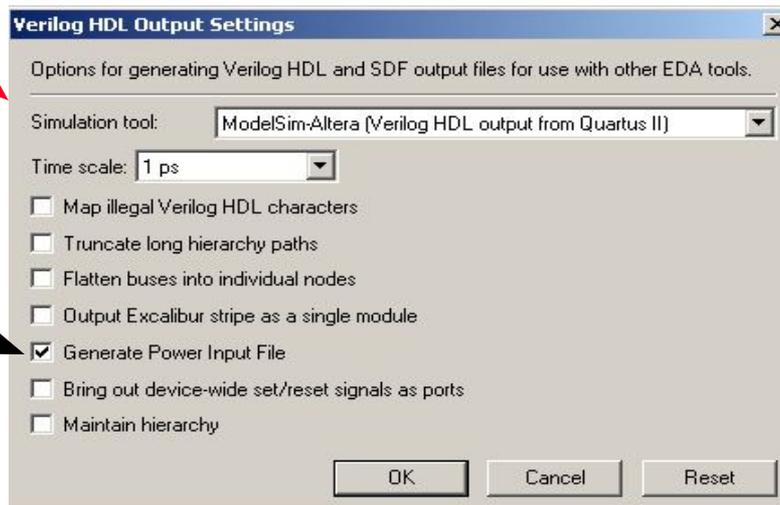
■ COMPARED (CTRL+3)



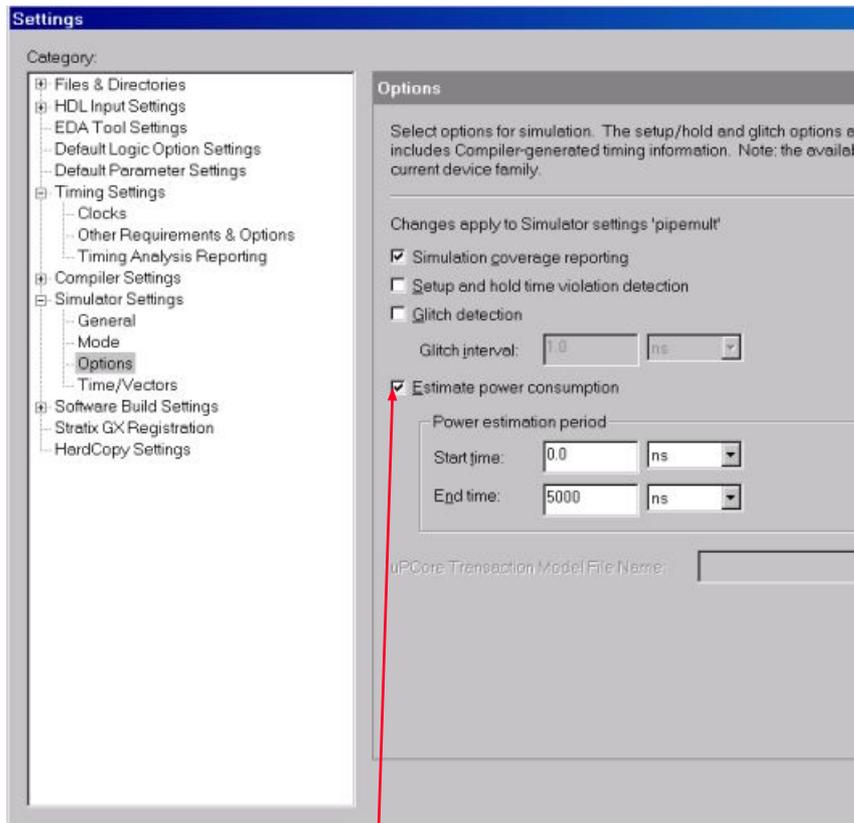
Система оценки потребления энергии - PowerGauge™

- Оценивает потребление энергии базирясь на частоте и количестве переключений, задаваемых тестом введенным пользователем в редакторе временных диаграмм
- Поддерживаются семейства СБИС: STRATIX, APEX 20KE, Excalibur, & Mercury
- Пакет ModelSim позволяет получить файл .pwf, который может быть прочитан пакетом Quartus II для оценки быстродействия

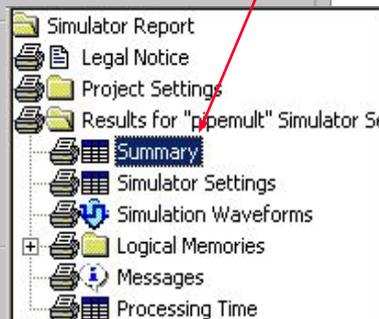
**Project >EDA tool settings
>ModelSim settings
Generate Power Input File**



Получение оценки потребления энергии



2. Осуществите моделирование и выберите раздел “Summary” в отчете о моделировании



Summary		
	Option	Setting
1	Simulation Start Time	0 ps
2	Simulation End Time	100.0 ns
3	Simulation Coverage	19.70 %
4	Number of transitions	277
5	Power estimation start time	0 ps
6	Power estimation end time	100.0 ns
7	Total Internal Power	132.77 mW
8	Total Standby Internal Power	112.50 mW
9	Total Logic Element Internal Power	1.62 mW
10	Total IO Buffer Internal Power	1.96 mW
11	Total M512 RAM Internal Power	0.68 mW
12	Total Clocktree Internal Power	16.01 mW
13	Total IO Power	28.95 mW
14	Total IO Buffer Power	28.95 mW
15	Total Power	161.72 mW

1. Задайте опцию Power Analysis

3. Результаты: Internal, I/O, Total ...

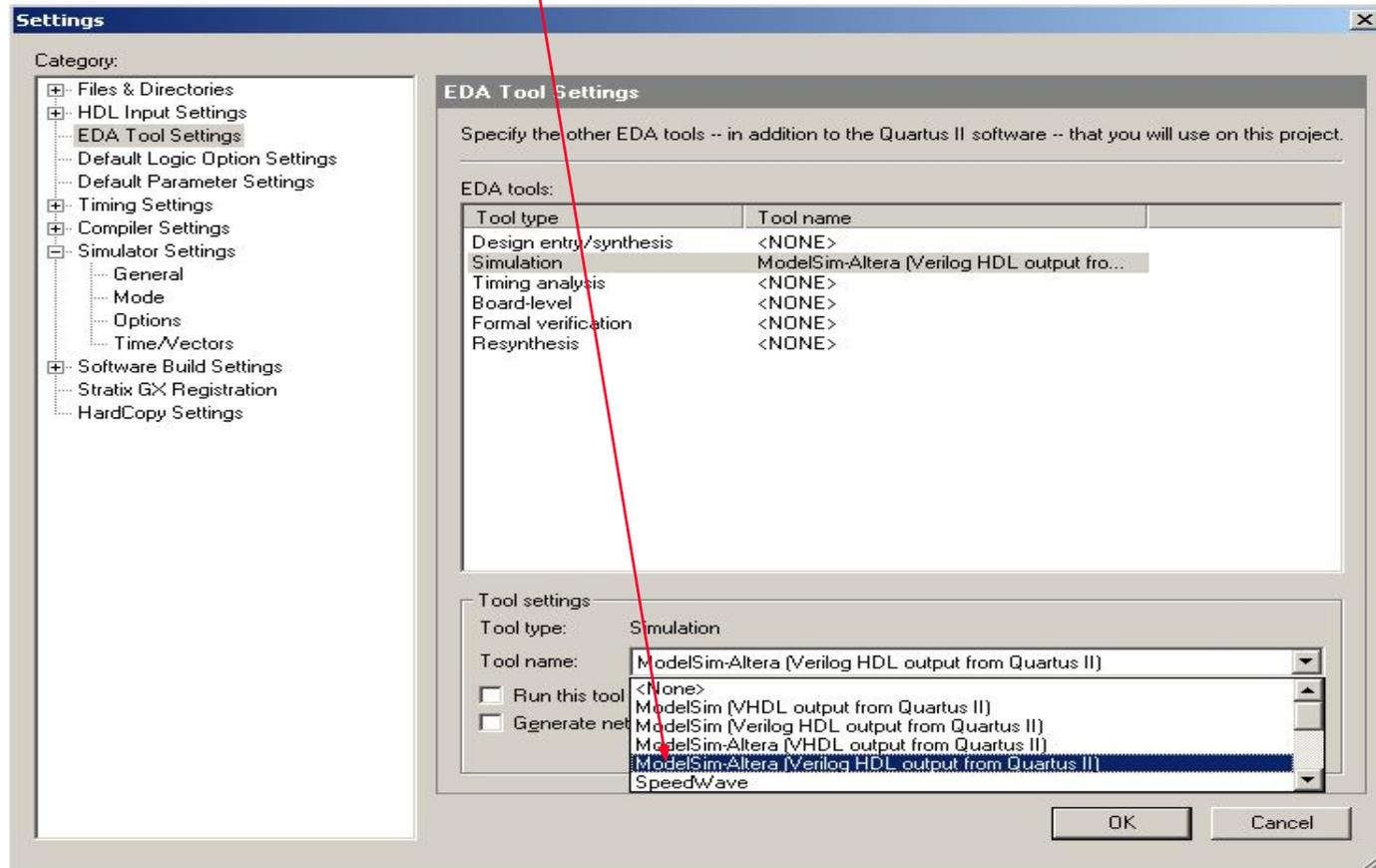
Использование систем моделирования сторонних производителей

- **Системы моделирования**
 - Model Technology (ModelSim)
 - Cadence (VERILOG-XL & NC-Verilog)
 - Synopsys (VCS)
 - Synopsys (VSS)

- **Режимы моделирования**
 - Функциональное моделирования (Functional Simulation)
 - 220models и altera_mf
 - Временное моделирование
 - VHDL
 - Quartus II формирует .VHO и .SDO файлы
 - Используйте библиотеки примитивов STRATIX_ATOMS.VHD, STRATIX_ATOMS_COMPONENTS.VHD... расположенных в папке sim_lib
 - Verilog
 - Quartus II формирует .VO и .SDO файлы
 - Используйте библиотеки STRATIX_ATOMS.VO... расположенные в папке sim_lib

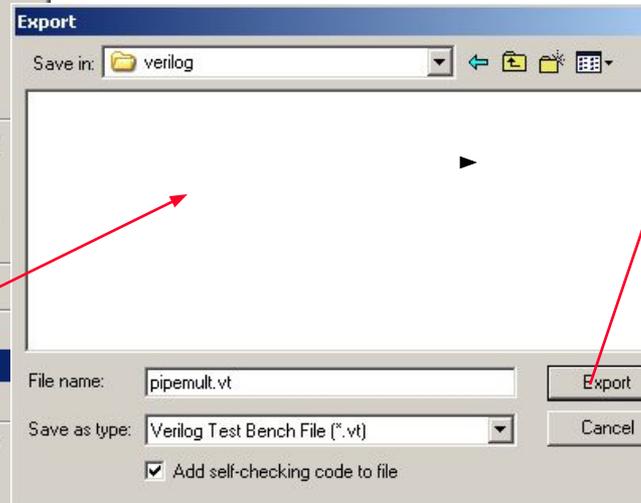
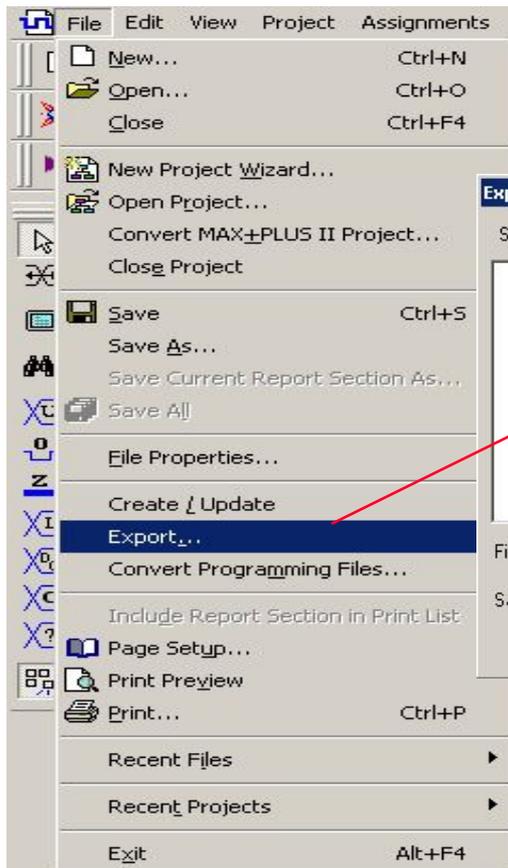
Выбор системы моделирования

- Выполните команду **Assignments => Settings...=>EDA Tools Settings**
- Укажите и настройте используемую систему моделирования



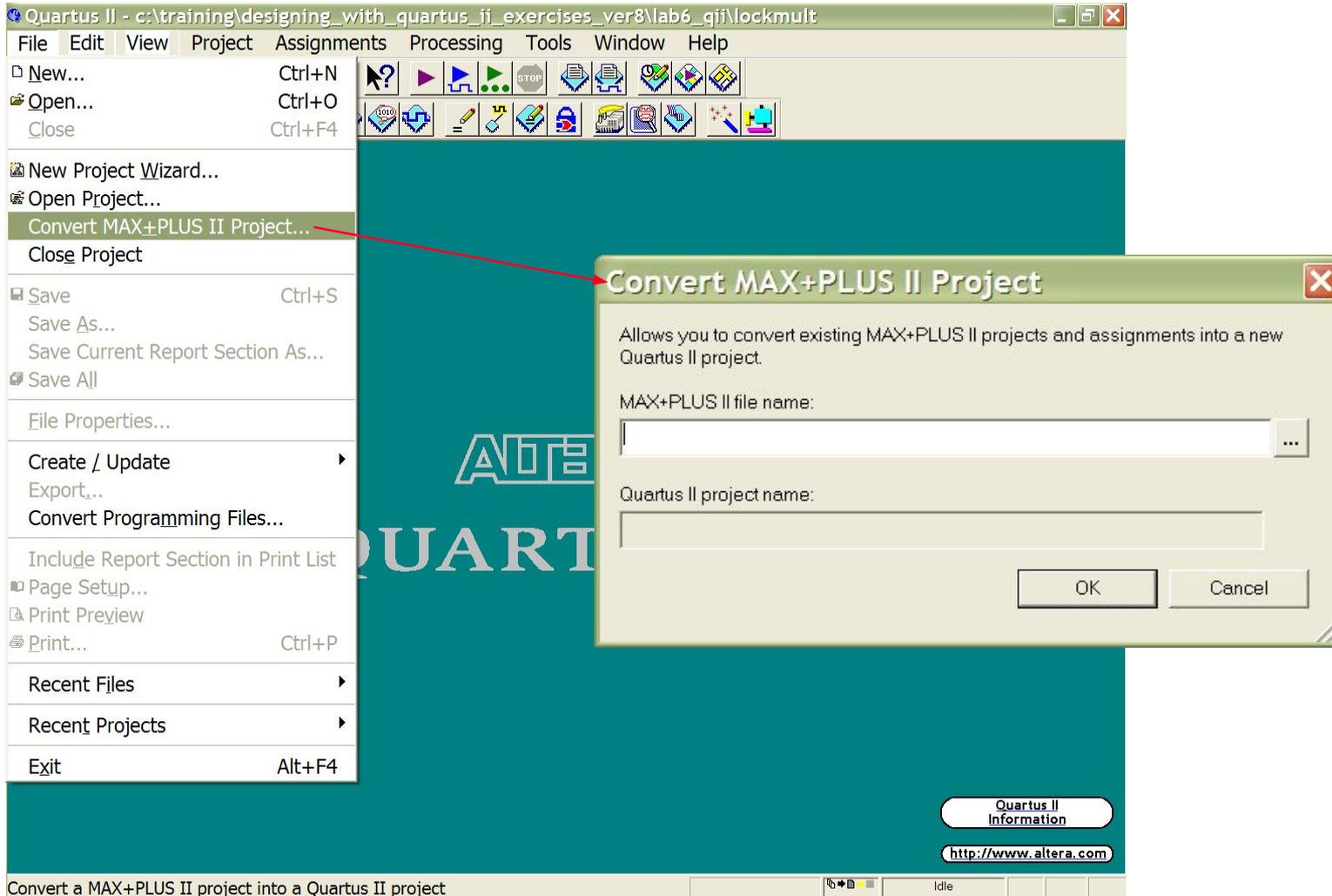
Преобразование временной диаграммы в тест на языке HDL

- Пользователь может преобразовать файл редактора временных диаграмм в тест на языке VHDL или VerilogHDL



```
Courier New 10
26 // *****
27 // Generated on "07/10/2003 10:53:25"
28
29 // Verilog Self-Checking Test Bench (with test vectors) for design :
30 //
31 // Simulation tool : 3rd Party
32 //
33
34 `timescale 1 ps/ 1 ps
35 module pipemult_vlg_sample_tst(
36     s1,
37     s2,
38     s3,
39     s4,
40     s5,
41     s6,
42     sampler_tx
43 );
44 input s1;
45 input [7:0] s2;
46 input [7:0] s3;
47 input [4:0] s4;
48 input [4:0] s5;
49 input s6;
50 output sampler_tx;
51
52 reg sample ;
53
54 always @(s1 or s2 or s3 or s4 or s5 or s6)
55 begin
56     if ($time > 0)
57     begin
58         if (sample === 1'bx)
59             sample = 0;
60         else
61             sample = ~sample;
62     end
63 end
```

Преобразование проектов из пакета MAX+PLUS II в пакет Quartus II



Встроенный логический анализатор SignalTap™



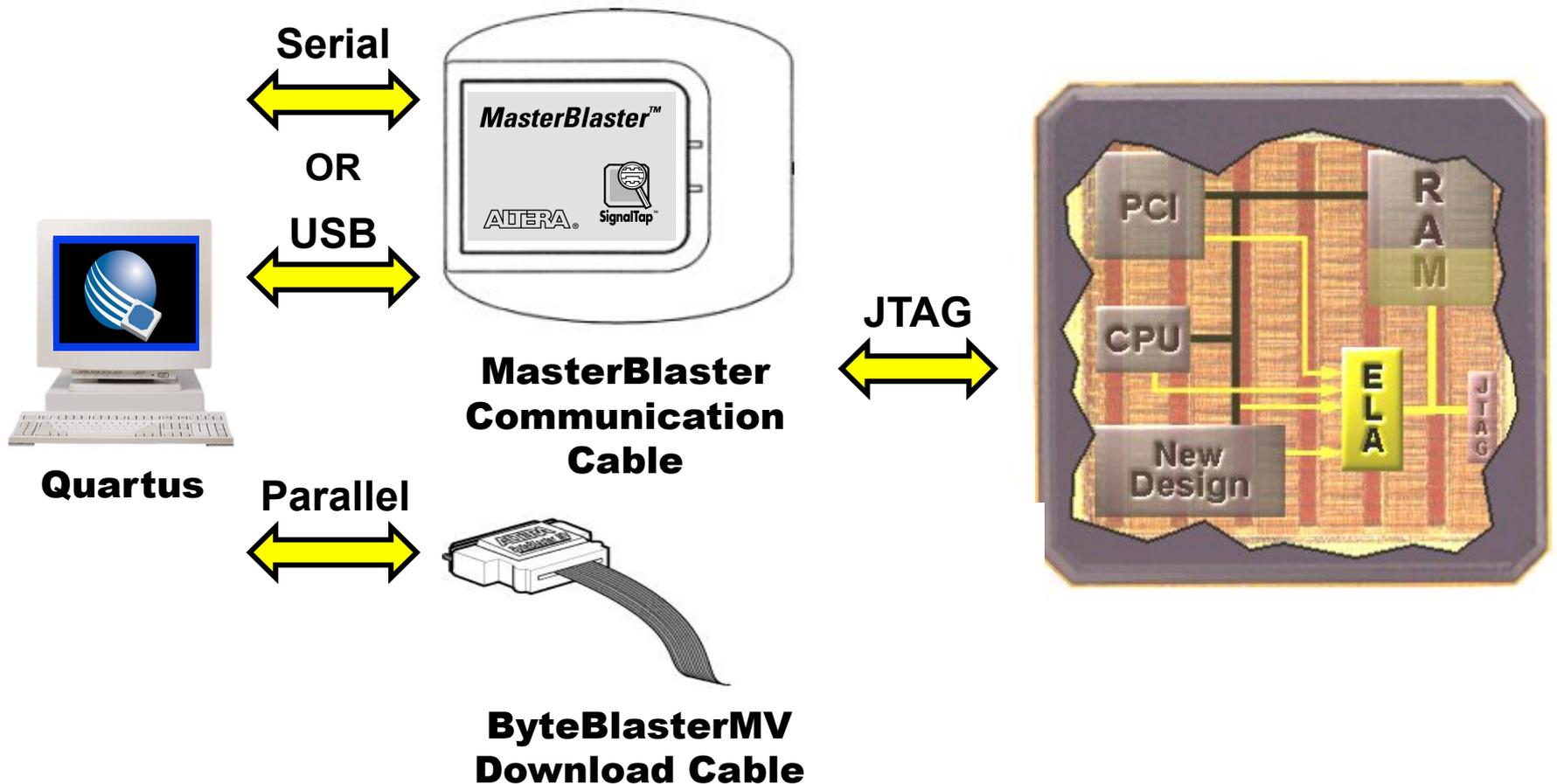
Содержание

- Проблемы использования традиционных средств отладки
- Структура логического анализатора SignalTap
- Предоставляемые SignalTap возможности
- Использование в SignalTap среде Quartus II
- Поддерживаемые устройства
- Затраты ресурсов СБИС
- Необходимое оборудование

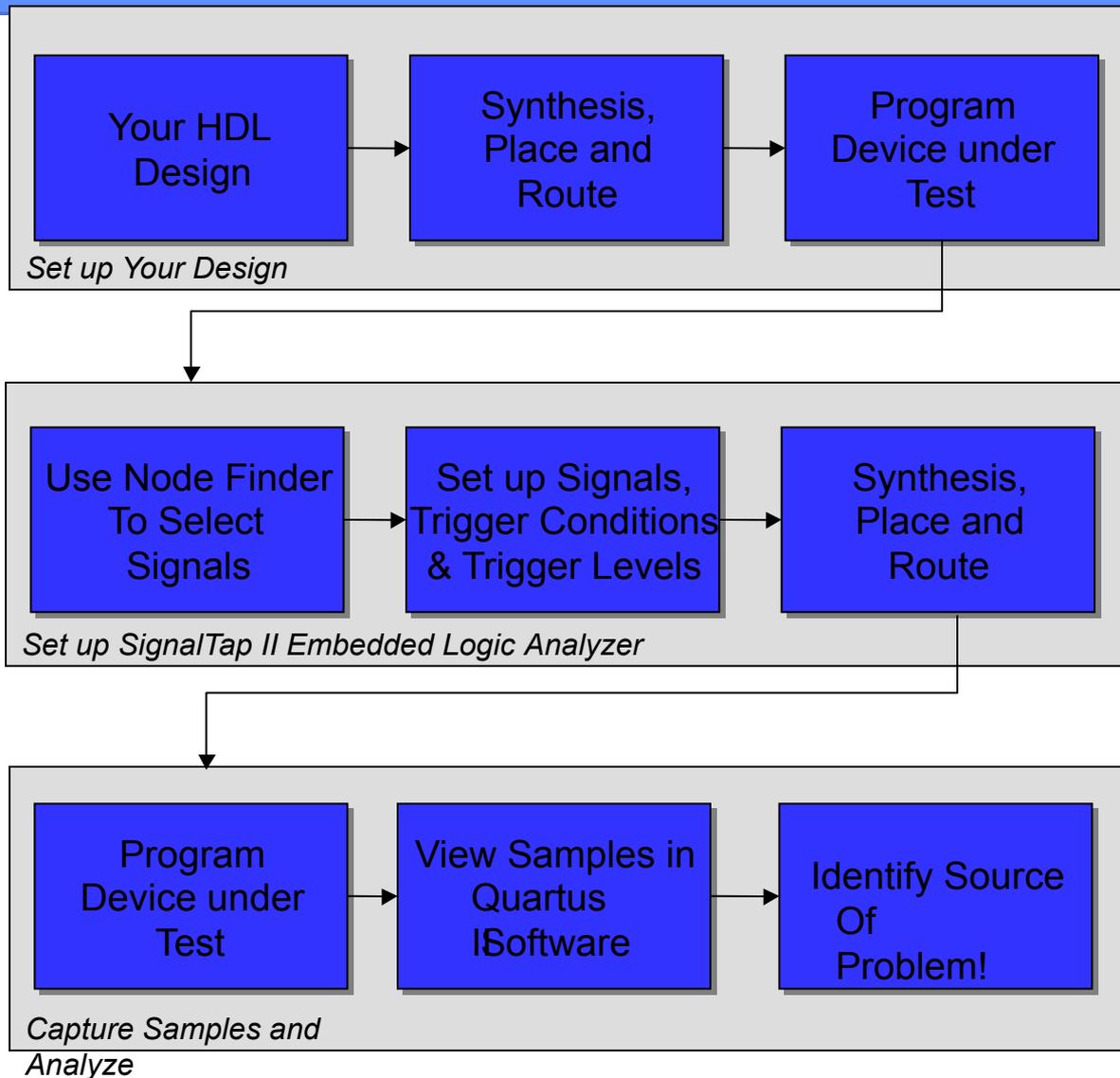
Проблемы использования традиционных средств отладки

- Традиционные средства отладки плат
 - Использование пробников или логических анализаторов
- Проблемы отладки систем высокой интеграции
 - Нет доступа ко внутренним ресурсам ИС
 - Сложно подключить внутренний сигнал к выводу ИС
 - Необходимо изменять содержание и иерархию проекта
 - Необходимо резервировать выводы микросхем
- Проблемы, порождаемые новыми корпусами
 - К выводам корпусов TQFP доступ затруднен
 - К выводам корпусов BGA доступ невозможен

Встроенный логический анализатор SignalTap

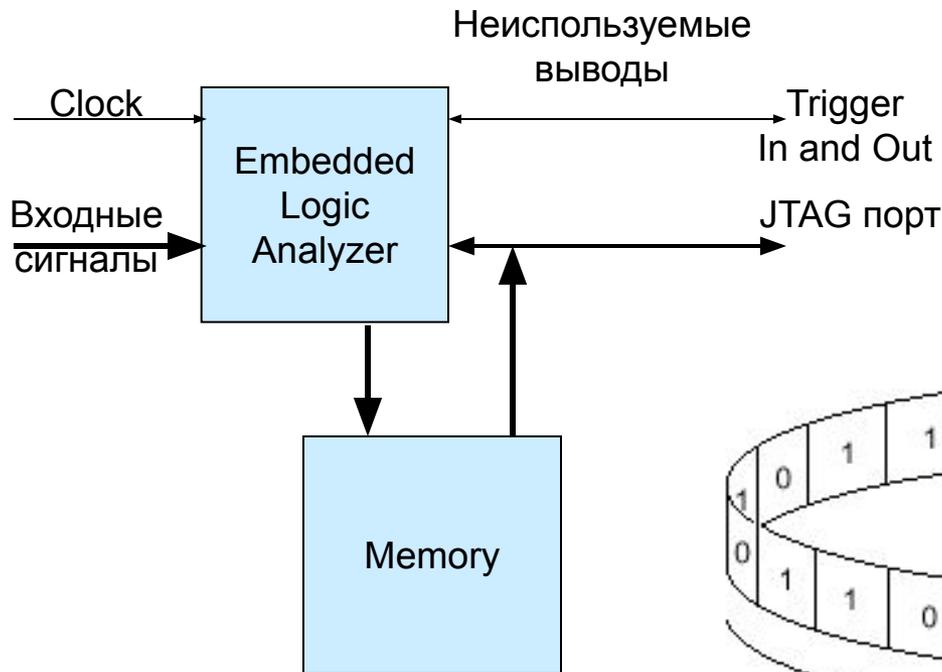


SignalTap II Flow

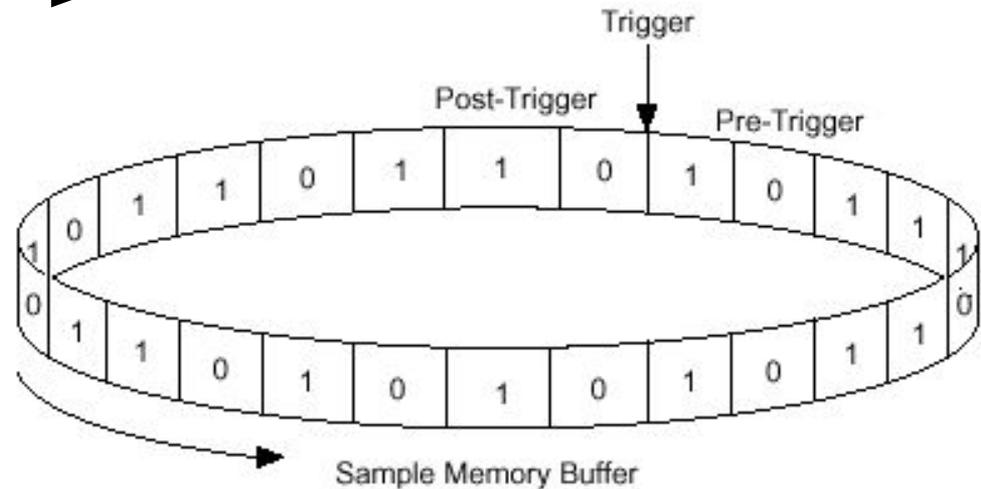


Структура SignalTap

Общая структура

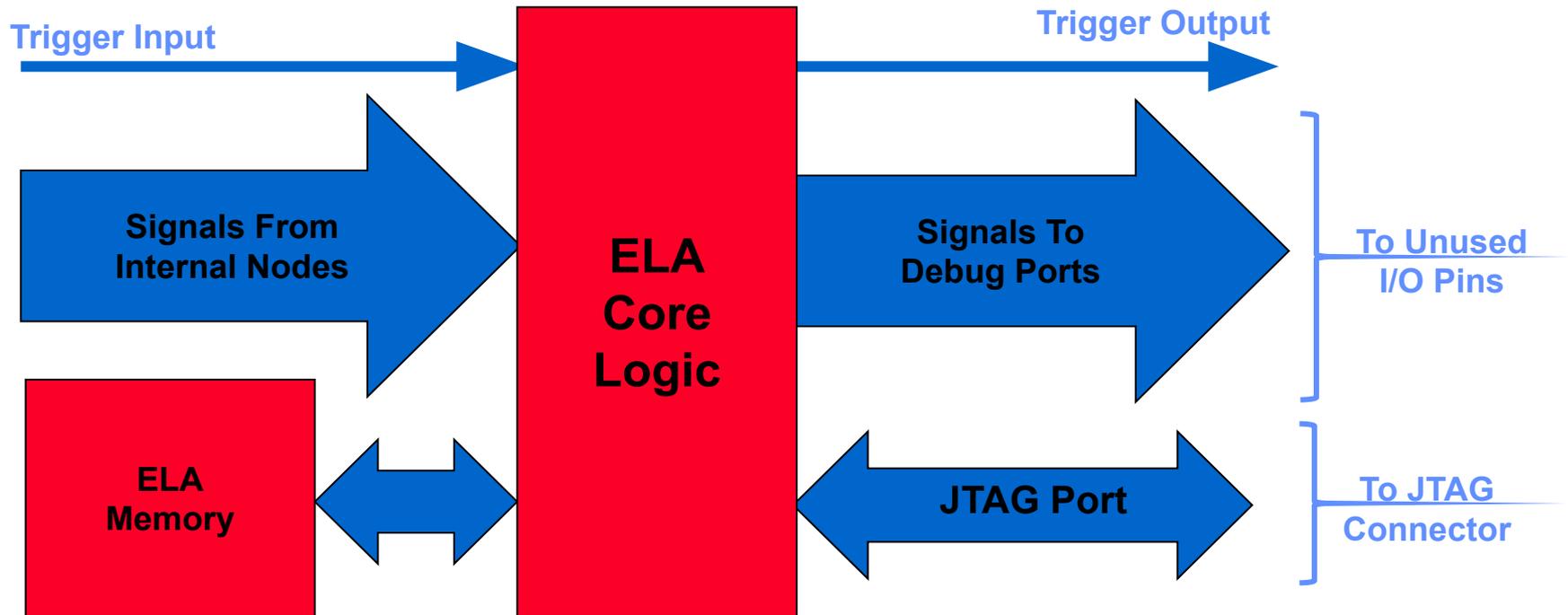


Кольцевой буфер захвата



Trigger Input & Output

- Trigger by an External Source
- Supply an External Signal to Trigger External Test Equipment



Возможности SignalTap

- Синхронный логический анализатор
- Доступ ко всем выводам и внутренним узлам
 - на работающей системе, в реальном времени
 - не требуется модификации проекта
 - одновременное наблюдение множества сигналов
 - сохранение результатов в файле
- Настраиваемые параметры анализатора
 - до 1024 сигналов
 - до 128 кбит отсчетов
 - выбор источника синхронизации (10 признаков)
 - запуск по внутреннему или внешнему событию
 - Частота до 200 МГц.

Условия старта захвата данных

- Все анализируемые сигналы могут участвовать в формировании условия
 - Различные условия объединяются по “И”
- Условием старта может быть логический уровень или перепад
- Возможно использование внешнего сигнала старта (Trigger In)
- Событие старта захвата может быть выдано на один из выводов ИС (Trigger Out)
- Возможно получение предыстории процесса
- Условия можно менять без перекомпиляции проекта

Использование SignalTap в среде Quartus II

- Создать файл конфигурации SignalTap
 - New Other Files SignalTap File
- Выбрать сигналы для наблюдения
- Указать синхросигнал
- Задать размер буфера
- Настроить условия запуска (триггеры)

In	Name	Out	P1	-3A	R1	R2
A0	Nine		Don't Care			
A1..A4	Group1		9			
A1	D1Q[0]		High			
A2	D1Q[1]		Low			
A3	D1Q[2]		Low			
A4	D1Q[3]		High			
A5	En3Hz		Don't Care			

Ресурсы, затрачиваемые SignalTap

- SignalTap использует следующие ресурсы СБИС
 - логические элементы
 - мегафункция анализатора, автоматически вставляется в проект средствами Quartus
 - память
 - для хранения отсчетов сигналов
 - выводы СБИС
 - неявно резервируются неиспользованные выводы для обмена с компьютером
- Три различных конфигурации
 - Использование внутренней RAM
 - Использование отладочного порта (Port ELA)
 - Использование внутренней RAM и отладочного порта

Stratix LE Usage

Number of Channels	Logic Elements		
	Trigger Level 1	Trigger Level 2	Trigger Level 3
8	219	266	317
16	243	373	466
32	422	596	773
64	689	1033	1383
256	2295	3662	5034
1024	8696	14158	19626

Stratix M4K Usage

Number of Channels	Number of Samples				
	256	512	2K	8K	32K
8	<1	1	4	16	64
16	1	2	8	32	128
32	2	4	16	64	256
64	4	8	32	128	512
256	16	32	128	512	Too large
512	32	64	256	Too large	Too large

Необходимое оборудование для работы с SignalTap

		MasterBlaster	ByteBlasterMV
Supply Voltage	1.8 V, 2.5 V	✓ (External Supply)	
	3.3 V, 5.0 V	✓	✓
SignalTap Device Support	APEX 20K APEX II (1.8-, 2.5-, 3.3-V) Startix Mercury	✓	✓ (3.3-V Only)
Comm. Port	RS-232	✓ (NT, Solaris, HP-UX)	
	USB	✓ (Win 98/2000, NT 5.0)	
	Parallel		✓
Board Connection		JTAG (10-Pin)	JTAG (10-Pin)

SignalTap и SignalProbe

- SignalTap - встроенный логический анализатор, построенный на свободных ресурсах ИС
- SignalProbe - средство подключения внутренних сигналов к выводам ИС для наблюдения внешним анализатором
 - не требует модификации проекта
 - не затрачивает логических ресурсов ИС
 - затрачивает выводы ИС

Заключение

- SignalTap - новая технология отладки систем в реальном времени;
- SignalTap обеспечивает наблюдаемость внутренних узлов устройства;
- Полученные данные сохраняются в файле временных диаграмм;
- MasterBlaster применяется как для работы с SignalTap так и для конфигурации устройств:
 - Высокая скорость обмена;
 - Multi-Voltage (5.0 V, 3.3 V, 2.5 V и т.д.).