

Дисциплина
«Микропроцессорные устройства»

Лекция

Последовательные цифровые устройства

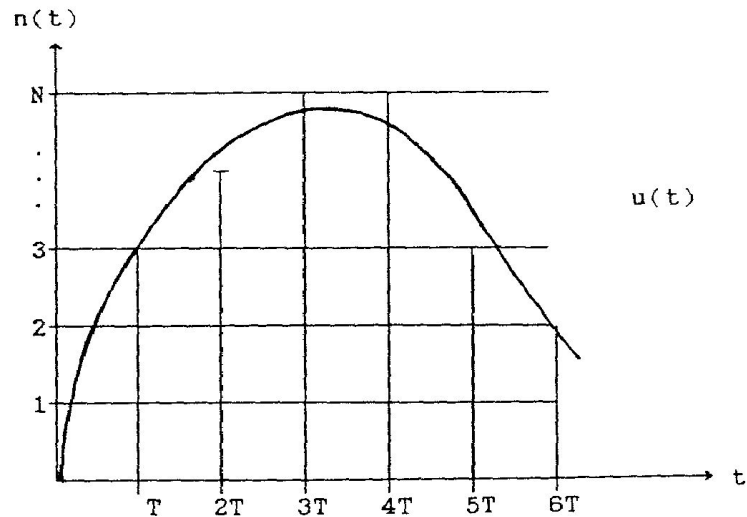
Доцент кафедры ПИиВТ

к.т.н. Михайличенко Николай Валерьевич

Цифровая обработка сигналов

Все физические процессы, в том числе и радиотехнические сигналы, являются непрерывными (аналоговыми). Часто на практике возникает необходимость преобразования таких сигналов к виду, пригодному для обработки цифровыми устройствами.

Преимущества цифровых методов обработки радиосигналов очевидны и заключаются в обеспечении высокой точности, стабильности параметров, недостижимых при аналоговой обработке. Цифровые схемы проектируются на основе одного или нескольких типов логических элементов, что существенно повышает технологичность их производства. В то же время аналоговые схемы содержат элементы с разными номиналами и потому требуют настройки. Стабильность цифровых устройств обеспечивается тем, что логические элементы имеют два устойчивых разграниченных состояния, которые сохраняются даже при воздействии внешних дестабилизирующих факторов (например температурных). Обработка сигналов цифровыми методами позволяет достичь прямоугольной формы одного из основных параметров фильтров амплитудно-частотной характеристики.



Приведение аналогового сигнала $u(t)$ к цифровому виду $n(t)$

Любой непрерывный сигнал $u(t)$ может быть представлен в цифровом виде путем его дискретизации по времени и квантования по уровню, как показано на рис. 1.1. При этом естественно возникает вопрос об обратном восстановлении аналогового сигнала без потери информации.

Принцип выбора интервалов дискретизации T , при которых не происходит потери аналоговой информации, впервые обоснован В.А. Котельниковым в 1933 г. [6]. Однако потеря информации может произойти и при квантовании по амплитуде уже дискретизированного сигнала, т.к. число уровней квантования N конечно. N выбирается исходя из требуемой точности восстановления аналогового сигнала (например, из соотношения сигнал/шум). Таким образом, сигнал дискретизированный по времени и квантованный по уровню называется цифровым.

Устройства, осуществляющие дискретизацию и квантование непрерывного сигнала, называются аналогоцифровыми преобразователями (АЦП). Для обратного преобразования используются цифро-аналоговые преобразователи (ЦАП).

Основные логические функции

Математический аппарат, используемый при проектировании ЦУ, основан на алгебре-логике (булевой алгебре). Основными функциями булевой алгебры являются дизъюнкция, конъюнкция и инверсия. Дадим их краткие определения. Дизъюнкция – это логическое сложение (обозначается знаком \vee и читается ИЛИ). Конъюнкция – логическое умножение (обозначается знаком \wedge и читается И). Инверсия – отрицание (обозначается чертой над аргументом и читается НЕ).

Данные операции выполняются по вполне определенным правилам, а именно:

$$\begin{array}{lll} 0 \vee 0 = 0 & 0 \wedge 0 = 0 & \overline{0} = 1 \\ 1 \vee 0 = 1 & 1 \wedge 0 = 0 & \\ 0 \vee 1 = 1 & 0 \wedge 1 = 0 & \overline{1} = 0 \\ 1 \vee 1 = 1 & 1 \wedge 1 = 1 & \end{array}$$

Логические тождества

№ п/п	Название	Аналитическая запись
1	2	3
1.	Закон сложения с 1	$X \vee X = 1$
2.	Закон сложения с нулем	$X \vee 0 = X$
3.	Законы тавтологии	$X \vee X = X$
4.		$X \wedge X = X$
5.	Закон умножения на 1	$X \wedge 1 = X$
6.	Закон умножения на нуль	$X \wedge 0 = 0$
7.	Законы дополнителъности	$X \vee X = X$
8.		$X \wedge X = X$
9.	Закон двойного отрицания	$X = X$
10.	Сочетательные законы	$X_1 \vee X_2 \vee X_0 = X_2 (X_1 \vee X_0)$
11.		$(X_2 \wedge X_1) \wedge X_0 = X_2 \wedge (X_1 \wedge X_0)$
12.	Переместительные законы	$X_1 \vee X_0 = X_0 \vee X_1$
13.		$X_1 \wedge X_0 = X_0 X_1$
14.	Распределительные законы	$(X_1 \vee X_0) \wedge X_2 = X_1 \wedge X_2 \vee X_0 \wedge X_2$
15.		$X_2 \wedge X_1 \vee X_0 = (X_2 \vee X_0) \wedge (X_1 \vee X_0)$
16.	Теорема Моргана	$X_1 \wedge X_0 = X_0 \wedge X_1$
17.		$X_1 \wedge X_0 = X_0 \vee X_1$

Одна из часто употребляемых логических функций носит название суммирование по модулю 2 и обозначается знаком \oplus и выполняется по следующим правилам:

$$1 \oplus 0 = 1 \quad 1 \oplus 1 = 0$$

$$0 \oplus 0 = 0 \quad 0 \oplus 1 = 1$$

Замечательной особенностью алгебры-логики является ограниченное число возможных функций. Поскольку каждый аргумент может принимать лишь одно из двух значений (0 или 1), то число возможных комбинаций n аргументов составит:

$$C_n = 2^n$$

Такому числу комбинаций будет соответствовать следующее число логических функций:

$$F_n = 2^{C_n} = 2^{2^n}$$

Например, когда число аргументов $n = 2$, получим 16 различных логических функций.

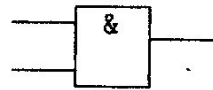
В табл. 2.3 приведены все возможные логические функции двух аргументов. С помощью этих функций можно построить сколь угодно сложные функции многих аргументов, а на их основе – цифровые устройства от логических элементов до микропроцессорных систем.

Логические функции двух аргументов

X1		Наименование функций	Аналитическая запись функций	Логические элементы
X0				
Y0	0 0 0 0	Константа нуля	$Y = 0$	Генератор нуля
Y1	0 0 0 1	Конъюнкция (логическое умножение)	$Y = X1 \wedge X0$	Конъюнктор (И)
Y2	0 0 1 0	Запрет по X0	$Y = X1 \wedge \overline{X0}$	Схема запрета (НЕТ) по X0
Y3	0 0 1 1	Переменная X1	$Y = X1$	Повторитель X1
Y4	0 1 0 0	Запрет по X1	$Y = X0 \wedge \overline{X1}$	Схема запрета (НЕТ) по X1
Y5	0 1 0 1	Переменная X0	$Y = X0$	Повторитель X0
Y6	0 1 1 0	Неравнозначность (суммирование по модулю два)	$Y = X1 \wedge X0 \vee \overline{X1} \wedge \overline{X0}$	Исключающее ИЛИ, сумматор по модулю два
Y7	0 1 1 1	Дизъюнкция (логическое сложение)	$Y = X1 \vee X0$	Дизъюнктор (ИЛИ)
Y8	1 0 0 0	Стрелка Пирса (функция Вебба)	$Y = \overline{X1 \vee X0}$	Элемент Пирса (ИЛИ-НЕ)
Y9	1 0 0 1	Логическая равнозначность (эквивалентность)	$Y = X1 \wedge X0 \vee \overline{X1} \wedge \overline{X0}$	Схема равнозначности
Y10	1 0 1 0	Инверсия X0	$Y = \overline{X0}$	Инвертор X0 (НЕ)
Y11	1 0 1 1	Импликация от X0 к X1	$Y = \overline{X0} \vee X1$	Импликатор из X0
Y12	1 1 0 0	Инверсия X1	$Y = \overline{X1}$	Инвертор X1 (НЕ)
Y13	1 1 0 1	Импликация от X1 к X0	$Y = X0 \vee \overline{X1}$	Импликатор из X1
Y14	1 1 1 0	Штрих Шеффера	$Y = \overline{X0 \wedge X1}$	Элемент Шеффера (И-НЕ)
Y15	1 1 1 1	Константа единицы	$Y = 1$	Генератор "единицы"

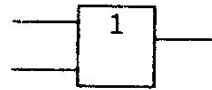
Простейшие логические элементы

Выполнение основных логических функций булевой алгебры осуществляется логическими элементами. Для отображения функционирования элементов составляются таблицы истинности, которые также приведены на рис. Таблицы отражают однозначную связь между состояниями входов и выходов элементов соответственно.



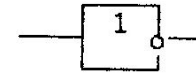
X1	X0	Y
0	0	0
0	1	0
1	0	0
1	1	1

а)



X1	X0	Y
0	0	0
0	1	1
1	0	1
1	1	1

б)



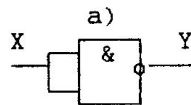
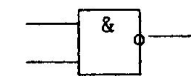
X1	Y
0	1
1	0

в)

Функционально полный набор

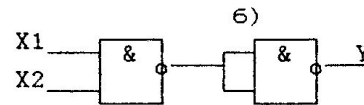
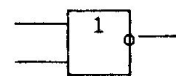
Из таблицы видно, что любую функцию можно выразить через три основные функции булевой алгебры. Это, в свою очередь, позволяет реализовать многовходовые элементы на основе двухвходовых.

Набор функций, достаточный для построения любой сколь угодно сложной функции, называется функционально-полной системой логических функций, а соответствующий набор элементов – функционально-полным набором логических элементов (ФПН). ФПН являются наборы, состоящие из конъюнктора, дизъюнктора и инвертора. Такой набор может состоять из двух элементов или даже одного. Примерами могут служить представленные на рис. элементы Пирса и Шеффера, последний из которых является базисным элементом цифровых интегральных микросхем, выполненных на основе транзисторно-транзисторной логики (ТТЛ).



$$Y = \overline{X \wedge X} = \overline{X}$$

в)



$$Y = \overline{X1 \wedge X2} = X1 \wedge X2$$

г)

Основы синтеза цифровых устройств без памяти

Цифровые устройства, состояние выходов которых зависит только от состояний их входов в данный тактовый момент времени, носят название комбинационных цифровых устройств (КЦУ).

Схемотехника КЦУ основана на совокупности логических элементов, составляющих функционально полный набор. Типичными КЦУ являются: кодопреобразователи (шифраторы и дешифраторы), цифровые компараторы, мультиплексоры.

Состязания сигналов

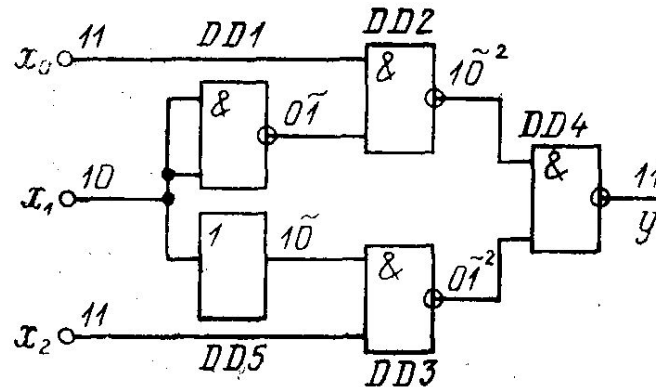
Проектирование КЦУ проводится на основе математического аппарата булевой алгебры, а это означает, что такой важный параметр, как время (t) не учитывается. Таким образом, не учитываются физические процессы, происходящие в реальных схемах. В логических элементах имеются задержки распространения сигналов, что приводит к нарушению функциональной надежности устройств во время переходных процессов. Задержками обусловлены «состязания» сигналов, которые вызывают неустойчивую работу цифровых устройств. Таким образом, возникает техническое противоречие между математическим моделированием устройств и их реальным функционированием. Состязания сигналов подразделяются на статические и динамические. Состязания называются статическими, если для двух последовательных состояний входов состояние выхода должно остаться неизменным.

Способы борьбы с состязаниями сигналов

Для разрешения этого противоречия применяются следующие способы:

1. Подбор задержек элементов таким образом, чтобы задержки в различных ветвях распространения сигнала стали бы равными

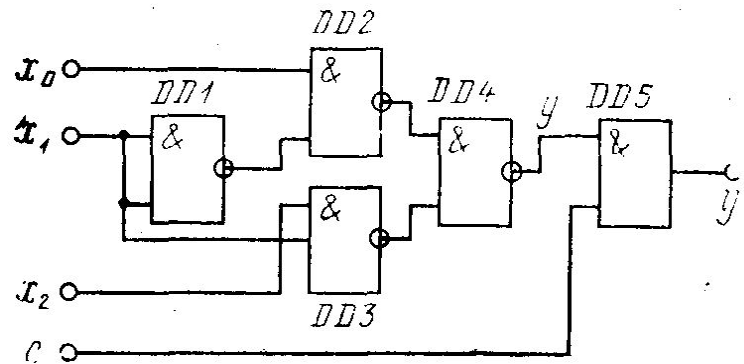
Для устранения эффекта состязаний в схеме по данному методу необходимо уравнивать задержки в ветвях распространения сигнала. Для этого в одну ветвь вводим повторитель, имеющий такую же задержку, как и остальные элементы.



2. Введение дополнительной синхронизации

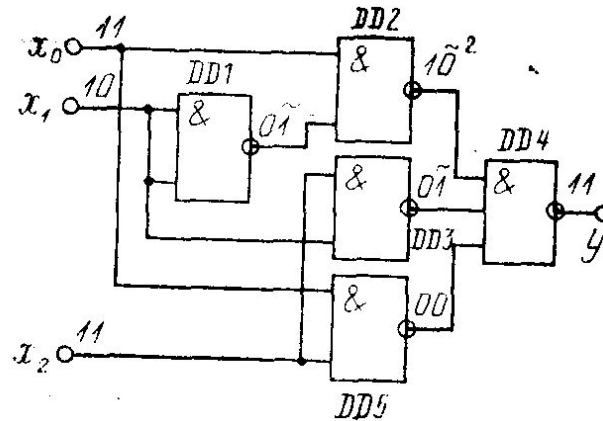
Этот метод базируется на том, что сигнал на выходе устройства, в котором возникает эффект состязаний, через определенное время принимает правильное значение. Следовательно, если передавать информацию потребителю после завершения переходных процессов, то можно избежать неприятных последствий эффекта состязаний. Для этого в устройство вводят дополнительный логический элемент, который передает сигнал с выхода устройства, если сигнал синхронизации $C = 1$ равен единице, и имеет состояние «ноль», если $C = 0$.

Из приведенного анализа схемы следует, что через $3T_{з.ср}$ на ее выходе сигнал принимает правильное значение (переходные процессы завершились). Таким образом, необходимо, чтобы сигнал синхронизации ($C = 1$) появлялся не ранее, чем через $3T_{з.ср}$ после изменения значений сигналов на входах.



Дополнительно введенный элемент DD5 обеспечивает связь между цифровым устройством, в котором возникает эффект состязаний, и потребителем информации.

3. Введение логической избыточности



При переключении сигнала на входе x_1 в данной схеме состязания не возникают, поскольку дополнительно введенный элемент $DD5$ не изменяет своего состояния (0), что блокирует элемент $DD4$. Таким образом, удалось построить схему, свободную от состязаний, путем введения избыточности (дополнительно введен элемент $DD5$).

Устранение состязаний сигналов в цифровых устройствах требует внесения избыточности в схему, т. е. введение дополнительных элементов, и поэтому оно может быть рекомендовано только в том случае, когда состязания приводят к нежелательным последствиям.

Кодопреобразователи и компараторы

рассматриваются кодопреобразователи комбинационного типа. По определению кодопреобразователь осуществляет перевод кода входного числа в иной код на выходе. Разработка таких связующих звеньев, как кодопреобразователи обусловлена тем, что:

- взаимосвязанные ЦУ могут работать в различных кодах;
- ЦУ и оконечные устройства (например индикаторы) почти всегда работают в различных кодах;
- ЦУ и входные устройства (клавиатура) также используют различные коды.

В соответствии с этим кодопреобразователи подразделяются на кодопреобразователи общего вида, дешифраторы и шифраторы.

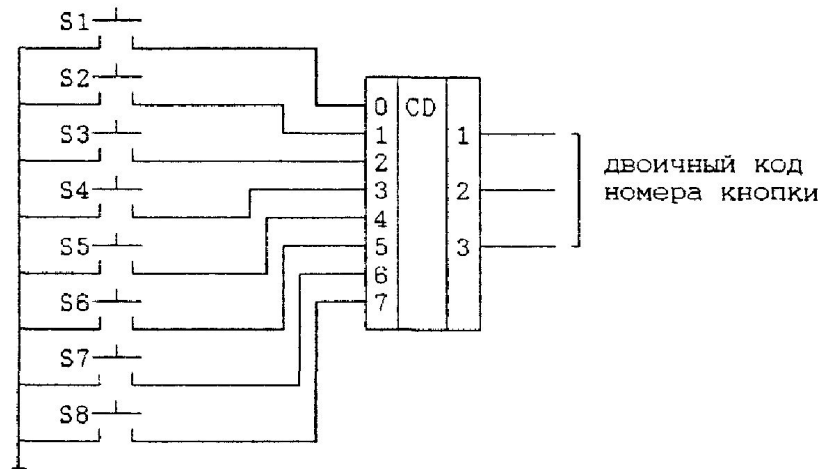
Далее будут рассмотрены схемы шифраторов и дешифраторов.

Шифраторы (CD – coder)

Шифраторы – это кодопреобразователи, осуществляющие преобразование входного кода «1 из m » в двоичный или двоично-десятичный код.

Наиболее часто шифраторы применяются для кодирования сигналов от клавиатуры в устройствах с небольшим числом кнопок. Например, с помощью шифратора К155ИВ1 можно передать сигналы от восьми кнопок по трем линиям.

ИС К155ИВ1 является не просто кодопреобразователем сигнала «1 из 8» в двоичный код, а приоритетным шифратором: при несоответствии входных сигналов указанному коду код на выходе соответствует нажатой кнопке с максимальным номером.

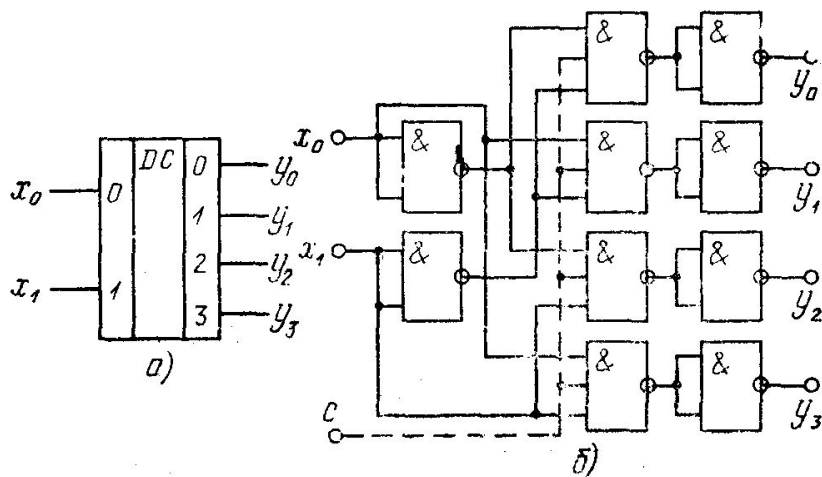


Дешифраторы (DC от слова decoder)

Можно сказать (и это было действительно так в первые годы развития цифровой микросхемотехники), что дешифраторы выполняют функцию, обратную шифраторам: преобразуют входной двоичный код в код «1 из m ».

Дешифраторы выполняют функции, обратные функциям шифраторов, т. е. осуществляют преобразование входного числа, представленного в натуральном двоичном коде, в код «1 из m ». Иными словами, дешифратор при наличии определенной комбинации на входах обеспечивает появление логической единицы на одном из его выходов.

В дешифраторах часто используется синхронизация, разрешающая выработку выходных сигналов только в присутствии разрешающего сигнала $C=1$.



Цифровые компараторы

Компараторы (устройства сравнения чисел) выполняют операцию определения отношения между двумя числами. Основными отношениями можно считать «равно» и «больше». Другие отношения могут быть определены через основные. Устройства сравнения на равенство строятся на основе поразрядных операций над одноименными разрядами сравниваемых чисел.

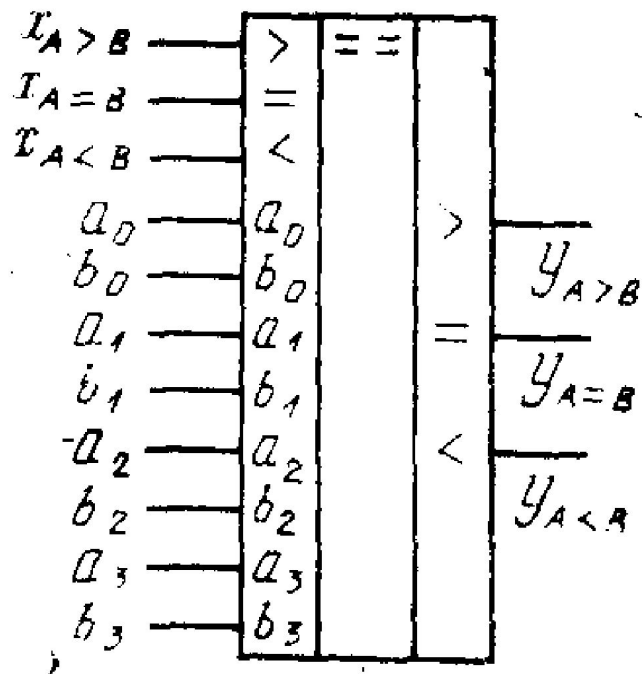
Компараторы находят широкое применение в системах цифровой обработки радиотехнических сигналов.

Обычно оказывается удобным иметь на выходе компаратора все три возможных признака сравнения $Ул=в$, $Ул<.в$ и $Ул>в$. В этом случае функционирование компаратора двухразрядных двоичных чисел (операндов) определяется по табл.

Таблица истинности
компаратора

А		В		Выходы		
a_1	a_0	b_1	b_0	$Y_{A < B}$	$Y_{A = B}$	$Y_{A > B}$
0	0	0	0	0	1	0
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	0	1
0	1	0	1	0	1	0
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	0	1	0
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	0	1	0

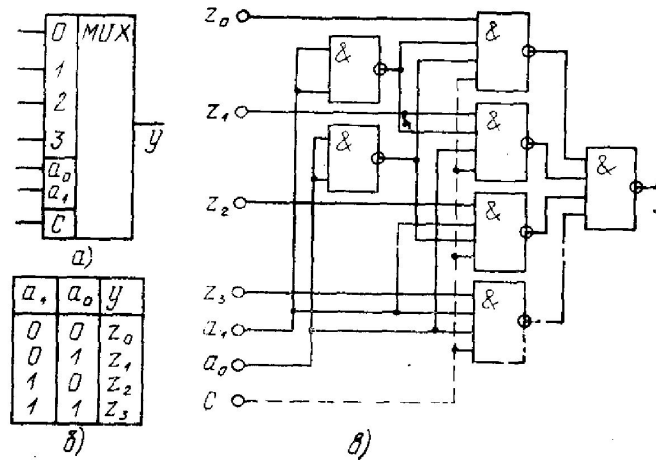
На рис. приведена схема компаратора СП1, имеющего 11 входов. Четыре пары входов принимают для анализа два четырехразрядных числа A и B . Три входа $x_{A>B}$, $x_{A<B}$, $x_{A=B}$ необходимы для наращивания разрядности компаратора. Компаратор имеет три выхода результатов сравнения $y_{A<B}$, $y_{A>B}$, $y_{A=B}$. Пять последних строк отображают режим наращивания разрядности, которое может быть последовательным или параллельным. Так, с помощью двух компараторов СП1 можно сравнивать два восьмиразрядных числа.



Для реализации более сложных алгоритмов сравнения используют специализированные компараторы в интегральном исполнении.

Мультиплексоры (*MUX* от слова *multiplexor*)

Мультиплексором называется КЦА, осуществляющий передачу логического сигнала с одного из информационных входов на выход в зависимости от комбинации сигналов на управляющих входах. Мультиплексоры используются как многопозиционные переключатели для выборки цифровых каналов или как логические схемы, реализующие любые функции трех (четырёхвходовой мультиплексор), четырех (восьмивходовой мультиплексор) и более переменных.

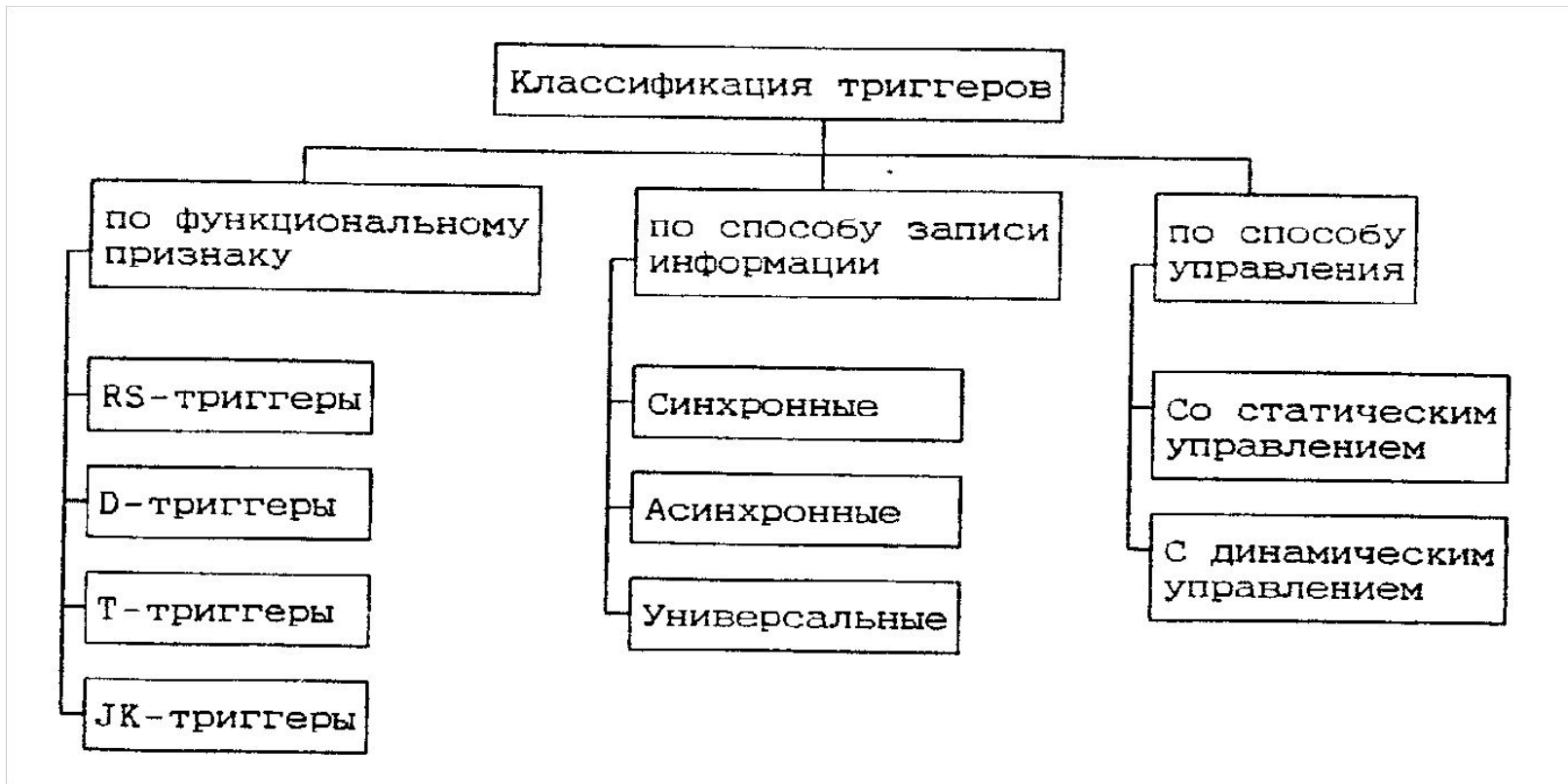


Функционирование четырехвходового мультиплексора можно представить таблицей истинности, в которой информационные входы обозначены буквами Z , а управляющие – a .

Данное устройство может быть построено, например, на элементах Шеффера. С целью расширения функциональных возможностей в мультиплексор вводится дополнительный управляющий вход синхронизации.

Триггеры .Классификация

В ЦУ последовательностного типа значения выходных сигналов в данный момент времени определяются значениями входных сигналов в этот же и в предшествующие моменты времени. Предыстория значений входных сигналов фиксируется во внутренних элементах памяти ЦУ.



Триггерами принято называть цифровые последовательностные устройства, которые могут находиться в одном из двух устойчивых состояний и переходить из одного состояния в другое под воздействием входных сигналов. Состояние триггера определяется сигналом на выходе Q. Часто триггеры имеют дополнительный инверсный выход \bar{Q} . Входы триггеров подразделяются на информационные и управляющие.

Триггеры отличаются друг от друга выполняемыми функциями, схемой построения, способом управления и т.д. Эти признаки являются основой для их классификации.

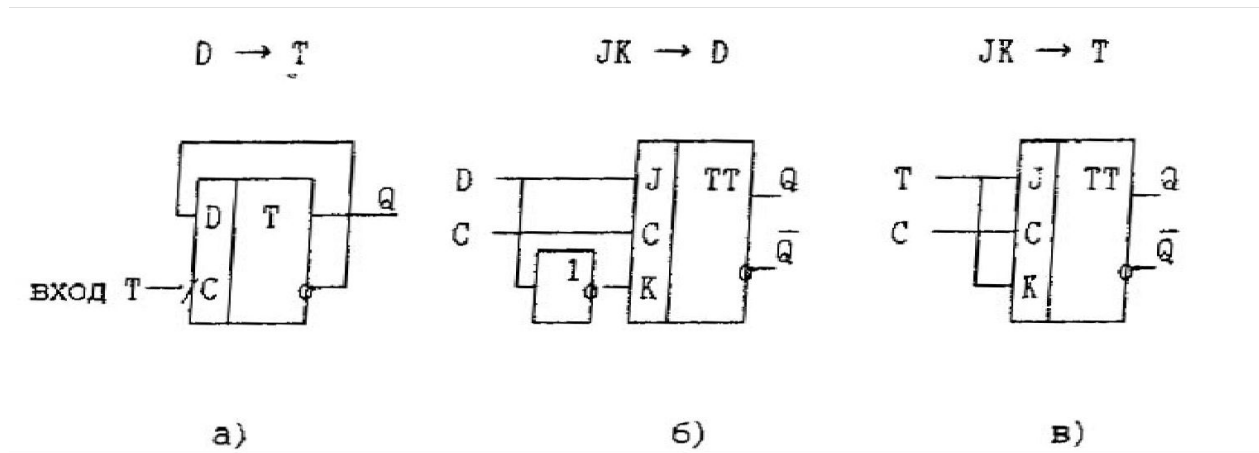
Классификация триггеров по виду выполняемой логической функции является наиболее важной, поскольку она позволяет определить пригодность данного триггера для выполнения тех или иных операций.

Несмотря на потенциальное многообразие видов триггеров, на практике применяются четыре основных типа:

- RS-триггер – триггер с отдельной установкой состояний;
- информационный D-триггер;
- счетный T-триггер;
- универсальный JK-триггер.

По способу записи информации триггеры можно разделить на синхронные, асинхронные и универсальные. Состояние выходов синхронных триггеров изменяется лишь в момент прихода разрешающего сигнала на вспомогательный вход синхронизации (или тактирующий вход), при необходимом сочетании сигналов на информационных входах. Асинхронные триггеры не имеют тактирующего входа, и их состояние меняется в момент изменения информационных входных сигналов. В универсальных триггерах имеются как асинхронные, так и тактирующие входы.

Кроме того, триггеры можно разделить на устройства с потенциальным и динамическим управлением. В триггере с потенциальным управлением активным (управляющим, единичным) сигналом считается постоянный входной сигнал. В триггере с динамическим управлением активным считается не уровень, а перепад управляющего сигнала. Существуют триггеры управляемые как положительным, так и отрицательным перепадом входного сигнала.



Основные параметры триггеров

Подбор типа триггера для использования в качестве функционального элемента схемы не обходится без определения его параметров. Основные параметры триггеров в интегральном исполнении приводятся в справочниках и как паспортные данные. К ним относятся:

- нагрузочная способность (N) определяется числом элементов, которые можно подключить к выходу триггера без ущерба функционированию;
- задержка переключения триггера $T_{з.тр}$ (временной интервал между моментами поступления сигнала на вход и реакцией на выходе на этот сигнал);
- разрешающее время триггера $T_{тр}$ (минимальный интервал времени между входными сигналами, при котором не нарушается нормальное функционирование триггера);
- максимальная частота переключения триггера $F_{max} = 1/T_{max}$

Взаимозаменяемость триггеров

На практике часто встречаются ситуации, когда необходим триггер одного типа, а в наличии имеются другие, тогда, изменяя варианты подключения выходов триггера к его входам, можно получить желаемый результат. Например, если D-триггер имеет синхронизирующий вход с динамическим управлением и инверсный выход, на его основе можно реализовать T-триггер. На базе универсального JK-триггера можно построить триггер любого типа.

Схемы триггеров. Триггер с установочными входами – RS-триггер (SET – устанавливать, RESET – восстанавливать)

Триггером **RS** типа называют триггер, имеющий два информационных входа R и S . При $S=1, R=0$ на выходе триггера появляется «1» ($Q=1$), при $S=0, R=1$ состояние «0» ($Q=0$), а при $S=0, R=0$ сохраняется предыдущее состояние. Данный тип триггеров может быть как синхронным, так и асинхронным. Управление записью информации осуществляется как статическим способом, так и динамическим. Самым простым является асинхронный RS-триггер, который является элементарной ячейкой для построения других типов триггеров и называется конъюнктивной бистабильной ячейкой (КБЯ).

Асинхронный RS-триггер со статическим способом управления записью

Функционирование асинхронного RS-триггера

R^n	S^n	Q^n	Q^{n+1}	Операции, выполняемые триггером
0	0	0	0	Хранение информации
0	0	1	1	Хранение информации
0	1	0	1	Установка «1»
0	1	1	1	Подтверждение «1»
1	0	0	0	Подтверждение «0»
1	0	1	0	Установка «0»
1	1	0	*	Не определена
1	1	1	*	Не определена

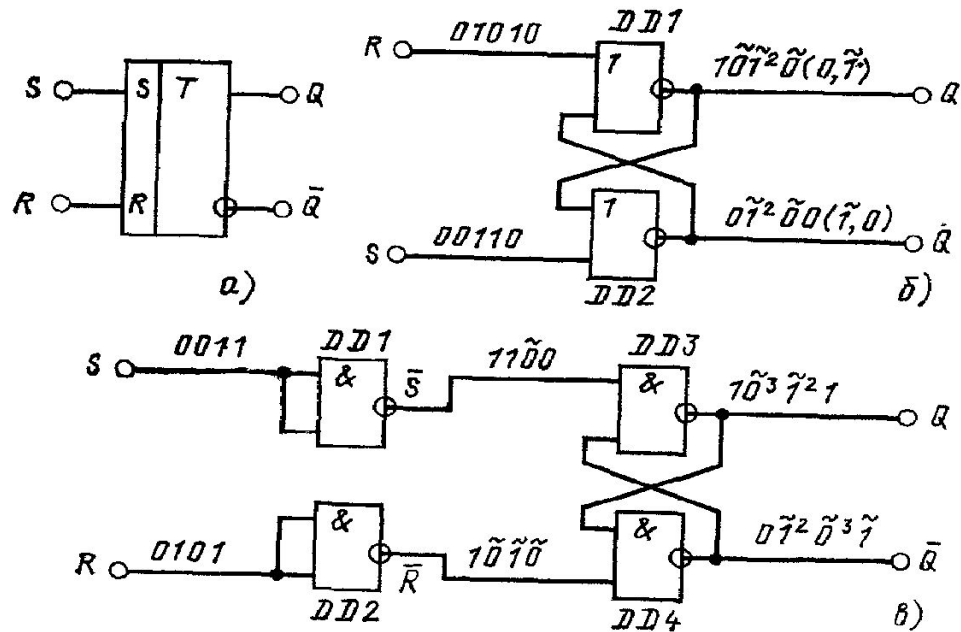
У асинхронного триггера нет входа синхронизации. Выше приведена таблица функционирования триггера, в которой R^n , S^n – это сигналы на входах в данный тактовый момент времени, состояние на выходе в это же время – Q^n , а Q^{n+1} – состояние, в которое он переключится под воздействием сигналов на информационных входах.

При $S^n=1$ и $R^n=0$ триггер переходит в состояние «1», либо изменяя свое предыдущее состояние из «1» в «0», либо сохраняя его, если до этого он находился в состоянии «1» ($Q^n=1$). Следует вывод, что вход S – вход установки триггера в «1».

Вход R – вход, установки триггера в «0», т.к. при подаче сигналов $R^n=1$, $S^n=0$ триггер в любом случае принимает состояние «0». При комбинации сигналов на информационных входах триггера $R^n=S^n=1$ его функционирование не определено и поэтому такая ситуация на входах запрещена. Хранение предыдущего состояния осуществляется, когда выполняется равенство R^n и $S^n = 0$.

Асинхронный RS–триггер может быть реализован на элементах Пирса (КМОП технология) или Шеффера (ТТЛ технология).

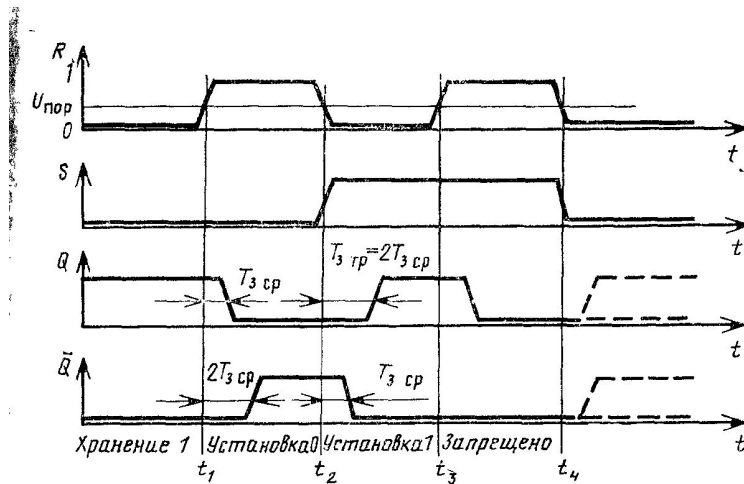
Асинхронный RS-триггер на элементах Пирса состоит из двух логических элементов $DD1$ и $DD2$. Именно такой триггер носит название КБЯ.



Параметры асинхронного RS-триггера

Наиважнейшим параметром любой цифровой схемы является быстродействие. Для его определения проведем анализ функционирования RS-триггера КМОП технологии, используя временные диаграммы. Знаком \sim – «тильда» обозначена задержка появления сигналов на выходе триггера.

Пример. Пусть до момента t_1 на входах действуют сигналы, равные нулю ($R=S=0$). Тогда состояние триггера определяется предыдущими сигналами на его входах. Допустим предыдущее состояние равно 1, тогда на выходе Q состояние «0». Пусть через некоторое время на вход R поступил сигнал «1», а на входе S по-прежнему действует «0». В триггере начнутся переходные процессы, и через $T_{з.ср}$ (среднее время задержки логических элементов $DD1$ и $DD2$) на выходе Q появится сигнал «0». Поступив на вход элемента $DD2$, этот сигнал вызовет его переключение. Еще через $T_{з.ср}$ на его выходе появится сигнал «1». На этом процесс переключения триггера завершится.



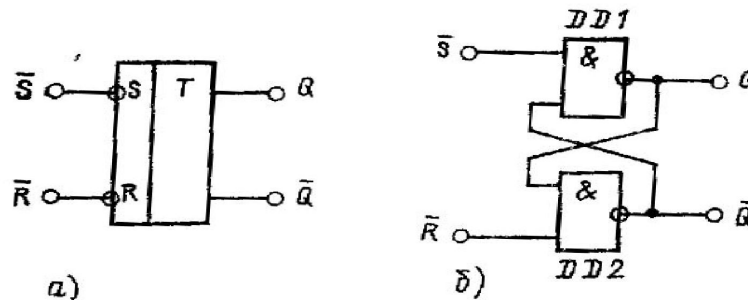
Аналогично происходит переключение триггера в «1», когда в момент времени t_2 , на его информационные входы поданы сигналы $R=0, S=1$. В момент t_3 на входы триггера подана запрещенная комбинация ($R=S=1$). В этом случае оба логических элемента $DD1$ и $DD2$ перейдут либо в состояние «0», либо «1». Появилась неопределенность в работе триггера, поэтому такое сочетание сигналов на информационных входах данного триггера запрещено.

Проведенный анализ позволяет установить параметры быстродействия асинхронного RS-триггера на элементах Пирса

$$T_{з.тр.} = 2T_{з.сп.}, T_{тр} = 2T_{з.сп.}$$

Анализ схемы RS-триггера на двух элементах Шеффера студенты проводят самостоятельно. Следует обратить внимание на то, что входы такого триггера являются инвертированными.

Здесь лишь приведем его схему, таблицу функционирования и параметры быстродействия.



Запрещенной в этом случае является комбинация сигналов на входах $R=S=0$ и установка в соответствующее состояние производится не сигналом «1», как это было в RS-триггере на элементах Пирса, а сигналом «0». Такой триггер носит название конъюнктивной бистабильной ячейки (КБЯ) и является, как и RS-триггер, на элементах Пирса основой для построения сложных устройств.

Функционирование RS-триггера с инвертированными входами

а)			б)			
\underline{R}^n	\underline{S}^n	\underline{Q}^{n+1}	Операции, выполняемые триггером	$\underline{Q}^n \rightarrow \underline{Q}^{n+1}$	\underline{R}^n	\underline{S}^n
0	0	*	Не определена	0	*	1
0	1	0	Установка «0», подтверждение «0»	0 1	1	0
1	0	1	Установка «1», подтверждение «1»	1 0	0	1
1	1	\underline{Q}^n	Хранение информации	1 1	1	*

Параметры быстродействия такие, как у асинхронного RS триггера на элементах Пирса.

$$T_{з.тр.} = 2T_{з.ср.}, T_{тр} = 2T_{з.ср.}$$

Синхронный RS-триггер

Синхронный RS-триггер отличается от асинхронного тем, что информация в него записывается только тогда, когда есть разрешающий сигнал на тактовом входе C . На практике в качестве разрешающего может быть сигнал «0», «1» или перепады (положительный $0 \rightarrow 1$ или отрицательный $1 \rightarrow 0$). При запрещающем сигнале на информационном входе триггер осуществляет хранение информации.

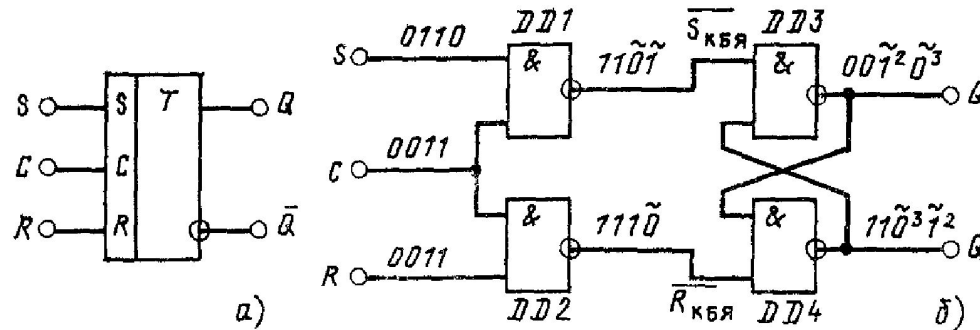
Функциональная схема синхронного RS-триггера

C^n	R^n	S^n	Q^{n+1}	Операции, выполняемые триггером
0	0	0	Q^n	Хранение информации
0	0	1	Q^n	Хранение информации
0	1	0	Q^n	Хранение информации
0	1	1	Q^n	Хранение информации
1	0	0	Q^n	Хранение информации
1	0	1	1	Установка «1», подтверждение «1»
1	1	0	0	Установка «0», подтверждение «0»
1	1	1	*	Не определена

Для синхронного RS-триггера запрещенной является комбинация сигналов $R=S=1$, если на тактирующем входе присутствует разрешающий сигнал.

Договоримся обозначать разрешающий сигнал на тактовом входе «0» только в том случае, когда он действительно является таковым согласно паспортным данным. Все остальные варианты будем обозначать в таблицах «1».

Анализ работы синхронного RS-триггера на элементах Шеффера, для чего поочередно подадим на входы сигналы в такой последовательности как указано на рис. При $C=0$ никакие сигналы на информационных входах не изменяют состояние триггера.



Если $C=1$ является разрешающим, то триггер начнет переключаться согласно комбинации сигналов на его информационных входах R и S . Заметим, что при $C=1$ элементы Шеффера $DD1$ и $DD2$ вырождаются в инверторы сигналов S и R , а весь триггер – в асинхронный RS-триггер. Из проведенного анализа следует, что длительность переходных процессов в триггере составляет $3 T_{з ср}$, а задержка переключения и разрешающее время триггера

$$\dot{O}_{\zeta.0\check{d}} = 3\dot{O}_{\zeta.\check{n}\check{d}}, \dot{O}_{0\check{d}} = 3\dot{O}_{\zeta.\check{n}\check{d}}.$$

Триггер задержки – D (от английского слова delay)

Триггером задержки называется триггер, состояние которого в последующий тактовый момент равно сигналу, действующему в настоящий момент на информационном входе D .

Асинхронный D-триггер

Из таблицы функционирования видно, что функцию такого триггера выполняет повторитель и информацию не хранит, поэтому в цифровой технике практически не используется.

Функционирование асинхронного D-триггера

D^n	Q^{n+1}
0	0
1	1

Синхронный D-триггер

Данный триггер широко используется при построении различных цифровых устройств, например ячеек памяти. Ниже приведены таблица функционирования и характеристическая таблица.

Функционирование синхронного D-триггера

C^n	D^n	Q^{n+1}	Операции, выполняемые триггером
0	0	Q^n	Хранение информации
0	1	Q^n	Хранение информации
1	0	0	Установка «0», подтверждение «0»
1	1	1	Установка «1», подтверждение «1»

Характеристическая таблица D-триггера

$Q^n \rightarrow Q^{n+1}$		D^n
0	0	0
0	1	1
1	0	0
1	1	1

Характеристическое уравнение синхронного D-триггера.

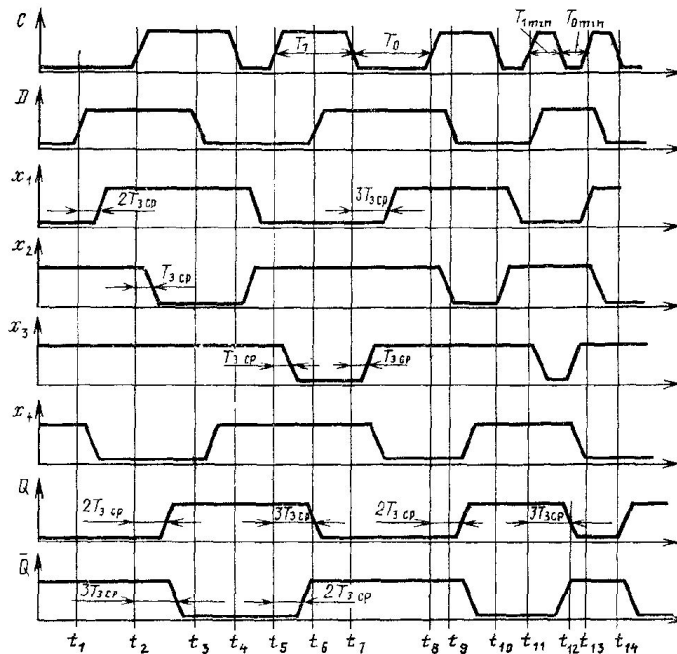
D-триггер с динамическим способом управления

Пусть разрешающим сигналом по тактовому входу будет «1». При $C = 1$ D-триггер со статическим способом управления переходит в режим асинхронной работы, поэтому чаще используют D-триггеры с динамическим способом управления.

Рассмотрим работу триггера с использованием временных диаграмм. Пусть на входах присутствуют сигналы «1» ($R=S=1$). До момента t_2 $C=0$ и триггер находится в режиме хранения информации. Сигналы x_2 и x_3 , влияющие на работу выходной КБЯ, при изменении сигнала на информационном входе D в момент времени $t=t_1$ не изменяют своего значения и остаются равными «1».

По диаграммам определяем параметры D-триггера. Задержка переключения триггера равна: $T_{з.тр}=3T_{з.ср}$. Для нахождения разрешающего времени триггера ($T_{тр}$) необходимо организовать режим повторяющегося переключения триггера. Видно, что период поступления сигналов на вход синхронизации складывается из двух частей: T_0 (когда на тактовом входе низкий потенциал) и T_1 (когда – высокий). Для нахождения $T_{тр}$ необходимо найти минимально возможные длительности T_0 и T_1 и тогда

$$T_{mp} = T_{0 \min} + T_{1 \min}$$



Минимальные длительности $T_{0\min}$ и $T_{1\min}$ определяются переходными процессами. При разрешающем сигнале на входе $C=1$ в триггере происходит процесс переключения, который занимает интервал времени не более чем $3T_{3.ср}$. Отсюда $T_{1\min} = 3T_{3.ср} = T_{3.мр}$

При $C=0$ в триггере происходит процесс изменения состояний в управляющих КБЯ, который может длиться максимально $3T_{3.тр}$. $T_{0\min} = 3T_{3.ср} = T_{1\min}$

Разрешающее время триггера: $T_{мр} = T_{0\min} + T_{1\min} = 6T_{3.ср} = 2T_{3.ср}, F_{мр} = \frac{1}{2T_{3.ср}}$

Счетный триггер и JK-триггер.

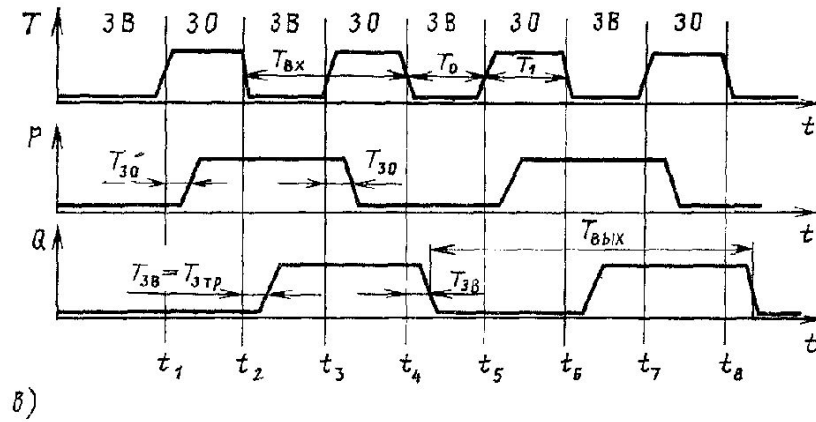
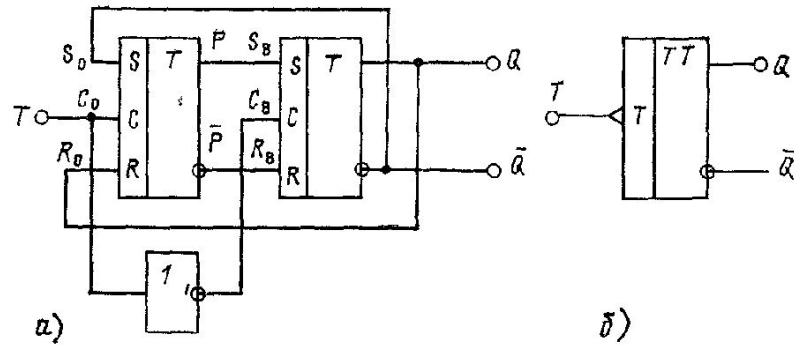
Счетный триггер

(от английского слова *topple* – кувыркатся)

Счетным триггером называется триггер, имеющий один информационный вход T , при подаче сигнала на который триггер меняет свое состояние на противоположное. Счетный триггер находит широкое применение в микропроцессорной технике (например счетчик команд в микропроцессоре).

Асинхронный Т-триггер

На практике в основном используются двухступенчатые триггеры, построенные по схеме основной – вспомогательный.



Первый триггер называется основным, второй – вспомогательным. Выходы вспомогательного триггера являются выходами всего Т-триггера. Проанализируем работу триггера по временной диаграмме. При $t < t_1$ ($T = 0$) в триггере выполняются два условия:

1) разрешена перезапись информации из основного триггера во вспомогательный, так как сигнал на тактовом входе вспомогательного триггера ($C_в$) равен единице: $C_в = T = 1$, при этом на входах $R_в$ и $S_в$ действуют сигналы с выходов основного триггера P и \bar{P} ;

2) запрещена запись информации в основной триггер, т.к. $T = C_о = 0$.

В следующий момент времени ($t > t_1$) на входе T действует сигнал «1», и выполняются два других условия:

1) осуществляется запись новой информации в основной триггер, поскольку $C_о = T = 1$. В основной триггер при $T = 1$ запишется информация, инверсная по отношению к выходному сигналу. Через время, равное времени задержки переключения основного триггера, новый сигнал появится на его выходах;

2) перезапись информации из основного триггера во вспомогательный запрещена, так как $C_в = T = 0$.

Таким образом, переключение триггера происходит в два этапа – сначала (при $T = 1$) происходит запись в основной триггер, а затем (при $T = 0$) новая информация переписывается во вспомогательный триггер и появляется на выходе устройства. Сигналом, вызывающим переключение триггера, является составной сигнал (высокое напряжение на первом этапе и низкое на втором), т.е. это триггер с динамическим способом управления по отрицательному перепаду.

Определим параметры быстродействия триггера. Под задержкой переключения данного двухступенчатого триггера понимается интервал времени между моментом подачи отрицательного перепада на вход и моментом появления сигнала на выходе. Для двухступенчатого триггера задержка переключения вызвана длительностью перезаписи информации из основного триггера во вспомогательный:

$$T_{з.тр} = T_{зв}.$$

Разрешающее время определится из выражения:

$$T_{тр} = T_{0\min} + T_{1\min} = T_{зв} + T_{з0}$$

Из временных диаграмм видно, что Т-триггер умножает период $T_{вх}$ или делит частоту $F_{вх}$ следования входных сигналов на два:

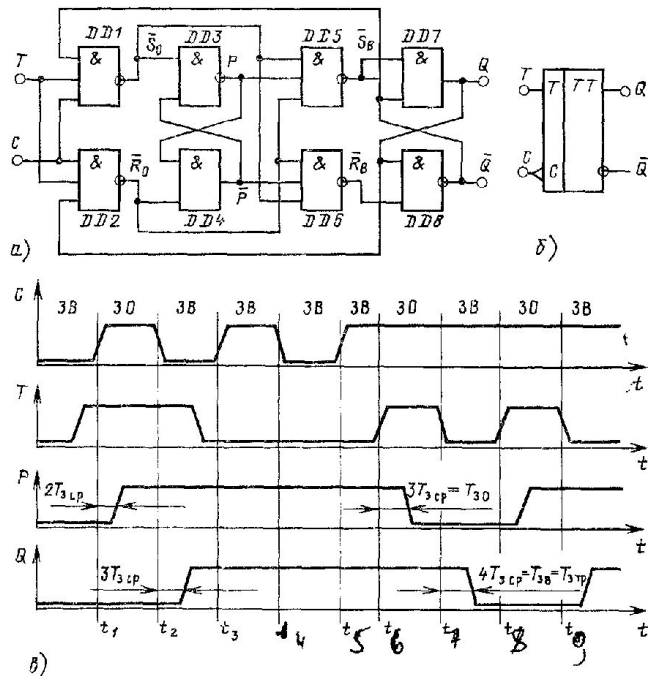
$$T_{вых} = 2T_{вх}; F_{вых} = \frac{1}{T_{вых}} = \frac{F_{вх}}{2} = \frac{1}{2} \frac{1}{T_{вх}}.$$

При $C=T=1$ происходит запись инвертированного сигнала с выхода Q в основной триггер (один из сигналов R_0 или S_0 становится равным нулю) и запрещается перезапись информации из основного во вспомогательный триггер, так как сигнал «0» с выхода R_0 или S_0 , поступая на элементы $DD5$ и $DD6$, вызывает их переключение в состояние «1» независимо от сигнала P . Сигналы $R_в = S_в = 1$ не изменяют состояния триггера с инвертированными входами (он реализует режим хранения информации).

Из временных диаграмм можно определить параметры быстродействия триггера

$$T_{з.тр} = T_{зв} = 4T_{з.ср}, T_{тр} = T_{зс} + T_{зв} = 3T_{з.ср} + 4T_{з.ср}$$

Как видно из схемы, данный триггер является универсальным, т. е. при $C=1$ триггер превращается в асинхронный двухступенчатый Т-триггер. На рис. отображена работа триггера в синхронном и асинхронном режимах.



Отметим, что при работе в синхронном режиме сигналом на информационном входе триггер управляется статически, т.е. наличие высокого напряжения на входе Т воспринимается триггером как единица в течение всего времени его действия, а по входу С разрешающим сигналом будет составной сигнал с отрицательным перепадом, т. е. управление по тактовому входу динамическое. При работе в асинхронном режиме ($C=1$) триггер воспринимает сигнал на информационном входе не в течение всего времени, а только при совершении им перехода $1 \rightarrow 0$.

JK-триггер (jark – внезапное включение и kill – внезапное отключение)

Триггером JK типа называется триггер с двумя информационными входами J и K., который при $J = K = 1$ осуществляет инверсию предыдущего состояния, а в остальных вариантах функционирует как RS-триггер, причем входу J соответствует вход S, входу K – вход R.

Асинхронный JK-триггер

Функционирование асинхронного JK-триггера

J^n	K^n	Q^{n+1}	Операции, выполняемые триггером
0	0	Q^n	Хранение информации
0	1	0	Установка «0», подтверждение «0»
1	0	1	Установка «1», подтверждение 1
1	1	$\overline{Q^n}$	Инверсия

Характеристическая таблица JK-триггера

$Q^n \rightarrow Q^{n+1}$		J^n	K^n
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

JK-триггер осуществляет при одной из комбинаций входных аргументов инверсию своего предыдущего состояния и поэтому его реализация со статическим способом управления практически не используется.

Данный триггер управляется отрицательным перепадом ($1 \rightarrow 0$). Так, например, чтобы установить триггер в состояние «1», необходимо на вход J подать единицу ($K=0$) (при этом происходит запись в основной триггер) и затем – сигнал «0» (сигнал «1» переписывается из основного триггера во вспомогательный). Таким образом, под сигналом «1» на входах J и K двухступенчатого триггера необходимо понимать сигнал вида $1 \rightarrow 0$, что означает отрицательный перепад напряжения.

Параметры быстродействия асинхронного двухступенчатого триггера совпадают с соответствующими параметрами T -триггера.

Счетчики.

Определение, основные характеристики и классификация счетчиков

Счетчиком называется цифровой автомат последовательностного типа, осуществляющий счет и хранение числа подсчитанных сигналов. Счетчики находят весьма широкое применение в радиотехнических системах и микропроцессорной технике для построения устройств синхронизации, осреднения, накопления и т. д. Кроме этого, счетчики используются в качестве делителей частоты следования импульсных последовательностей.

Параметры счетчиков

Одним из основных параметров счетчика является модуль счета ($M_{сч}$). **Модуль счета $M_{сч}$** – это число, характеризующее количество различных состояний счетчика. После поступления $M_{сч}$ счетных сигналов счетчик возвращается в исходное состояние.

$$F_{сч} = \frac{1}{T_{сч}}$$

Быстродействие счетчиков характеризуется двумя параметрами: $T_{сч}$ – разрешающее время счетчика и $T_{уст}$ – время установления кода счетчика.

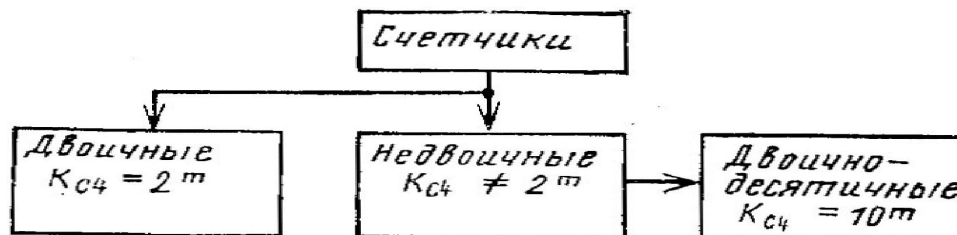
Разрешающее время счетчика $T_{сч}$ – это минимальный период поступления счетных сигналов, при котором не происходит ошибок в счете. Разрешающее время определяет максимальную рабочую частоту счетчика.

Время установления кода счетчика $T_{уст}$ – это интервал времени между поступлением счетного сигнала на вход счетчика и установлением соответствующей кодовой комбинации на выходах счетчика. Поскольку при работе счетчика этот интервал зависит от конкретной кодовой комбинации (от того, какие триггеры переключаются), за $T_{уст}$ принимается максимальный интервал времени, который имеет место при работе счетчика на всех возможных кодовых комбинациях.

Классификация счетчиков

По схемным решениям счетчики отличаются назначением, типом и количеством используемых триггеров, организацией связей между ними, порядком смены состояний и другими особенностями структуры и режимов работы. В соответствии с этими признаками производится классификация счетчиков.

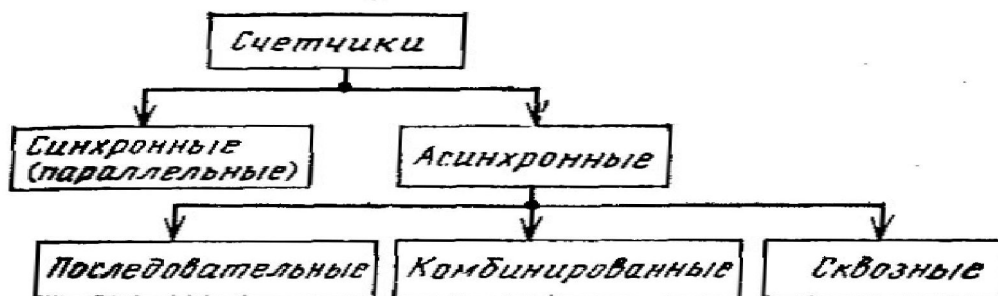
Классификация счетчиков по модулю счета. Критерием, по которому различаются счетчики, является модуль счета. Счетчик двоичный ($K_{сч}=2^m$) считает все возможные числа, которые могут быть представлены m -разрядным двоичным кодом. Недвоичные счетчики ($K_{сч} \neq 2^m$). Отдельную группу недвоичных счетчиков составляют двоично-десятичные счетчики ($K_{сч}=10^m$).



В суммирующих счетчиках число на выходе увеличивается при поступлении счетных сигналов, т. е. осуществляется суммирование счетных сигналов. В вычитающих счетчиках число на выходе уменьшается после каждого поступающего счетного сигнала. Реверсивные счетчики являются устройствами, сочетающими в себе свойства двух описанных типов счетчиков.

Классификация счетчиков по способу переключения разрядов. В зависимости от соединений триггеров между собой и с входом счетчика его функционирование будет различным. Если при поступлении счетного сигнала триггеры всех разрядов счетчика переключаются одновременно (или параллельно), то такой счетчик является счетчиком с *синхронным* (параллельным) способом переключения разрядов.

Асинхронные счетчики могут быть *последовательными*, т. е. такими, у которых триггер последующего разряда переключается сигналом с предыдущего.



Счетчики с *комбинированным* способом переключения разрядов сочетают в себе какие-либо перечисленные способы, например, группы триггеров между собой связаны последовательно, а переключаются синхронно.

Синхронные двоичные счетчики

Количество разрядов счетчика m в общем случае зависит от кода и может быть определено формулой

$$m = \lceil \log_2 K_{сч} \rceil$$

Скобки означают, что значение логарифма округляется до большего ближайшего целого числа. Для двоичных счетчиков

$$m = \log_2 K_{сч}$$

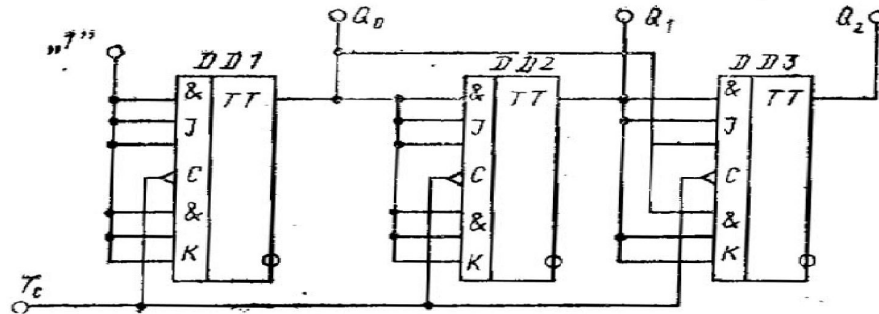
Рассмотрим пример.

Синхронный двоичный суммирующий счетчик, работающий в коде 4–2–1 с модулем счета, равным 8. В данном случае

$$m = \log_2 8 = 3$$

Схема синхронного двоичного счетчика

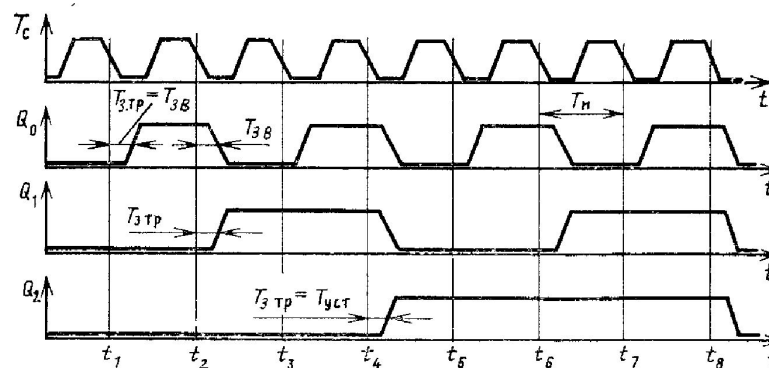
Уравнения входов младшего разряда имеют максимально простой вид ($J_0 = K_0 = 1$) и поэтому для их реализации достаточно подключить все входы J_0 и K_0 триггера к генератору единицы. Входы J_1 и K_1 триггера первого разряда могут быть подключены двумя способами: соединением всех входов с выходом триггера младшего разряда или соединением одного входа J_1 и одного входа K_1 к выходу Q_0 младшего разряда и подключением всех оставшихся входов к генератору единицы.



Аналогично производится соединение информационных входов триггера старшего разряда.

Проведем анализ функционирования по временным диаграммам. Пусть на вход T_c постоянно поступают счетные сигналы в виде колебаний с периодом T_n . Будем считать, что счетчик построен на двухступенчатых JK-триггерах. При сигнале на входе T_c , равном 1 ($t < t_1$), в основной триггер двухступенчатого триггера младшего разряда будет произведена запись информации ($C_0 = T_c = 1$, $J_0 = K_0 = 1$), в данном случае будет записана 1. При $T_c = 1$ ($t > t_1$) произойдет перезапись этой информации из основного триггера во вспомогательный, и она появится на выходе триггера младшего разряда через время записи информации во вспомогательный триггер $T_{зв}$ или через время задержки переключения триггера $T_{з.тр}$. состояния основных триггеров первого и второго разрядов в этом такте не изменятся, поскольку на их информационных входах действует сигнал 0 ($J_1 = K_1 = J_2 = K_2 = 0$), а триггер при этих сигналах сохраняет предыдущее состояние.

Таким образом, в момент времени t_1 на счетном входе T_c появился разрешающий перепад (счетный сигнал), и через время $T_{з.тр} = T_{зв}$ в счетчике будет зафиксирован код нового числа 001. При подаче сигнала $T_c = 1$ в следующем такте в основной триггер младшего разряда запишется 0 ($J_0 = K_0 = 1$, $Q_0 = 1$), в триггер первого разряда – 1 ($J_1 = K_1 = Q_0 = 1$). В момент $t = t_2$ сигнал на счетном входе становится равным нулю, происходит перезапись этой новой информации из основных триггеров во вспомогательные и через $T_{зв} = T_{злр}$ на выходах счетчика установится код 010.



Отсюда время установления кода синхронного счетчика не зависит от числа его разрядов и полностью определяется задержкой переключения триггера

$$\dot{O}_{\acute{o}\tilde{n}\grave{o}} = \dot{O}_{\grave{\zeta}.\grave{o}\grave{d}} = \dot{O}_{\grave{\zeta}\acute{a}}$$

Для определения разрешающего времени счетчика $T_{сч}$ необходимо найти минимально возможные части периода входного колебания $T_{0\min}$ и $T_{1\min}$, как это мы делали при анализе быстродействия триггеров

$$\dot{O}_{\tilde{n}\div} = \dot{O}_{0\min} + T_{1\min}$$

Минимально возможное время действия сигнала $T_{с=0}$ ($T_{0\min}$) определяется длительностью переходных процессов, происходящих в счетчике. При $T_{с=0}$ в каждом триггера происходит перезапись информации из основного во вспомогательный триггер. Таким образом,

$$T_{0\min} = T_{зв}$$

При $T_{с=1}$ происходит запись информации в основные триггеры двухступенчатых триггеров всех разрядов. Чтобы этот процесс завершился, необходимо иметь сигнал на входах C триггеров, не менее $T_{з0}$, т. е.

$$T_{1\min} = T_{з0}$$

$$T_{сч} = T_{0\min} + T_{1\min} = T_{зв} + T_{з0} = T_{mp},$$

$$F_{сч} = \frac{1}{T_{сч}} = \frac{1}{T_{mp}} = F_{nh}.$$

Реверсивные и асинхронные счетчики. Синхронный двоичный реверсивный счетчик

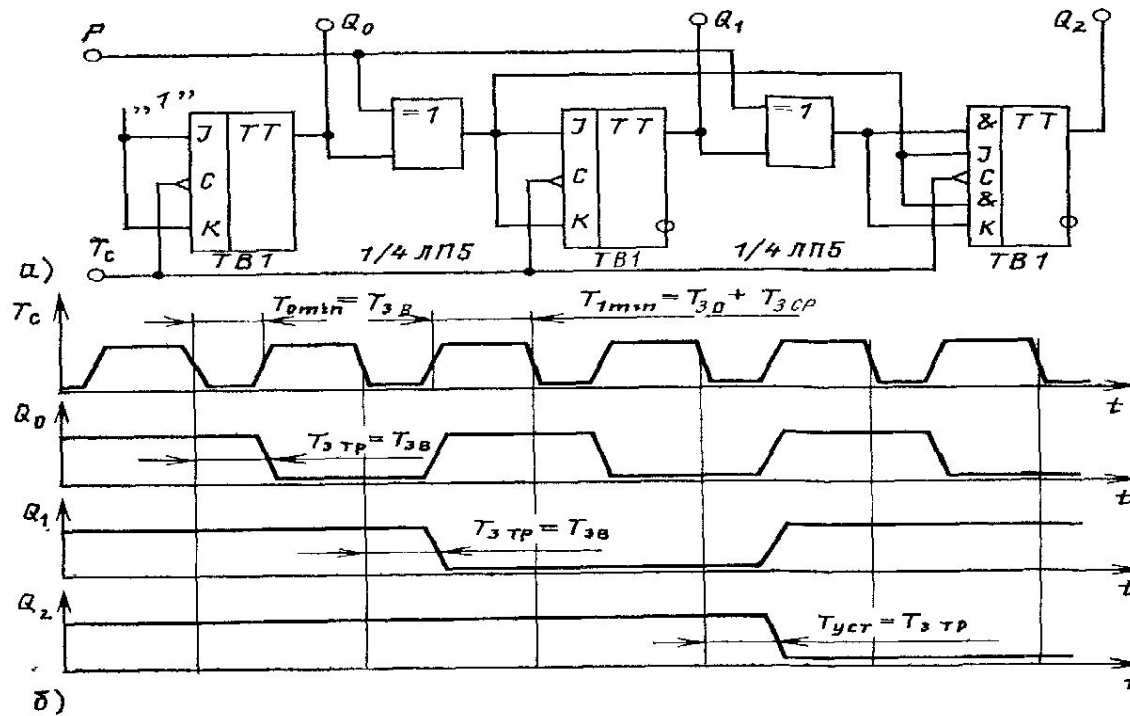
Реверсивный счетчик сочетает в себе свойства суммирующего и вычитающего счетчиков. Реверсивные счетчики строятся двумя способами. В первом случае счетчик имеет один счетный и один управляющий входы, причем в зависимости от сигнала на управляющем входе счетчик работает либо в режиме суммирования, либо в режиме вычитания. Во втором случае счетчик имеет два счетных входа, при подаче счетных сигналов на один из входов они суммируются, при подаче на другой – вычитаются.

Минимально возможная длительность T_{0min} определяется процессом перезаписи информации из основного во вспомогательный триггер $T_{зв}$. T_{1min} определяется временем задержки распространения сигнала через дополнительно введенные логические элементы $T_{з.ср}$ и временем записи информации в основной триггер каждого из разрядов: $T_{1min} = T_{з.ср} + T_{з0}$. Отсюда разрешающее время и максимальная рабочая частота счетчика

$$T_{сч} = T_{зв} + T_{з.ср} + T_{з0} = T_{тр} + T_{з.ср},$$

$$F_{сч} = \frac{1}{T_{сч}} = \frac{1}{T_{тр} + T_{з.ср}}.$$

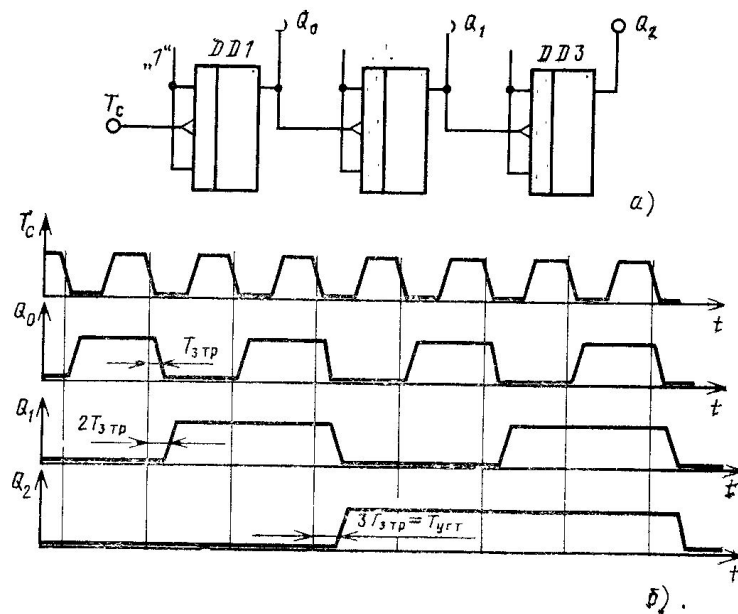
Схемы и временные диаграммы сигнала счетчика при его работе в режиме вычитания ($P=1$) приведены на рис.



Асинхронные счетчики

Интересны асинхронные счетчики в упрощенном исполнении. Упрощение схемы асинхронного счетчика достигается тем, что разрешающий сигнал поступает на тактовые входы C триггеров не в каждом такте, как в синхронных счетчиках, а по возможности только в те такты, когда триггер должен изменить свое состояние. В остальные такты работы разрешающий сигнал стремятся не подавать, и это позволяет иметь произвольные сигналы на информационных входах триггеров.

Асинхронный суммирующий двоичный счетчик



Анализ работы счетчика проведем с использованием временных диаграмм.

При $T_c=1$ происходит запись информации в основной триггер двухступенчатого триггера младшего разряда. Так как сигнал на его информационных входах всегда равен единице, то в него записывается двоичный сигнал, противоположный сигналу на выходе триггера Q_0 . Как только сигнал на счетном входе становится равным нулю, начинается процесс перезаписи информации из основного триггера во вспомогательный, и через время $T_{зв}=T_{з.тр}$ на выходах счетчика зафиксируются сигналы $Q_0 = 1, Q_1 = Q_2 = 0$. Как видно, при этом переключении новый код (001) счетчика установился через время $T_{з.тр}$. Однако это не будет временем установления счетчика в целом. Для его определения необходимо рассмотреть все возможные переключения и выбрать наибольшее. При переключении старшего разряда, для которого тактирующим сигналом является выходной сигнал первого разряда Q_1 , время установления кода утраивается ($3T_{з.тр}$), это время – наибольшее время переключения, оно и является временем установления кода счетчика

$$\dot{O}_{\text{ош}} = 3\dot{O}_{\text{с.од}} = 3\dot{O}_{\text{с.а}}$$

Время установления кода асинхронного счетчика превышает время установления синхронного счетчика ($T_{уст}=T_{з.тр}$). Это является недостатком всех асинхронных счетчиков. Что касается разрешающего времени асинхронного счетчика, то, как видно из временных диаграмм, в наихудших условиях находится триггер первого разряда, поскольку период поступления сигналов на его вход наименьший. Для его нормальной работы необходимо иметь

$$T_{сч} = T_{0\min} + T_{1\min} = T_{зв} + T_{зо} = T_{тр};$$

$$F_{сч} = 1/T_{сч} = 1/T_{тр} = F_{тр}.$$

Регистры.

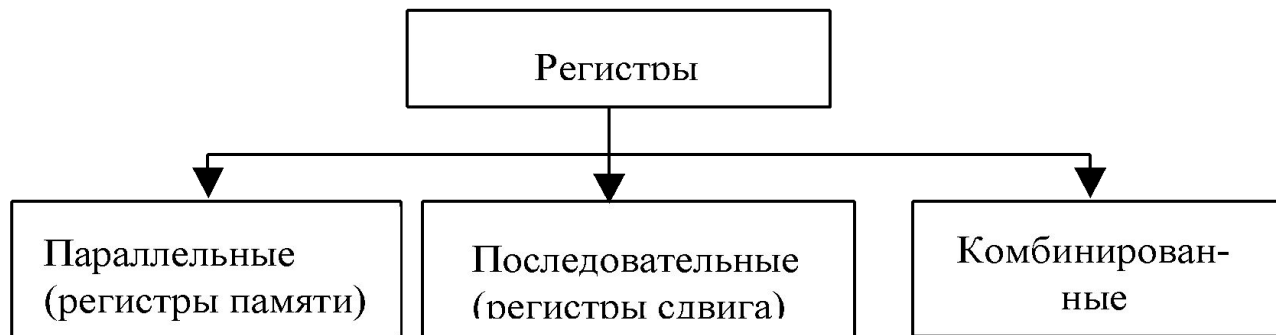
Назначение и классификация регистров

Регистрами называются цифровые устройства, осуществляющие кратковременное хранение и преобразование многоразрядных двоичных чисел, т.е. они являются оперативными запоминающими устройствами (ОЗУ).

В качестве запоминающих элементов в регистрах используются триггеры. Число триггеров, предназначенных для хранения многоразрядного числа, равно количеству разрядов в этом числе. В регистрах используются в качестве вспомогательных элементов комбинационные схемы для осуществления: ввода и вывода из регистра хранимого числа; преобразование кода числа, хранящегося в регистре; сдвига числа в сторону старших или младших разрядов на определенное число разрядов; преобразования последовательного кода числа в параллельный и наоборот и др.

Регистры классифицируются по способу ввода информации в регистр и ее вывод.

Ввод и вывод информации (двоичных чисел) в *параллельных регистрах* (регистрах памяти) осуществляется одновременно во всех разрядах (в параллельном коде). При этом время ввода (вывода) информации равно времени ввода (вывода) одного разряда.



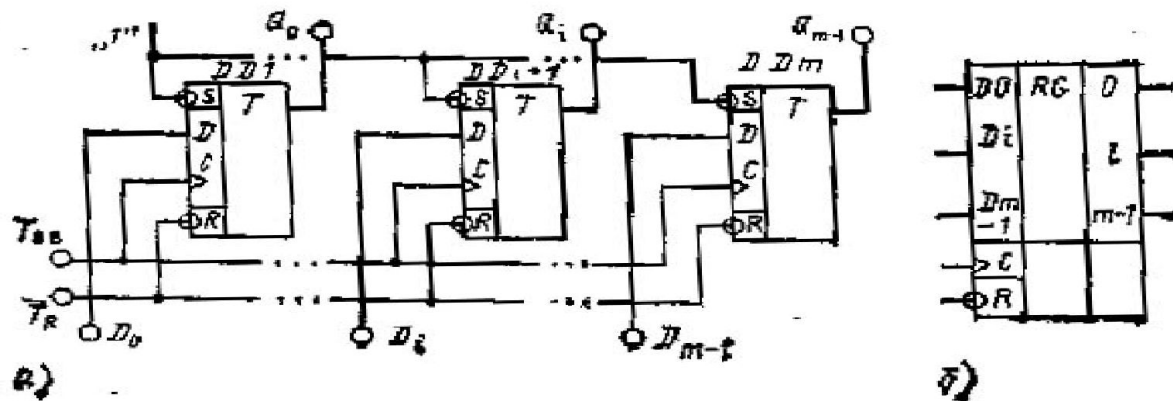
Ввод и вывод информации в последовательных регистрах (регистрах сдвига) осуществляется последовательно разряд за разрядом (в последовательном коде). Время ввода (вывода) m -разрядного двоичного числа в регистрах сдвига равно $t_{ТСД}$, где $T_{ся}$ – период следования тактирующих сигналов, осуществляющих ввод (вывод) информации. В *комбинированных регистрах* ввод числа может осуществляться в параллельном коде, а вывод – в последовательном или наоборот.

Параллельные регистры. Параллельные регистры осуществляют не только хранение двоичных чисел, но и осуществляют преобразование поразрядно двоичные числа.

Примером параллельных регистров могут служить регистры памяти, например на D-триггерах.

Регистр памяти на D-триггерах

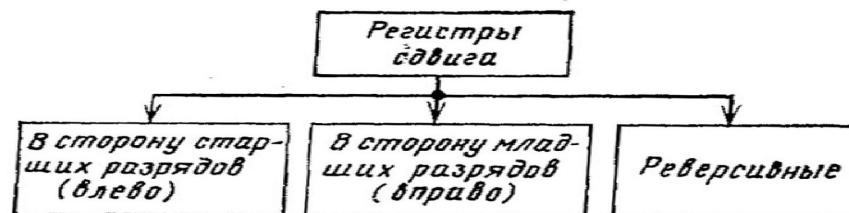
Схема регистра памяти на D-триггерах не имеет элементов ввода информации (вводимое число подается непосредственно на входы триггеров). Кроме этого, использование D-триггеров позволяет записывать число, представленное только в прямом коде, что упрощает сопряжение регистра с источником записываемой информации. Таким образом, использование D-триггеров для построения регистров памяти оказывается предпочтительным.



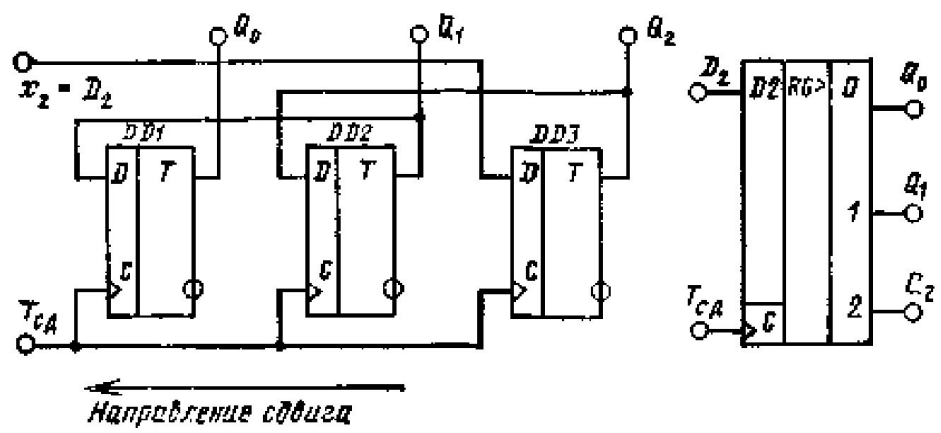
Регистры сдвига

Регистры сдвига, в свою очередь, можно классифицировать. Регистры сдвига (последовательные регистры), помимо запоминания многоразрядных двоичных чисел, обеспечивают сдвиг хранимого числа на любое число разрядов.

Сдвиг кода числа осуществляется с помощью сдвигающих сигналов $T_{сл}$, которые перемещают все разряды кода числа от младших разрядов к старшим (влево) или наоборот (вправо), последовательно переводя каждый триггер регистра в состояние, соответствующее разряду кода на входе данного триггера в момент поступления очередного сигнала $T_{сл}$. Регистры сдвига могут быть классифицированы по критерию направления сдвига кодов многоразрядных чисел. Регистры, сдвигающие информацию в сторону старших или младших разрядов, обеспечивают сдвиг только в одну сторону. Реверсивные регистры сдвига могут осуществлять сдвиг в любую сторону в зависимости от специального управляющего сигнала, задающего это направление.



Пример регистра сдвига в сторону младших разрядов показан на рис. с использованием D-триггеров. Разрешающим сигналом является положительный перепад напряжения на входе С.



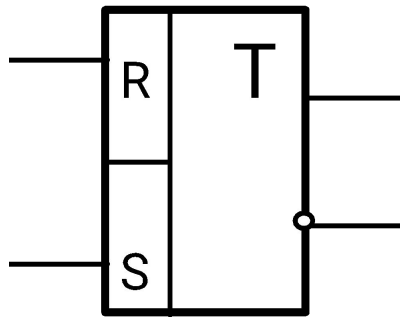
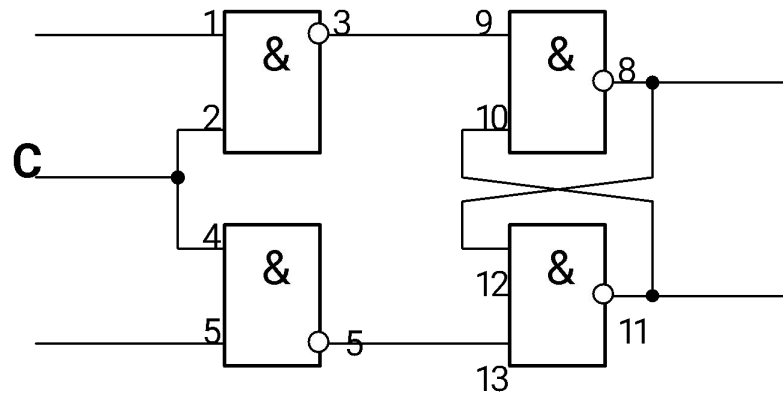
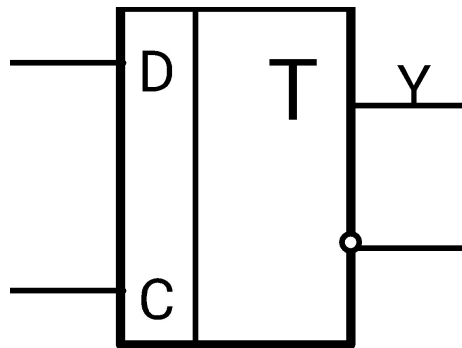


Схема RS-триггера

Входы R и S называются установочными, а выходы – прямым и инверсным. Состояние триггера определяется по его прямому выводу. Таким образом, если на вход R (рис.3.2) поступит лог."0", то триггер установится в "0". Если на вход S поступит лог. "0", то триггер установится в "1".

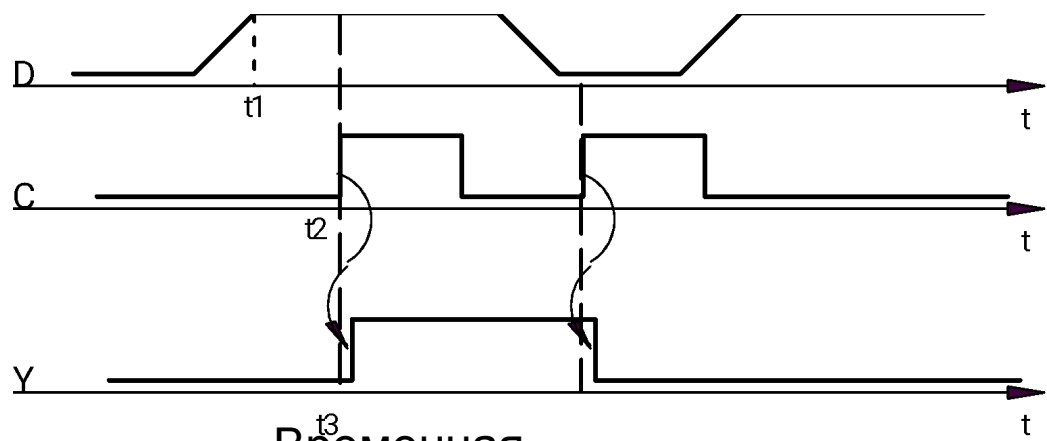


Функциональная схема синхронного RS-триггера

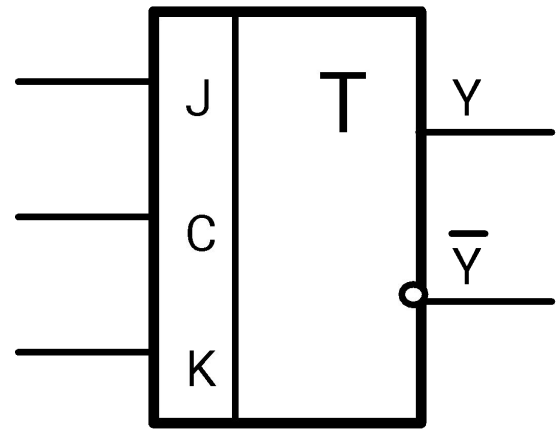


Графическое изображение D-триггера
Таблица истинности D-триггера

D	C	Y
x	0	старое состояние
0		0
x	1	старое состояние
1		1



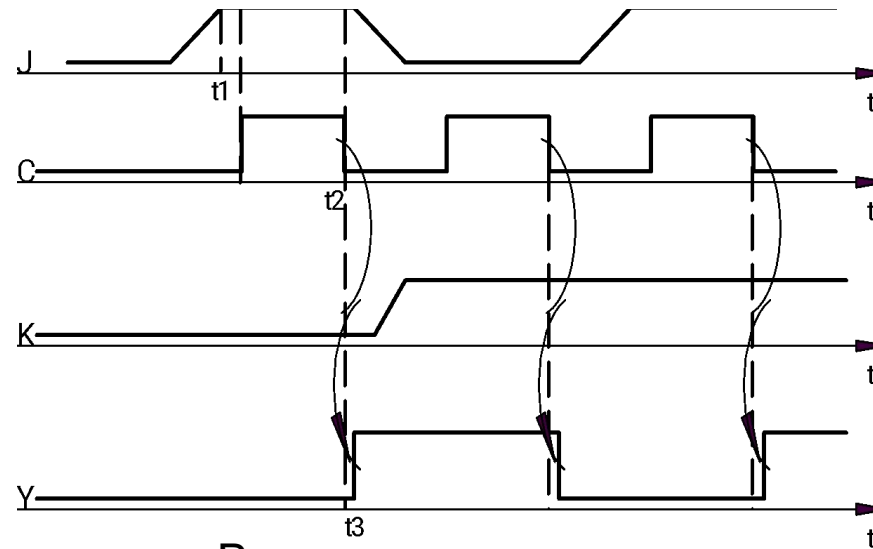
Временная
диаграмма



Графическое изображение JK-триггера

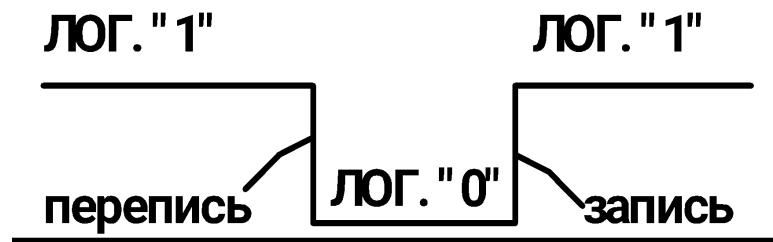
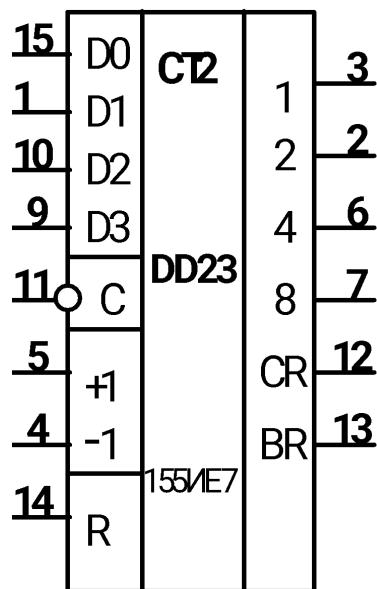
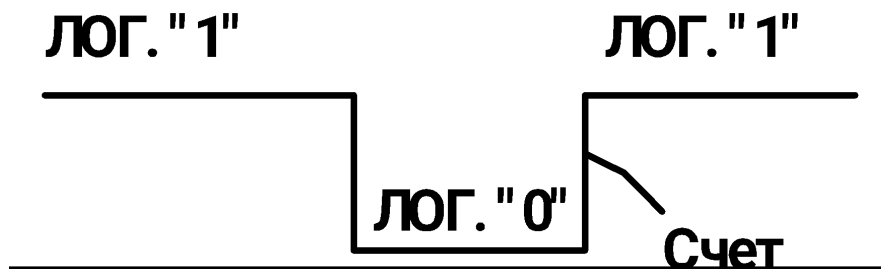
Таблица истинности для JK-триггера

J	K	С	Y
x	x	0	старое состояние
x	x	1	старое состояние
0	0	⌋	старое состояние
0	1	⌋	0
1	0	⌋	1
1	1	⌋	состояние, инверсное старому

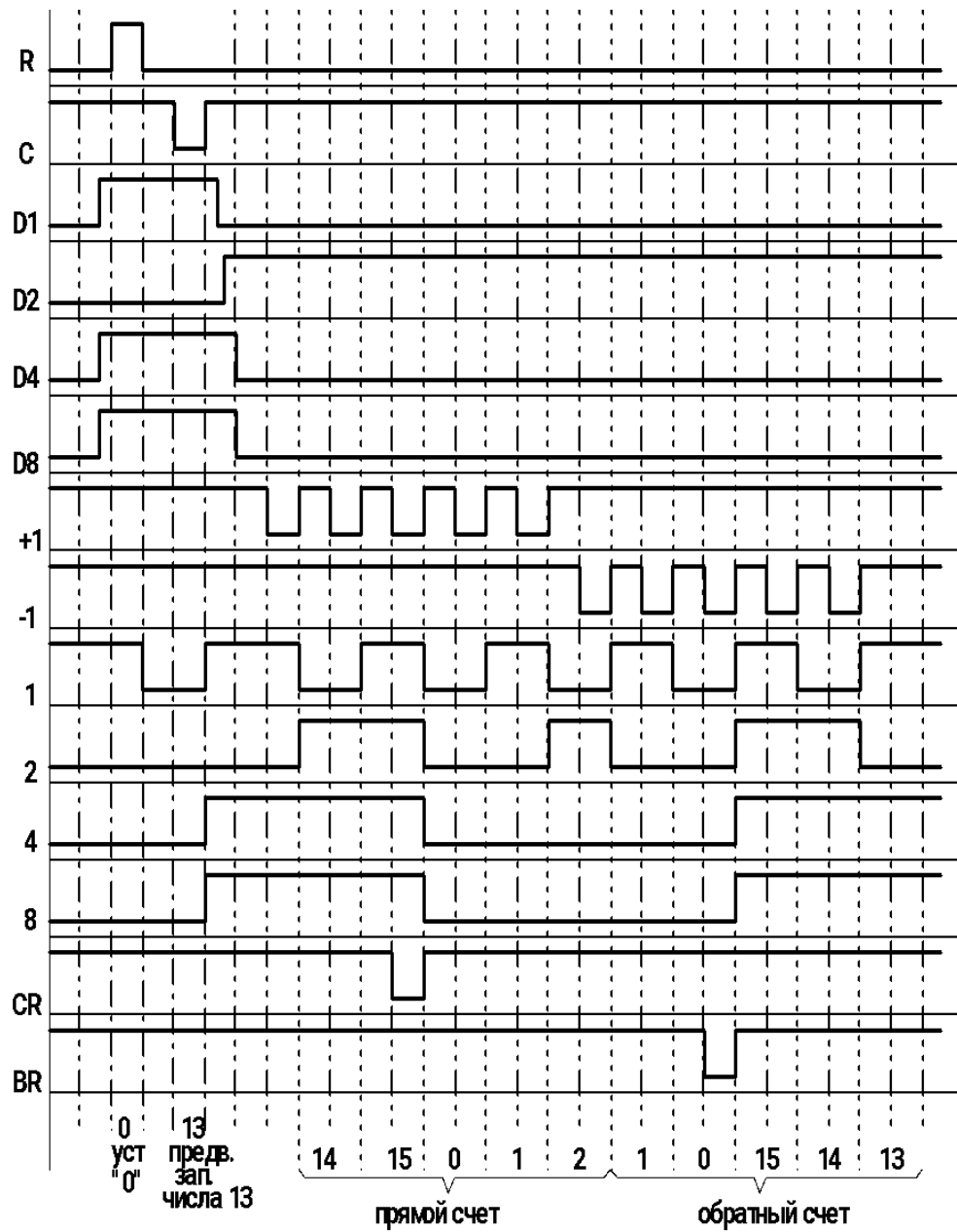


Временная
диаграмма

4-х-разрядный реверсивный счетчик, выполненный на одной ИС К155ИЕ7 средней степени интеграции



Условное обозначение ИС К155ИЕ7



Временная
диаграмма

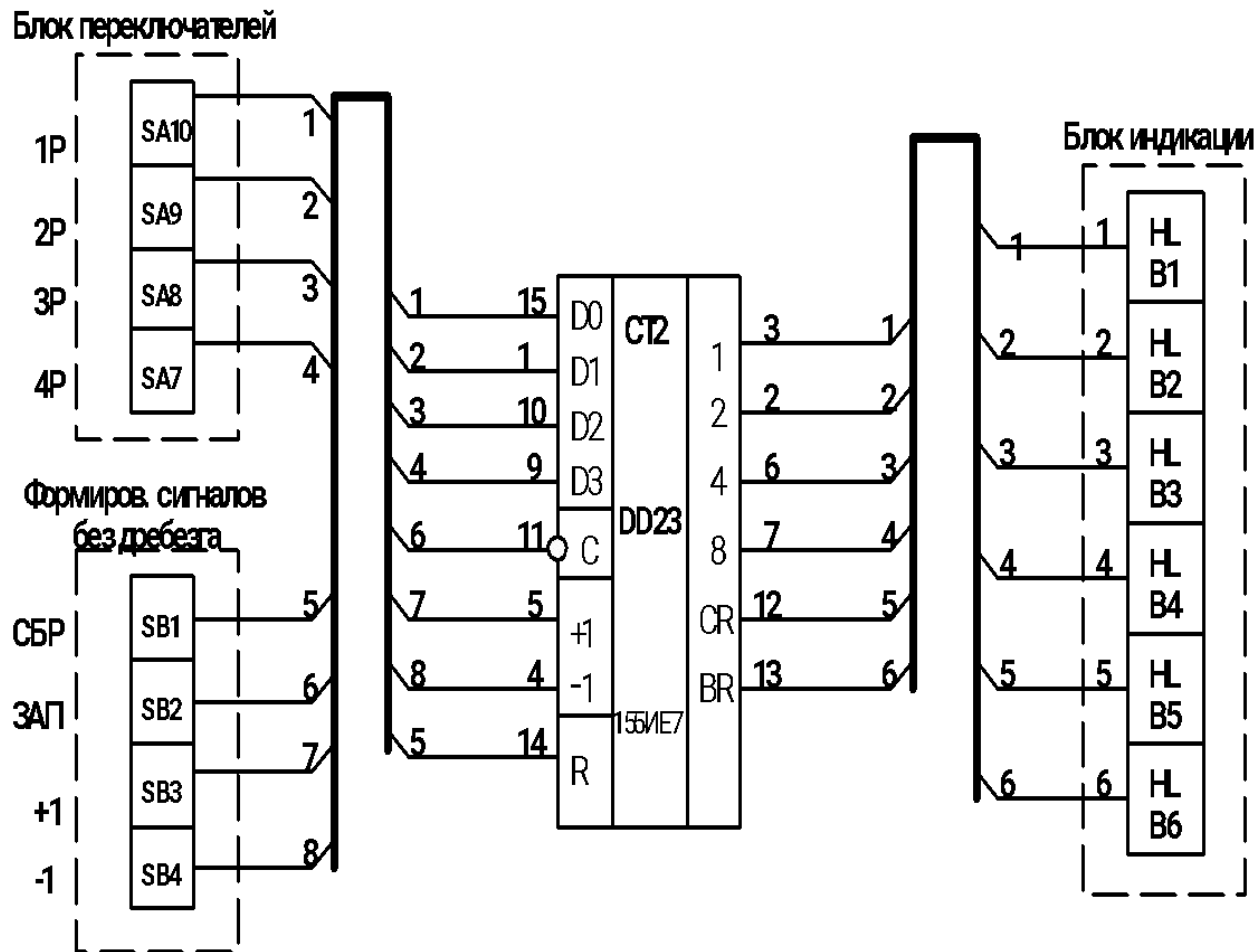


Схема исследования ИС
K155IE7