

УЧЕБНАЯ ДИСЦИПЛИНА
«АРХИТЕКТУРА АППАРАТНЫХ СРЕДСТВ»

ПРЕПОДАВАТЕЛЬ:
ИГНАТЬЕВ
ЕВГЕНИЙ АЛЕКСАНДРОВИЧ

Лекция 4. Комбинационные логические устройства. Арифметико-логические устройства (АЛУ)

Учебные вопросы:

1. Комбинационные логические устройства: дешифраторы, шифраторы, мультиплексоры, демультиплексоры, сумматоры
2. Арифметико-логические устройства (АЛУ): применение, обобщенная структурная схема.

Вопрос 1.

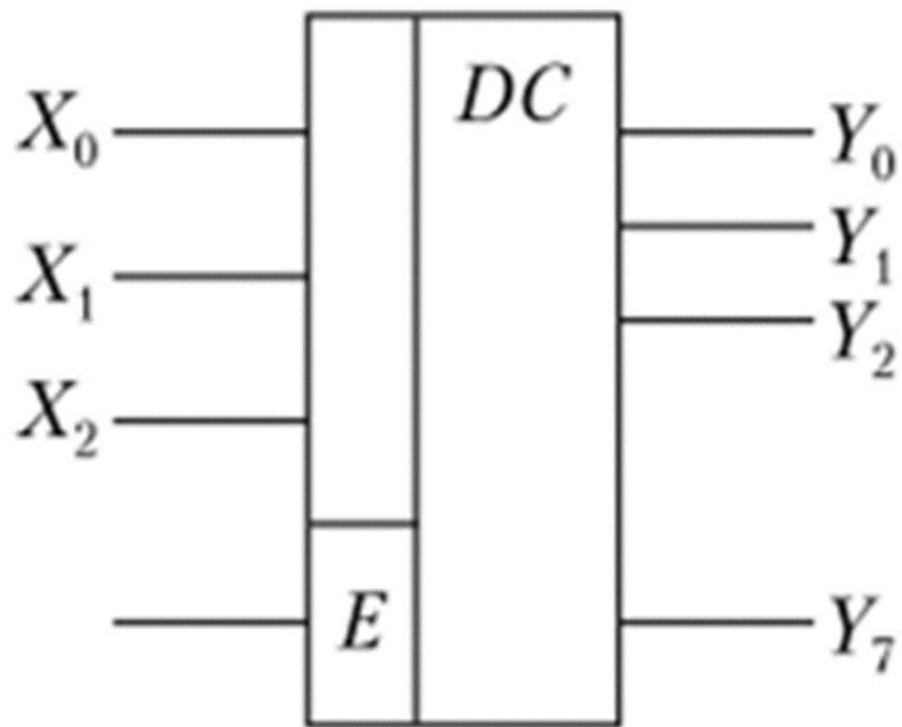
Комбинационные логические устройства

К комбинационным устройствам относятся функциональные узлы, в которых **отсутствуют элементы памяти.**

Состояние комбинационного узла однозначно определяется комбинацией входных сигналов в данный момент и не зависит от предыдущего состояния.

К таким узлам относятся шифраторы, дешифраторы, сумматоры, мультиплексоры, демультиплексоры, компараторы, преобразователи кодов и другие.

Дешифратором называется комбинационная схема, имеющая n входов и 2^n выходов и преобразующая двоичный код на своих входах в унитарный код на выходах. Унитарным называется двоичный код, содержащий одну и только одну единицу, например 00100000.



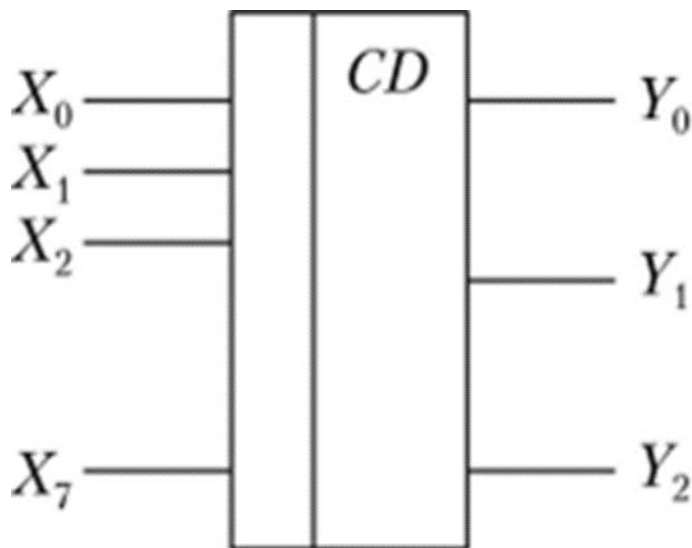
Дешифратор с тремя входами адреса и входом разрешения на 8 выходов (2^3)

Логическая схема	Адрес			Разрешение	Состояние выходов							
	A_2	A_1	A_0	E	D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
	0	0	0	0	x	x	x	x	x	x	x	x
	0	0	0	1	0	0	0	0	0	0	0	1
	0	0	1	0	x	x	x	x	x	x	x	x
	0	0	1	1	0	0	0	0	0	0	1	0
	0	1	0	0	x	x	x	x	x	x	x	x
	0	1	0	1	0	0	0	0	0	1	0	0
	0	1	1	0	x	x	x	x	x	x	x	x
	0	1	1	1	0	0	0	0	1	0	0	0
	1	0	0	0	x	x	x	x	x	x	x	x
	1	0	0	1	0	0	0	1	0	0	0	0
	1	0	1	0	x	x	x	x	x	x	x	x
	1	0	1	1	0	0	1	0	0	0	0	0
	1	1	0	0	x	x	x	x	x	x	x	x
	1	1	0	1	0	1	0	0	0	0	0	0
	1	1	1	0	x	x	x	x	x	x	x	x
	1	1	1	1	1	0	0	0	0	0	0	0

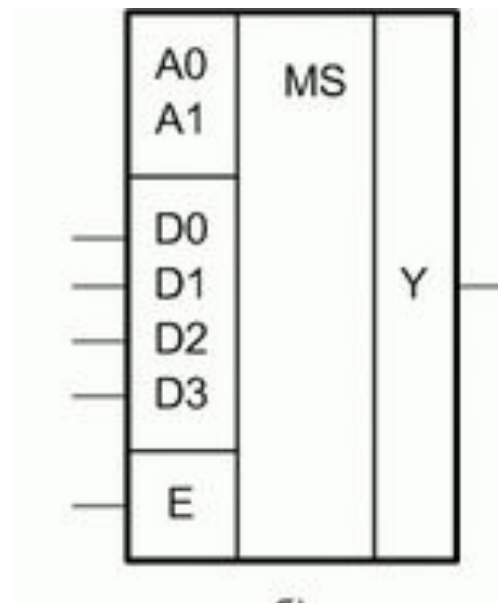
Дешифратор, реализованный на логических элементах «И» (AND).

Активное состояние выходов - логическая 1, неактивное - логический 0
x - неактивное состояние всех выходов, для приведённой слева схемы - логический 0.

Шифратор — схема, имеющая 2^n входов и n выходов, функции которой во многом противоположны функции дешифратора. Эта комбинационная схема в соответствии с унитарным кодом на своих входах формирует позиционный код на выходе.

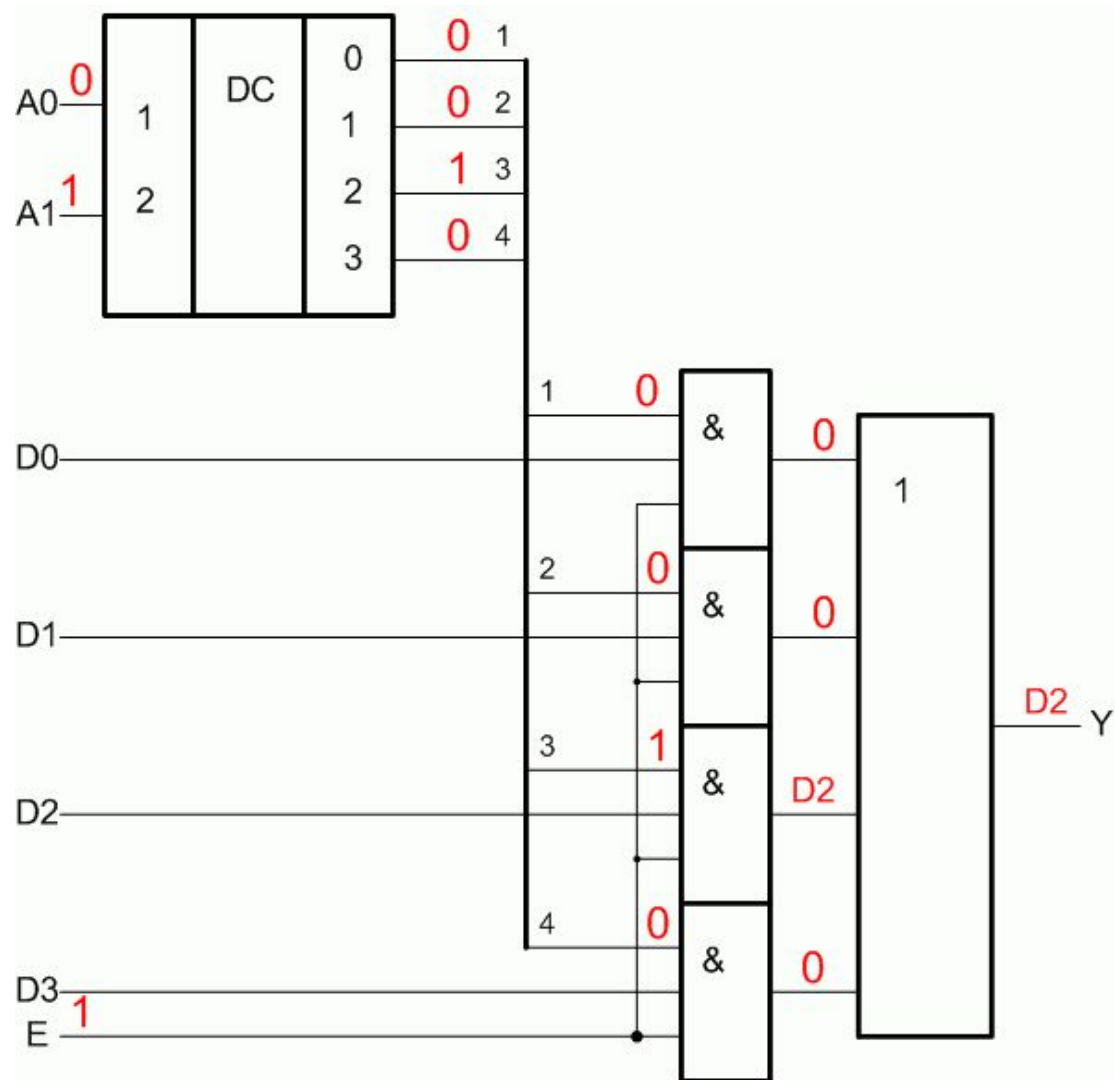


Мультиплексор (селектор) - это логическая схема, производящая выбор одного из нескольких информационных входов в соответствии с выбранным адресом и коммутацию выбранного информационного входа с единственным информационным выходом.



MS - функциональное обозначение мультиплексора, **A** - входные линии адреса, **D** - входные информационные линии, **E** - разрешающий вход, **Y** - выходная информационная линия. **Связь между количеством выбираемых входных информационных линий N и входных линий адреса n та же, что у дешифратора : $N=2^n$.**

Функциональная схема мультиплексора, обеспечивающего выбор "один из четырех"



Принцип действия мультиплексора

Здесь, **A1** и **A0** - входные линии адреса, **D3**, **D2**, **D1** и **D0** - входные информационные линии.

При наличии активного разрешающего сигнала вход **E** = 1, на адресные линии подается двоичный код адреса. При этом на *выход* **Y** будет копироваться *информация* с выбранного в соответствии с этим адресом информационного входа.

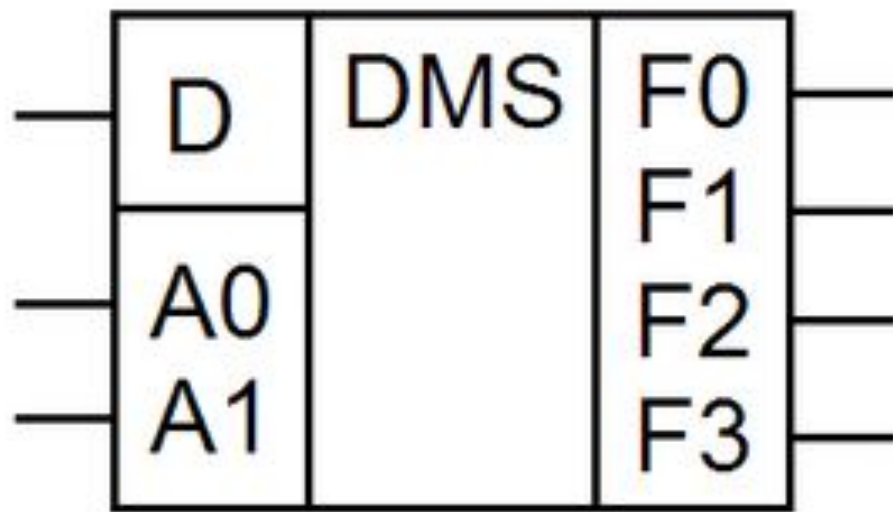
Если $A1A0=00_2=0_{10}$, на *выход* **Y** подается *информация* с линии **D0**; если $A1A0=01_2=1_{10}$, то с линии **D1**; если $A1A0=10_2=2_{10}$, то с линии **D2**; а при $A1A0=11_2=3_{10}$ - с линии **D3**.

Таблица истинности данного мультиплексора

Разрешающий сигнал	Входной код адреса		Информация на выходе	Режим работы
E	A1	A0	Y	
0	0	0	0	Коммутации информационных линий нет
0	0	1		
0	1	0		
0	1	1		
1	0	0	D0	Передача с D0 на Y
1	0	1	D1	Передача с D1 на Y
1	1	0	D2	Передача с D2 на Y
1	1	1	D3	Передача с D3 на Y

Демультиплексор — это логическое устройство, предназначенное для переключения сигнала с одного информационного входа на один из информационных выходов. Демультиплексор в функциональном отношении противоположен мультиплексору.

На схемах их обозначают через **DMX** или **DMS**.



Сумматор – логический операционный узел, выполняющий арифметическое сложение кодов двух чисел.

Сумматоры классифицируют по различным признакам.

В зависимости от системы счисления различают:

- ☐ двоичные;
- ☐ двоично-десятичные;
- ☐ десятичные;
- ☐ прочие (например, амплитудные).

По количеству одновременно обрабатываемых разрядов складываемых чисел:

- ☐ одноразрядные,
- ☐ многоразрядные.

По числу входов и выходов одноразрядных двоичных сумматоров:

- **Четвертьсумматоры** (элементы “сумма по модулю 2”; элементы “исключающее ИЛИ”), характеризующиеся наличием двух входов, на которые подаются два одноразрядных числа, и одним выходом, на котором реализуется их арифметическая сумма;
- **Полусумматоры**, характеризующиеся наличием двух входов, на которые подаются одноимённые разряды двух чисел, и двух выходов: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд);
- **Полные одноразрядные двоичные сумматоры**, характеризующиеся наличием трёх входов, на которые подаются одноимённые разряды двух складываемых чисел и перенос из предыдущего (более младшего) разряда, и двумя выходами: на одном реализуется арифметическая сумма в данном разряде, а на другом — перенос в следующий (более старший разряд).

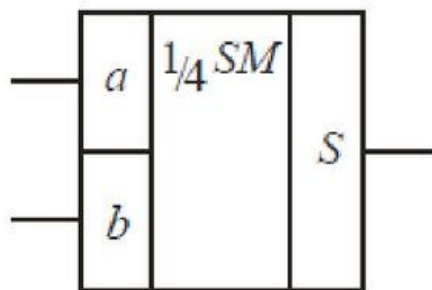
Четвертьсумматор

Четвертьсумматор

Названия схемы:

- Элемент «сумма по модулю 2»
- Элемент «исключающее ИЛИ»

УГО



Эквивалентный элемент

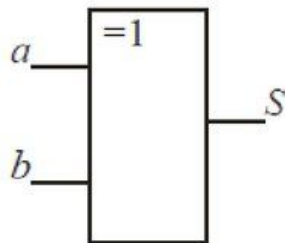


Таблица истинности

Входы		Выход
a	b	S
0	0	0
0	1	1
1	0	1
1	1	0

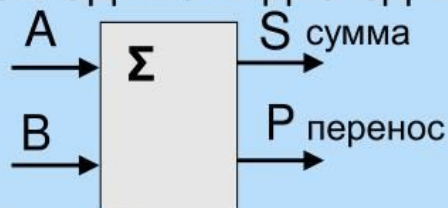
Уравнение

$$S = \bar{a}b + a\bar{b} = a \oplus b$$

Полусумматор имеет два входа a и b для двух слагаемых и два выхода: S — сумма, P — перенос.

Полусумматор

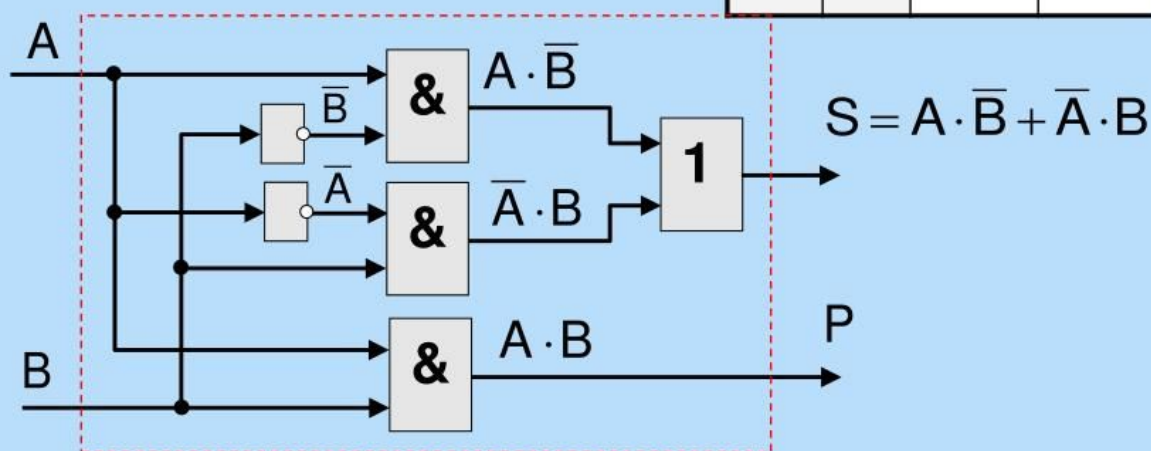
Полусумматор — это логическая схема, способная складывать два одноразрядных двоичных числа.



$$P = A \cdot B$$

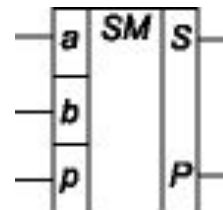
$$S = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B$$

A	B	P	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Полный одноразрядный двоичный сумматор имеет три входа: a , b - для двух слагаемых и p - для переноса из предыдущего (более младшего) разряда и два выхода: S - сумма, P - перенос в следующий (более старший) разряд.

Входы			Выходы	
a_i	b_i	P_{i-1}	s_i	P_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

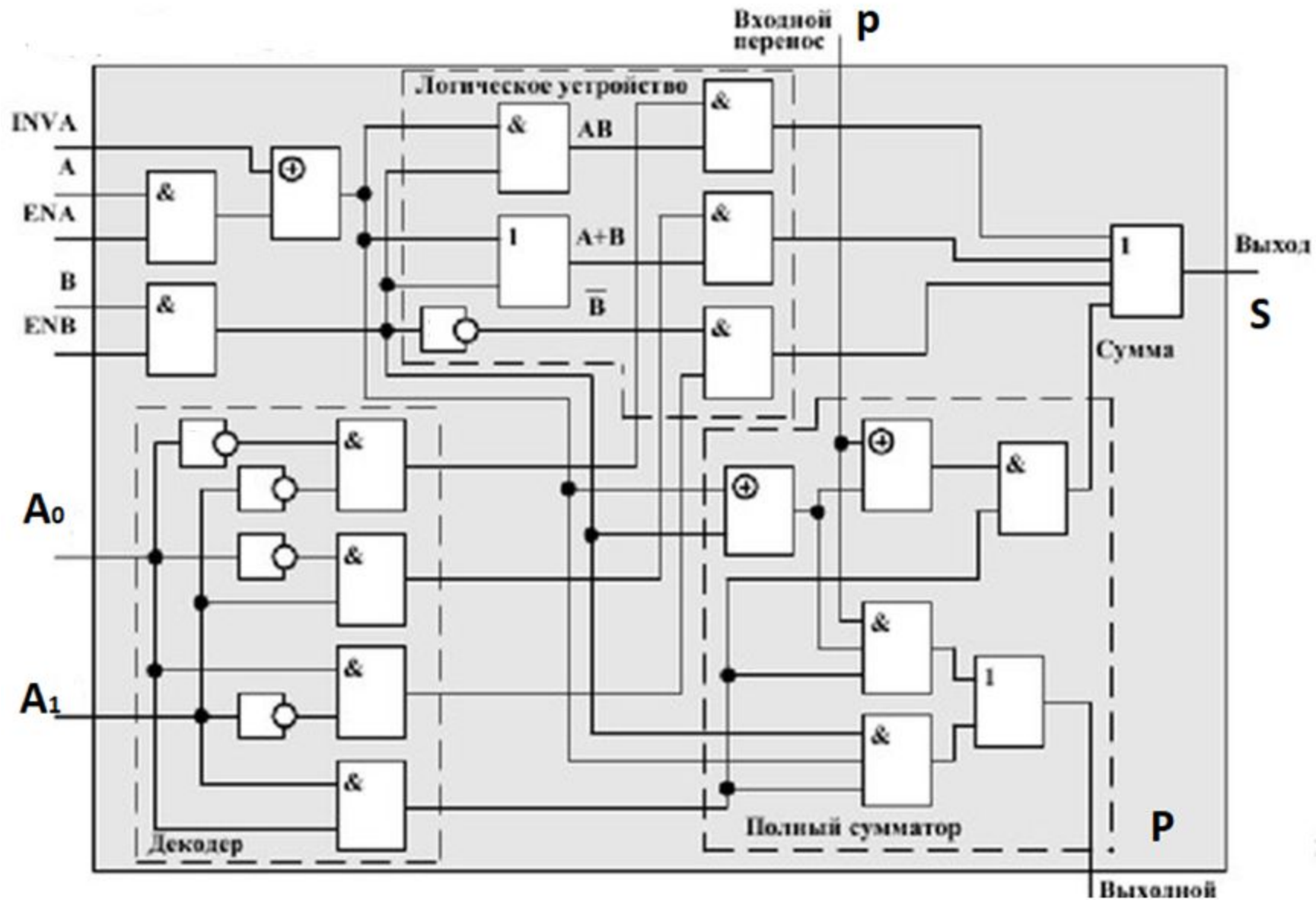


Вопрос 2.

Арифметико-логические устройства (АЛУ)

Арифметико-логические устройства (АЛУ) — являются узлом ЭВМ, который выполняет арифметические и логические операции над данными, обрабатываемыми ЭВМ.

Арифметико-логическое устройство - это комбинационная схема, (т.е. она не содержит внутри элементов памяти), выполняющая следующие функции: принимающая на два входа два операнда (например, содержимое двух регистров); формирующая на выходе результат операции.



АЛУ выполняет одну из 4 следующих операций:

- $A \text{ И } B$ (логич. умножение);
- $A \text{ ИЛИ } B$ (логич. сложение);
- $\text{не } B$ (инверсия по входу B);
- $A + B$ (арифметическая сумма A и B).

Выбор операции зависит от того, какие сигналы поступают на адресные входы $A0$ и $A1$: 00, 01, 10 или 11 (в двоичной системе счисления).

При нормальных условиях и ENA , и ENB равны 1, чтобы разрешить поступление обоих входных сигналов, а сигнал $INV A$ равен 0. В этом случае A и B просто поступают в логическое устройство без изменений.

В левом нижнем блоке расположен ДЕШИФРАТОР.

В верхнем блоке расположен БЛОК ЛОГИКИ.

В нижнем правом углу находится БЛОК АРИФМЕТИКИ (сумматор) для подсчета суммы A и B и для осуществления переносов. Переносы необходимы, поскольку несколько таких схем могут быть соединены для выполнения операций над целыми словами.